

# [12] 发明专利说明书

[21] ZL 专利号 95105764.2

[45]授权公告日 2001年8月8日

[11]授权公告号 CN 1069422C

[22]申请日 1995.4.7 [24]颁证日 2001.5.2

[21]申请号 95105764.2

[30]优先权

[32]1994.4.7 [33]JP [31]093738/1994

[73]专利权人 索尼电脑娱乐公司

地址 日本东京

[72]发明人 丰祯治 铃置雅一

古桥真 田中正善

[56]参考文献

US 4845661 1989. 7. 4 G06F3/14

US 5241371 1993. 8. 31 H04N5/275

审查员 钟 强

[74]专利代理机构 中国专利代理(香港)有限公司

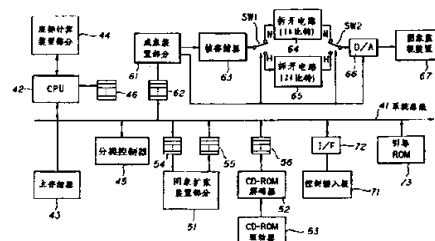
代理人 王忠忠 王 岳

权利要求书2页 说明书19页 附图页数7页

[54]发明名称 图象处理装置

[57]摘要

一种图象处理装置,具有一个帧存储器,用于顺序读出写在该帧存储器内用于图象显示的数据,该装置包括:识别装置,用于识别写在帧存储器中的图象数据是否为每一象素以第一比特数写入的图象数据还是以每一象素以不同于第一比特数的第二比特数写入的图象数据;第一图象数据读取装置,用于从帧存储器中读取关于以第一比特数所表示的每一象素的图象数据;第二图象数据读取装置,用于从帧存储器中读取关于以第二比特数所代表的每一象素的数据;和一个切换装置,用于根据来自识别装置的识别信息来切换第一图象数据读取装置和第二图象数据读取装置。



ISSN 1008-4274



## 权 利 要 求 书

---

1. 一种图象处理装置,其特征在于它包括:

一个帧存储器;

成象装置,根据在所说帧存储器上的成象指令执行成象操作,以形成图形图象数据,其中在所说帧存储器上的每一象素包括第一比特数;

图象数据写入装置,用于在所说的帧存储器上顺序写入已经转换到该帧存储器的图象数据;

识别装置,用于识别已被转换的图象数据的每一个象素是由第一比特数构成还是由大于该第一比特数的第二比特数构成;

第一图象数据读取装置,用于从帧存储器中读取关于每一象素以第一比特数所表示的图象数据;

第二图象数据读取装置,用于从帧存储器中读取关于每一象素以第二比特所表示的图象数据;和

切换装置,用于根据来自识别装置的识别信息来切换第一图象数据读取装置和第二图象数据读取装置。

2. 根据权利要求1的图象处理装置,其特征在于转换到所说帧存储器的图象数据是例如运动图象和静止图象的图象数据,所说图象处理装置还进一步包括当这些数据由第一比特数图象数据构成时用于形成这些图形数据和图形图象数据的装置。

3. 根据权利要求2的图象处理装置,其特征在于成象命令对应于来自操作输入单元的操作输入。

4. 根据权利要求3的图象处理装置,其特征在于:进一步包括一

个盘重放部分,其中的图象数据由装置在所说盘重放装置部分上的盘所产生。

5. 根据权利要求4的图象处理装置,其特征在于进一步包括一个D/A变换电路,用于将数字信号变换成模拟信号,其中的数字信号被输入到该D/A变换电路并被变换成将由所说切换装置从该D/A变换电路输出的模拟信号。

6. 根据权利要求5的图象处理装置,其特征在于还包括一个共用系统总线,用于连接从所说输入装置、所说成象装置和所说盘重放部分的信号。

7. 根据权利要求6的图象处理装置,其特征在于进一步包括在所说共用系统总线、所说成象装置和所说盘的重放部分之间的多个缓冲存储器。



## 说 明 书

---

### 图象处理装置

本发明涉及带有用于显示的帧存储器的一种图象处理装置,尤其适于应用于这样的场合,即根据已被压缩或已被转换的图象数据或计算机图形的图象数据形成图象的那些要求有高“显示性”性能的视频游戏机或图形计算机的场合。

通常,在例如所谓3D(三维)图形的计算机图形中,当有“目标”被实际显示时,首先要把该目标的表面分解成多个多边形,每个多边形表示的是由一图象装置所处理的图形的最小单元(例如一个三角形或一个矩形);每个多边形被顺序地成象在与监视器显示图象场相对应的帧存储器中;这些图象化的影象数据被存储在该帧存储器中;而且,这些数据被读出并被显示在监视器上以便重建可被立体图形显示的图象。

在某些情况中,一个数字运动图象重放系统,例如其中组合使用了数据压缩和图象扩张装置中所记录图象数据CD-ROM之类的副存储器装置的图象重放系统与一个3D图象系统并列安装使用。这种数字运动图象重放系统在变换特性上劣于3D图形系统,但在可以再生3D图形系统表现困难的图象方面有优势。因此,数据运动图象重放系统被用作一个子系统,当3D图形系统用作一个背景图象场时用以协助3D图形系统的工作。

以此方式,传统的图象处理装置配有用于显示的帧存储器(缓



冲存储器), 写在该帧存储器中的图象数据的比特数通常被保持恒定。例如, 在游戏机之类的装置中, 由于画面图象经过该3D 图象处理并不要求很高的质量, 所以构成三基色数据R(红)、G(绿)和B(兰)的每一个象素的比特数被保持在15比特/象素, 对于R、G和B的每一个是5个比特, 并将分解度固定约32000种彩色。

下面所列举的与本发明相关的专利申请的每一个均为本申请人所拥有, 结合在此作参考。

日本专利申请, 平成05-190764(申请日为93年7月2日)

日本专利申请, 平成05-258625(申请日为93年10月15日)以及

日本专利申请, 平成06-027405(申请日为94年1月31日)

与这些日本申请相对应的美国专利申请目前处于待审查状态。

如上所述, 在传统上, 帧存储器用于一个象素的比特数目是固定的。因此, 当在一个属于是由3D图形系统和数字运动图象重放系统的组合系统中对该运动图象作再生和重放时, 既便是在帧存储器容量上有额外的空间, 该比特数也被定为15比特/象素, 其结果是只能获得32,000种色彩的分解力。

考虑到运动图象的显示, 有可能把帧存储器每一象素的比特数固定成以8比特用于R、G、B且以24比特用于每象素(24比特/象素), 以使得显示16,700,000种颜色。然而在此情形中, 会使用于显示的帧存储器的存储区剧增, 而且这种比特数对于3D图形的图象是不必要的。这种方案则属于无效益的。

本发明的目的是提供一种图象处理装置, 它可以按照所要显示图象的质量来优化一个帧存储器的每一象素的比特数。

为了解决上述的问题, 在依照本发明的图象处理装置中带有用



于顺序地读取写在帧存储器中的图象数据以实现图象显示数据的显示装置,该图象处理系统特征在于它包括:

识别装置,用于识别写在帧存储器中的图象数据是为每一象素以第一比特数写入的图象数据还是为每一象素以不同于第一比特数的第二比特数写入的图象数据;

第一图象数据读取装置,用于从帧存储器中读取关于每一象素以第一比特数所表示的图象数据;

第二图象数据读取装置,用于从帧存储器中读取关于每一象素以第二比特数所表示的图象数据;和

转换装置,用于根据来自识别装置的识别信息来交换第一图象数据读取装置和第二图象数据读取装置。

根据本发明的结构,该识别装置识别在帧存储器上的图象数据是以第一比特数写入的图象数据还是以第二比特数写入的图象数据。

当依据识别装置的识别信息要从帧存储器读出的图象数据是第一比特数/象素数据时,该转换装置被转换选择第一图象数据读取装置,以便从该帧存储器输出图象数据。而且,当从帧存储器读出的图象数据是第二比特数/象素数据时,该转换装置被转换选择第二图象读取装置,以便从该帧存储器63输出图象数据。

有可能在满足图象质量的条件下否,化从帧存储器读出以及写入到该存储器中的图象数据。

如上所述,按照本发明,有可能响应所要显示的图象的质量而优化帧存储器的每个象素的比特数,并有效益地利用帧存储器。

此外,根据本发明,由于从帧存储器读出图象数据的电路是响

应对应于图象质量的比特数/象素而被转换的,所以该帧存储器本身对于比特数的改变并无不利影响。因此,无需使用殊存储器作为帧存储器。

而且,如果将本发明应用于游戏机,由于除去根据图象成象命令的图象之外,该运动图象或静止图象具有高质量而被恰当地显示,因而有可能以更逼真的方式享用游戏图象。

图1是依照本发明的图象处理装置的一个实施例的方框图。

图2是该实施例中说明存储区域的示意图。

图3是该实施例中说明多边形成象一个实施例的示意图。

图4是该实施例中说明多边形成象率列的示意图。

图5是说明结构变换的示意图。

图6是说明该实施例中在对图象数据变换中数据结构的一个实例的示意图。

图7是表示一帧图象实例的示意图。

图8是说明该实施例中图象数据一个变换单元的一个示意图。

图9是说明在本实施例中在对图象数据变换中数据结构的一个实例的示意图。

图10 是说明在本实施例中每个象素的比特数的多个实例的示意图。

现参照附图来描述本发明的一个实施例。图1示出了依照本发明的图象处理装置实施例的结构示意图。本实例是具有3D 图形功能和数字运动图象重放功能游戏机的一个实例。

图1中,参考号41表示系统总线(主机总线),CPU42、主存储器43和分类(sorting)控制器45连到该总线41。

而且,经过输入FIFO缓冲存储器(下面简称为FIFO缓存器)54和输出FIFO缓冲存储器55,图象扩张装置部分51也与系统总线41相连。而且,CD-ROM解码器52经过FIFO缓存器56和系统总线41相连,而且一个成象装置部分61经一个缓存器62也与该系统总线41相连。

帧存储器63接到成象装置部分61。如后面所述,根据一成象指令形成的图象数据以及由图象扩张装置部分51所解码的图象数据被写入帧存储器63中,以使其再生的图象被显示在图象监视器装置67上。

控制键盘71作为一个操作输入装置经接口72与系统总线41相连。而且,引导ROM73是用于启始游戏机的程序的存储器,也与系统总线41相连。

CPU42对整个装置执行控制。在本实施例的装置中有两种模式可供选择,即第一模式(后称正常模式),其中来自帧存储器63的图象显示数据用作15比特/象素的图象数据,对于R、G和B的每一个是5比特(下称作第一比特数的图象数据);以及第二模式(下称高清晰度模式),其中来自帧存储器63的图象显示数据用作24比特/象素的图象数据,对于R、G和B的每一个是8比特(下称第二比特数的图象数据)。CPU42据此执行模式转换操作。

而且,在目标被成象作为大量多边形的情况下,CPU42被用作执行这些操作的一部分。即如后面描述的那样,CPU42形成一个成象指令的一个例子,以便对应于在主存储器43上的一个图象场形成绘画图象。

而且,CPU42有高速缓存器46,在不对系统总线41进行提取信息的条件下即可执行CPU指令的一部分。在形成成象指令时相对于这



些多边形而执行坐标变换计算的坐标计算装置部分44 被提供来作为CPU44的内部协处理器。该坐标计算装置44执行在显示图象场上的三维坐标变换以及从三维到二维坐标的变换。

因此,由于CPU42包括内在的指令高速缓存器46 和坐标计算装置部分44,则该CPU在不使用系统总线41 的条件下即可在一定程度上执行其处理。因此,系统总线41似乎是被闲置。

CD-ROM解码器52与CD-ROM驱动器53连接,以便解码安装在CD-ROM驱动器53上的CD-ROM盘中所记录的数据。应用程序(例如一个游戏程序)、经过图象压缩(例如离散余弦变换(DCT)处理)的运动及静止图象的图象数据以及用于装饰这些多边形的构造图象的图象数据被记录在该CD-ROM中。该CD-ROM 盘的应用程序包括有多边成象指令。FIFO缓冲器56具有对应于CD-ROM 盘记录数据的一个扇区的容量。

图象扩张装置部分51执行对于从CD-ROM 再生的压缩图象数据的扩张处理,它带有一个对于霍夫曼(Huffman)码解码的解码器硬件、一个反向量化电路、反向离散余弦和变换电路。霍夫曼码的解码器部分的处理可以在CPU中作为软件而被处理。

在本例中,图象扩张装置部分51可对于两种模式执行解码处理,即,一个用于将压缩图象数据扩张成15比特/象素的第一比特数的图象数据的解码处理模式,以及另一个用于将压缩图象数据扩张成24比特/象素的第二比特数的图象数据的解码处理模式。

CPU42实施将模式转换命令送达到图象扩张装置部分51。根据这一模式转换命令,图象扩张装置部分51把压缩图象数据解码成正常模式中的第一比特数的图象数据以及解码成高清晰度模式中的

第二比特数的图象数据。

在本例的情况中,如将在对图7所示讨论的那样,该图象延伸装置部分51把一个单一(一帧)图象分成若干小的区域,例如大致为 $16 \times 16$ 象素(每一区在后面称为宏数据块),并以宏数据块为单元执行图象延伸解码。因此,FIFO缓存器54和55都具有对应于这种宏数据块的容量。

帧存储器63经局部总线11接到成象部分61。该成象装置61执行经缓存器FIFO62从主存储器43传来的成象指令,并将结果写入帧存储器63中。根据成象命令所执行的成象只以正常模式执行。然而,该图形图象数据是具有15比特/象素的第一比特数的图象数据。而且,FIFO缓存器62具有对应于一个成象指令的存储的容量。

帧存储器63带有用于存储为显示所用的成象图象和运动图象的图象存储区、用于存储结构图象的结构区、用于存储色彩查询表(色变换表CLUT)的表存储器区。彩色查询表可用于两类模式,即正常的模式的高清晰度模式。在某些情况中,高清晰度模式的一部分可用于正常模式。

图2示出了帧存储器63的一个存储器空间。帧存储器63以两维地址,即行地址和列地址而被编址。在该两维地址空间中,区域AT被用作结构区域。在结构区AT中可排列多种类结构图形。AC表示的是色彩变换表CLUT的表存储器区。

如后面所要讨论,彩色变换表CLUT的数据是由存储控制器45经CD-ROM解码器52从CD-ROM盘传送到帧存储器63。CD-ROM盘的结构图象数据由图象延伸装置部分51所延伸,并经主存储器43传送到存储器63的。

而且,图2中的AD表示一个图象存储器区,它具有对应于用于成象的一个区域和用于显示的另一区域的两个表面的帧缓冲存储器。在本例中,现被用于显示的帧缓存区被称为显示缓存器,而被用于成象的帧缓存区被称为成象缓存器。在本例中,当之一被作成象缓存器以进行成象时,另一个则用作显示缓存器。如果成象完成,两个缓存器都被转换。成象缓存器和显示缓存器之间的切换是在当成象操作完成之际与垂直同步脉冲同步地而被实行的。

在此例中,提供有两个读出电路(拆开电路(unpack circuits))用以从帧存储器63的显示缓存器读出数据的。即,拆开电路64是用于正常模式的读出电路,它从帧存储器63的显示缓存器读出图象数据,每15比特作为15比特/象素(可能被视为2字节/一象素)。而且,分割电路65是用于高清晰度模式的读出电路,它从帧存储器63的显示缓存器读出图象数据,每24比特作为24比特/象素(3字节/一个象素)。

拆开电路64和65由转换开关SW1和SW2作切换。SW1和SW2是以说明方式给出,该拆开电路64和65的通断实际上是以一个转换控制信号实现的

拆开电路64和65的切换由来自成象装置部分61的切换控制信号来实现。由于模式切换指令是从CPU42给到成象装置部分,所以该成象装置61是根据这一命令形成用于SW1和SW2的切换控制信号。来自CPU42的模式切换命令是按照帧存储器63的图象存储器区AD的显示缓存区和成象缓存区之间的转换而给出的。根据图象数据写入帧存储器63的操作,CPU42识别当前正被处理的数据是第一比特数图象数据还是第二比特数图象数据,因此,该成象装置部分61完

全可以把已经被变换的图象数据顺序地写入存储器63 的成象缓存器。

如上所述,已经由拆开电路64或65读出的图象数据经D/A 变换器66变换成模拟图象信号,且被送到图象监视器装置67并显示于其图象场上。而且,D/A变换器66、输入图象数据R、G和B的比特数对应于模式的切换而改变,这种切换操作相应而被实现。

选择控制器45具有与所谓DMA控制器相类似的功能,形成一个转换器装置部分,用于执行在主存储器43和图象扩张装置部分51之间的图象数据的转换以及从主存储器43到成象装置部分61 的成象指令行的转换。选择控制器45在没有CPU42介入的条件下执行转换处理,找出其它装置,例如CPU42或控制板71使系统总线41空闲之时的时间间隙。在此种情况下,CPU42有可能监视系统总线41 到选择控制器45的自由状态,即对于该选择控制器45来说有可能强制请求该总线抵制CPU42的自由状态。

主存储器具有用于压缩图象数据的存储区和用于扩张图象数据的存储区,这种经扩张的图象数据已经过扩张解码处理而作为运动或静止图象的图象数据。而且,主存储器43具有用于诸如成象指令行的图形数据的存储区(下称作数据包缓冲存储区)。

数据包缓冲存储器被用于设置成象指令行并借助于CPU42把成象指令到转换到成象装置部分61,使之为CPU42 和成象装置部分61所共享。

在本例中,为了使由CPU42和成象装置部分61 平行操作这种处理,提供了两个数据包缓冲存储器,即用于设置成象指令行的数据包缓冲存储器(后称作设置数据包缓冲存储器)和用于变换的数据

包缓冲存储器(后称执行数据包缓冲存储器)。当之一用于设置缓存器时,另一个则用作执行数据包缓存器。当以执行数据包缓存器完成该执行时,这两个数据包缓存器的功能作变换,现在来描述该装置的工作过程。

#### [从CD-ROM读取数据]

当接通图1所示装置(游戏机)的电源且装入CD-ROM盘时,即由CPU42执行用于启动初始步骤的程序,即启动toot ROM73的门电路。CD-ROM盘的记录数据即被装入。此时,根据CD-ROM盘每一扇区用户数据中的识别信息ID执行对于每一用户数据的解码过程,并检测数据。根据检测的结果,CPU42以每一ID所指示的内容而响应重放数据来执行该过程。

就是说,压缩图象数据、成象命令和将要由CPU24所执行的程序是经过CD-ROM驱动器53和CD-ROM解码器52从该CD-ROM盘中读出并由选择控制器45输入到主存储器43中。除此数据以外,彩色变换表的信息也被送到帧存储器63的区域CLUT中。

#### [涉及成象命令行的处理与传送]

构成目标表面的多个多边形的图象可以通过以在三维信息数据的Z数据的深度方面的一个深处位置定位的一个多边形为起始而依次对这些多边形进行成象而将这些多边形立体成象在二维图象显示表面。因此,CPU42构成在主存43上的成象指令行,以便在成象装置部分61中按照在深度方向上从定位的一个多边形依次执行成象操作。

而且,在该计算机图形中采用一种所谓的Z缓冲存储的方法,其中将针对每一象素的Z数据存储存储在存储器中,并针对每一多边形确

定其显示优先级(Z缓冲方法在日本专利申请平成-05-190763 中有描述,它由本申请人于93年7月2日提交,该日本专利申请具有美国申请,正在审查中)。然而,由于在该Z缓冲方法中要存储Z数据,因而必须使用长容量的存储器。因而在本例中用于确定多边形显示优先级次序的过程是由CPU42以下面的方式执行的。

由于这一原因,本实例中的多边形成象指令IP具有如图3A所示的结构。即,该多边形成象指令ID带有在多边形成象数据PD前沿的一个标题。该标题部分带有一个标记TG和一个命令识别码CODE。

其中存储有下一个成象命令的关于主存储器43 的地址被写入标记TG中。该指令识别码CODE 包括指示成象命令之内容的识别数据以及用于成象的必要数据。多边成象数据PD 包括有例如多边形的坐标的数据。例如,在成象命令IP是一个矩形多边形且该多边形内部以一种颜色变换时,该识别数据IPD将指示这一事实。用于变换的彩色数据被描述为其它必要信息。

图3B示出了一种矩形多边形的成象命令的情况。在多边形成象数据PD中描述了四个坐标(X0,Y0)、(X1,Y1)、(X2,Y2)和(X3,Y3)。用于变换具有单一彩色的多边形内部的彩色数据(RGB) 也被包括。

CPU42根据用户从控制键盘11输入的操作计算目标的和眼点的运动,并在主存储器43上形成多边形成象指令行。随后,沿着由Z数据显示的次序重写该多边成象指令行的标记。此时,在主存储器43上的每一个成象命令的地址不被重写而仅重写该标记。

当完成成象指令行时,选择控制器45按序跟循每一个成象命令的标记TG,并针对每一个成象命令把这些数据从主存储器43转换到

成象装置部分61。由此原因,FIFO缓存器62具有对应于一个成象命令的容量就足够了。

在成象装置部分61中,由于已被馈送的数据已经被存储,如图4所示,所以该多边形成象指令IP1、IP2、IP3……IPn被以标记TG1、TG2、TG3……TGn的次序而被执行,且其结果被存储在帧存储器的图象存储器区AD之中。

按照成象多边形,数据被送到成象装置61的梯度计算单元,以执行梯度计算。当多边形内部填充以在多边成象中的变换数据时,这种梯度计算是一个为了寻找该变换数据之平面的一种计算。在这种结构的情形中,该多边形填充以结构图象数据,而在灰度的情况中,该多边形被填充以明亮度值的数据。

在结构与形成物体的表面的多边形相连系的情形中,结构区AT的结构数据要经历二维变换转换。

例如,图5A所示的结构图形T1、T2、T3被转换成二维屏幕上的坐标,以使得它们与图5B所示目标表面的多边形相连。已经被如此变换和转换的结构图形T1、T2和T3与图5C所示表面OB1相连系。这是在图象存储器区A01中所排列的,并随之被显示在图象显示监视器65的显示图象场上。

在静图象结构的情形中,经过成象装置部分61,主存储器43上的结构图形被转换到帧存储器63上的结构区AT。在成象装置部分61中,将其接附到多边形。因此,静图象的结构被实现在目标之上。静图象的结构图形的这种数据可被存储在CD-ROM盘中。

而且,有可能提供运动图象的结构。在运动图象结构的情况中,如下面所述的那样,在图象扩张装置部分51中已经被解码以实现扩

张的运动图象数据被送往在帧存储器63上的结构区AT。由于结构区AT是提供在帧存储器63中,所以该结构图形本身可针对每一帧而被重写。因此,当运动图象被送往结构区AT时,该结构被自动地重写并针对每一帧而被改变。如果到多边形的结构变换是由该结构区AT的运动图形所执行,则可实现该运动结构。

#### [压缩图象数据的扩张和变换]

除去主存储器43的输入数据之外,在CPU42已经执行了霍夫曼码的解码过程之后,压缩数据被(CPU42)再次写入主存储器43中。随后,选择控制器把已经通过霍夫曼处理的图象数据从主存储器43经过FIFO缓存器54送到图象扩张装置部分51。在此之前,CPU42将是否以正常模式还是以高清晰度模式执行解码的指令送到图象扩张装置部分51。在该图象扩张装置部分51中执行反向量化过程和反向DCT过程,并根据来自CPU42的指令的模式执行对于图象数据的扩张解码处理。

分类控制器45把扩展的图象数据经过FIFO缓存器55送到存储器43。在此情形中,如上所述,图象扩张装置部分51以宏数据块为单位执行扩张处理。为此原因,分类控制器45把以宏数据块为单元的压缩数据从主存储器43转换到输入FIFO缓存器54中。随之,当这一扩张解码过程被完成之后,该图象扩张装置部分51将作为结果的已扩张的图象数据输入到输出FIFO缓存器55,并同时从输入FIFO缓存器54获得下一个宏数据块的压缩数据,以便从而执行扩张解码处理。

如果系统总线41处于自由态而且图象扩张装置部分51的FIFO缓存器55不是处于空置,则该分类控制器45将把一个宏数据块的扩展的图象数据转换到主存储器43,并把下一个宏数据块的压缩图象数据传送到图象扩张装置部分51的输入FIFO缓存器54。

当扩展图象数据的宏数据块的预定装置加在主存储器43中时,经过成象装置部分61,CPU42把扩张数据转换到帧存储器63中。此时,如果被扩张的图象数据被传送到帧存储器63的图象存储器区AD,则该数据将不作任何修饰而被显示在图象监视装置65上作为背景运动图象。而且,有时将这些数据送到帧存储器63的结构区AT。该结构区AT的图象数据被用于作为结构图象的多边形的修正。

此情形中,图形图象与背景运动图象合成,背景运动图象的图象数据被以正常模式扩张解码或第一比特数的图象数据,并转换到帧存储器63。而且,扩展的图象数据被转换到结构区AT,以同样方式,该数据被扩张解码为正常模式的第一比特数的图象数据。如此处理的原因在于该图形图象数据是以第一比特数构成的。然而,在背景图象不与图形图象相合成的情况中,该数据被扩张解码成具有高清晰度的第二比特数的图象数据。

顺便说,在图象扩张装置部分51中被扩展和解码的图象数据被从主存储器43转换到帧存储器63。在本例中,其转换指令以下述方式使用。扩张的图象数据变换成转换指令类型的这样一种变换是在CPU42中实现的。

即,图6是这种转换指令的一个结构的示意图。转换指令具有和成象指令几乎相同的类型,在其前沿带有一标记TG,随后是识别数据IDP。与成象指令方式相同,标记TG包括主存储器43的地址值,其中存储有下一个成象指令或转换命令,指示用于扩张图象数据的转换指令这种事实的数据表征被描述在识别数据IDP中。

在图6中,下一数据"H"和"W"表示将被转换的扩张数据区的高度与宽度。该高度与宽度对应于一帧的图象场的区域。而且,数据

"X"和"Y"指示该数据能要转换到的位置的坐标。因为其转换区是矩形,所以每一个坐标都指示该矩形的上右区的坐标。如果转换位置是在帧存储器的图象存储器区AD内,则每一个坐标都是在区域AD内的坐标,若转换位置是在区域AT内,则每一坐标都是在区域AT内的坐标。

在扩张图象数据的转换指令的情形中,从标记TG区域到坐标X、Y的转换以及标题的尺寸是由识别数据IDP所指示。从识别数据IDP到坐标X、Y的转换对应于图3所示成象指令的指令识别码CODE。

转换指令包括接在标题之后的已扩张图象数据的象素PIX0、PIX1、PIX2……,PIYn。如上所述,在正常模式中的每一象素具有15比特,而高清晰度模式中为24比特。经过成象装置部分61,扩张图象数据从主存储器43以由分类控制器45的转换指令为单元转换到帧存储器63。

另外,如上所述,图象扩张装置部分51把一帧图象分成包括长度 $\times$ 宽度=16 $\times$ 16的宏数据块,以便按着数据块的单元执行扩张解码。举例而言,假设该图象包括长度 $\times$ 宽度=320 $\times$ 320的一帧,则一帧被分成了如图7所示的300个宏数据块。

当把300个宏数据块转换到成象装置部分61时,在这些转换指令被形成宏数据块的情形中,标题部分的前端是太大了。因而在本例中,如图1所示,有多个(图18中是15个)在纵向的宏数据块被耦合,并以此作为由转换指令所要馈送的一个单元。

用于一帧的第一转换指令的一个例子示于图9中。在图9中,坐标X、Y是0、0。在下一个转换指令中,坐标X、Y是16,0。

因此,由于以在成象指令中的相同方式将扩张图象数据变换成

转换指令型,所以,由分类控制器45 所执行的将多边形成象指令与转移命令进行混合、成象及图象的形成可在帧存储器63 中由成象装置部分利用标记TG来执行。

[从帧存储器中读出图象数据过程的说明]

首先,CPU42将指令送到成象装置部分61,以便把帧存储器的图象存储区AD的一个帧缓存区A(变成显示缓存器)的图象数据送到图象监视装置67。此时,CPU42 也将指令正常模式还是高清晰度模式的模式转换控制信号送到成象装置部分61。

当指定为正常模式时,成象装置部分61把开关SW1和SW2转换到接端N侧,并选择扩张电路64。此时,对每15 个比特的象素数据PIX的每一个(二字节)被以如图10A椭圆线所圈出的方式写入在帧存储器63的图象存储区AD的显示缓冲存储器中。

如上所述,扩张电路64从帧存储器的图象存储区AD的显示中缓冲存储器中读出每一个15比特的图象数据,并顺序地把读出的数据转换到A/D变换器66以变换模拟信号。因此,在图象监视装置67 的图象场上形成重放图象。在此情况中,以正常模式重放的是:

- i) 仅仅是图形图象;
- ii) 将所获结构图象附加在成象的多边形的合成图象;
- iii) 由扩张解码器获得的、被成象为包括15比特/象素的运动或静止图象的背景图象中的多个多边形的合成图象;
- iv) 仅由扩张解码器获得的15比特/ 象素的运动图象或静止图象、等等。

当指定为高清晰度模式时,成象装置部分61把开关SW1和SWZ转换到接端H侧,并选择拆开电路65。此时,对于每24个比特的象素的

数据PIX的每一个(三字节)被以如图10B的椭圆线所圈出的方式写入在帧存储器63的图象存储区AD的显示缓冲存储器中。

拆开电路65从帧存储器的图象存储区AD的显示缓冲存储器中读出每一个24比特的图象数据,并顺序地把读出的数据转换到A/D转换器66以变换模拟信号。因此,在图象监视装置的图象场上形成重放图象。在此情况中,以高清晰度模式所显示的是由扩张解码所获得的24比特/象素的运动图象或静止图象。

在帧缓存器A的图象数据被读出的同时,CPU42在主存储器43中产生出将被随后送到成象装置61的数据。在成象指令行的产生过程中,控制板71的操作输入被读出,响应这一操作输入,主存储器43的数据包缓存器(变成设置数据包缓存器)的成象指令行的坐标值被刷新,当此同时,成象指令行的每一个成象命令的标记被重写。在被扩张的图象数据的情形中,数据按如上述的方式变换成转换指令型。CPU42识别该数据是15比特/象素的被扩张的图象数据或24比特/象素的数据。

在CPU42处理成象命令的形成或把扩张的图象数据变成转换指令的同时,分类控制器45把成象指令行或扩张图象数据从主存储器43转换到另一个帧缓存器区B(变成成象缓存器)。与此同时,CPU42识别该转换数据是成象指令行,或是15比特/象素的扩张的图象数据或是24比特/象素的扩张图象的数据。

随后,当全部成象指令行或转换指令行从主存储器43中被转换出时,CPU42则利用该帧存储器63的其它帧缓存区B作为显示缓存器,并指令成象装置部分61读出图象数据或扩张的图象数据,并把这些数据输出到成象监视器65。此时,以与先前描述的相同方式,

CPU42还将模式转换信号送到成象装置部分61。如前所述,成象装置部分61执行开关SW1和SW2的切换并响应一般模式及高清晰度模式执行读出处理。此外,在此情况中,帧存储器的帧缓器A被同时切换到成象缓存器。

在利用其它显示缓存器B作为显示缓存区而读出图象数据的同时,如上所述,CPU42在主存储器43中产生出将被顺序转换到成象装置部分61的数据。在CPU42对成象指令形成进行处理或把扩张的图象数据变化成转换命令型时,由选择控制器45将成象命令行或扩张的图象数据从主存储器43转换到一个帧缓存区A(变成图象缓存器)中。

可以通过重复先前的操作来显示运动图象。此外,拆开电路64和65响应一般模式和高清晰度模式而被切换,而且,写在帧存储器63中的图象数据可响应于图象质量而读出,以便处理。

顺便说,在前述的描述中,已经给出了每一个象素的两种比特数的实例。然而,本发明可同样应用于每一个象素有三种或者更多种比特数的情况。

而且,在前例中,图象数据或应用程序是记录在CD-ROM盘上。但是,任何其它种类的记录介质,例如半导体存储器类、磁盘、存储卡都可用作记录介质。

而且,DCT被用作图象的数据压缩方法,但其它任何种类的图象数据压缩方法都可采用。

在不偏离本发明精神及范围的条件下可有对本发明的各种详细改变。而且,前面对于依照本发明实施例的描述只是用于说明的目的,并不是用于对所附权利要求及等同物所定义的发明作局限的

目的。

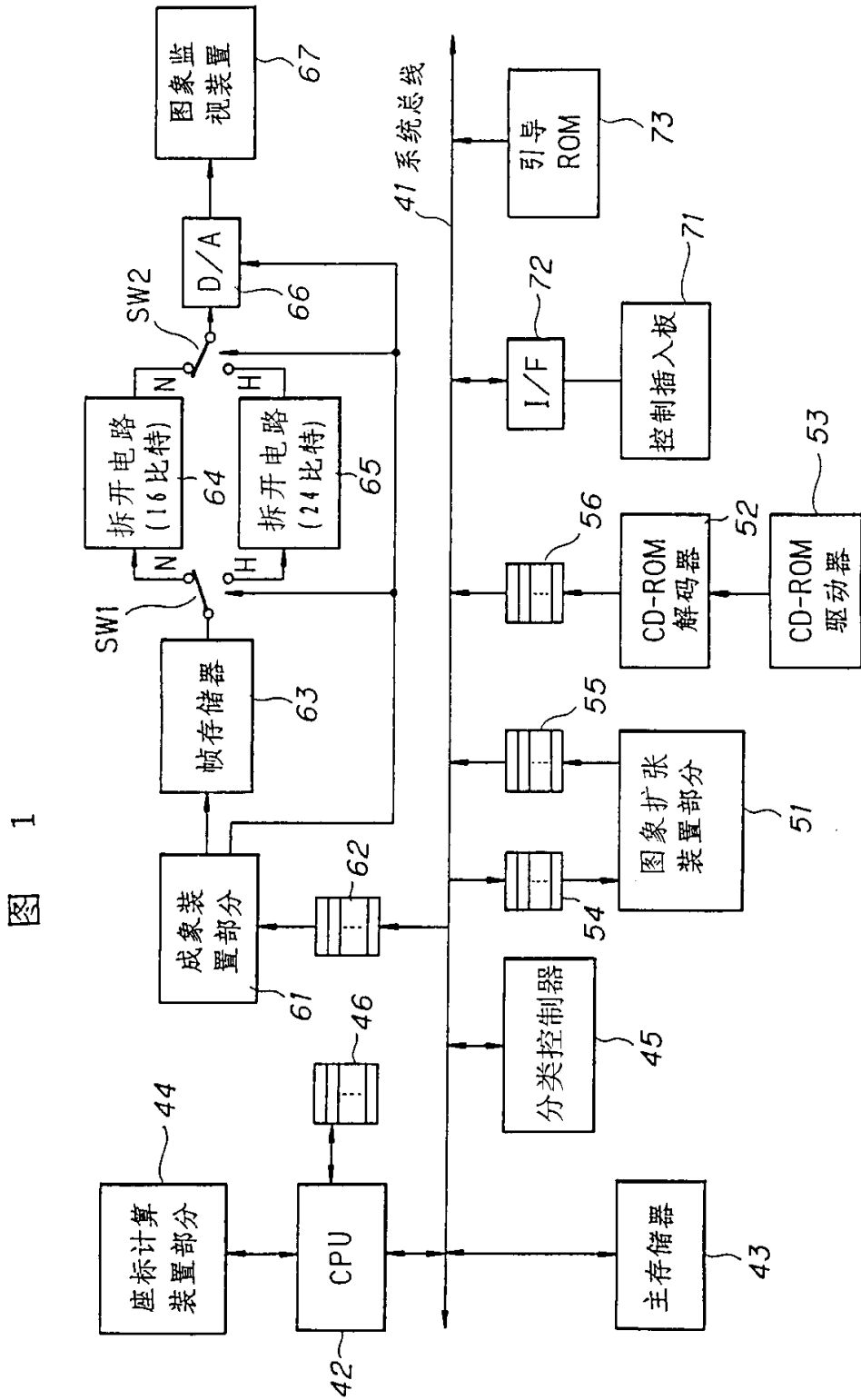


图 2

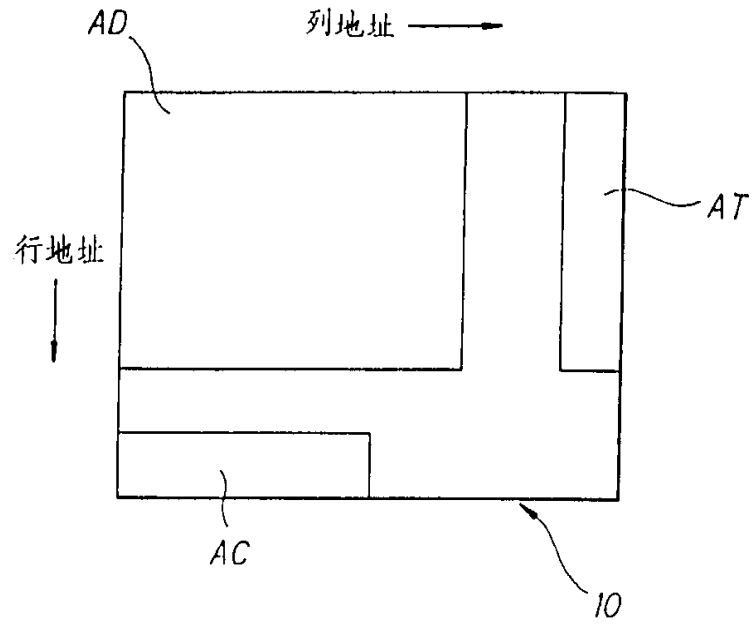


图 3

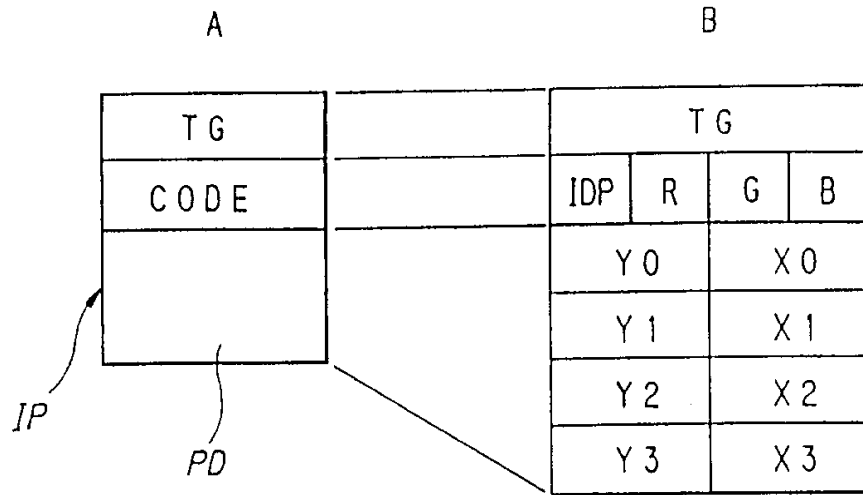


图 4

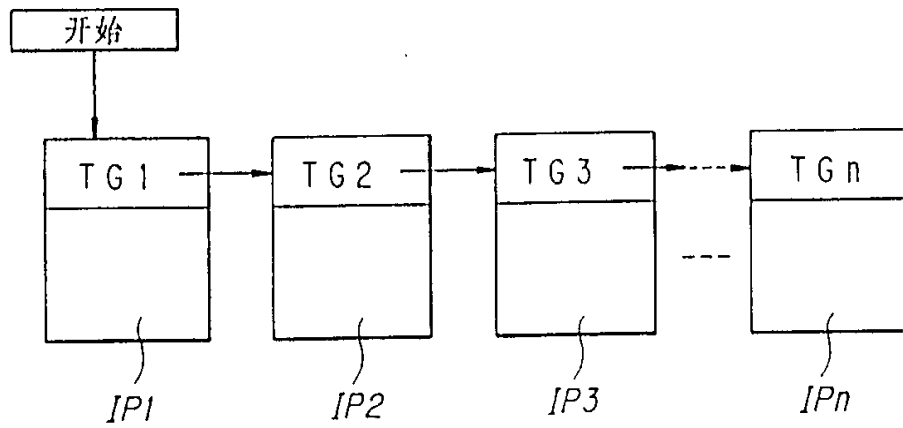


图 5

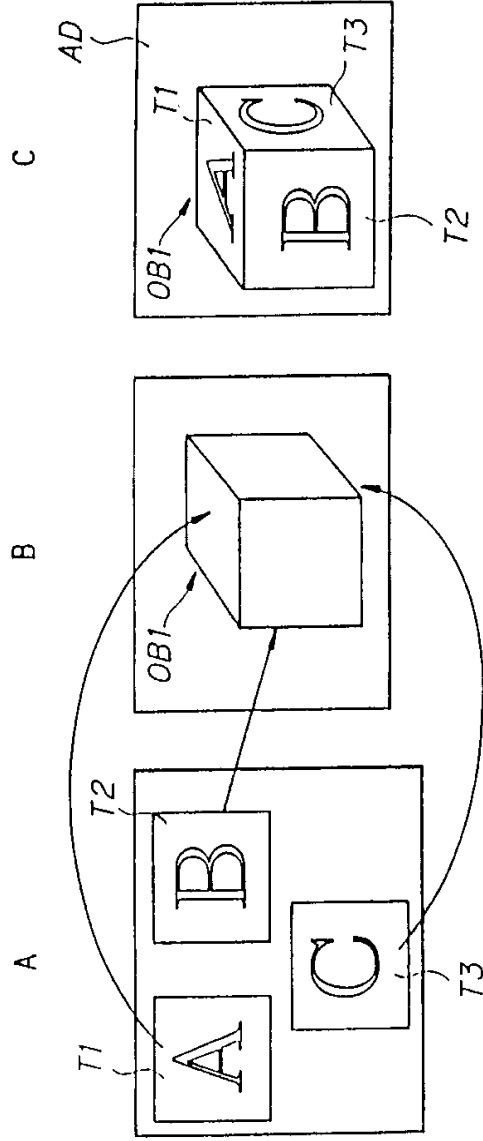


图 6

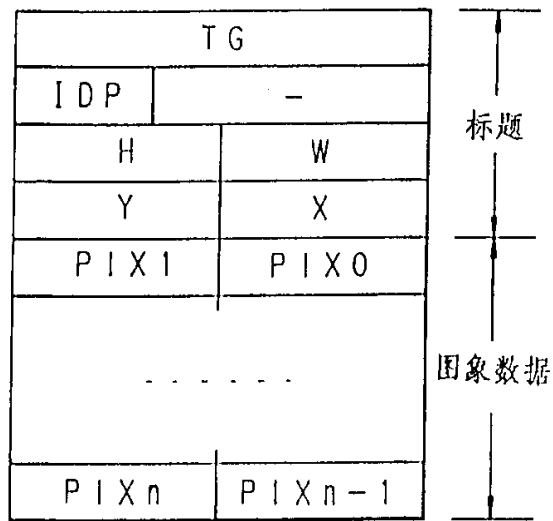


图 7

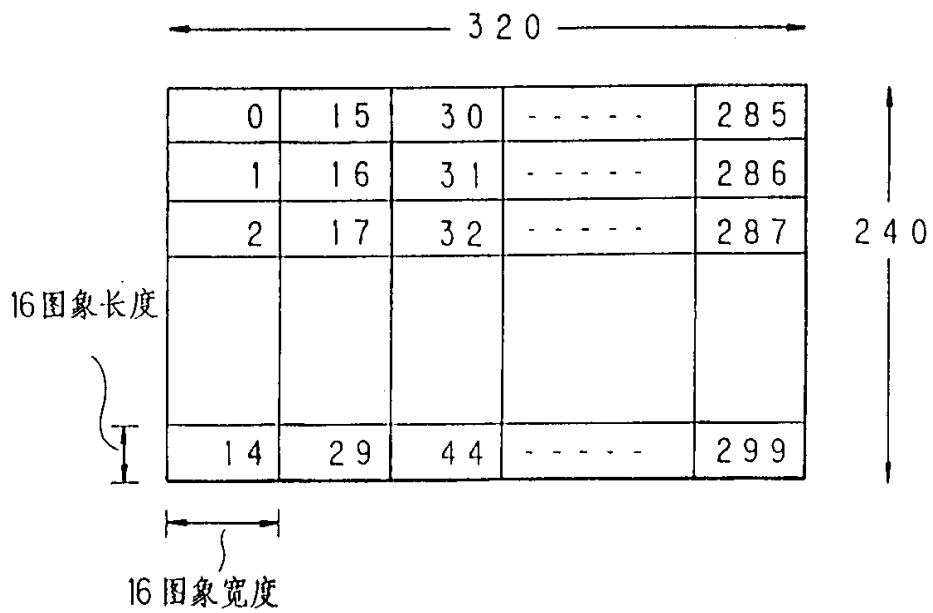


图 8

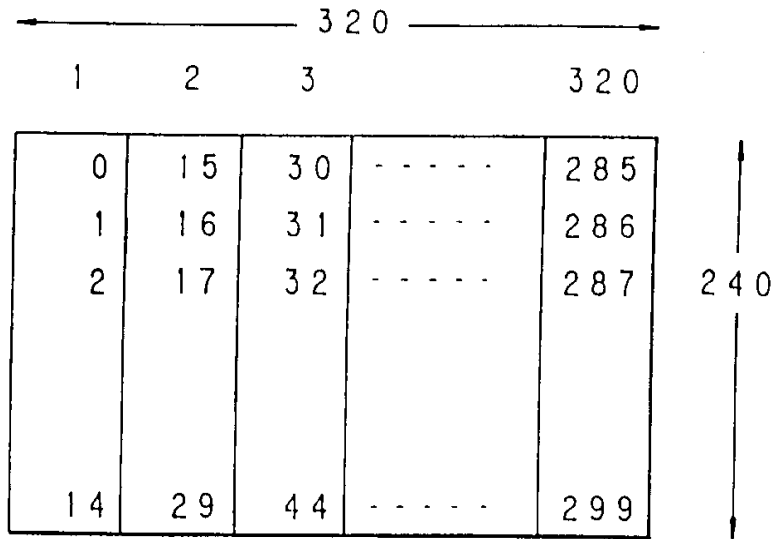


图 9

第一转移命令

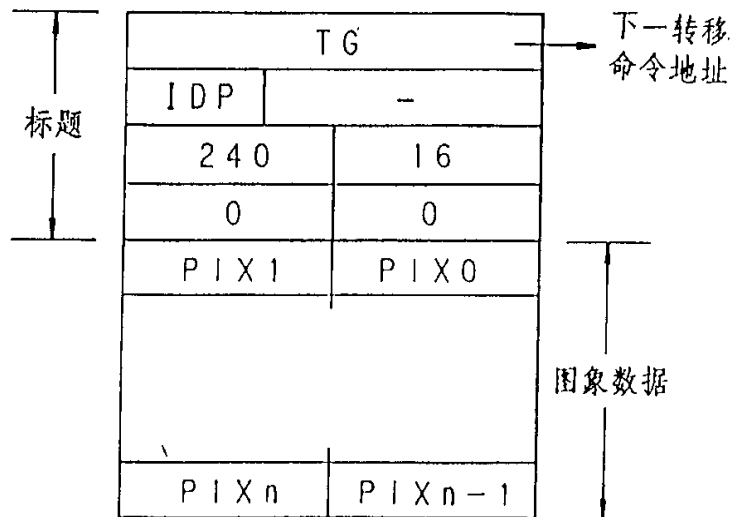
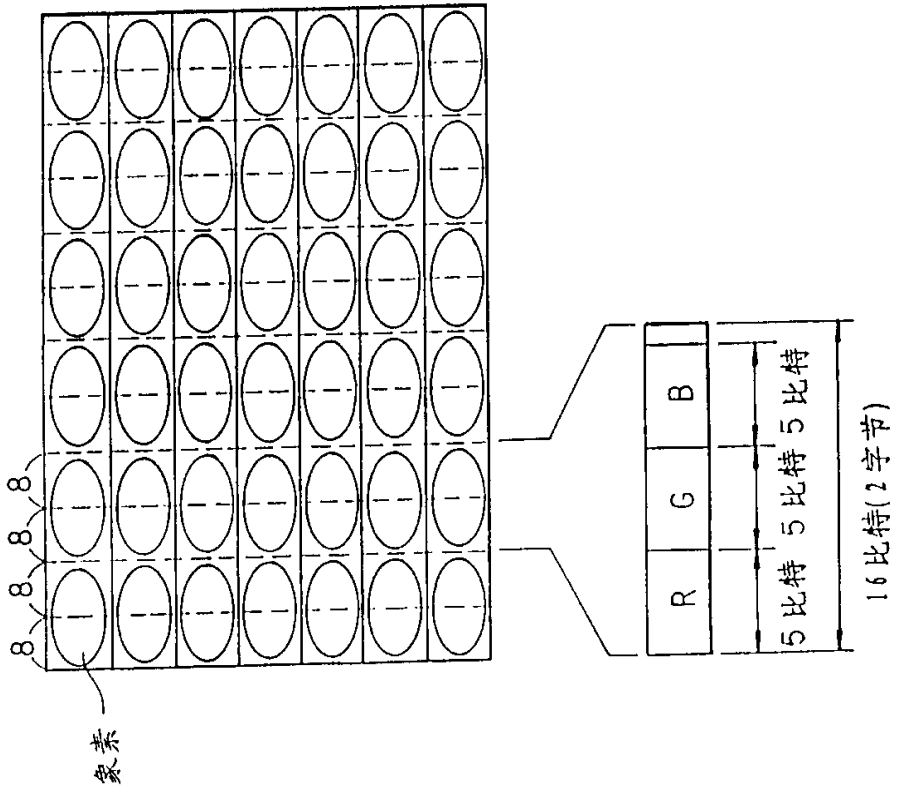


图 10

一般模式



高清晰度模式

