



(12) 发明专利

(10) 授权公告号 CN 101657882 B

(45) 授权公告日 2012. 05. 30

(21) 申请号 200880011901. 3

G02F 1/1368 (2006. 01)

(22) 申请日 2008. 03. 14

H01L 27/12 (2006. 01)

(30) 优先权数据

106578/2007 2007. 04. 13 JP

(56) 对比文件

US 2005/0098827 A1, 2005. 05. 12,

JP 平 11-45862 A, 1992. 02. 16,

JP 2002-198328 A, 2002. 07. 12,

US 2004/0061176 A1, 2004. 04. 01,

(85) PCT申请进入国家阶段日

2009. 10. 13

(86) PCT申请的申请数据

PCT/JP2008/055172 2008. 03. 14

审查员 赵世欣

(87) PCT申请的公布数据

W02008/132894 EN 2008. 11. 06

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 21/02 (2006. 01)

G09F 9/30 (2006. 01)

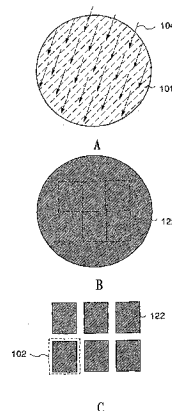
权利要求书 2 页 说明书 25 页 附图 25 页

(54) 发明名称

显示器件、用于制造显示器件的方法、以及
SOI 衬底

(57) 摘要

本发明提供了一种制造方法, 其实现具有大面积的 SOI 衬底并能够改善使用该 SOI 衬底来制造显示器件的生产率。将多个单晶半导体层键合到具有绝缘表面的衬底, 并使用该单晶半导体层形成包括晶体管的电路, 以便制造显示器件。将从单晶半导体层分离的单晶半导体层应用于所述多个单晶半导体层。所述单晶半导体层中的每一个具有对应于一个显示面板的尺寸 (面板尺寸)。



1. 一种用于制造显示器件的方法,包括以下步骤:

向第一衬底中注入离子以形成第一单晶半导体层;

将所述第一单晶半导体层切割成多个单晶半导体层,每个单晶半导体层具有包括一个面板的面积;

将所述多个单晶半导体层键合到第二衬底,在它们之间插入第一绝缘层;

使选自所述多个单晶半导体层中的第二和第三单晶半导体层一次暴露,第二和第三单晶半导体层的每个具有包括一个面板的面积;

通过使用所述第二单晶半导体层而在所述第二衬底之上形成第一显示部分;以及

通过使用所述第三单晶半导体层而在所述第二衬底之上形成第二显示部分。

2. 一种用于制造显示器件的方法,包括以下步骤:

通过选择性地蚀刻第一衬底来形成多个突出部分,每个突出部分具有包括一个面板的面积;

向所述第一衬底中注入离子以便分别在所述多个突出部分中形成多个单晶半导体层,每个单晶半导体层具有包括一个面板的面积;

在所述多个突出部分之上形成第一绝缘层;

将所述多个单晶半导体层键合到第二衬底,所述第一绝缘层插入在它们之间;

使选自所述多个单晶半导体层中的第一和第二单晶半导体层一次暴露,第一和第二单晶半导体层的每个具有包括一个面板的面积;

通过使用所述第一单晶半导体层而在所述第二衬底之上形成第一显示部分;以及

通过使用所述第二单晶半导体层而在所述第二衬底之上形成第二显示部分。

3. 一种用于制造显示器件的方法,包括以下步骤:

向第一衬底中注入离子以形成单晶半导体层;

将所述单晶半导体层切割成多个单晶半导体层,每个单晶半导体层具有包括一个面板的面积;

将所述多个单晶半导体层键合到第二衬底,在它们之间插入第一绝缘层;以及

通过使用所述多个单晶半导体层中的每一个而在所述第二衬底之上形成多个显示部分。

4. 一种用于制造显示器件的方法,包括以下步骤:

通过选择性地蚀刻第一衬底来形成多个突出部分,每个突出部分具有包括一个面板的面积;

向所述第一衬底中注入离子以便分别在所述多个突出部分中形成多个单晶半导体层,每个单晶半导体层具有包括一个面板的面积;

在所述多个突出部分之上形成第一绝缘层;

将所述多个单晶半导体层键合到第二衬底,所述第一绝缘层插入在它们之间;以及

通过使用所述多个单晶半导体层中的每一个而在所述第二衬底之上形成多个显示部分。

5. 如权利要求 1-4 中任一项所述的用于制造显示器件的方法,其中,所述第一绝缘层是使用有机硅烷作为源气体通过化学汽相沉积法形成的硅氧化物层。

6. 如权利要求 5 所述的用于制造显示器件的方法,其中,所述有机硅烷是选自由四乙

氧基硅烷、三甲基硅烷、四甲基硅烷、四甲基环四硅氧烷、八甲基环四硅氧烷、六甲基二硅氮烷、三乙氧基硅烷、和三二甲氨基硅烷组成的组中的一种。

7. 如权利要求 1-4 中任一项所述的用于制造显示器件的方法,其中,所述第一衬底是半导体衬底。

8. 如权利要求 1-4 中任一项所述的用于制造显示器件的方法,其中,所述第二衬底是选自自由铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃、石英衬底、蓝宝石衬底、和陶瓷衬底组成的组中的一种。

9. 如权利要求 1-4 中任一项所述的用于制造显示器件的方法,其中,所述包括一个面板的面积沿对角线小于 10 英寸。

10. 如权利要求 1 或 2 所述的用于制造显示器件的方法,其中,在用曝光装置曝光一次的范围内提供所述第一和第二单晶半导体层。

11. 如权利要求 2 或 4 所述的用于制造显示器件的方法,其中所述第一绝缘层是键合层。

12. 如权利要求 2 或 4 所述的用于制造显示器件的方法,还包括在所述多个突出部分之上形成第二绝缘层的步骤,

其中所述第一绝缘层形成在所述第二绝缘层之上,并且

其中所述多个单晶半导体层被键合到所述第二衬底,且所述第一绝缘层和所述第二绝缘层插入在它们之间。

13. 如权利要求 12 所述的用于制造显示器件的方法,其中所述第二绝缘层包含氮。

显示器件、用于制造显示器件的方法、以及 SOI 衬底

技术领域

[0001] 本发明涉及 SOI（绝缘体上硅）衬底和使用该 SOI 衬底制造的显示器件。特别地，本发明涉及键合 SOI 技术、通过将单晶或多晶半导体层键合到具有绝缘表面的衬底（例如玻璃）形成的 SOI 衬底、以及使用该 SOI 衬底制造的显示器件。

背景技术

[0002] 随着近年来 VLSI 技术的飞跃发展，使得能够实现高速工作和低功耗的 SOI 结构已引起注意。在这种技术中，通常由块体单晶硅形成的场效应晶体管（FET）的有源区（沟道形成区）由单晶硅薄膜形成。众所周知，SOI 结构的使用使得能够制造具有比在使用块体单晶硅衬底的传统情况下小的寄生电容的 MOS 场效应晶体管，并有利于高速工作。

[0003] 已知一种用于制造传统 SOI 衬底的方法，氢离子注入分离法（例如参阅参考文献 1：PCT 国际公开 No. 00/24059）。在氢离子注入分离法中，通过向硅晶片注入氢离子而在距离表面一定的深度处形成微泡层以便将该微泡层制成解理面，因此将薄单晶硅层（SOI 层）键合到另一硅晶片；除执行用于将 SOI 层分离的热处理之外，参考文献 1 描述了需要通过经由氧化气氛中的热处理在 SOI 层上形成氧化膜、去除该氧化膜、并在 1000 ~ 1300℃ 下在还原气氛中执行热处理来增强键合强度。

[0004] 作为利用 SOI 衬底的半导体器件的示例，已知本申请人提出的半导体器件（参阅参考文献 2：日本公开专利申请 No. 2000-12864）。参考文献 2 披露需要 1050 ~ 1150℃ 的温度下的热处理来去除由于 SOI 层中的应力而引起的层级或缺陷。

发明内容

[0005] 用于制造传统 SOI 衬底的方法需要 1000℃ 或更高的高温下的热处理以便保证 SOI 层的高键合强度。因此，难以在具有约 600℃ 的耐热温度的衬底（例如玻璃衬底，其可以用于制造诸如液晶面板等显示器件）上形成 SOI 层。即使通过氢离子注入分离法在玻璃衬底上提供 SOI 层，也不能施加高温下的热处理；因此，存在 SOI 层的键合强度低的问题。此外，在利用氢离子注入分离法的传统 SOI 衬底中，通过将一片硅晶片键合到另一片硅晶片并将硅晶片之一薄化来获得 SOI 结构。因此，利用氢离子注入分离法的传统 SOI 衬底取决于硅晶片的尺寸，并且其难以具有大的面积。

[0006] 鉴于以上问题，本发明的目的是在 SOI 衬底中具有大面积并改善利用该 SOI 衬底制造显示器件的生产率。此外，另一目的是显示器件的高性能。

[0007] 将多个单晶半导体层键合到具有绝缘表面的衬底，并使用该单晶半导体层形成包括晶体管的电路，使得制造显示器件。

[0008] 将与单晶半导体衬底分离的单晶半导体层应用于所述单晶半导体层。可以应用多晶半导体衬底来代替单晶半导体衬底。将所述单晶半导体层分成每个具有对应于一个显示面板的尺寸（面板尺寸）的各个区段，具体地说，即为每个具有包括一个面板的面积的各个区段，并将单晶半导体层的各个区段键合到具有绝缘表面的衬底。

[0009] 在从单晶半导体衬底转移多个单晶半导体层的情况下,多个单晶半导体层可以属于一个对准标记。

[0010] 本发明的一方面是一种用于制造显示器件的方法,包括步骤:将通过将半导体衬底分成每个具有包括一个面板的面积的各个区段而获得的多个单晶半导体层键合到具有绝缘表面的衬底并在其之间插入绝缘层,并且通过使选自所述多个单晶半导体层的块体暴露而每次使用所述单晶半导体层中的每一个形成包括晶体管的电路并转移且形成电路图案。

[0011] 本发明的另一方面是一种用于制造显示器件的方法,包括步骤:将通过将半导体衬底分成每个具有包括一个面板的面积的各个区段而获得的多个单晶半导体层键合到具有绝缘表面的衬底,有通过使用有机硅烷作为源气体的化学汽相沉积法形成的硅氧化物层插在中间;以及通过使选自所述多个单晶半导体层的块体暴露而每次使用所述单晶半导体层中的每一个形成包括晶体管的电路并转移且形成电路图案。

[0012] 本发明的另一方面是选自所述多个单晶半导体层的一个块体可以在可以使用曝光装置使其暴露于光一次的范围内、即在使用曝光装置使其暴露于光一次的范围内的块体。此外,多个单晶半导体层可以属于所述一个块体中的一个对准标记。

[0013] 本发明的另一方面是一种包括电路的显示器件,所述电路包括在具有绝缘表面的衬底上的晶体管。所述晶体管包括沟道形成区,该沟道形成区包括单晶半导体。在所述晶体管的沟道形成区与所述具有绝缘表面的衬底之间提供有通过使用有机硅烷作为源气体的化学汽相沉积法形成的硅氧化物层。

[0014] 本发明的另一方面是可以使用四乙氧基硅烷、三甲硅烷、四甲基硅烷、四甲基环四硅氧烷、八甲基环四硅氧烷、六甲基二硅氮烷、三乙氧基硅烷、或三二甲氨基硅烷作为所述有机硅烷。

[0015] 本发明的另一方面是可以使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃、石英衬底、蓝宝石衬底、或陶瓷衬底作为具有绝缘表面的衬底。

[0016] 在本说明书中,显示器件表示其中使用显示元件(例如液晶元件、发光元件、或电泳元件)的器件;即图像显示器件。此外,所述显示器件的示例包括所有以下各项:其中将诸如软性印制电路(FPC)、载带自动键合(TAB)带、带载封装(TCP)等外部输入端子附接于显示面板(例如液晶面板或发光面板)的模块;其中在TAB带或TCP的末端处提供印刷布线板的模块;以及其中通过COG(玻璃上芯片)法在显示面板上直接安装IC(集成电路)或CPU(中央处理单元)的模块。

[0017] 本发明的应用使得能够实现具有大面积的SOI衬底并改善利用该SOI衬底制造显示器件的生产率。此外,可以在利用该SOI衬底的显示器件中实现高性能。

附图说明

[0018] 在附图中:图1A和1B是示出根据本发明的SOI衬底的结构示例的透视图;图2A和2B是示出根据本发明的SOI衬底的结构示例的横截面图;图3A和3B是示出根据本发明的SOI衬底的结构示例的横截面图;图4A至4C是示出根据本发明的用于制造SOI衬底的方法示例的横截面图;图5A和5B是示出根据本发明的用于制造SOI衬底的方法示例的横截面图;图6A至6C是示出根据本发明的用于制造SOI衬底的方法示例的顶视

图 ;图 7A 至 7C 是示出根据本发明的用于制造 SOI 衬底的方法的示例的横截面图 ;图 8A 至 8B 是示出根据本发明的用于制造 SOI 衬底的方法的示例的透视图 ;图 9A 至 9C 分别是示出根据本发明的显示器件的示例的顶视图、横截面图、和透视图 ;图 10A 至 10D 是示出根据本发明的用于制造显示器件的方法的示例的顶视图 ;图 11A 至 11D 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 12A 至 12C 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 13A 和 13B 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 14A 和 14B 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 15 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 16 是示出等离子体处理装置的结构示例的图示 ;图 17 是示出根据本发明的显示器件的示例的分解图 ;图 18A 至 18C 是示出根据本发明的显示器件的示例的透视图 ;图 19A 至 19E 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 20A 和 20B 是示出根据本发明的用于制造显示器件的方法的示例的横截面图 ;图 21 是示出根据本发明的显示器件的示例的横截面图 ;图 22 是示出根据本发明的显示器件的示例的横截面图 ;图 23A 至 23D 是示出根据本发明的用于制造 SOI 衬底的方法的示例的横截面图 ;图 24A 和 24B 是示出根据本发明的用于制造 SOI 衬底的方法的示例的横截面图 ;图 25A 和 25B 是示出根据本发明的 SOI 衬底的示例的顶视图 ;以及图 26A 和 26B 是示出根据本发明的 SOI 衬底的示例的顶视图。

具体实施方式

[0019] 在下文中,参照附图来详细描述本发明的实施方式。请注意,本发明不限于以下说明,并且本领域的技术人员可容易地理解的是在不脱离本发明的精神和范围的情况下可以以各种方式修改本文所公开的模式和细节。因此,不应将本发明解释为局限于下面将给出的实施方式的说明。在下文将描述的本发明的结构中,在某些情况下,在不同的图中使用表示相同部分的附图标记。

[0020] (实施方式 1) 通过将单晶半导体层从单晶半导体衬底转移到不同类型的衬底(在下文中,也称为“基板(base substrate)”)来形成根据本实施方式的 SOI 衬底。在下文中,描述根据本实施方式的 SOI 衬底和用于制造 SOI 衬底的方法的实施方式。

[0021] 图 1A 和 1B 示出根据本发明的 SOI 衬底是结构示例的透视图。此外,图 2A 至 3B 示出根据本发明的 SOI 衬底的示例的横截面图。

[0022] 在图 1A、2A 和 2B 中,SOI 衬底 100 具有其中在基板 110 的表面上提供多个分层体的结构,在所述分层体中,依次堆叠绝缘层 120 和单晶半导体层(在下文中,也称为 SOI 层)130。SOI 层 130 被设置在基板 110 上,有绝缘层 120 插在它们之间,并构成所谓的“SOI 结构”。也就是说,在一个基板 110 上提供多个 SOI 层 130,并且构成一个 SOI 衬底 100。图 2A 和 2B 为了方便起见示出其中在一个基板 110 上提供两个 SOI 层 130 的示例。

[0023] SOI 层 130 是单晶半导体,且通常应用单晶硅。或者,还可以应用可以通过氢离子注入分离法从单晶半导体衬底或多晶半导体衬底分离的硅、锗、诸如砷化镓或磷化铟等化合物半导体的晶体半导体层。

[0024] 根据本发明的 SOI 衬底的特征在于构成 SOI 衬底的 SOI 层 130 的尺寸是希望的面板尺寸。SOI 层 130 被分成各个区段,每个区段具有包括一个面板的面积,所述面积是希望

的面板尺寸。在本说明书中,“面板尺寸”表示除显示部分之外的显示面板的周边框架部分(非显示部分)的尺寸。此外,“尺寸”表示面积。在根据本发明的 SOI 衬底中,通过将半导体衬底分成每个具有包括一个面板的面积的各个区段而获得的多个 SOI 层 130 键合到基板 110,有绝缘层 120 插在它们之间,所述面积是希望的面板尺寸。

[0025] 可以根据使用而适当地确定面板尺寸,例如,可以采用 10in. 或以下的对角线的小型至中型面板尺寸。例如,相对于具有小型至中型面板的移动电话,显示部分的已知尺寸(屏幕尺寸)是 2.2in. (56mm)、2.4in. (61mm)、和 2.6in. (66mm) 的对角线;当移动电话具有以上面板尺寸时,可以除屏幕尺寸之外还考虑显示部分周围的框架部分的尺寸(屏幕框架尺寸)的情况下确定面板尺寸。

[0026] 虽然 SOI 层 130 的形状未受到特别限制,但优选矩形形状(包括正方形),该矩形形状使得能够更容易地加工 SOI 层 130 并以高集成度将 SOI 层 130 键合到基板 110。当将 SOI 层 130 用于显示器件的面板时,优选的是 SOI 层 130 具有 4:3 的纵横比。通过使 SOI 层 130 具有包括一个面板的希望面积,即约等于希望的面板尺寸的尺寸,可以通过并入使用完成的 SOI 衬底而制造的显示面板在制造多种显示器件时以逐个面板为基础来控制产出率。此外,可以在将面板相互分离时防止对元件的损坏。因此,可以改善产出率。通过使 SOI 层 130 具有包括一个面板的希望面积,即约等于希望的面板尺寸的尺寸,可以使用一个 SOI 层来形成每个面板的元件,并且因此能够抑制特性的变化。

[0027] 将具有绝缘表面的衬底或绝缘衬底用于基板 110。具体地说,作为示例,可以给出用于电子工业的多种玻璃衬底(例如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃)、石英衬底、陶瓷衬底、或蓝宝石衬底。优选的是将玻璃衬底用于基板 110;例如,使用称为“第六代”(1500mm×1850mm)、“第七代”(1870mm×2200mm)、或“第八代”(2200mm×2400mm)的大尺寸母体玻璃。通过将大尺寸母体玻璃用于基板 110 并在应用本发明的情况下制造 SOI 衬底,SOI 衬底可以具有大面积。在通过将半导体衬底分成每个具有包括一个面板的面积具体地说是希望的面板尺寸的各个区段而获得的多个 SOI 层键合到具有绝缘表面的基板并在其之间插入绝缘层所形成的 SOI 衬底中,每个 SOI 层具有希望的面板尺寸;因此,可以增加使用一个基板可以制造的显示面板的数目。因此,可以改善通过在其中并入显示器件而制造的最终产品(显示器件)的生产率。

[0028] 绝缘层 120 被设置在基板 110 与 SOI 层 130 之间。绝缘层 120 可以具有单层结构或堆叠层结构。被键合到基板 110 的表面(在下文中,也称为“键合表面”)是平滑且具有亲水性的。在本说明中,在下文中,也将在键合表面上形成的层称为“键合层”。图 2A 示出其中形成键合层 122 作为绝缘层 120 的示例。硅氧化物层适合于具有光滑表面并能够形成亲水表面的键合层 122。特别地,优选通过使用有机硅烷作为源气体的化学汽相沉积法制成的硅氧化物层。作为有机硅烷,可以使用包含硅的化合物,诸如四乙氧基硅烷(缩写:TEOS;化学式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷(缩写:TMS;化学式: $\text{Si}(\text{CH}_3)_4$)、三甲基硅烷(化学式: $(\text{CH}_3)_3\text{SiH}$)、四甲基环四硅氧烷(缩写:TMCTS)、八甲基环四硅氧烷(缩写:OMCTS)、六甲基二硅氮烷(缩写:HMDS)、三乙氧基硅烷(化学式: $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、或三三甲氨基硅烷(化学式: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)。

[0029] 优选的是具有平滑表面并形成亲水表面的键合层 122 具有 5 至 500nm(包括边界值)的厚度。通过使键合层 122 具有以上范围内的厚度,可以使粗糙的成膜表面平滑并保

证键合层 122 的逐渐形成的表面的平滑度。此外,可以减轻键合层 122 与键合到键合层 122 的衬底(在图 2A 中为基板 110)之间的变形。还可以为基板 110 提供类似于键合层 122 的硅氧化物层。相对于根据本发明的 SOI 衬底,在将 SOI 层 130 键合到作为具有绝缘表面的衬底或绝缘衬底的基板 110 时,为在其上面形成键合的两个表面或其中任何一个提供键合层,该键合层优选地由使用有机硅烷作为源气体形成的硅氧化物层形成,由此可以形成牢固的键合。

[0030] 图 2B 示出其中绝缘层 120 具有堆叠结构的示例:具体地说,示出其中形成包括键合层 122 和含氮的绝缘层 124 的堆叠层结构作为绝缘层 120 的示例。包含氮的绝缘层 124 被设置在 SOI 层 130 与键合层 122 之间,以便在基板 110 的键合表面上形成键合层 122。使用硅氮化物层、硅氮氧化物层、或硅氧氮化物层形成包含氮的绝缘层 124 以使其具有单层结构或堆叠层结构。例如,可以通过从 SOI 层 130 侧堆叠硅氧氮化物层及随后的硅氮氧化物层来形成包含氮的绝缘层 124。提供键合层 122 以便形成与基板 110 的键合。优选地提供包含氮的绝缘层 124 以便防止诸如可移动离子或水分等杂质扩散到 SOI 层 130 中并因此而污染 SOI 层 130。

[0031] 请注意,硅氧氮化物层意指包含氧多于氮的膜、以及在使用卢瑟福背散射谱(RBS)和氢前向散射(HFS)执行测量的情况下分别以 50 至 70at. %、0.5 至 15at. %、25 至 35at. %、和 0.1 至 10at. % 范围内的浓度包含氧、氮、硅、和氢的膜。此外,硅氮氧化物层意指包含氮多于氧的膜、以及在使用 RBS 和 HFS 执行测量的情况下分别以 5 至 30at. %、20 至 55at. %、25 至 35at. %、和 10 至 30at. % 范围内的浓度包含氧、氮、硅、和氢的膜。请注意,氮、氧、硅、和氢的百分比在以上给出的范围内,其中将包含在硅氧氮化物层或硅氮氧化物层中的原子的总数定义为 100at. %。

[0032] 图 1B、3A、和 3B 示出其中为基板 110 提供包括键合层的绝缘层 150 的示例。绝缘层 150 可以具有单层结构或堆叠层结构。被键合到 SOI 层 130 的表面是平滑的且具有亲水性。优选的是在基板 110 与键合层之间提供阻挡层以便防止碱金属、碱土金属等的可移动离子从被用作基板 110 的玻璃衬底扩散。

[0033] 图 3A 示出其中形成包括阻挡层 152 和键合层 154 的堆叠层结构作为绝缘层 150 的示例。作为键合层 154,可以提供类似于键合层 122 的硅氧化物层。此外,适当的话可以为 SOI 层 130 提供键合层。图 3A 还示出其中为 SOI 层 130 提供键合层 122 的示例。此类结构可以实现更牢固的键合,因为键合层在将 SOI 层 130 键合到基板 110 时形成键合。使用硅氧化物层、硅氮化物层、硅氧氮化物层、或硅氮氧化物层来形成阻挡层 152 以使其具有单层结构或堆叠层结构。优选地,使用包含氮的绝缘层形成阻挡层 152。

[0034] 图 3B 示出其中为基板 110 提供键合层的示例:具体地说,其中提供包括阻挡层 152 和键合层 154 的堆叠层结构作为基板 110 上的绝缘层 150 的示例。此外,为 SOI 层 130 提供硅氧化物层 126。在将 SOI 层 130 键合到基板 110 时,硅氧化物层 126 形成与键合层 154 的键合。优选的是通过热氧化法形成硅氧化物层 126。还优选的是使用化学氧化物作为硅氧化物层 126。可以通过例如用包含臭氧的水处理半导体衬底的表面来形成化学氧化物。化学氧化物是优选的,因为其形成半导体衬底的表面的反射平面性。

[0035] 接下来,描述根据本发明的用于制造 SOI 衬底的方法。这里,参照图 4A 至 6C 来描述用于制造图 2A 所示的 SOI 衬底的方法的示例。

[0036] 首先,制备半导体衬底 101(参见图 4A 和 6A)。作为半导体衬底 101,可以使用诸如单晶半导体衬底或多晶半导体衬底等市售半导体衬底:具体地说,可以使用半导体衬底(例如硅衬底或锗衬底)或化合物半导体(例如砷化镓或磷化铟)衬底。市售硅衬底的典型尺寸是直径为 5in. (125mm)、6in. (150mm)、8in. (200mm)、和 12in. (300mm),且大部分市售硅衬底是圆形的。此外,可以适当地将膜厚度确定为达到约 1.5mm。

[0037] 接下来,从半导体衬底 101 的表面注入经电场加速的离子 104,使得在区域中的给定深度处形成离子掺杂层 103(参见图 4A 和 6A)。请注意,在本说明中,离子注入意指用加速离子来照射半导体衬底,使得在半导体衬底中包含形成用于照射的离子的元素。此外,离子掺杂层意指通过用离子照射半导体衬底而被削弱至具有微小腔体的区域,并且在下文中称为“分离层”。在分离层处用稍后的热处理来分割半导体衬底,使得可以在基板上形成 SOI 层。在考虑被转移到基板的 SOI 层的厚度的情况下执行用离子 104 进行的照射。优选的是 SOI 层具有 5 至 500nm(包括边界值)、更优选地为 10 至 200nm(包括边界值)的厚度。在考虑要转移的 SOI 层的厚度的情况下适当地确定离子照射中的加速电压和离子的剂量。作为离子 104,可以使用氢气、氦气、或诸如氟的卤素的离子。作为离子 104,优选的是使用包括通过用等离子体激发选自氢气、氦气、和卤素的源气体而形成的原子或多个相同原子的离子种类。在注入氦的情况下,优选的是包含 H^+ 、 H_2^+ 、和 H_3^+ 离子,并以较高的百分比包含 H_3^+ 。因此,可以提高离子照射的效率,并可以缩短离子照射的时间。此外,此类结构使得能够实现容易的分离。

[0038] 为了在给定深度处形成分离层 103,在某些情况下需要以高剂量比率执行用离子 104 进行的照射。在这种情况下,半导体衬底 101 的表面根据条件而变得粗糙。因此,可以提供具有 50 至 200nm(包括边界值)的厚度的硅氮化物层、硅氮氧化物层等作为用于对其应用离子的半导体衬底的表面的保护层。

[0039] 接下来,在半导体衬底上形成键合层 122(参见图 4B 和 6B)。在半导体衬底 101 的表面上形成键合层 122,这形成与基板的键合。作为在这里形成的键合层 122,优选的是如上所述通过使用有机硅烷作为源气体的化学汽相沉积法形成的硅氧化物层。还可以使用通过使用硅烷作为源气体的化学汽相沉积法形成的硅氧化物层。应用在半导体衬底 101 中形成的分离层 103 不发生脱气的温度来通过化学汽相沉积法形成膜。例如,应用 350°C 或更低的成膜温度。将高于通过化学汽相沉积法形成膜的温度的热处理温度应用于热处理,该热处理用于将 SOI 层与诸如单晶半导体衬底或多晶半导体衬底等半导体衬底分离。

[0040] 接下来,将半导体衬底 101 加工成具有希望的尺寸和形状(参见图 4C 和 6C):具体地说,将半导体衬底 101 加工成具有希望的面板尺寸。图 6C 示出其中将圆形形状的半导体衬底 101 分成区段以形成矩形形状的半导体衬底 102 的示例。这时,还将键合层 122 和分离层 103 分割。也就是说,获得每个在给定深度处具有希望的面板尺寸、包括分离层 103,并具有在表面(与基板键合的表面)上形成的键合层 122 的半导体衬底 102。

[0041] 优选的是半导体衬底 102 具有各种显示器件的面板尺寸。可以根据其中并入该面板的最终产品等来适当地确定面板尺寸:例如,面板尺寸可以是小于 10in. 的对角线,其为小型至中型面板的面板尺寸。例如,在将半导体衬底 102 应用于沿对角线具有 2.4in. 的屏幕尺寸的移动电话的情况下,在除对角线上的 2.4in. 的屏幕尺寸之外还考虑屏幕框架尺寸的情况下确定面板尺寸。可以根据最终产品的使用等适当地确定半导体衬底 102 的形

状。在将半导体衬底 102 应用于显示器件的情况下,优选的是半导体衬底 102 具有矩形形状,该矩形形状具有约 3 : 4 的纵横比。此外,优选的是半导体衬底 102 具有矩形形状。因此,随后的制造步骤中的处理很容易,且可以高效地从半导体衬底 101 上切割半导体衬底 102。可以用诸如切块机或线锯等切割装置、激光器、等离子体、电子束、或任何其它切割手段来分割半导体衬底 101。

[0042] 可以适当地改变直至在半导体衬底的表面上提供键合层的步骤的顺序。图 4A 至 4C 和 6A 至 6C 示出其中在半导体衬底中形成分离层、在半导体衬底的表面上提供键合层、并随后将半导体衬底加工成每个具有希望的面板尺寸的示例。然而,还可以采用以下方法,例如:在将半导体衬底加工成具有希望的面板尺寸之后,在具有希望的面板尺寸的半导体衬底中形成分离层,并为具有希望的面板尺寸的半导体衬底的表面提供键合层。

[0043] 接下来,将基板 110 与半导体衬底 102 相互键合。图 5A 示出其中使其提供了键合层 122 的半导体衬底 102 的表面与基板 110 紧密接触并将基板 110 与键合层 122 相互键合使得将基板 110 与半导体衬底 102 相互键合的示例。请注意,优选的是,充分地清洁形成键合的表面(键合表面)。基板 110 与键合层 122 之间的紧密接触形成键合。范德华力作用于此键合上,且基板 110 与半导体衬底 102 通过被压紧而相互键合,因此可以形成由于氢键而产生的牢固键合。

[0044] 可以激活键合表面以便形成基板 110 与键合层 122 之间的良好键合。例如,用原子束或离子束来照射在其上面形成键合的两个表面或其中任何一个。在利用原子束或离子束的情况下,可以使用惰性气体(例如氩气)中性原子束或惰性气体离子束。还可以通过等离子体辐照或自由基处理(radical treatment)来激活键合表面。此类表面处理有利于甚至在 400°C 或更低的温度下在不同的材料之间形成键合。

[0045] 在半导体衬底 102 与基板 110 之间插有键合层 122 的情况下将半导体衬底 102 键合到基板 110 之后,优选的是执行热处理或加压处理。热处理或加压处理能够改善键合强度。优选的是热处理的工艺温度低于或等于基板 110 的耐热温度。执行加压处理,使得在考虑基板 110 与半导体衬底 102 的耐压的情况下沿垂直方向向键合表面施加压力。

[0046] 接下来,执行热处理,使得将半导体衬底 102 的一部分与基板 110 分离,分离层 103 起到解理面的作用(参见图 5B)。优选的是热处理的工艺温度高于或等于键合层 122 的成膜温度并低于或等于基板 110 的耐热温度。例如,在 400 至 600°C (包括边界值)的工艺温度下执行热处理,由此,发生在分离层 103 中形成的微小腔体的体积变化,因此可以沿着分离层 103 进行分离。具有与半导体衬底 102 相同的结晶度的 SOI 层 130 被留在基板 110 上,因为键合层 122 被键合到基板 110。请注意,在本说明中,“解理”意指通过用氢气、氦气、或诸如氟等卤素的离子执行照射而被削弱至具有微小腔体的分离层处分离半导体衬底的一部分,以便在基板上形成 SOI 层。此外,“解理面”表示通过分离而在基板上提供的 SOI 层的分离面(与基板相对的平面)。

[0047] 以上述方式,形成其中在基板 110 上提供 SOI 层 130 的 SOI 结构,有键合层 122 被插入基板 110 与 SOI 层 130 之间。请注意,根据本发明的 SOI 衬底具有在一个基板上提供多个 SOI 层的特征,有键合层被插入基板与 SOI 层之间。例如,形成分离层,在表面处形成键合层,并制备通过被加工成每个具有希望的面板尺寸的各个区段而形成的希望数目的半导体衬底 102。然后,在如图 8A 所示将希望数目的半导体衬底 102 键合到基板 110 之后,

如图 8B 所示通过热处理执行分离一次,使得可以制造 SOI 衬底。作为通过热处理来执行分离一次的替代,还可以重复将一个或一些半导体衬底 102 键合到基板 110 并将半导体衬底 102 的一部分分离以制造 SOI 衬底的步骤。

[0048] 优选的是在基板 110 上系统地布置半导体衬底 102,因为此类布置使得随后的步骤变得容易。例如,诸如 CCD 照相机或计算机等控制系统的使用使得能够实现半导体衬底 102 的系统布置和键合。或者,可以在基板 110 或半导体衬底 102 上形成标记等以调整位置。虽然图 8A 和 8B 示出其中相邻的 SOI 层之间具有一些空间的结构,但也可以将 SOI 层放置为具有尽可能小的空间。

[0049] 优选的是通过分离而获得的 SOI 层经受化学机械抛光 (CMP) 以便使表面平面化。或者,可以通过用激光束照射 SOI 层的表面而不是使用诸如 CMP 等物理抛光手段来执行平面化。优选地在以 10ppm 或以下的浓度包含氧的氮气氛中执行激光束照射。原因是当在氧气气氛中执行激光束照射时,SOI 层的表面可能粗糙。此外,可以执行 CMP 等以获得薄的 SOI 层。

[0050] 图 7A 至 7C 示出在基板侧提供键合层并形成 SOI 层的步骤。这里,描述用于制造图 3B 所示的 SOI 衬底的方法的示例。

[0051] 图 7A 示出用经电场加速的离子 104 照射具有硅氧化物层 126 的半导体衬底 101 使得在给定深度处形成分离层 103 的步骤。可以通过 CVD 法或溅射法、优选地通过热氧化法来形成硅氧化物层 126。作为硅氧化物层 126,还可以使用通过用包含臭氧等的水处理半导体衬底的表面而形成的化学氧化物。可以将类似于图 4A 中的半导体衬底 101 的半导体衬底用于图 7A 中的半导体衬底 101。此外,以类似于图 4A 所示的方式执行用氢气、氦气、或诸如氟等卤素的离子进行的照射。通过在半导体衬底 101 的表面上形成硅氧化物层 126,可以防止由于在离子照射中对半导体衬底的表面造成的损坏而引起的平面性损失。

[0052] 图 7B 示出使在其上面形成硅氧化物层 126 的半导体衬底 102 的表面与在其上面形成阻挡层 152 和键合层 154 的基板 110 紧密接触、从而形成键合的步骤。通过使半导体衬底 102 上的硅氧化物层 126 与基板 110 上的键合层 154 紧密接触来形成键合。通过将其其中形成有分离层 103 且在表面上形成有硅氧化物层 126 的半导体衬底 101 加工成每个具有希望的面板尺寸的各个区段来获得半导体衬底 102。可以通过 CVD 法或溅射法使用硅氧化物层、硅氮化物层、硅氧氮化物层、或硅氮氧化物层来形成阻挡层 152 以使其具有单层结构或堆叠层结构。作为键合层 154,可以形成类似于键合层 122 的硅氧化物层。

[0053] 然后,如图 7C 所示,分离半导体衬底 102 的一部分。以类似于图 5B 所示的方式执行用于分离的热处理:从基板 110 分离半导体衬底 102 的一部分,分离层 103 起到解理面的作用。在分离之后,在基板 110 上仍存在具有与半导体衬底 102 相同的结晶度的 SOI 层 130,因此可以获得如图 1B 所示的 SOI 层。图 7C 所示的 SOI 衬底具有其中在基板 110 上提供 SOI 层 130 的结构,有阻挡层 152、键合层 154、和硅氧化物层 126 被插入 SOI 层 130 与基板 110 之间。在分离之后,可以执行 CMP、激光束照射等以使所获得的 SOI 层平面化或薄化。

[0054] 在应用根据本发明的 SOI 衬底的制造方法的情况下,即使基板 110 具有 600℃ 或更低的耐热温度 (例如玻璃衬底),也可以获得具有高键合强度的键合部分的 SOI 层 130。此外,可以使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃等称为“无碱玻璃”的用于电子工业的多种玻璃衬底,因为可以应用 600℃ 或更低的工艺温度。当然,还可以使用

陶瓷衬底、蓝宝石衬底、石英衬底等。也就是说,可以在具有长度大于 1 米的侧边的衬底上形成单晶半导体层。通过使用此类大尺寸衬底,可以制造显示器件(例如液晶显示器件)或半导体集成电路。

[0055] 根据本发明的 SOI 衬底具有其中在基板上提供平面尺寸的 SOI 层的结构。此类结构使得能够使用一个 SOI 层形成希望的显示面板,并能够实现产出率的改善。此外,可以使用一个 SOI 层形成希望的显示面板,并因此能够抑制形成显示面板的元件的变化。

[0056] 此外,即使在将 SOI 层转移到基板时在 SOI 层的晶体中发生缺陷,也可以以逐个面板为基础来控制产出率。此外,即使将不同种类的材料相互键合,也可以减轻应力,因为每个具有面板尺寸的各 SOI 层被转移到基板;因此,可以实现产出率的改善。

[0057] 根据本发明的 SOI 衬底可以通过在基板上提供多个 SOI 层而具有大面积。因此,可以只通过一个系列的制造工艺来制造许多显示面板,并且因此可以改善通过并入显示面板而制造的最终产品的生产率。

[0058] 可以通过使用以上述方式制造的 SOI 衬底来制造显示器件。图 9A 至 9C 示出根据本发明的显示器件的示例的示意图。这里示出形成液晶显示器件的示例。图 9A 是示例的顶视图的示意图。图 9B 是沿着图 9A 中的示例的线 OP 截取的横截面图。图 9C 是显示器件的示例的透视图。

[0059] 根据本实施方式的液晶显示器件包括第一衬底 600 上的显示部分 620、第一驱动电路部分 630、和第二驱动电路部分 650。用密封剂 680 将显示部分 620、第一驱动电路部分 630、和第二驱动电路部分 650 密封在第一衬底 600 与第二衬底 690 之间。此外,在第一衬底 600 上提供有端子区 670,在端子区 670 处,连接有从外部向第一驱动电路部分 630 和第二驱动电路部分 650 发送信号或电位的外部输入端子。

[0060] 如图 9B 所示,在显示部分 620 中提供有包括晶体管的像素电路部分 628。在第一驱动电路部分 630 中提供有包括晶体管的外围电路部分 638。在第一衬底 600、与像素电路部分 628 和外围电路部分 638 之间依次堆叠有起到基层绝缘层作用的绝缘层 602、绝缘层 604、以及键合层 606。在像素电路部分 628 和外围电路部分 638 之中或之上提供有起到层间绝缘层作用的绝缘层 608 和绝缘层 609。像素电路部分 628 中的晶体管的源极区或漏极区通过在绝缘层 609 中形成的开口而电学连接到像素电极 660。虽然在像素电路部分 628 中集成有包括晶体管的电路,但图 9B 为方便起见示出一个晶体管的横截面图。而且,在外围电路部分 638 中,虽然集成了包括晶体管的电路,但为方便起见,示出两个晶体管的横截面图。

[0061] 在像素电路部分 628 和外围电路部分 638 上提供有被夹在覆盖像素电极 660 的定向膜 682 与定向膜 687 之间的液晶层 684。在液晶层 684 中,用隔离物(spacer)686 来控制距离(蜂窝间隙(cellgap))。第二衬底 690 被设置在定向膜 687 上,有反电极 688 和滤色器 689 被插入它们之间。用密封剂 680 牢固地将第一衬底 600 与第二衬底 690 键合在一起。

[0062] 为第二衬底 690 的外部提供偏振片 692。示出了为第二衬底 690 提供偏振片的示例,因为本实施方式示出反射式液晶显示器件。在透射式液晶显示器件的情况下,例如,可以为第一衬底 600 与第二衬底 690 中的每一个提供偏振片。

[0063] 为端子区 670 提供端子电极 674。端子电极 674 通过各向异性导电层 676 电学连

接到外部输入端子 678。

[0064] 接下来,描述图 9A 至 9C 所示的液晶显示器件的制造方法的示例。

[0065] 首先,提供根据本发明的 SOI 衬底(参见图 11A)。这里示出了其中使用类似于图 2A 所示的 SOI 衬底的示例。

[0066] 在作为基板的衬底 600 上提供多个 SOI 层 610,有绝缘层 602 和 604 及键合层 606 被插在它们之间。SOI 层 610 每个经过加工而具有希望的面板尺寸。虽然为了方便起见在这里描述其中使用包括一个 SOI 层的面板形成区 610b 来制造显示器件的示例,但是同时还可以在相邻面板形成区 610a 中制造显示器件。

[0067] 将具有绝缘表面的衬底或绝缘衬底用于衬底 600。例如,使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃等称为“无碱玻璃”的用于电子工业的多种玻璃衬底;石英衬底;陶瓷衬底;蓝宝石衬底;等等。在本示例中,使用玻璃衬底。

[0068] 提供绝缘层 602 和 604 以便防止碱金属、碱土金属等的可移动离子从玻璃衬底扩散。具体地说,可以形成类似于上述阻挡层的绝缘层。优选的是为绝缘层 602 和 604 中的至少一个形成包含氮的绝缘层(例如硅氮化物层或硅氮氧化物层)。作为键合层 606,可以形成类似于键合层 122 的硅氧化物层。

[0069] 本实施方式示出其中在衬底 600 上形成绝缘层 602 和 604、在分离 SOI 层的半导体衬底侧形成键合层 606、将衬底 600 与半导体衬底相互键合、并随后将半导体衬底的一部分分离以形成 SOI 层 610 的示例。具体地说,使在半导体衬底上形成的键合层 606 与在衬底 600 上形成的绝缘层 604 紧密接触使得将绝缘层 604 与键合层 606 相互键合,从而将衬底 600 与半导体衬底相互键合。预先在给定深度处在半导体衬底中形成通过用氢气、氦气、或卤素的离子照射而形成的分离层。然后,执行热处理使得将半导体衬底的一部分分离,半导体衬底中的分离层起到解理面的作用,从而获得 SOI 层 610。在本示例中,在半导体衬底侧形成键合层 606,使得键合层 606 具有与 SOI 层 610 几乎相同的尺寸。也就是说,同样以类似于 SOI 层 610 的方式使键合层 606 在相邻的面板形成区 610a 与 610b 之间分裂。此外,绝缘层 602 和 604 形成跨越面板形成区 610a 和 610b 的连续层,因为绝缘层 602 和 604 在作为基板的衬底 600 上形成。所使用的 SOI 衬底可以具有根据本发明的任何结构,且可以具有图 2A 至 3B 所示的任何结构。例如,可以在基板侧提供键合层,或者可以在半导体衬底与键合层之间提供诸如热氧化膜等绝缘层。

[0070] 选择性地蚀刻 SOI 层 610 以形成显示部分 620 中的第一 SOI 层 621、及第一驱动电路部分 630 中的第二 SOI 层 631 和第三 SOI 层 641。然后,在第一 SOI 层 621、第二 SOI 层 630、和第三 SOI 层 640 上形成栅电极 614,有绝缘层 612 插在它们之间(参见图 11B)。

[0071] 通过将 SOI 层 610 选择性地蚀刻成具有希望的形状来获得第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641。在本实施方式中,将 SOI 层 610 加工成多个岛形状并分离。在期望第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 的厚度小于所制备的 SOI 衬底的 SOI 层的厚度时,可以将 SOI 层蚀刻成具有更小的厚度。或者,可以在 SOI 层的质量方面局部地改变 SOI 层(质量改变),并且可以将所改变的部分选择性地蚀刻成具有较小厚度。SOI 层的质量改变表示氧化处理、氮化处理等等。此外,可以通过适当地控制蚀刻条件等来将第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 形成为端部部分近似垂直地呈锥形或逐渐呈锥形。例如,端部部分可以以大于或等于 45° 且小于 95° 、优选地大于或等于 60°

且小于 95° 的锥角呈锥形,或者可以以小于 45° 的锥角逐渐地呈锥形。

[0072] 为了控制将完成的晶体管的阈值电压,可以以低浓度向第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 添加赋予一种导电性类型的杂质元素。在这种情况下,将该杂质元素添加到晶体管的沟道形成区。以比充当源极区或漏极区的高浓度杂质区的浓度和充当轻掺杂漏极 (LDD) 区的低浓度杂质区的浓度低的浓度添加这时所添加的杂质元素。

[0073] 通过在衬底上整体地形成导电层并随后将该导电层选择性地蚀刻成形成希望的形状来形成栅电极 614。在本实施方式中,作为栅电极 614,在形成导电层的堆叠结构之后,选择性地蚀刻导电层,使得分离的导电层分别与第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 交叉。

[0074] 可以按如下来形成每个形成栅电极 614 的导电层:使用诸如钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铬 (Cr)、铝 (Al)、铜 (Cu)、或铌 (Nb) 等金属元素、或包含以上金属元素的合金或复合材料通过 CVD 法或溅射法在衬底上整体地形成导电层,然后选择性地蚀刻该导电层。此外,还可以使用以多晶硅为代表的半导体材料,已向该半导体材料添加诸如磷等赋予一种导电性类型的杂质元素。

[0075] 虽然本实施方式示出其中栅电极 614 具有两个导电层的堆叠结构的示例,但栅电极可以具有单层结构或者三层或更多层的堆叠层结构。另外,导电层的侧面可以呈锥形。在栅电极具有导电层的堆叠层结构的情况下,下部中的导电层可以比上部中的导电层宽,或者导电层的侧面可以具有相互不同的锥角。

[0076] 在第一 SOI 层 621 与栅电极 614、第二 SOI 层 631 与栅电极 614、和第三 SOI 层 641 与栅电极 614 之间形成栅极绝缘层 612。可以使用硅氧化物、硅氮氧化物、二氧化硅、氧化铝、氧化钽等通过 CVD 法、溅射法、ALD 法等来形成栅极绝缘层 612。此外,还可以通过经由等离子体处理对第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 进行固相氧化或固相氮化来形成栅极绝缘层 612。此外,可以通过 CVD 法等来形成绝缘层且可以通过等离子体处理对该绝缘层进行固相氧化或固相氮化。

[0077] 优选地使用诸如微波 (通常 2.45GHz) 等高频激发的等离子体来执行固相氧化或固相氮化。具体地说,优选地将经高频激发并具有 1×10^{11} 至 $1 \times 10^{13} \text{ cm}^{-3}$ (包括边界值) 的电子密度和 0.5 至 1.5eV (包括边界值) 的电子温度的等离子体用于等离子体处理,使得形成致密绝缘层并在低于或等于 500°C 的温度下的固相氧化处理或固相氮化处理中实现实际的反应速度。

[0078] 当通过等离子体处理来氧化第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 的表面时,在包含氧的气氛 (例如包含氧气、臭氧、一氧化二氮、一氧化二氮、或二氧化氮、和稀有气体 (氦 (He)、氖 (Ne)、氩 (Ar)、氪 (Kr)、和氙 (Xe) 中的至少一个) 的气氛、或包含氧气、臭氧、一氧化二氮、一氧化二氮、或二氧化氮、氢气、和稀有气体的气氛) 中执行等离子体处理。当通过等离子体处理来氮化在第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 上形成的绝缘层的表面时,在包含氮的气氛 (例如包含氮气和稀有气体 (He、Ne、Ar、Kr、和 Xe 中的至少一个) 的气氛、包含氮气、氢气、和稀有气体的气氛、或包含 NH_3 和稀有气体的气氛) 中执行等离子体处理。作为稀有气体,例如,优选地使用 Ar。此外,还可以使用其中混合有 Ar 和 Kr 的气体。

[0079] 图 16 示出用于执行等离子体处理的等离子处理装置 1080 的结构示例。等离子体

处理装置 1080 包括支架 1088、用于供应气体的气体供应部分 1084、连接到真空泵以排出气体的排气口 1086、天线 1098、电介质板 1082、和用于供应用于等离子体生成的高频波的高频波供应部分 1092。由支架 1088 来支撑要处理的对象 1010。另外,如果为支架 1088 提供温度控制器 1090,则可以控制要处理的对象 1010 的温度。要处理的对象 1010 是经受等离子体处理的主体。在本实施方式中,要处理的对象 1010 对应于其中堆叠有绝缘层 602 和 604、键合层 606、和第一 SOI 层 621 的堆叠体;其中堆叠有绝缘层 602 和 604、键合层 606、和第二 SOI 层 631 的堆叠体;以及其中堆叠有绝缘层 602 和 604、键合层 606、和第三 SOI 层 641 的堆叠体。或者,要处理的对象 1010 对应于其中在第一 SOI 层 621 上形成绝缘层的堆叠体、其中在第二 SOI 层 631 上形成绝缘层的堆叠体、以及其中在第三 SOI 层 641 上形成绝缘层的堆叠体。

[0080] 在下文中,描述其中用图 16 所示的等离子体处理装置 1080 在半导体层的表面上形成绝缘层的具体示例。等离子体处理的示例包括对衬底、半导体层(SOI 层)、绝缘层、或导电层执行的表面改性处理,诸如氧化处理、氮化处理、氧氮化处理、或氢化处理。对于这些处理,可以依照预计的目的来确定从气体供应部分 1084 供应的气体。

[0081] 首先,清除图 16 所示的等离子体处理装置 1080 的处理室中的空气并从气体供应部分 1084 供应包含稀有气体和氧气或氮气的气体。通过温度控制器 1090 在室温下或在 100 至 550℃(包括边界值)的温度下对要处理的对象 1010 加热。要处理的对象 1010 与电介质板 1082 之间的距离(在下文中,也称为电极间隔)约为 20 至 200mm(包括边界值)(优选地,为 20 至 60mm(包括边界值))。

[0082] 接下来,从高频波供应部分 1092 向天线 1098 供应高频波。这里,引入微波(频率:2.45GHz)作为所述高频波。然后,通过电介质板 1082 将微波从天线 1098 引入处理室中;因此,可以生成等离子体 1094。用等离子体 1094,生成氧自由基(其可以包括 OH 自由基)和氮自由基(其可以包括 NH 自由基)。这时,使用所供应的气体生成等离子体 1094。

[0083] 当通过引入诸如微波的高频波来生成等离子体 1094 时,可以生成具有低电子温度(小于或等于 3eV、优选地小于或等于 1.5eV)和高电子密度(大于或等于 $1 \times 10^{11} \text{cm}^{-3}$)的等离子体。具体地说,优选地生成具有 1×10^{11} 至 $1 \times 10^{13} \text{cm}^{-3}$ (包括边界值)的电子密度和 0.5 至 1.5eV(包括边界值)的电子温度的等离子体。在本说明中,具有低电子温度和高电子密度并通过引入微波而生成的等离子体也称为“高密度等离子体”。此外,利用高密度等离子体的等离子体处理也称为“高密度等离子体处理”。

[0084] 用由等离子体 1094 生成的氧自由基(其可以包括 OH 自由基)或氮自由基(其可以包括 NH 自由基),氧化或氮化在要处理的对象 1010 中形成的 SOI 层的表面,由此形成绝缘层。或者,氧化或氮化在 SOI 层的表面上形成的绝缘层的表面或该表面的附近。这时,如果在所供应的气体中混合有诸如氙的稀有气体,则可以通过经激发的稀有气体种类高效地生成氧自由基和氮自由基。在所供应的气体中使用稀有气体的情况下,在所形成的绝缘层中可以包含稀有气体。在这种方法中,可以通过有效地使用经等离子体激发的活性自由基在低于或等于 500℃的低温下执行通过固相反应进行的氧化或氮化。

[0085] 制造由本实施方式中的等离子体处理形成的栅极绝缘层 612 的一个优选示例如下:第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 在包含氧的气氛中经受等离子体处理以形成硅氧化物层,并在包含氮的气氛中用氮化等离子体来处理硅氧化物层的表面以

形成经氮等离子体处理的层。具体地说,首先,在通过包含氧的气氛中的等离子体处理在第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 上形成具有 3 至 6nm(包括边界值)的厚度的硅氧化物层。随后,执行包含氮的气氛中的等离子体处理,由此为硅氧化物层的表面或在该表面的附近提供具有高氮浓度的经氮等离子体处理的层。“表面的附近”表示从硅氧化物层的表面起在约 0.25 至 1.5nm(包括边界值)的深度处的区域。例如,通过在形成硅氧化物层之后在包含氮的气氛中执行等离子体处理,可以沿垂直方向在距表面约 1nm 的深度处在硅氧化物层中形成其中以 20 至 50at.%(包括边界值)包含氮的经氮等离子体处理的层。可以根据等离子体处理的条件使用硅氮化物或硅氮氧化物来形成经氮等离子体处理的层。

[0086] 在任何情况下,通过如上所述用等离子体处理进行的固相氧化处理或固相氮化处理,即使使用具有低于或等于 600℃的耐热温度的玻璃衬底作为衬底 600,也能够获得等效于在 950 至 1050℃的温度下形成的热氧化膜的绝缘层。也就是说,可以形成高度可靠的绝缘层作为在半导体元件、特别是薄膜晶体管或非易失性存储元件中充当栅极绝缘层的绝缘层。

[0087] 图 11B 示出其中将栅极绝缘层 612 和栅电极 614 的端部部分对准的示例;然而,这并不是限制性示例,并且可以在蚀刻栅电极 614 时留下栅极绝缘层 612。

[0088] 如果将具有高介电常数的材料(也称为高 k 材料)用于绝缘层 612,则使用多晶硅、硅化物、金属或金属氮化物来形成栅电极 614。优选地,使用金属或金属氮化物来形成栅电极 614。例如,在栅电极 614 中,使用金属氮化物材料来形成与栅极绝缘层 612 接触的导电层,并使用金属材料来形成其上面的导电层。即使栅极绝缘层被薄化,类似这样的组合也能够防止耗尽层在栅电极中扩散,并且即使进行小型化,也还能防止晶体管的驱动性能受到损害。

[0089] 接下来,在栅电极 614 上形成绝缘层 616。然后,使用栅电极 614 作为掩膜来添加赋予一种类型的导电性的杂质元素(参见图 11C)。本实施方式示出其中向第一驱动电路部分 630 中的第二 SOI 层 631 和第三 SOI 层 641 添加赋予不同类型的导电性的杂质元素的示例。本实施方式还示出其中向显示部分 620 中的第一 SOI 层 621 添加赋予与第二 SOI 层 631 相同类型的导电性的杂质元素的示例。

[0090] 在形成于显示部分 620 中的第一 SOI 层 621 中,使用栅电极 614 作为掩膜,以自对准的方式形成一对杂质区 623 和位于该对杂质区 623 之间的沟道形成区 622。

[0091] 在形成于第一驱动电路部分 630 中的第二 SOI 层 631 中,使用栅电极 614 作为掩膜,以自对准的方式形成一对杂质区 633 和位于该对杂质区 633 之间的沟道形成区 632。在第三 SOI 层 641 中,使用栅电极 614 作为掩膜,以自对准的方式形成一对杂质区 643 和位于该对杂质区 633 之间的沟道形成区 642。向杂质区 633 和 643 添加赋予不同类型的导电性的杂质元素。

[0092] 作为赋予一种类型的导电性的杂质元素,可以使用诸如硼(B)、铝(Al)、或镓(Ga)的赋予 p 型导电性的元素或诸如磷(P)或砷(As)的赋予 n 型导电性的元素。在本实施方式中,向在显示部分 620 中形成的第一 SOI 层 621 和在第一驱动电路部分 630 中形成的第二 SOI 层 631 添加赋予 n 型导电性的元素,例如磷。另外,向第三 SOI 层 641 添加赋予 p 导电性的元素,例如硼。当向第一 SOI 层 621 和第二 SOI 层 631 添加杂质元素时,可以用抗蚀

剂掩膜等选择性地覆盖第三 SOI 层 641。同样地,当向第三 SOI 层 641 添加杂质元素时,用抗蚀剂掩膜等选择性地覆盖第一 SOI 层 621 和第二 SOI 层 631。

[0093] 可以使用硅氧化物、硅氧氮化物、硅氮化物、硅氮氧化物等通过 CVD 法、溅射法、ALD 法等来形成绝缘层 616。用其中在添加赋予一种类型的导电性的杂质元素时通过穿过绝缘层 616 来添加杂质元素的结构,可以减少对 SOI 层的损坏。

[0094] 接下来,在栅电极 614 的侧面上形成侧壁绝缘层 618。然后,使用栅电极 614 和侧壁绝缘层 618 作为掩膜来添加赋予一种类型的导电性的杂质元素(参见图 11D)。这时,向第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641 添加具有与在前一步骤(形成杂质区 623、633、和 643 的步骤)中所使用的杂质元素相同的导电性类型的杂质元素。以比在前一步骤中所使用的杂质元素的浓度高的浓度添加在这时添加的杂质元素。

[0095] 在第一 SOI 层 621 中,使用栅电极 614 和侧壁绝缘层 618 作为掩模以自对准的方式形成一对高浓度杂质区 626 和一对低浓度杂质区 624。这时形成的高浓度杂质区 626 充当源极区和漏极区,且低浓度杂质区 624 充当 LDD(轻掺杂漏极)区。

[0096] 在第二 SOI 层 631 中,使用栅电极 614 和侧壁绝缘层 618 作为掩模以自对准的方式形成一对高浓度杂质区 636 和一对低浓度杂质区 634。这时形成的高浓度杂质区 636 充当源极区和漏极区,且低浓度杂质区 634 充当 LDD 区。在第三 SOI 层 641 中,使用栅电极 614 和侧壁绝缘层 618 作为掩模以自对准的方式形成一对高浓度杂质区 646 和一对低浓度杂质区 644。当向第一 SOI 层 621 和第二 SOI 层 631 添加杂质元素时,可以用抗蚀剂掩膜等选择性地覆盖第三 SOI 层 641。同样地,当向第三 SOI 层 641 添加杂质元素时,可以用抗蚀剂掩膜等选择性地覆盖第一 SOI 层 621 和第二 SOI 层 631。

[0097] 为栅电极 614 的侧表面提供侧壁绝缘层 618,有绝缘层 616 在它们之间。例如,可以通过被形成成为掩埋栅电极 614 的绝缘层的主要沿垂直方向进行的各向异性蚀刻以自对准的方式为栅电极 614 的侧表面提供侧壁绝缘层 618。可以使用硅氮化物、硅氮氧化物、硅氧化物、硅氧氮化物等来形成侧壁绝缘层 618。在使用硅氧化物或硅氧氮化物来形成绝缘层 616 的情况下,如果使用硅氮化物或硅氮氧化物来形成侧壁绝缘层 618,则绝缘层 616 可以起到蚀刻终止层的作用。在使用硅氮化物或硅氮氧化物来形成绝缘层 616 的情况下,优选地使用硅氧化物或硅氧氮化物来形成侧壁绝缘层 618。当以这种方式提供起蚀刻终止层作用的绝缘层时,可以防止 SOI 层由于形成侧壁绝缘层时的过蚀刻而被蚀刻。

[0098] 接下来,蚀刻绝缘层 616 的暴露部分(参见 FIG 12A)。在侧壁绝缘层 618 与栅电极 614 之间、侧壁绝缘层 618 与第一 SOI 层 621 之间、侧壁绝缘层 618 与第二 SOI 层 631 之间、以及侧壁绝缘层 618 与第三 SOI 层 641 之间留下绝缘层 616。

[0099] 可以形成硅化物层使得降低充当源极区和漏极区的高浓度杂质区的电阻。对于硅化物层,优选地应用钴硅化物或镍硅化物。如果 SOI 层具有小厚度,则硅化物反应可以继续至其中形成高浓度杂质区的 SOI 层底部部分,使得其中形成高浓度杂质区的 SOI 层可以被完全硅化。

[0100] 接下来,在衬底 600 上整体地形成并随后选择性地蚀刻绝缘层 608,使得形成到达在显示部分 620 中的第一 SOI 层 621 中形成的高浓度杂质区 626 的开口。此外,形成到达在第一驱动电路部分 630 的第二 SOI 层 631 中形成的高浓度杂质区 636 和在第三 SOI 层 641 中形成的高浓度杂质区 646 的开口。然后,形成导电层 619 使得填充开口。此外,在端子区

670 中形成端子电极 674 (参见图 12B)。

[0101] 通过 CVD 法、溅射法、ALD 法、涂布法等将绝缘层 608 形成为具有单层结构或堆叠层结构。例如,可以使用诸如硅氧化物、硅氮化物、硅氧氮化物、或硅氮氧化物等包含氧和/或氮的无机绝缘材料或诸如类金刚石碳 (DLC) 等包含碳的绝缘材料通过 CVD 法、溅射法、或 ALD 法来形成绝缘层 608;或者可以使用诸如环氧树脂、聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯、或丙烯等有机绝缘材料或诸如硅氧烷树脂等硅氧烷材料通过涂布法来形成绝缘层 608。此外,绝缘层 608 可以具有使用无机绝缘材料形成或包含碳的绝缘材料形成的一层与使用有机绝缘材料或硅氧烷材料形成的一层的堆叠层结构。所述硅氧烷材料对应于具有 Si-O-Si 键的材料。硅氧烷包括硅 (Si) 和氧 (O) 的键的骨架结构。作为取代基,使用至少包含氢的有机基 (例如烷基或芳烃)。或者,可以使用氟基或至少包含氢的氟基和有机基作为取代基。此外,作为绝缘层 608,可以通过 CVD 法、溅射法、或 ALD 法来形成绝缘层,并随后使其经受氧气氛或氮气氛中的等离子体处理。虽然本实施方式示出其中绝缘层 608 具有单层结构的示例,但绝缘层 608 可以具有两层或更多层的堆叠层结构。此外,可以将无机绝缘层和有机绝缘层组合以形成绝缘层 608。例如,可以在衬底 600 的整个表面上形成能够充当钝化层的硅氮化物膜或硅氮氧化物膜,并且可以在其上面形成能够充当平面化层的使用磷硅酸盐玻璃 (PSG) 或硼磷硅酸盐玻璃 (BPSG) 形成的绝缘层。

[0102] 导电层 619 起到源电极和漏电极的作用。起到源电极和漏电极的作用的导电层 619 通过在绝缘层 608 中形成的开口电学连接到第一 SOI 层 621、第二 SOI 层 631、和第三 SOI 层 641。

[0103] 可以以下列方式来形成导电层 619,例如:使用诸如铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、或硅 (Si) 的金属或包含以上金属元素的合金或复合材料通过 CVD 法或溅射法在衬底的整个表面上将导电层形成为具有单层结构或堆叠层结构;然后,选择性地蚀刻导电层。作为包含铝的合金材料的示例,可以给出包含铝作为其主要组分并进一步包含镍的合金材料、和包含铝作为其主要组分并进一步包含镍及碳和硅中的任何一者或两者的合金材料。此外,作为包含钨的复合材料的示例,可以给出钨硅化物。例如,导电层 619 可以采用阻挡层、铝硅层、和阻挡层的堆叠层结构、或阻挡层、铝硅层、氮化钛层、和阻挡层的堆叠层结构。堆叠层对应于由钛、钛的氮化物、钼、或钼的氮化物形成的薄膜。具有低电阻且廉价的铝或铝硅最适合于形成充当源电极和漏电极的导电层。此外,如果在充当源电极和漏电极的导电层中提供上下阻挡层,则可以防止产生铝或铝硅隆起。

[0104] 端子区 670 中的端子电极 674 起到用于将稍后形成的外部输入端子 (例如 FPC) 连接到第一驱动电路部分 630 和第二驱动电路部分 650 的电极的作用。这里示出其中使用与导电层 619 相同的材料并用相同的层形成端子电极 674 的示例。

[0105] 以上述方式,在显示部分 620 中形成包括晶体管的像素电路部分 628,所述晶体管包括第一 SOI 层 621。此外,在第一驱动电路部分 630 中形成包括包含第二 SOI 层 631 的晶体管和包含第三 SOI 层 641 的晶体管外围电路部分 638。

[0106] 接下来,在第一显示部分 620 和第一驱动电路部分 630 上形成绝缘层 609。选择性地蚀刻显示部分 620 上的绝缘层 609 以形成达到像素电路部分 628 中的晶体管的导电层 619 的开口。然后,形成像素电极 600 使得填充开口 (参见图 12C)。

[0107] 作为绝缘层 609, 优选的是形成能够使显示部分 620 和第一驱动电路部分 630 中的粗糙部分平面化并形成平面表面的平面化层。例如, 可以使用诸如环氧树脂、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、或丙烯酸等有机绝缘材料或诸如硅氧烷树脂等硅氧烷材料来形成所述平面化层。虽然这里示出其中绝缘层 609 具有单层结构的示例, 但绝缘层 609 可以具有包括两个或更多个层的堆叠层结构。在堆叠层的情况下, 例如, 绝缘层 609 可以具有包括有机树脂层等作为上层和硅氧化物、硅氮化物、硅氧氮化物等的无机绝缘层作为下层的堆叠层结构; 或其中有机绝缘层被夹在无机绝缘层中间的结构。可以通过沉积在衬底的整个表面上并随后在所希望区域 (在这种情况下, 显示部分 620 和第一驱动电路部分 630 是希望区域) 之外的区域中选择性地蚀刻来形成绝缘层 609。还可以通过多种印刷方法 (例如丝网印刷、平版印刷、凸版印刷、或凹板印刷)、液滴吐出法、分散剂法等选择性地形成绝缘层 609。

[0108] 在本实施方式中, 像素电极 660 起到反射电极的作用。因此, 使用反射光的导电材料来形成像素电极 660。作为此类材料, 可以使用诸如钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铬 (Cr)、或银 (Ag) 等金属元素; 或包含此类金属元素的合金或复合材料。如果形成另一反射层或显示器件是透射式, 则可以使用透射光的导电材料来形成像素电极 660。作为透射光的导电材料, 可以使用氧化铟锡 (ITO)、包含硅氧化物的氧化铟锡 (ITSO)、氧化锌 (ZnO)、氧化铟锌 (IZO)、添加镓的氧化锌 (GZO) 等等。

[0109] 接下来, 形成隔离物 686, 并随后将定向膜 682 形成为覆盖像素电极 660 和隔离物 686。接下来, 将密封剂 680 形成为围绕显示部分 620、第一驱动电路部分 630、和第二驱动电路部分 650 (看图 13A)。

[0110] 可以使用诸如环氧树脂、聚酰亚胺、聚酰胺、聚酰亚胺酰胺、或丙烯酸等有机绝缘材料; 或诸如硅氧化物、硅氮化物、硅氧氮化物、或硅氮氧化物等无机绝缘材料将隔离物 686 形成为具有单层结构或堆叠层结构。在本实施方式中, 为了形成柱形隔离物作为隔离物 686, 在衬底的整个表面上形成并随后蚀刻绝缘层, 以便获得具有希望形状的隔离物。隔离物 686 的形状不受特别限制, 且可以散布球形隔离物。隔离物 686 可以保持蜂窝间隙。

[0111] 对于定向膜 682, 可以与液晶的工作模式相应地确定材料, 并形成可以使液晶沿统一方向取向的层。例如, 使用聚酰亚胺、聚酰胺等形成层且该层经历定向处理, 使得该层起到定向膜的作用。作为定向处理, 例如, 可以执行摩擦、或用紫外线照射等。虽然用于形成定向膜 682 的方法不受特别限制, 但如果使用多种印刷方法或液滴吐出法, 则可以在绝缘层 609 上选择性地形成定向膜 682。

[0112] 将密封剂 680 形成为在完成显示器件之后至少围绕显示部分。在本实施方式中, 将框架形状的密封图案形成为围绕显示部分 620、第一驱动电路部分 630、和第二驱动电路部分 650 的外围。作为密封剂 680, 可以使用热固性树脂或光固化树脂。可以通过使填料包括在密封剂中来保持蜂窝间隙。通过在随后密封衬底和上面提供有反电极、滤色器等的另一衬底的步骤中执行光照射、热处理等来设置密封剂 680。

[0113] 在被密封剂 680 围绕的区域中形成液晶层 684。此外, 将第二衬底 690 键合到第一衬底 600, 在所述第二衬底 690 上依次堆叠有滤色器 689、反电极 688、和定向膜 687 (参见图 13B)。

[0114] 使用希望的液晶材料来形成液晶层 684。例如, 可以通过将液晶材料滴到用密封剂

680 形成的框架形状的密封图案中来形成液晶层 684。可以通过分散剂法或液滴吐出法来滴注液晶材料。此外,优选的是预先或在滴注之后在降压(reduced pressure)下除去液晶材料的气体。此外,优选的是在惰性气氛中滴注液晶材料,使得其中不会混合杂质。此外,优选的是通过滴注液晶材料直至使第一衬底 600 和第二衬底 690 相互附接而在形成液晶层 684 之后在降压下设定气氛,使得在液晶层 684 中不形成气泡等。

[0115] 还可以通过将第一衬底 600 与第二衬底 690 相互附接并随后使用毛细现象将液晶材料注入到密封剂 680 的框架形状的图案内部来形成液晶层 684。在这种情况下,预先在密封剂中等形成用于注入液晶的开口。优选的是在降压下注入液晶材料。

[0116] 将第一衬底 600 和第二衬底 690 布置为相互面对,使其相互紧密接触,并随后使密封剂 680 固定,以便可以使第一衬底 600 与第二衬底 690 相互附接。这时,使第一衬底 600 和第二衬底 690 相互附接,使得将液晶层 684 夹在为第二衬底 690 提供的定向膜 687 与为第一衬底 600 提供的定向膜 682 之间。还可以在使第一衬底 600 和第二衬底 690 相互附接并形成液晶层 684 之后通过热处理来修正液晶层 684 的取向无序。

[0117] 对于第二衬底 690,使用透射光的衬底。例如,可以使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃等多种玻璃衬底;石英衬底;陶瓷衬底;或蓝宝石衬底。

[0118] 在附接之前,在第二衬底 690 上依次形成滤色器 689、反电极 688、和定向膜 687。除滤色器 689 之外,可以为第二衬底 690 提供黑色矩阵(black matrix)。可以为第二衬底 690 的外部提供滤色器 689。如果显示器件执行单色显示,则可以省略滤色器 689。可以为第二衬底 690 侧提供密封剂。在为第二衬底 690 侧提供密封剂的情况下,将液晶材料滴入为第二衬底 690 提供的框架形状的图案内部。

[0119] 可以使用诸如氧化铟锡(ITO)、包含硅氧化物的氧化铟锡(ITSO)、氧化锌(ZnO)、氧化铟锌(IZO)、或添加镓的氧化锌(GZO)等透射光的导电材料来形成反电极 688。可以以类似于定向膜 682 的方式来形成定向膜 687。

[0120] 以上述方式,获得其中包括液晶层 684 的显示部分 620、第一驱动电路部分 630、和第二驱动电路部分 650 被密封在第一衬底 600 与第二衬底 690 之间的结构。在形成于显示部分 620、第一驱动电路部分 630、或第二电路部分 650 中的电路部分中,除晶体管之外,同时还可以形成电阻器、电容器等。此外,晶体管的结构不受特别限制。例如,晶体管可以具有其中相对于一个 SOI 层提供多个栅极的多栅结构。

[0121] 接下来,将相互附接的第一衬底 600 和第二衬底 690 分割成每个具有希望的面板尺寸的各个区段(参见图 14A)。在本实施方式中,分割相互附接的第一衬底 600 和第二衬底 690,使得将面板形成区 610a 和 610b 相互分离。在分离表面处暴露端子电极 674。用密封剂 680 来密封包括液晶层 684 的显示部分 620 和第一驱动电路部分 630。可以用诸如划片器装置、破碎器装置、或辊式切割器等切割装置来分割第一衬底 600 和第二衬底 690。

[0122] 接下来,分割端子区 670 上的第二衬底 690(参见图 14B)。在本实施方式中,执行分割,以便去除端子电极 674 上的第二衬底 690、滤色器 689、反电极 688、和定向膜 687。以上述方式,可以获得具有希望的面板尺寸的显示面板。

[0123] 这里,参照图 10A 至 10D 所示的顶面示意图来详细描述附接的衬底的分割。

[0124] 图 10A 是对应于图 11A 所示的 SOI 衬底的顶面示意图。这里示出了其中在一个衬底 600 上形成每一个都包括分割的 SOI 层 610 的面板形成区 610a、面板形成区 610b、面板

形成区 610c、和面板形成区 610d 的示例。为面板形成区 610a 至 610d 中的每一个提供的 SOI 层 610 具有希望的面板尺寸。

[0125] 图 10B 是其中在图 11B 至 13A 所示的步骤之后如图 13B 所示地完成将第二衬底 690 附接于第一衬底 600 的步骤的显示面板的顶面示意图。在面板形成区 610a 至 610d 中的每一个中,提供了显示部分 620、第一驱动电路部分 630、和第二驱动电路部分 650 并用密封剂 680 将其密封。图 13B 对应于沿图 10B 中的线 QR 截取的横截面图。

[0126] 接下来,沿图 10B 中的箭头 6002 和箭头 6004 的方向分割被相互附接的第一衬底 600 和第二衬底 690 以将其分裂成面板形成区。图 14A 对应于沿图 10C 中的线 Q' R' 截取的横截面图。

[0127] 接下来,沿图 10C 中的箭头 6012 和箭头 6014 的方向分割第二衬底 690,以便如图 10D 所示地暴露端子区 670。端子区 670 包括稍后使用各向异性导电层等连接到外部输入端子的端子电极 674。图 14B 对应于沿图 10D 的线 Q'' R'' 截取的横截面图。以上述方式,可以获得显示面板 6100a、6100b、6100c、和 6100d。组成显示面板 6100a 的元素包括在面板形成区 610a 中提供的一个 SOI 层。同样地,组成另一显示面板的元素每个包括在每个面板形成区中提供的一个 SOI 层。因此,可以抑制特性的变化。

[0128] 虽然这里示出其中分割被相互附接的第一衬底 600 和第二衬底 690 并随后进一步分割第二衬底 690 的示例,但可以将被预先加工成具有希望尺寸的第二衬底 690 附接于第一衬底 600。

[0129] 此外,虽然这里为方便起见示出其中使用一个基板来制造四个显示面板的示例,但本发明不特别局限于此。如上所述,根据本发明为 SOI 衬底提供每个具有希望的面板尺寸的多个 SOI 层,且每个可以使用每个 SOI 层制造多个显示面板。因此,在可以使用一个基板制造的显示面板的数目与在该基板上提供的 SOI 层的数目成比例地增加,因此生产率显著提高。

[0130] 接下来,为第二衬底 690 提供偏振片 692。此外,外部输入端子 678 通过各向异性导电层 676 连接到端子电极 674,使得显示面板被电学连接到外部(参见图 15)。

[0131] 为第二衬底 690 的外部(液晶层 684 等未被密封的一侧)提供偏振片 692。在液晶显示器件是透射式的情况下,可以为第一衬底 600 的外部(液晶层 684 等未被密封的一侧)提供另一偏振片。除偏振片之外,可以提供诸如延迟板或防反射膜等光学膜。

[0132] 外部输入端子 678 具有从外部发送信号(例如视频信号、时钟信号、起始信号、或复位信号)或电位的功能。在本实施方式中,连接了 FPC 作为外部输入端子 678。端子电极 674 被电学连接到第一驱动电路部分 630 和第二驱动电路部分 650。

[0133] 以上述方式,可以获得显示器件。在显示器件是反射式的情况下,虽然可以通过使用外界光(例如日光或室内光)等进行显示,但可以提供诸如冷阴极管或 LED 元件等光源;由光导板等构成的正面光;或反射片等等。可以为显示器件的观看侧提供正面光。正面光的提供使得即使不能充分地提供外界光,也能够进行清晰的显示。

[0134] 在液晶显示器件是透射式或半透射式的情况下,提供由诸如冷阴极管或 LED 元件等光源、光导板、反射片等构成的背光。该背光是为显示器件的观看侧的相对侧(背面)提供的。在液晶显示器件是透射式的情况下,来自光源的光被透射到观看侧,由此可以执行显示。

[0135] 在本实施方式中,使用为其在衬底 600 上提供每个具有希望的面板尺寸的多个 SOI 层的 SOI 衬底。对于组成一个显示器件的显示面板,用于形成元件的 SOI 被分裂。因此,可以防止在将 SOI 层分割成每个显示面板时防止对 SOI 层的损坏,因此,可以改善产出率。此外,可以抑制特性的变化,因为使用一个 SOI 层来形成组成一个显示器件的元件。

[0136] 虽然图 9A 至 15 示出其中制造包括液晶元件作为显示元件的显示器件的示例,但本发明不特别局限于此。例如,可以使用发光元件或电泳元件。图 21 示出显示器件包括发光元件(也称为发光器件或 EL 显示器件)的示例。图 22 示出显示器件包括电泳元件(也称为电子纸或电泳显示器件)的示例。由于除显示元件之外的结构类似于图 9A 至 15 所示的结构,所以省略其说明。

[0137] 图 21 示出包括发光元件 710 而不是液晶元件的显示器件。本实施方式示出其中有机化合物层 714 被夹在像素电极(阴极)712 与反电极(阳极)716 之间的示例。有机化合物层 714 至少包括发光层,并且还可以包括电子注入层、电子传输层、空穴传输层、空穴注入层等。像素电极 712 的端部部分被分隔层 718 覆盖。可以以下列方式形成分隔层 718:在整个衬底上沉积并处理绝缘材料,以便使像素电极 712 的一部分暴露;或者通过液滴吐出法等将其选择性地形成。在像素电极 712 和分隔层 718 上依次堆叠有机化合物层 714 和反电极 716。可以用惰性气体等填充发光元件 710 与第二衬底 690 之间的空间 720,或者可以在空间 720 中形成树脂等。

[0138] 图 22 示出包括电泳元件而不是液晶显示器件的显示器件。本实施方式示出其中电泳层 820 被夹在像素电极 812 与反电极(公共电极)814 之间的电泳层 820。电泳层 820 包括用粘合剂 816 固定的多个微胶囊。每个微胶囊 810 具有约 10 至 200 μm (包括边界值)的直径,并且在其中密封有透明液体、带正电的白色微粒和带负电的黑色微粒。当通过像素电极 812 和反电极 814 来施加电场时,白色微粒和黑色微粒移动到微胶囊 810 的相对侧,因此可以显示白色或黑色。电泳元件是应用这种原理的显示元件。通过使用具有比液晶元件高的反射率电泳元件,甚至在没有辅助光(例如正面光)的昏暗地方也可以识别显示部分。此外,功率消耗小。此外,即使当不向显示部分供应功率时,也能够保持曾经显示的图像。

[0139] 接下来,描述应用根据本发明的显示器件(显示面板)的电子器件的示例。具体地说,参照图 17 来描述将根据本发明的显示器件应用于移动电话的示例。

[0140] 在图 17 所示的移动电话中,提供有操作开关 1904、麦克风 1905 等的主体 (A) 1901 使用铰链 1910 连接到提供有显示面板 (A) 1908、背光部分 1911、显示面板 (B) 1909、扬声器等的主体 (B) 1902,以便移动电话可以打开和关闭。显示面板 (A) 1908 和显示面板 (B) 1909 连同电路板 1907 和背光部分 191 一起被放置在主体 (B) 1902 的外壳 1903 中。显示面板 (A) 1908 和显示面板 (B) 1909 的显示部分被布置为从在外壳 1903 中形成的打开窗口观看。在本实施方式中,将背光部分 1911 和显示面板 (A) 1908 布置为相互重叠,并形成透射式液晶显示器件。作为背光部分 1911,可以使用冷阴极管或 LED 元件。此外,作为背光部分,可以使用光导板与 LED 元件的组合。

[0141] 显示面板 (A) 1908 和显示面板 (B) 1909 是使用根据本发明的 SOI 衬底制造的。因此,可以进行高产出率的制造。

[0142] 可以根据移动电话 1900 的功能适当地确定显示面板 (A) 1908 和显示面板 (B) 1909

的规格（例如像素的数目）。例如，可以将显示面板 (A) 1908 和显示面板 (B) 1909 组合，前者起到主屏幕的作用且后者起到子屏幕的作用。

[0143] 根据本实施方式的移动电话可以根据功能或用途采取多种模式。例如，可以将摄像器并入铰链 1910 中以形成装配有照相机的移动电话。此外，可以将操作开关 1904、显示面板 (A) 1908、和显示面板 (B) 1909 放置在一个外壳中。

[0144] 图 18A 示出显示面板 (A) 1908 的结构示例。在显示面板 (A) 1908 中，用密封剂 1922 将提供有像素电极的第一衬底 1920 和与第一衬底相对的第二衬底 1923 相互附接，密封剂 1922 被形成围绕显示部分 1921。在被第一衬底 1920、第二衬底 1923、和密封剂 1922 围绕的区域中（框架形状的密封图案内部）提供有液晶层。

[0145] 图 18B 示出与在图 18A 中不同的显示面板的另一种结构。在图 18B 中，用相同的附图标记来表示与图 18A 中相同的部分。在图 18B 中的面板中，在第一衬底 1920 上安装有用于驱动显示部分的驱动电路 IC 1927，以便将电路集成。

[0146] 图 18C 示出与在图 18A 中不同的显示面板的另一种结构。在图 18C 中，用相同的附图标记来表示与图 18A 中相同的部分。在图 18C 的面板中，在与第一衬底 1920 相同的衬底上形成用于驱动显示部分 1929 的驱动电路部分 1928。此外，还可以在同一衬底上形成驱动电路以及另一电路（例如光学传感器电路或 CPU）。

[0147] 可以形成诸如偏振片、防反射膜、或滤色器等与图 18A 至 18C 所示的显示面板重叠的希望光学膜。应注意到，图 18A 至 18C 所示的 FPC 1924 被连接到第一衬底 1920。

[0148] 通过使用根据本发明的 SOI 衬底来制造显示器件（显示面板），可以使用大尺寸衬底一次性地执行制造工艺，因此可以改善生产率。此外，使用多个 SOI 层来形成 SOI 衬底；可以通过在制造诸如显示面板的显示器件时使每个 SOI 层具有约等于希望的面板尺寸的尺寸来改善产出率。

[0149] （实施方式 2）本实施方式示出其中通过与以上实施方式不同的方法来制造 SOI 衬底的示例。

[0150] 首先，提供半导体衬底 200（参见图 23A）。对于半导体衬底 200，可以使用类似于半导体衬底 101 的衬底；例如，可以使用硅衬底、锗衬底、或砷化镓、磷化铟等的化合物半导体衬底。

[0151] 优选的是在半导体衬底 200 的一个表面上形成包含氮的绝缘层 202。可以使用硅氮化物层、硅氮氧化物层、或硅氧氮化物将含氮的绝缘层 202 形成为具有单层结构或堆叠层结构。包含氮的绝缘层 202 的提供能够防止诸如可移动离子或水分等杂质扩散到 SOI 层中并因此污染 SOI 层。此外，包含氮的绝缘层 202 能够在用离子执行照射以形成分离层时起到保护层的作用。

[0152] 接下来，选择性地蚀刻半导体衬底 200（参见图 23）。在本实施方式中，通过蚀刻为半导体衬底提供凹槽（在下文中，也称为凹陷部分），使得保持类似大礼帽形状的各个部分（在下文中也称为突出部分）每个具有包括一个面板的面积，该面积是希望的面板尺寸。在本说明中，通过选择性地蚀刻半导体衬底来形成凹槽的处理称为“凹槽处理”。

[0153] 由凹槽处理形成的突出部分每个被形成为具有包括一个面板的面积，该面积是希望的面板尺寸；例如，优选的是面板尺寸是小于 10in. 的对角线，该尺寸是小到中型面板尺寸。在将面板应用于移动电话的情况下，已知屏幕尺寸是约 2.4 至 3in. 的对角线，且可以

在除屏幕尺寸之外还考虑屏幕框架尺寸的情况下确定面板尺寸。保留在半导体衬底 200 中的突出部分组成稍后被转移到基板的 SOI 层。也就是说,通过凹槽处理将突出部分每个形成为具有包括一个面板的面积,使得可以将通过将半导体衬底分割成每个具有包括一个面板的面积各个区段而获得的 SOI 层转移到基板。此外,通过凹槽处理形成多个经分割的突出部分,使得可以将多个 SOI 层转移到基板。

[0154] 蚀刻半导体衬底 200,其某些部分仍选择性地被掩膜覆盖,因此可以获得每个具有包括一个面板的面积各个突出部分,所述面积是希望的面板尺寸。可以将使用绝缘层形成的抗蚀剂掩膜或硬掩膜应用于掩膜。在蚀刻之后,可以适当地去除不必要的掩膜。此外,在本实施方式中,还选择性地蚀刻包含氮的绝缘层 202,因为包含氮的绝缘层 202 在半导体衬底 200 上形成。因此,包含氮的绝缘层 202 在凹槽处理之后仍留在突出部分处。

[0155] 考虑稍后被转移到基板的 SOI 层的厚度而适当地确定蚀刻半导体衬底 200 的深度(凹槽处理的深度)。可以由添加形成用于照射的离子的元素的深度来确定 SOI 层的厚度。在本实施方式中,优选的是半导体衬底 200 的凹槽处理的深度(形成的凹槽的深度)大于分离层的深度。通过在半导体衬底 200 的凹槽处理中使凹槽的深度大于分离层,在稍后将 SOI 层转移到基板时,可以轻易地只转移半导体衬底 200 的突出部分。

[0156] 接下来,从用经电场加速的离子从表面向给定深度照射半导体衬底 200,从而形成分离层 204(参见图 23C)。例如,分离层 204 可以以类似于图 4A 的方式形成,并且可以通过用氢、氦、或诸如氟等卤素的离子照射来形成。从提供有凹槽的半导体衬底 200 的一侧执行离子照射(在本实施方式中为提供有包含氮的绝缘层 202 的一侧)。

[0157] 可以形成分离层 204,从而将所希望的 SOI 层转移到基板,因为预先在半导体衬底 200 中形成具有比分离层 204 的深度大的深度的凹槽。具体地说,根据分离层 204 是在半导体衬底 200 的突出部分中还是在凹陷部分中形成而在不同的深度处形成分离层 204。请注意,在半导体衬底 200 的突出部分和凹陷部分中,在距离半导体衬底 200 的表面几乎相同的深度处形成分离层。

[0158] 接下来,在半导体衬底 200 上形成键合层 222(参见图 23D)。键合层 222 在半导体衬底 200 的表面上形成,这形成与基板的键合。在本实施方式中,将键合层 222 形成为覆盖半导体衬底 200 的提供有包含氮的绝缘层 202 的整个表面。可以以类似于键合层 122 的方式来形成键合层 222:优选地,使用有机硅烷作为源气体通过化学汽相沉积法来形成硅氧化物层。

[0159] 接下来,将半导体衬底 200 附接于基板 224(参见图 24A)。本实施方式示出其中将提供有键合层 222 的半导体衬底 200 的表面与基板 224 紧密接触使得将半导体衬底 200 与基板 224 相互键合的示例。优选的是预先充分地清洁用于形成键合的基板 224 和半导体衬底 200 两者的表面。基板 224 与键合层 222 的紧密接触形成键合。范德华力作用于此键合,且基板 224 和半导体衬底 200 通过被压紧而相互键合,因此可以形成由于氢键而得到的牢固键合。在本实施方式中,将半导体衬底 200 加工成具有凹槽,使得突出部分与基板 224 接触。

[0160] 以类似于实施方式 1 的方式,可以通过用原子束或离子束照射、或等离子体或自由基处理来激活键合表面(在本实施方式中,为键合层 222 的表面和基板 224 的表面)。预先激活键合表面使得能够实现不同材料之间的容易键合。此外,优选的是在中间插入键合

层 222 的情况下将基板 224 与半导体衬底 200 键合之后执行热处理或加压处理。

[0161] 接下来,执行热处理,使得将半导体衬底 200 的一部分与基板 224 分离,分离层 204 起到解理面的作用。在本实施方式中,在半导体衬底 200 中形成具有比分离层 204 的深度大的深度的凹槽,并且分离层 204 根据是否在凹槽中形成而在不同的深度处形成。此外,在为半导体衬底 200 提供的键合层 222 中,只有突出部分与基板 224 接触。因此,只有半导体衬底 200 的突出部分作为 SOI 层仍留在基板 224 上。因此,每个具有希望的面板尺寸和与半导体衬底 200 相同的结晶度的各个 SOI 层仍留在基板 224 上。如果在半导体衬底 200 中形成每个具有希望的面板尺寸的多个突出部分,可以在基板上形成多个 SOI 层。图 24B 为方便起见示出其中四个 SOI 层 226、228、230、和 232 仍留在基板 224 上的示例。

[0162] 优选的是在高于或等于键合层 222 的成膜温度且小于或等于基板 224 的耐热温度的温度下执行用于分离的热处理。例如,如果在 400 至 600℃(包括边界值)下执行热处理,则发生在分离层 204 中形成的微小腔体的体积变化并因此可以实现沿分离层 204 的分离。

[0163] 此外,可以执行 CMP、激光束照射等以便使通过分离而获得的 SOI 层平面化或薄化。

[0164] 以上述方式,可以获得在中间插入键合层 222 的情况下在基板 224 上提供多个 SOI 层的 SOI 衬底。图 24B 为方便起见示出其中在中间插入键合层 222 的情况下四个 SOI 层 226、228、230、和 232 仍留在基板 224 上的示例。

[0165] 优选的是成块地将在与用曝光装置进行一次曝光的范围几乎相同的范围内的 SOI 层转移到基板。具体地说,优选的是在将多个 SOI 层转移到基板以形成 SOI 衬底时成块地将在与用曝光装置进行一次曝光的范围几乎相同的范围内的 SOI 层转移到基板。也就是说,优选的是所转移的 SOI 层的块具有与一次曝光的范围几乎相同的面积。在本说明中,在下文中,将用曝光装置进行一次曝光的范围称为“一次曝光尺寸(one shot size)”。此外,优选的是将对准标记连同 SOI 层一起转移。

[0166] 这里,在图 25A 中示出凹槽处理之后的半导体衬底 200 的顶面的示意图。沿图 25A 中的线 AA' 截取的横截面图对应于图 23B。

[0167] 选择性地蚀刻半导体衬底 200,使得包含氮的绝缘层 202 仍留在对应于图 23B 中的突出部分的部分处。在顶视图中,在半导体衬底 200 中形成的突出部分每个在表面处具有包括一个面板的面积,该面积是希望的面板尺寸。在本实施方式中,在顶视图中,包含氮的绝缘层 202 被分割成每个具有包括一个面板的面积各个区段,该面积是希望的面板尺寸,以便保留在半导体衬底 200 上。在半导体衬底 200 中形成的突出部分位于包含氮的绝缘层 202 下面。

[0168] 在显示器件、半导体器件等的制造领域,在许多情况下应用光刻法来形成微小图案等。在光刻法中,使用以步进器为代表的曝光装置将希望图案形式转移到涂敷在衬底上的抗蚀剂层,并随后使用该图案形式在衬底上形成希望的图案。例如,形成电路图案作为涂敷在衬底上的抗蚀剂层中的希望图案形式,并使用该电路图案在衬底上形成包括晶体管的电路。曝光装置的一次曝光尺寸取决于装置:在使用现有步进器时,一次曝光尺寸约为 25 平方毫米、100 平方毫米、113 平方毫米、132 平方毫米、或 144 平方毫米,且难以一次曝光具有长度大于 1 米的侧边的大尺寸衬底。因此,如果成块地转移曝光装置的一次曝光尺寸的

一组 SOI 层,则可以高效地形成希望的电路图案。这是因为通过成块地转移一次曝光尺寸的一组 SOI 层,每次能使一组 SOI 层曝光以形成希望图案(例如电路图案)。电路图案在组成该组 SOI 层的每个 SOI 层中形成,并且,例如,可以在每个 SOI 层中形成包括晶体管的电路图案。请注意,组成一组 SOI 层的 SOI 层中的每一个通过 SOI 层的分割而具有包括一个面板的面积,该面积是希望的面板尺寸。

[0169] 在图 25A 中,步进器的一次曝光尺寸的区域 250 被虚线围绕。在半导体衬底 200 中,作为 SOI 层被转移的各个区域被选择性地蚀刻,以便有效地成块布置步进器的一次曝光尺寸的区域 250。

[0170] 在区域 250 中,留下起到对准标记的作用的部分 240。在用掩膜选择性地覆盖变成 SOI 层的各个部分时,可以通过一起用掩膜覆盖来留下起到对准标记的作用的部分 240。在图 25A 所示的半导体衬底 200 中,还在起到对准标记的作用的部分 240 处留下包含氮的绝缘层 202。在横截面图中未示出起到对准标记的作用的部分 240。

[0171] 图 25B 是将 SOI 层转移到的基板 224 的顶面示意图。沿图 25B 的线 AA' 截取的横截面图对应于 24B。

[0172] 在基板 224 上,成块地系统布置有一组 SOI 层,步进器的一次曝光尺寸的区域 250 是一个单元。此外,还形成具有与 SOI 层相同的结晶度的对准标记 260。

[0173] 在图 25B 中,在步进器的一次曝光尺寸的区域 250 中提供一个对准标记和多个 SOI 层。也就是说,将对准标记和 SOI 层转移到基板,以便所述多个单晶半导体层属于一个对准标记。

[0174] 在以类似于实施方式 1 的方式使用图 25B 所示的 SOI 衬底来制造显示器件的情况下,可以以下列方式来执行光刻法:用对准标记 260 来调整位置对准,并且一次使一次曝光尺寸的区域 250 中的 SOI 层曝光。此外,考虑步进器的一次曝光尺寸来布置 SOI 层且 SOI 层每个具有希望的面板尺寸,使得能够高效地形成图案。

[0175] 作为示例,参照图 26A 和 26B 来描述衬底 224 上的步进器的一次曝光尺寸的区域 250 之一。在图 26A 中,对于一个对准标记 260a,在区域 250a 中布置有 SOI 层 226a、226b、228a、和 228b。SOI 层 226a、226b、228a、和 228b 每个具有希望的面板尺寸。SOI 层 226a、226b、228a、和 228b 位于区域 250a 中并形成一块体。

[0176] 图 26B 示出其中用对准标记 260a 来执行位置对准并选择性地蚀刻 SOI 层 226a、226b、228a、和 228b 使得形成希望图案的示例。例如,通过每次使包括 SOI 层 226a、226b、228a、和 228b 的一块曝光来转移电路图案。这时,如果存在对准标记 260a,可以以光刻法轻易地执行位置对准等。例如,蚀刻之后每个 SOI 层的图案可以形成在电路部分中形成的晶体管的沟道部分。进一步通过其它步骤,可以使用每个 SOI 层来形成包括晶体管的电路。

[0177] 优选的是在使用通过曝光并一次转移而形成的电路图案选择性地蚀刻 SOI 层时形成用于稍后的(栅电极等的)图案形成的对准标记,以形成用于形成晶体管的沟道部分等的希望 SOI 图案。例如,图 26B 示出其中对准标记 271a、271b、272a、和 272b 的每个在每个面板形成区中形成的示例。虽然可以用已在上述步骤中形成的对准标记 260a 来执行用于稍后的图案形成的位置对准,但优选的是形成新的对准标记使得可适应微小图案形式。以这种方式,能够在形成微小图案形式时轻易地执行位置对准等。

[0178] 虽然这里为方便起见示出其中将四个 SOI 层定义为一块并将步进器的一次曝光

尺寸定义为一个单元的示例,但本发明不特别局限于此示例。构成一个单元的 SOI 层的数目是任选的。也就是说,可以从多个转移的 SOI 层中选择任选数目的 SOI 层以形成一个单元。

[0179] 可以以与实施方式 1 的自由组合来执行本实施方式。

[0180] (实施方式 3) 本实施方式示出其中使用根据本发明的 SOI 衬底来制造具有与上述实施方式不同的结构的元件。具体地说,参照图 19A 至 20B 来描述其中在 SOI 层之间嵌入绝缘层作为元件隔离结构的结构。

[0181] 在图 19A 中,在中间插入键合层 304 的情况下为基板 300 提供 SOI 层 302。SOI 层 302 具有希望的面板尺寸。在 SOI 层 302 上形成硅氮化物层 305 和硅氧化物层 306 使得匹配元件形成区。使用硅氧化物层 306 作为用于蚀刻 SOI 层 302 的硬掩膜以便将元件隔离。硅氮化物层 305 起到蚀刻终止层的作用。

[0182] 优选的是 SOI 层 302 具有 5 至 500nm(包括边界值)、优选地 10 至 200nm(包括边界值)的厚度。可以通过控制在以上实施方式中描述的分离层的深度适当地设置 SOI 层 302 的厚度。向 SOI 层 302 添加诸如硼、铝、镓等 p 型杂质元素以便控制阈值电压。例如,可以以 $5 \times 10^{17} \text{cm}^{-3}$ 至 $1 \times 10^{18} \text{cm}^{-3}$ (包括边界值)的浓度添加硼。

[0183] 图 19B 示出使用硅氧化物层 306 作为掩膜来蚀刻 SOI 层 302 和键合层 304 的步骤。然后,对硅氧化物层 306、硅氮化物层 305、SOI 层 302、和键合层 304 的氮化物暴露的端部表面执行等离子体处理。用氮化处理,至少在硅氧化物层 306、硅氮化物层 305、SOI 层 302、和键合层 304 的外围端部部分处形成氮化处理层 307。此外,作为氮化处理层 307 的一部分,至少在 SOI 层 302 的外围端部部分处形成硅氮化物层。在 SOI 层 302 的外围端部部分处形成的硅氮化物层具有绝缘特性,并具有防止漏电流在 SOI 层 302 的端部表面处流动的效果。此外,氮化处理层 307 具有抗氧化特性,并因此能够通过从 SOI 层 302 与键合层 304 之间的端部表面生长氧化膜来防止形成“鸟嘴”。

[0184] 图 19C 示出沉积元件隔离绝缘层 308 的步骤。作为元件隔离绝缘层 308,使用 TEOS 作为源气体通过化学汽相沉积法来沉积硅氧化物层。以大厚度来沉积元件隔离绝缘层 308 以便嵌入 SOI 层 302。

[0185] 图 19D 示出去除元件隔离绝缘层 308 直至暴露硅氮化物层 305 的步骤。此去除步骤可以通过干法蚀刻来执行,或者可以通过化学机械抛光来执行。硅氮化物层 305 起到蚀刻终止层的作用。元件隔离绝缘层 308 被留下而嵌在 SOI 层 302 之间。然后去除硅氮化物层 305。

[0186] 在图 19E 中,在暴露 SOI 层 302 之后,形成栅极绝缘层 309、栅电极 310、和侧壁绝缘层 311;然后是高浓度杂质区 312、和低浓度杂质区 313。使用硅氮化物来形成绝缘层 314,并将其用于蚀刻栅电极 310 的硬掩膜。

[0187] 在图 20A 中,形成层间绝缘层 315。作为层间绝缘层 315,形成 BPSG(硼磷硅玻璃)层并通过回流将其平面化。作为层间绝缘层 315,还可以使用 TEOS 作为源气体来形成硅氧化物层并通过化学机械抛光工艺来将其平面化。在平面化过程中,栅电极 310 上的绝缘层 314 起到蚀刻终止层的作用,在层间绝缘层 315 中形成接触孔 316。接触孔 316 具有使用侧壁绝缘层 311 的自对准接触的结构。

[0188] 然后,如图 20B 所示,使用六氟化钨通过 CVD 法形成接触栓塞 317。此外,形成绝缘

层 318。在绝缘层 318 中形成开口使得与接触栓塞 317 匹配,并在其中形成布线 319。使用铝或铝合金来形成布线 319,并在上下层处形成钼、铬、钛等的金属膜作为阻挡金属。

[0189] 以这种方式,可以使用键合到基板 300 的 SOI 层 302 来制造晶体管。本实施方式所示的晶体管可以应用于根据本发明的显示器件的像素电路部分、外围电路部分等。依照本实施方式,通过使用根据实施方式 1 或 2 制造的 SOI 衬底,可以形成使用一个 SOI 层来组成一个显示面板的元件;因此,可以抑制特性的变化。此外,使用多个 SOI 层来形成 SOI 衬底,并可以在制造显示器件时通过使每个 SOI 层具有约等于希望的面板尺寸的尺寸来改善产出率。

[0190] 可以以与实施方式 1 或 2 的自由组合来执行本实施方式。本申请基于 2007 年 4 月 13 日向日本专利局提交的日本专利申请第 2007-106578 号,通过引用将其全部内容合并于此。

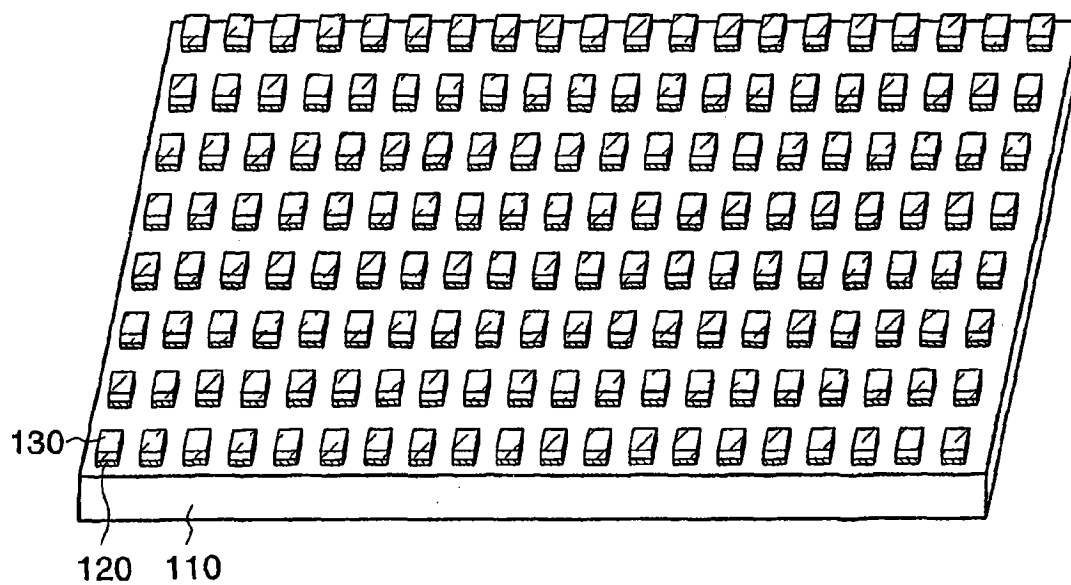
100

图 1A

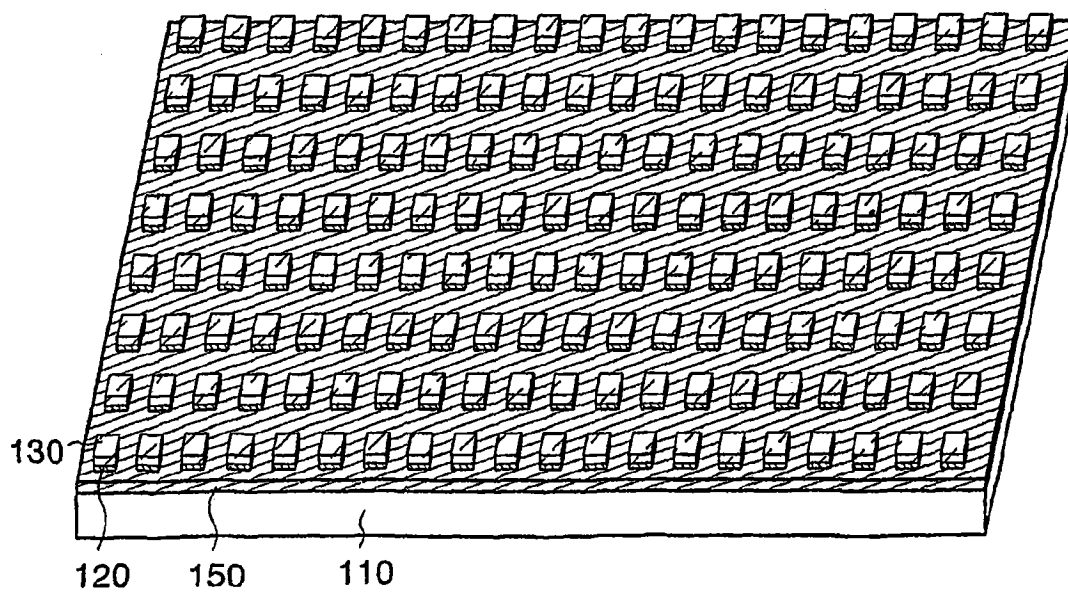
100

图 1B

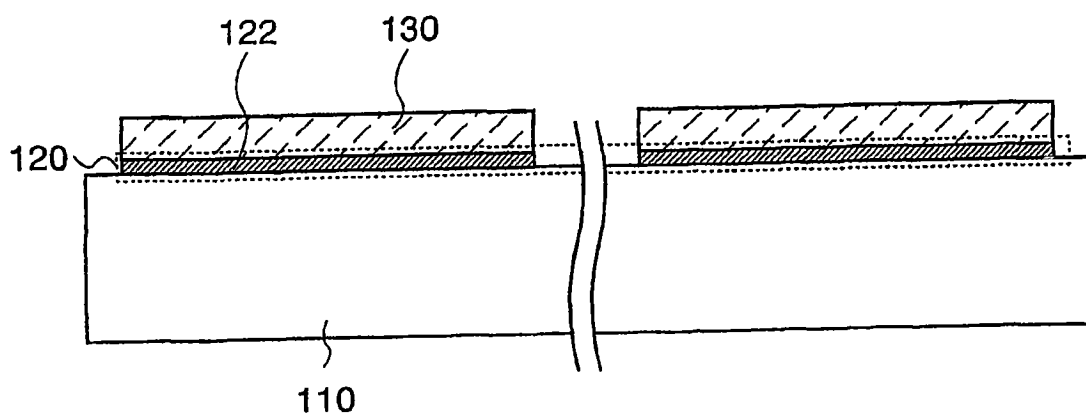


图 2A

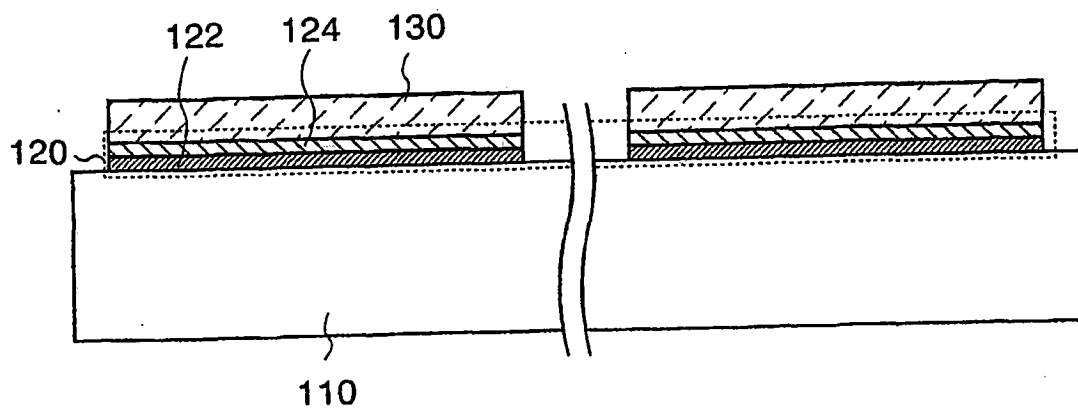


图 2B

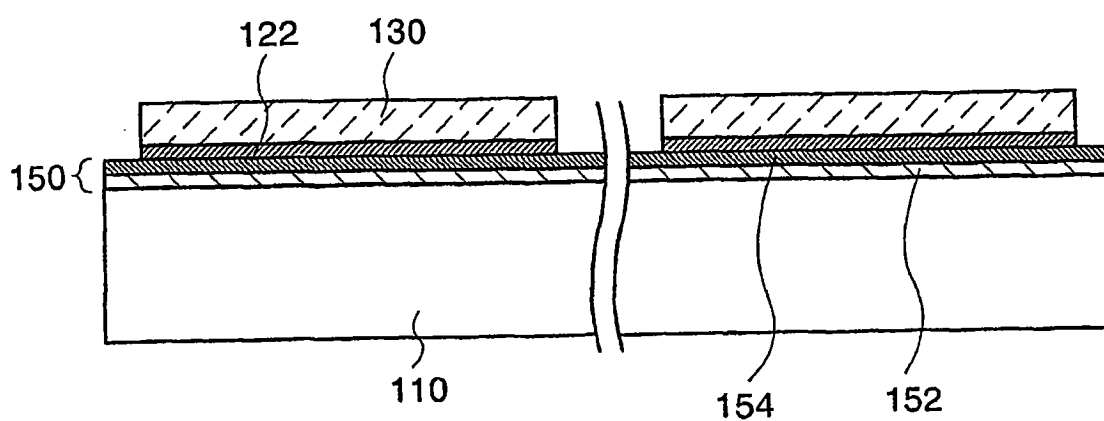


图 3A

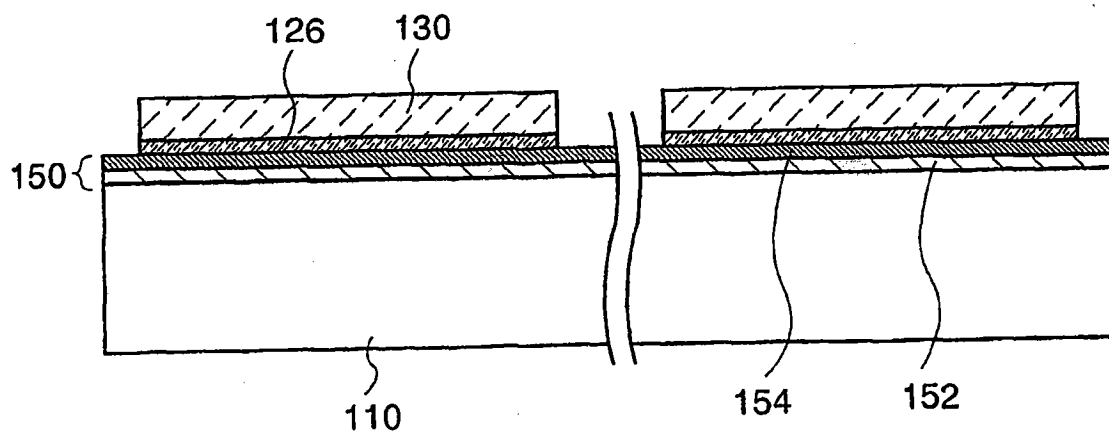


图 3B

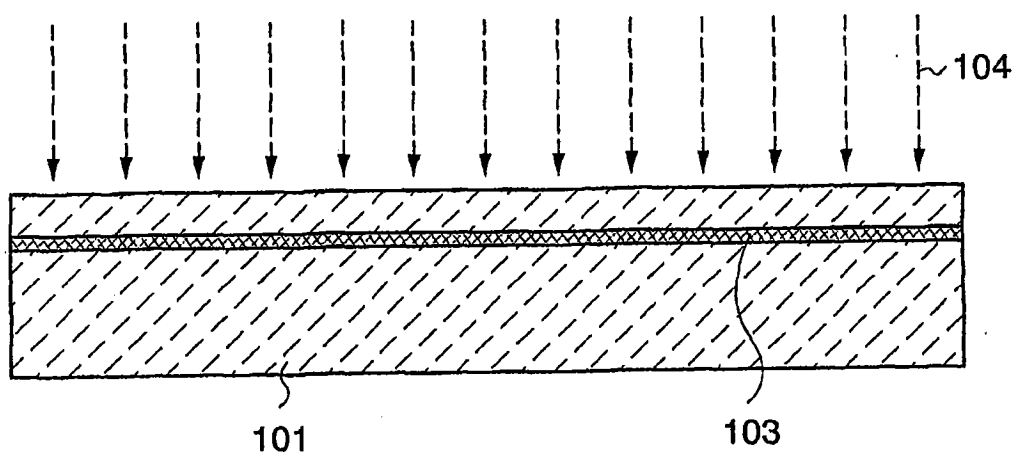


图 4A

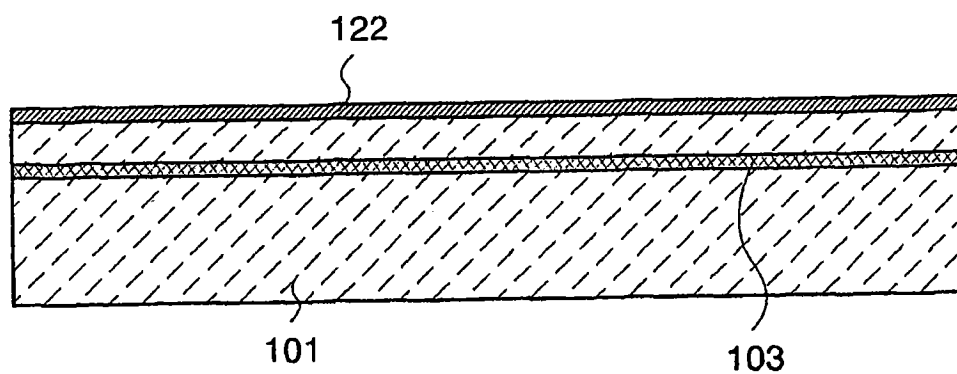


图 4B

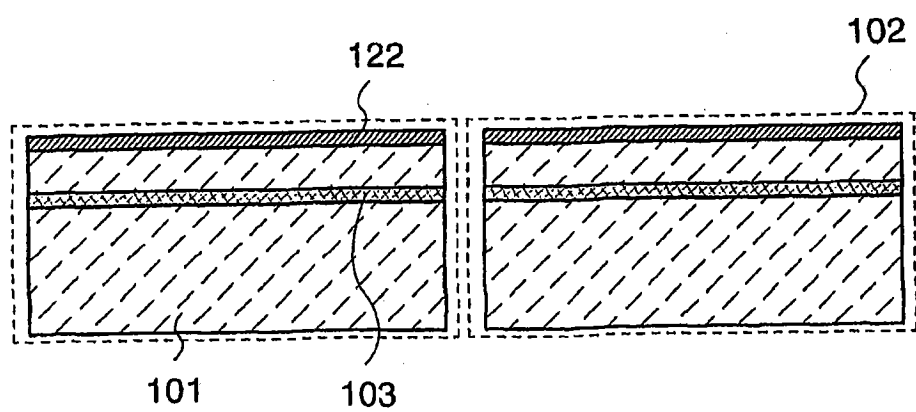


图 4C

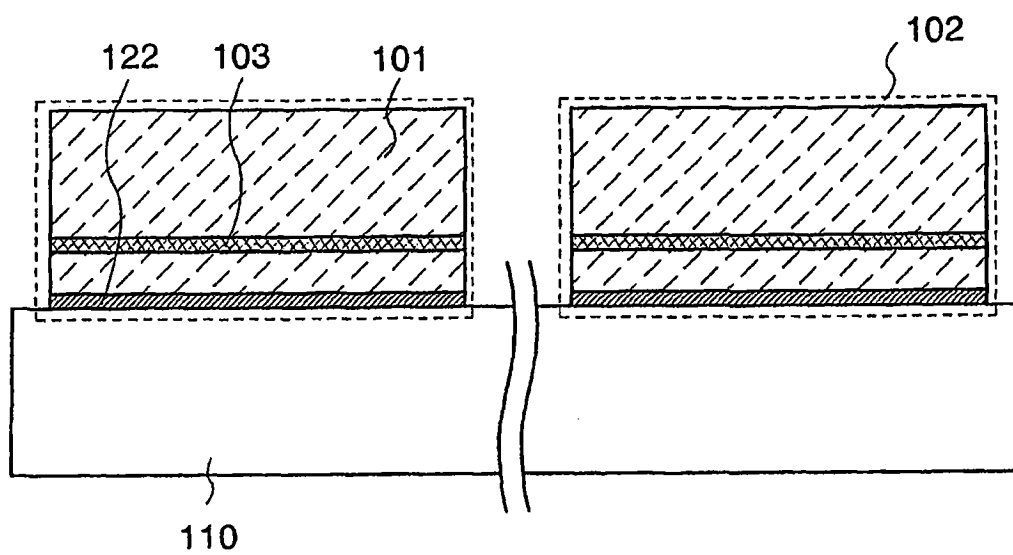


图 5A

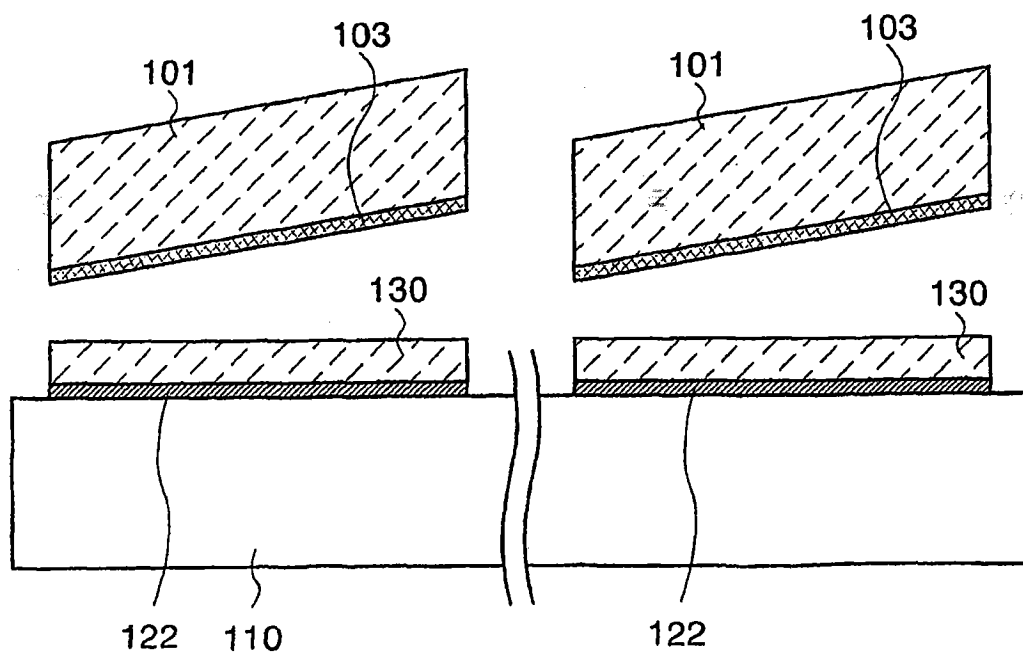


图 5B

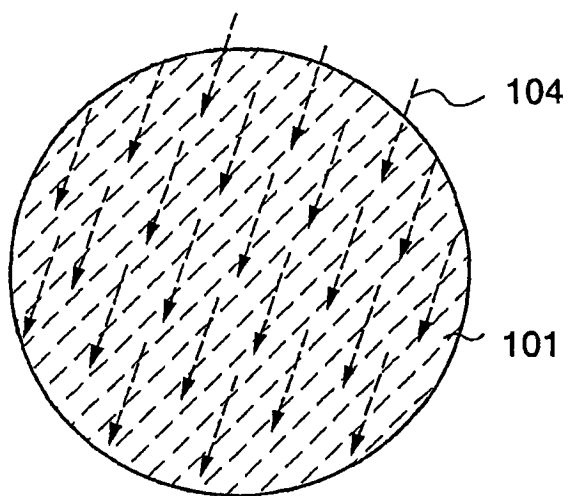


图 6A

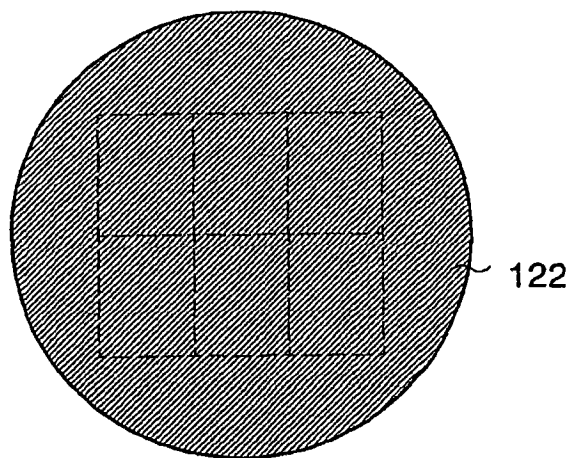


图 6B

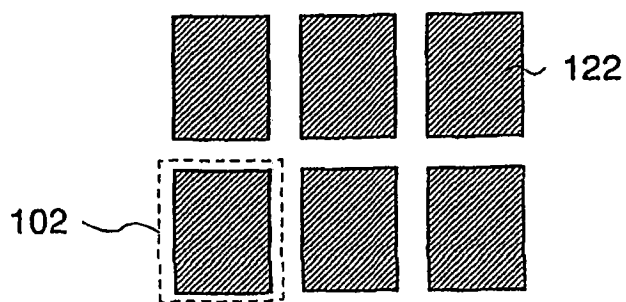


图 6C

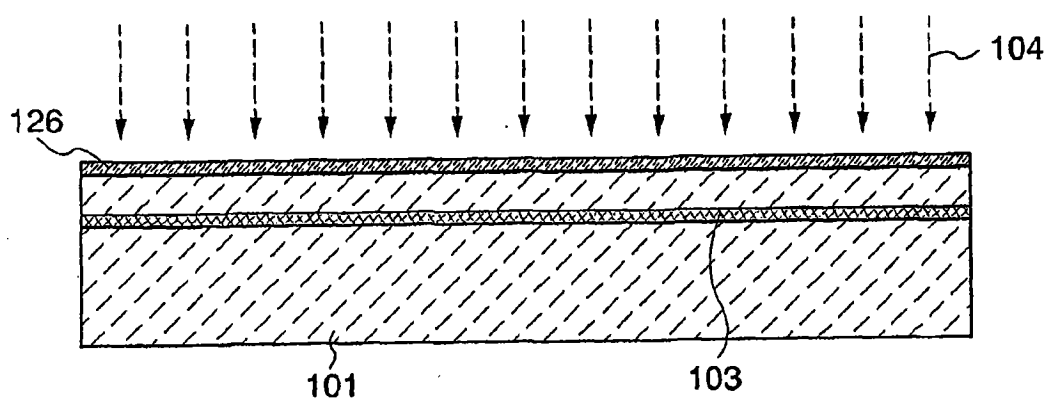


图 7A

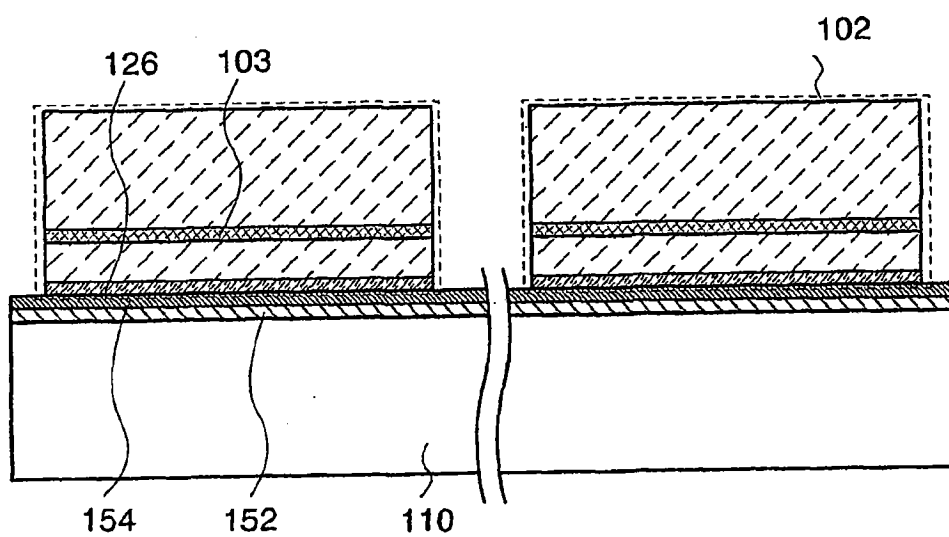


图 7B

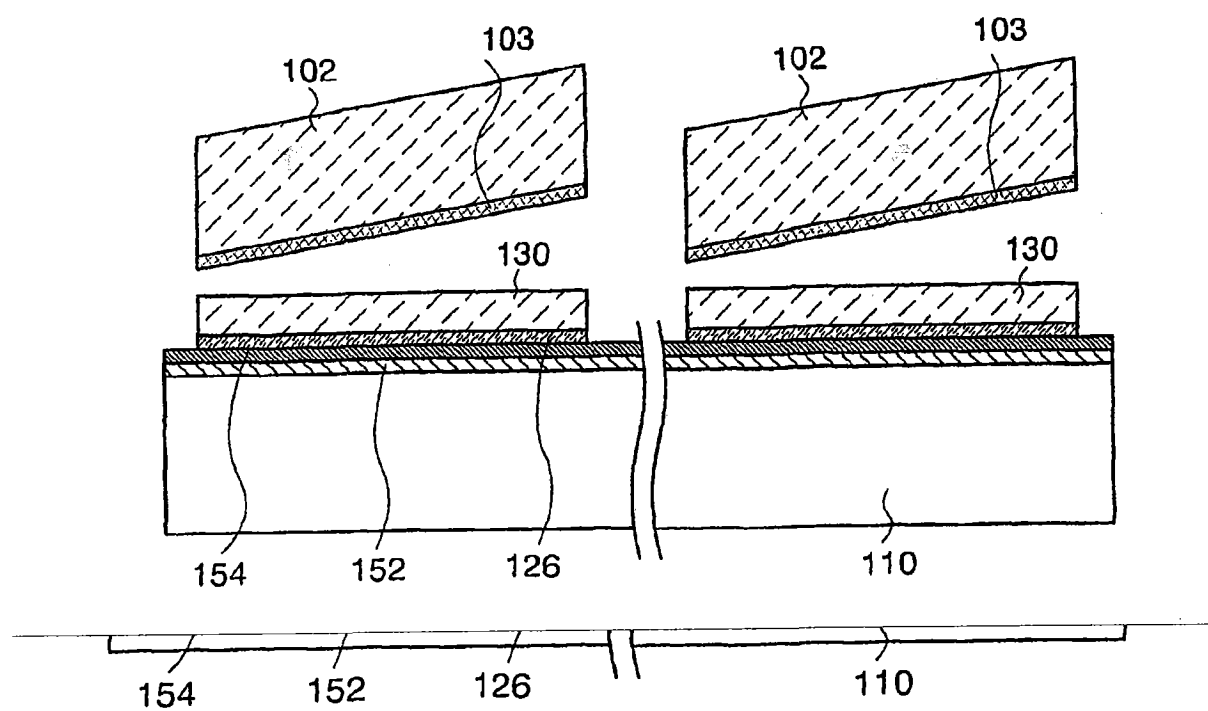


图 7C

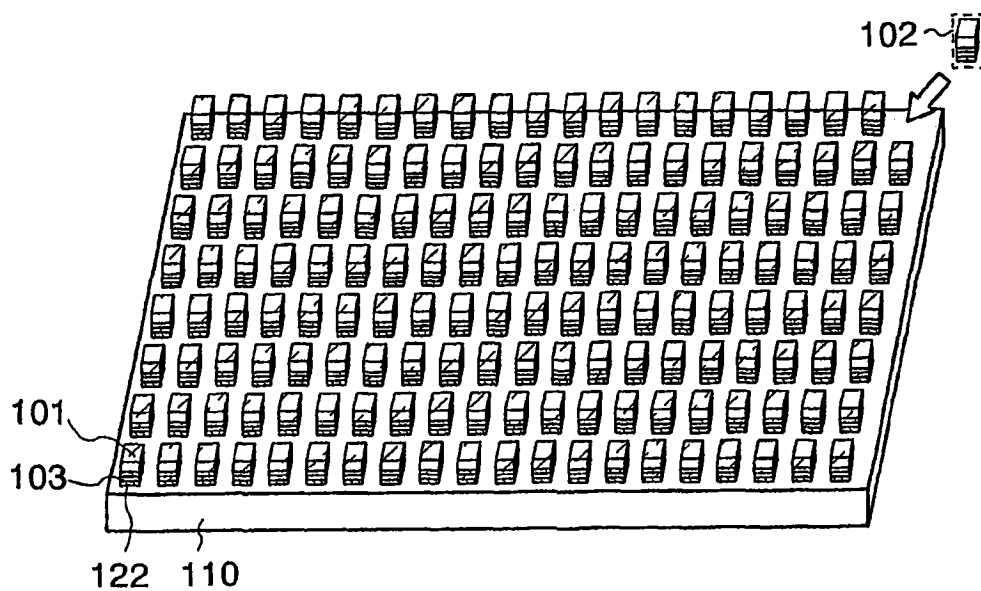


图 8A

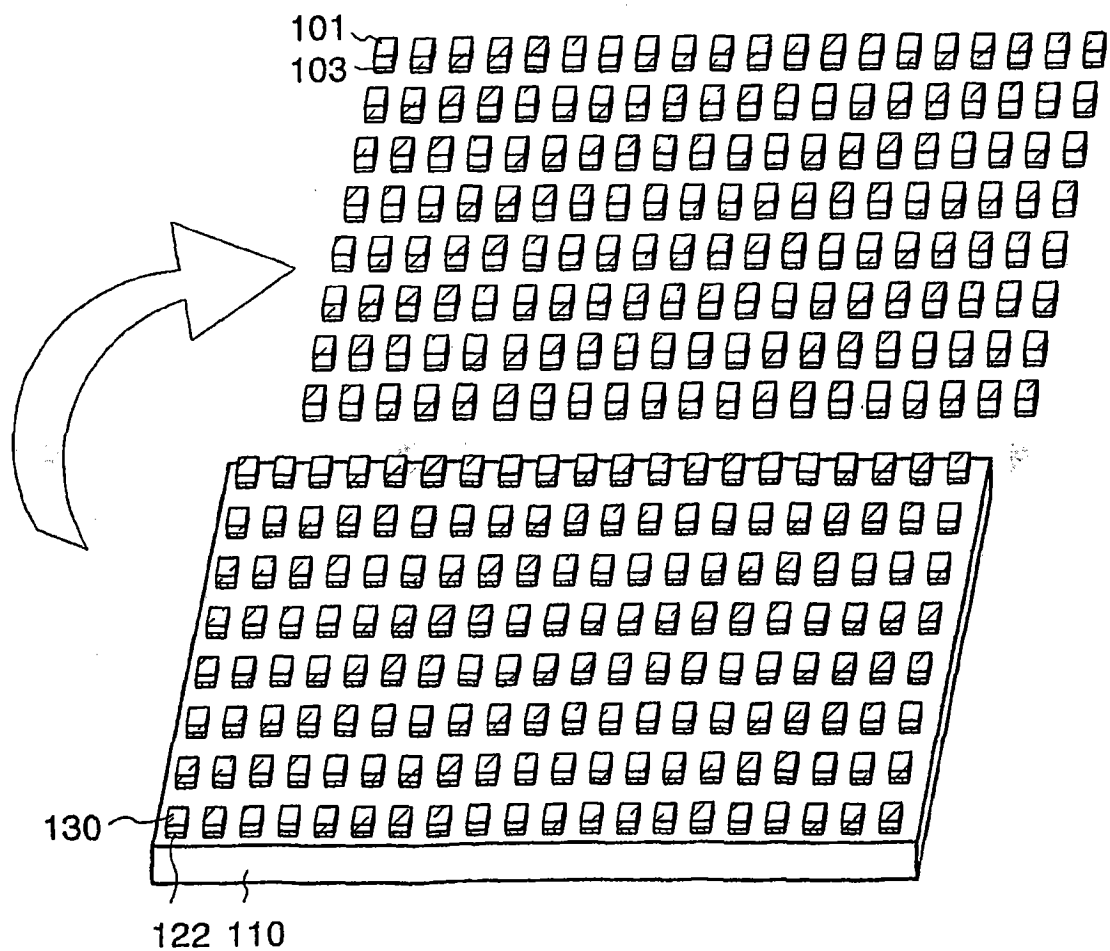


图 8B

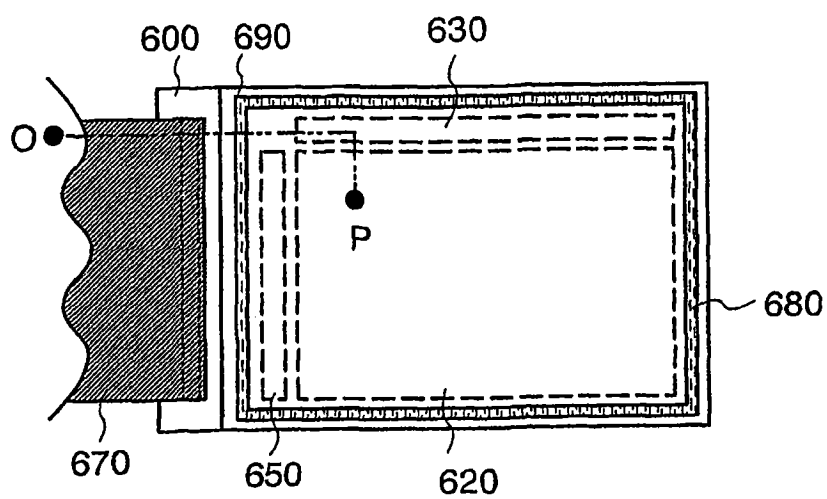


图 9A

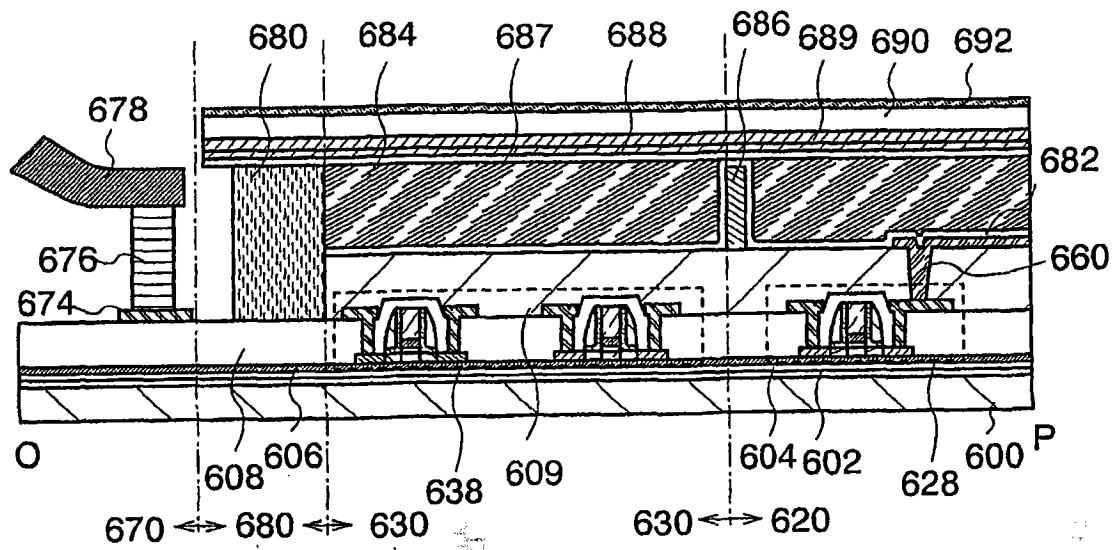


图 9B

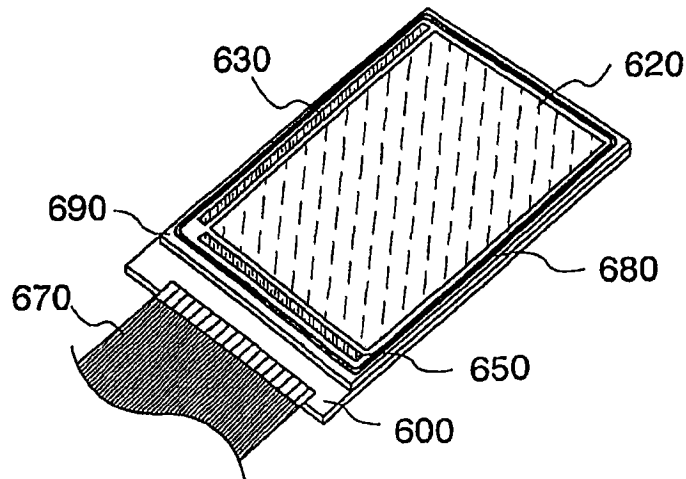


图 9C

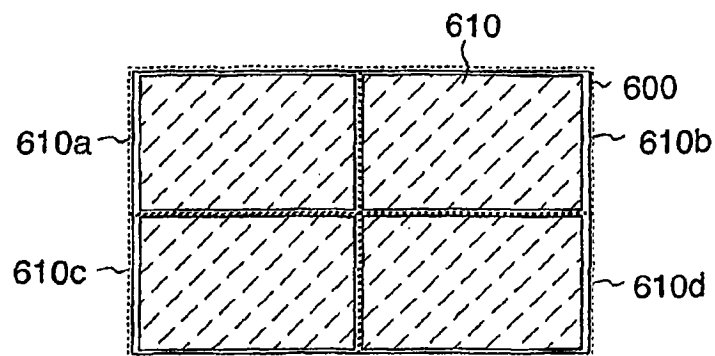


图 10A

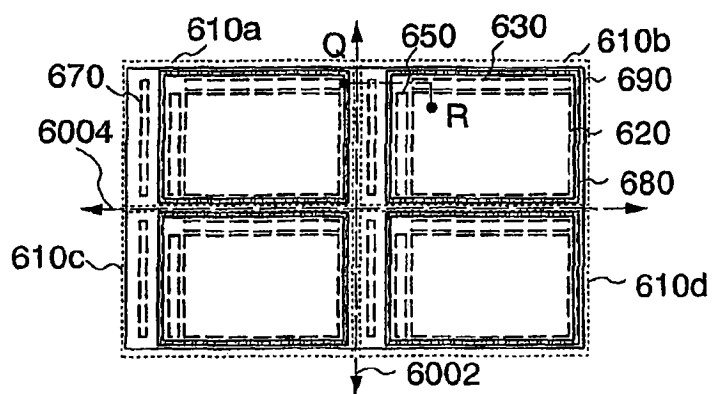


图 10B

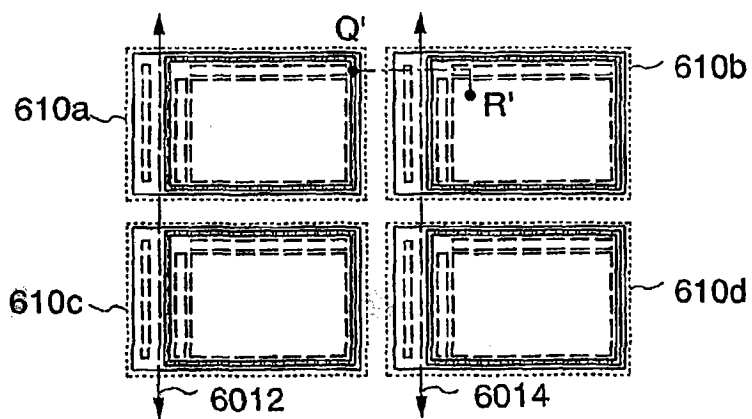


图 10C

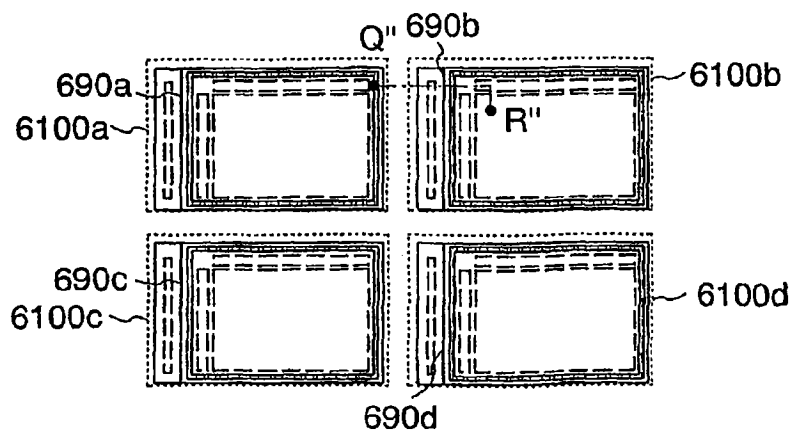
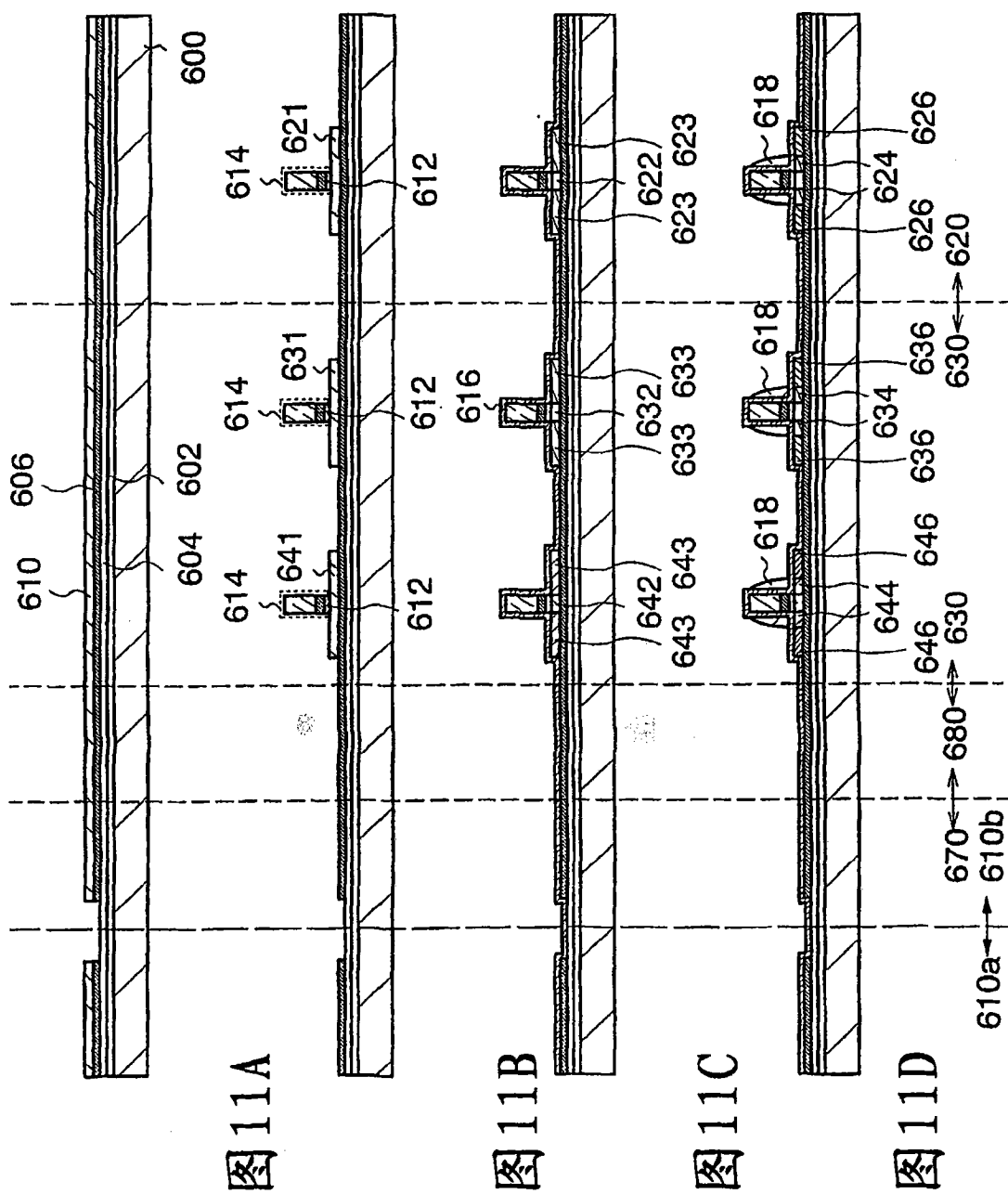


图 10D



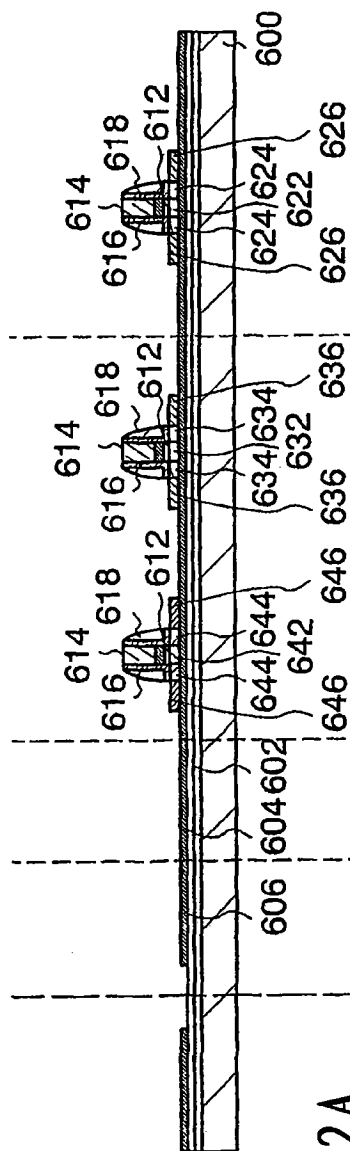


图 12A

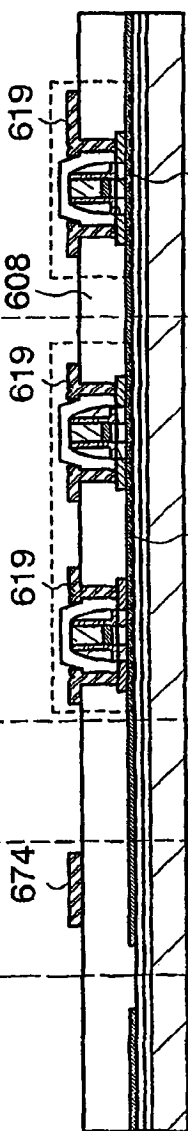


图 12B

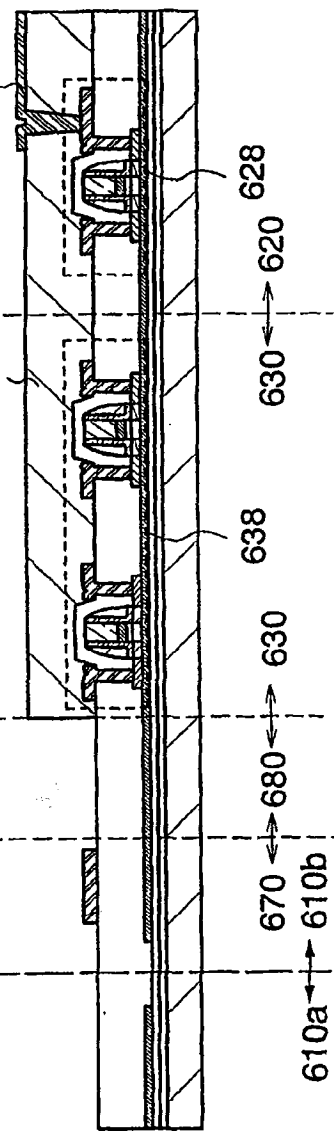


图 12C

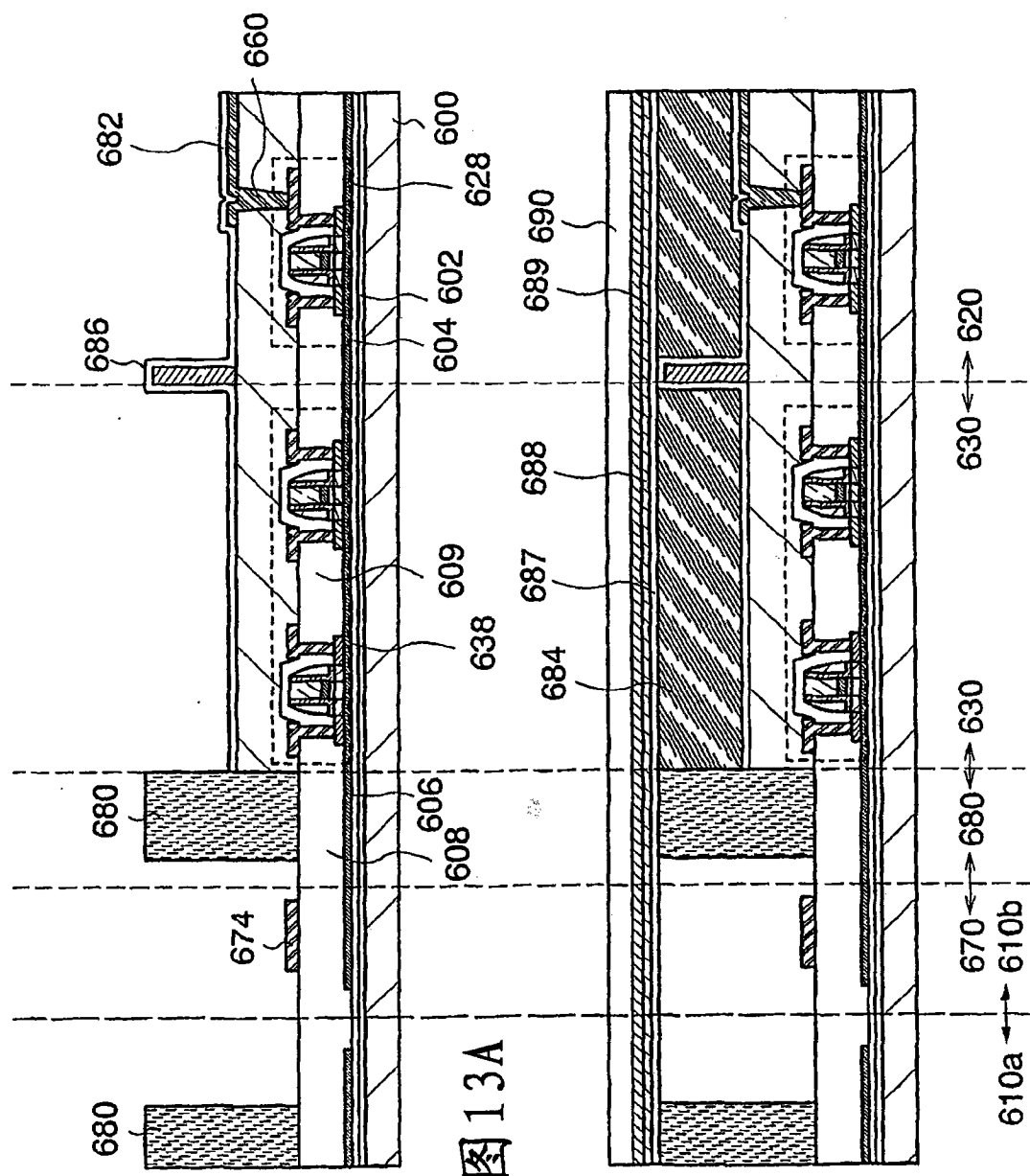


图13A

图13B

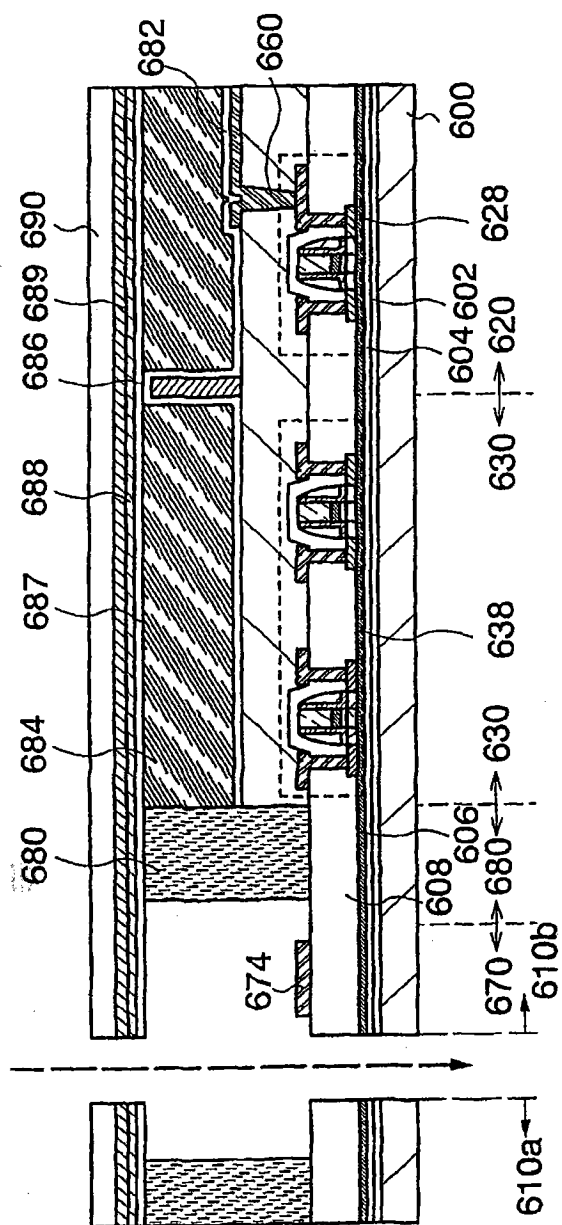


图 14A

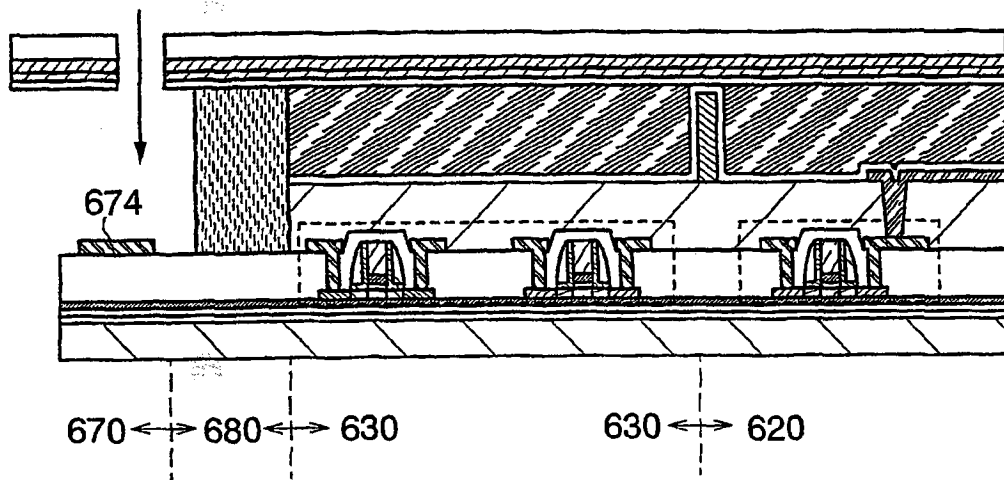


图 14B

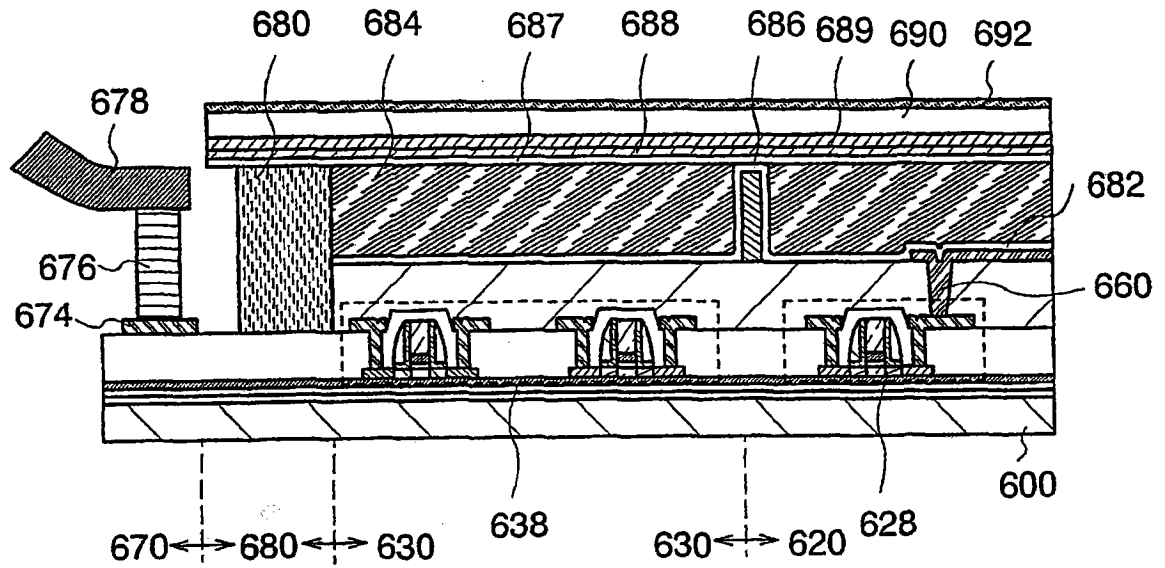


图 15

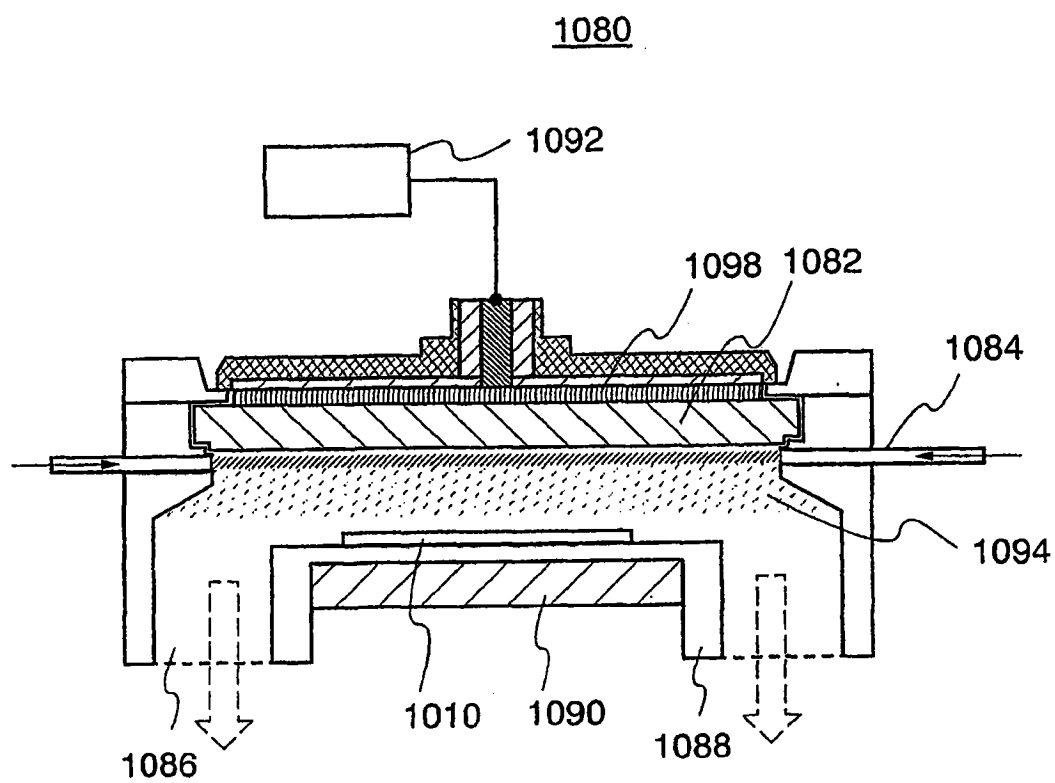


图 16

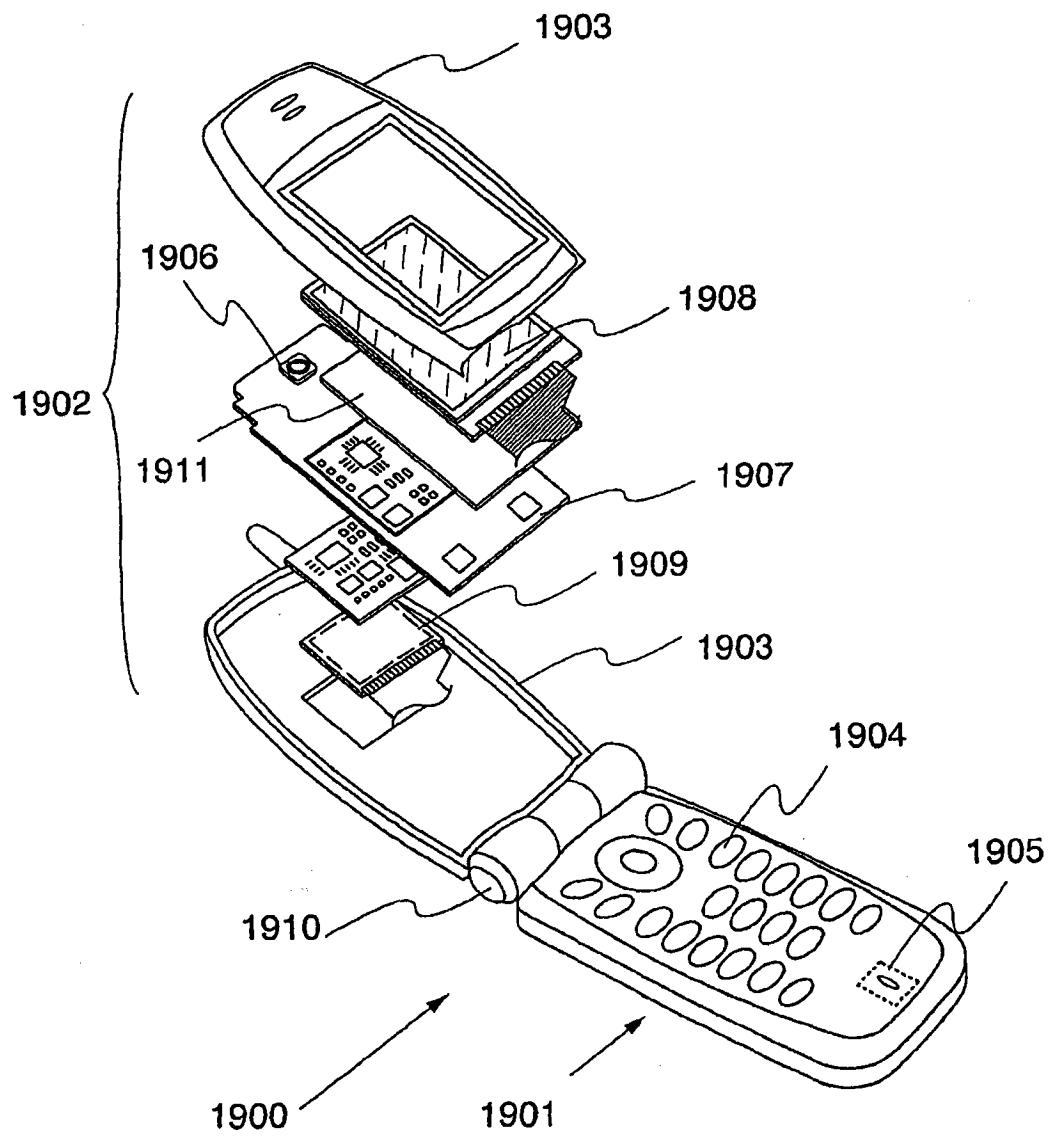


图 17

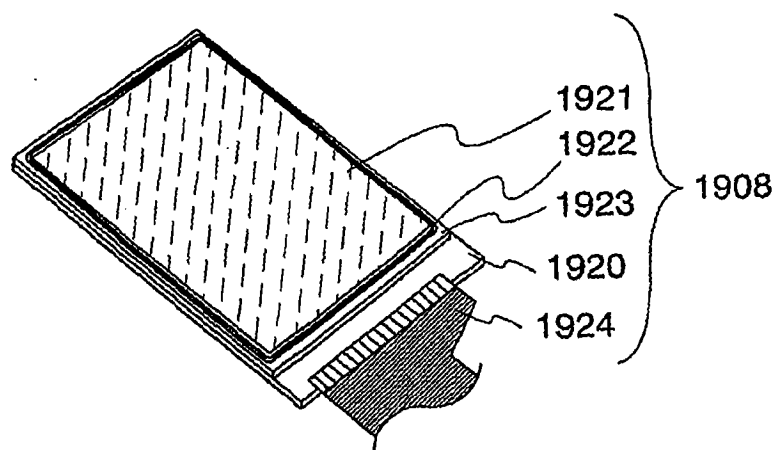


图 18A

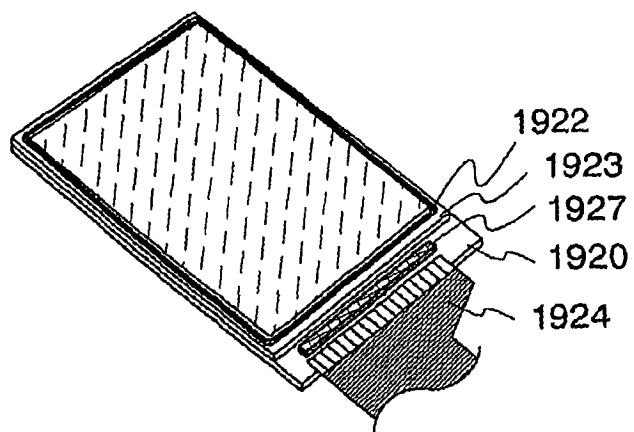


图 18B

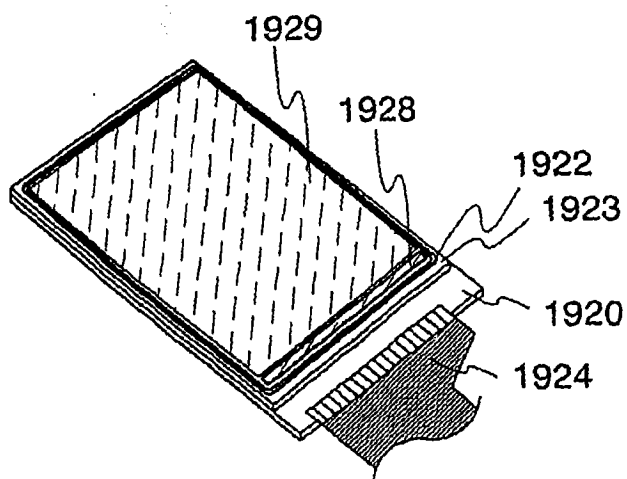


图 18C

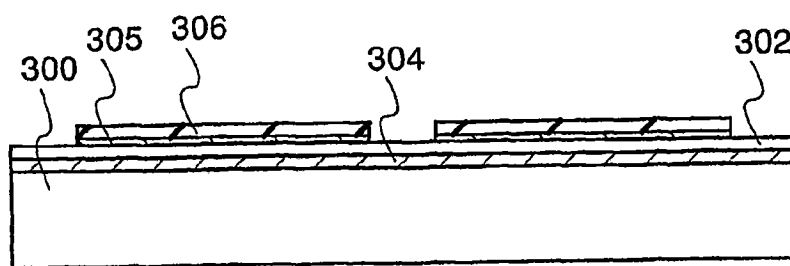


图 19A

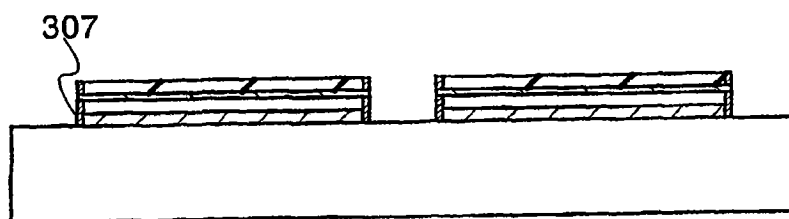


图 19B

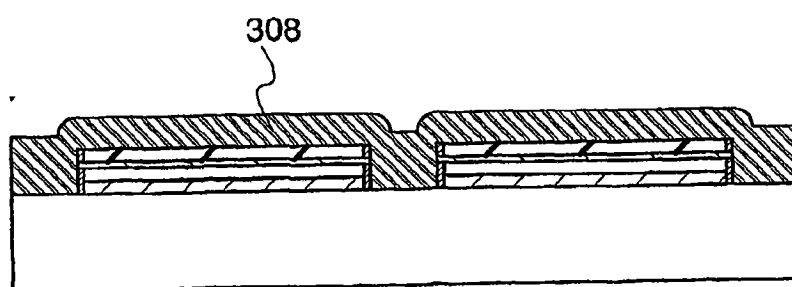


图 19C

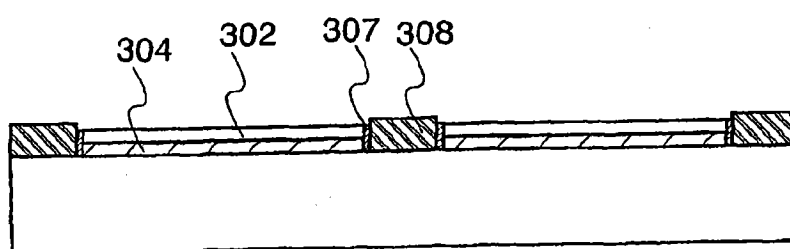


图 19D

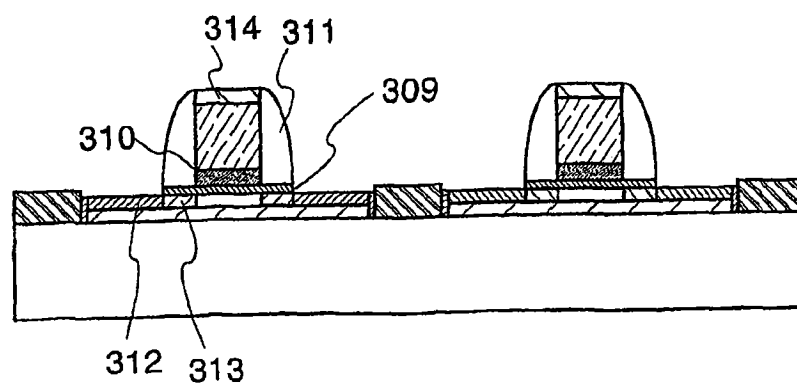


图 19E

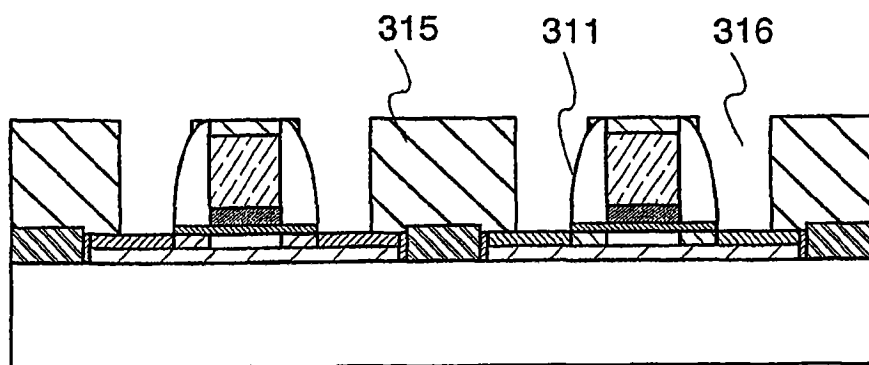


图 20A

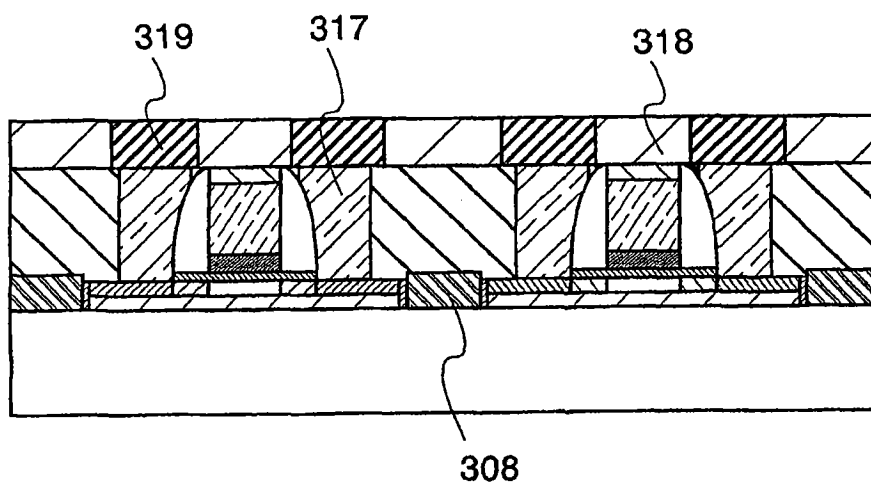


图 20B

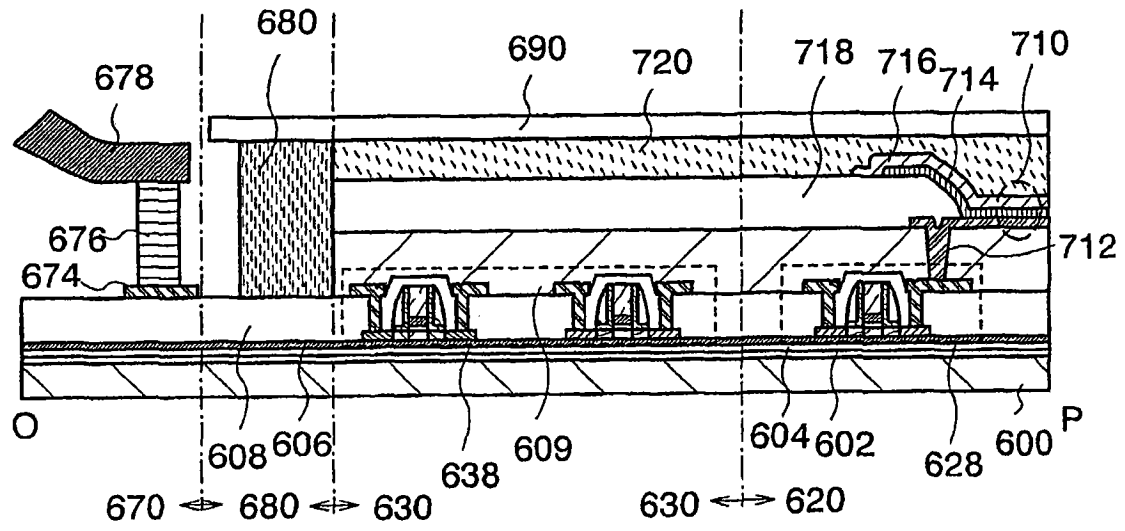


图 21

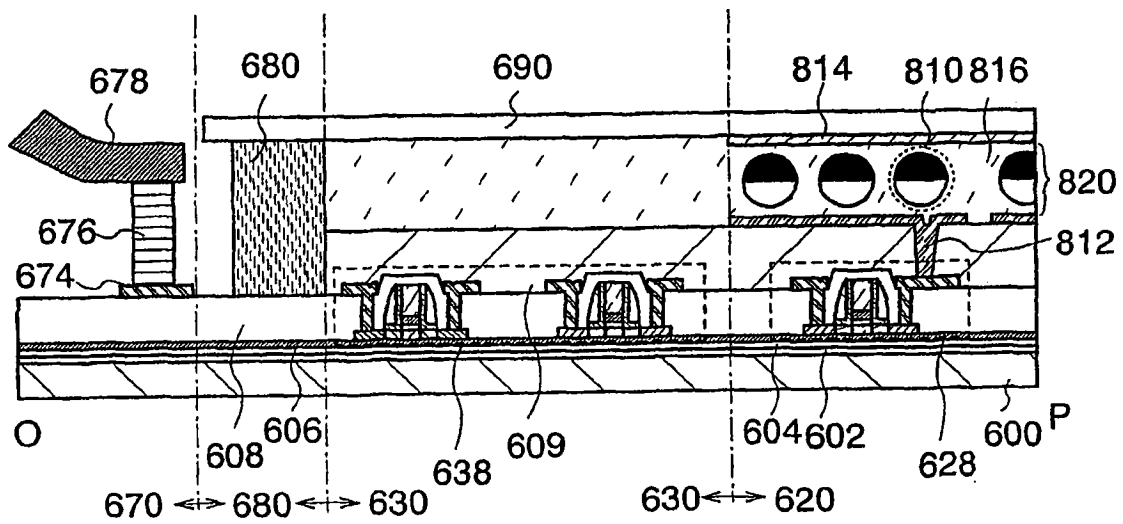


图 22

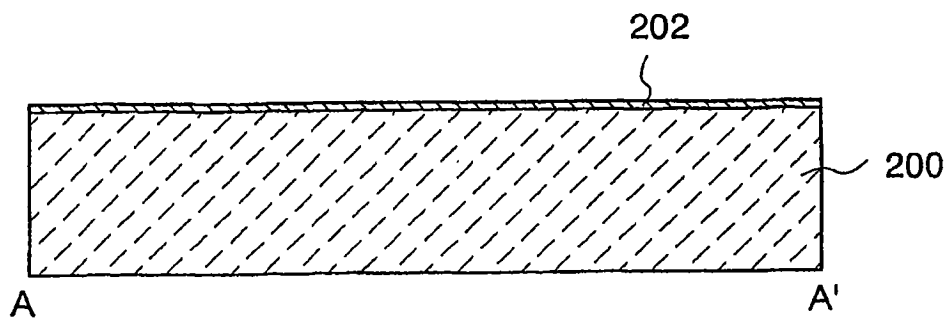


图 23A

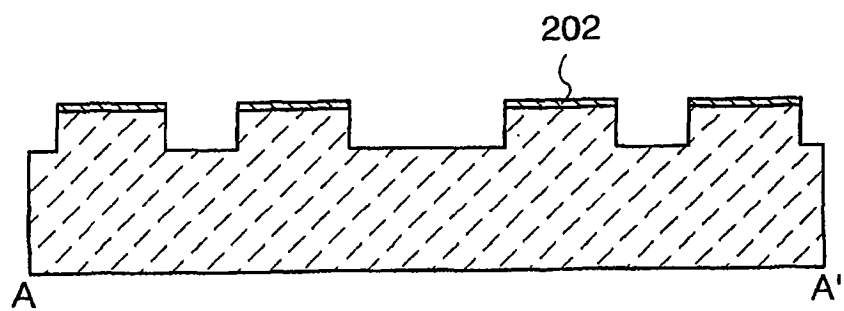


图 23B

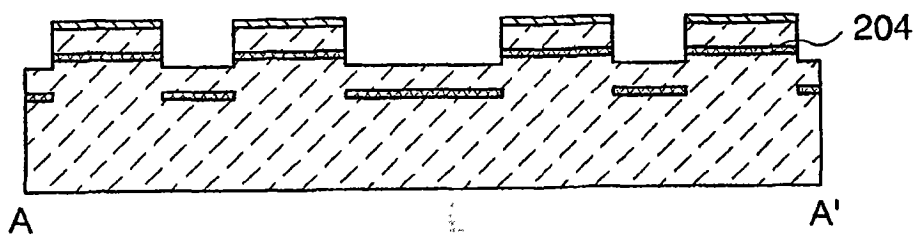


图 23C

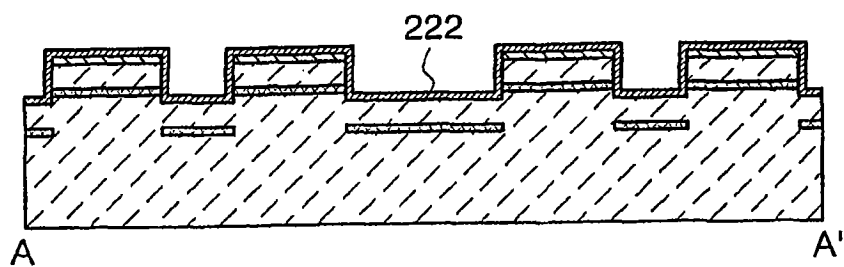


图 23D

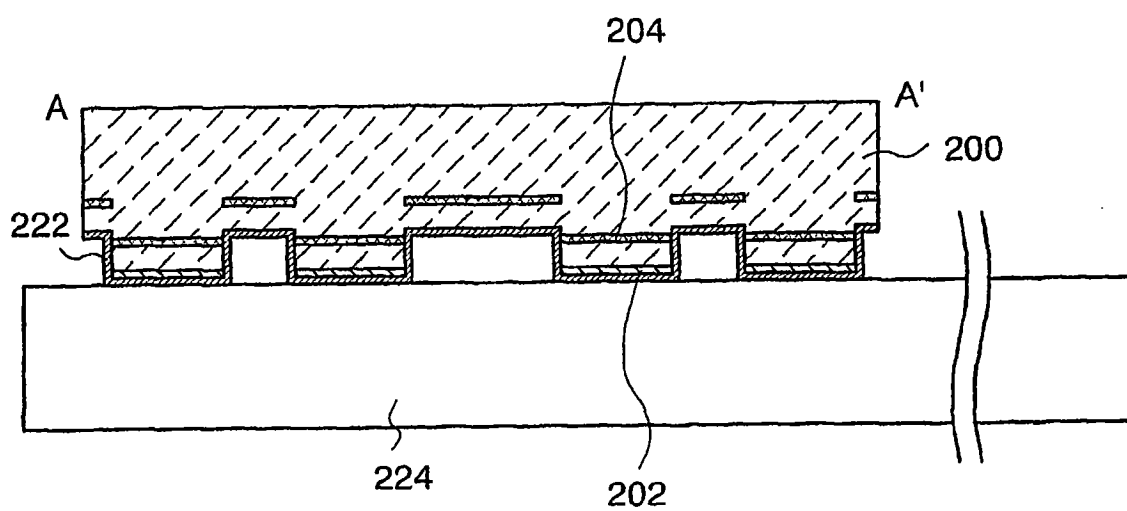


图 24A

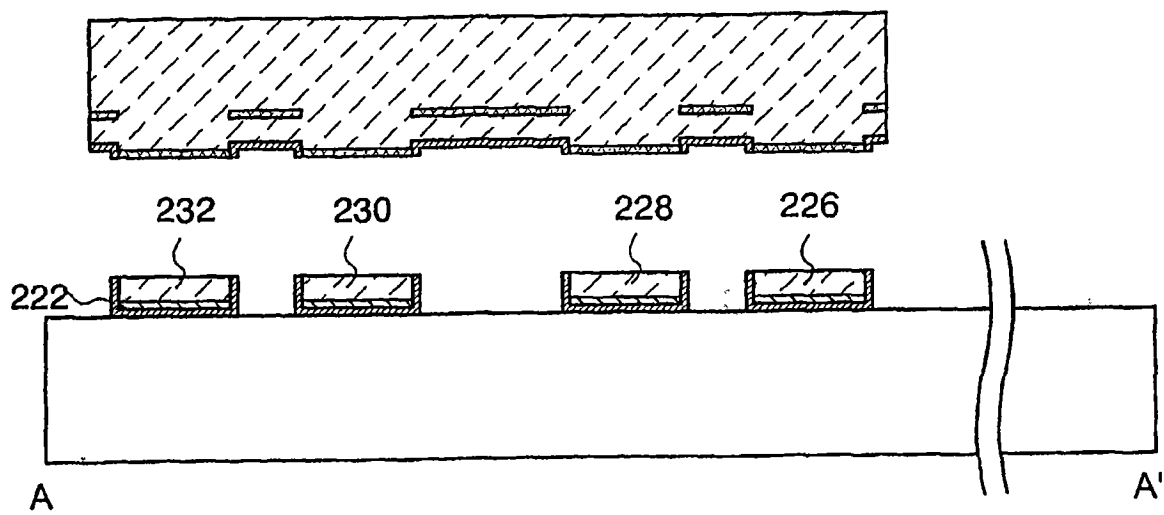


图 24B

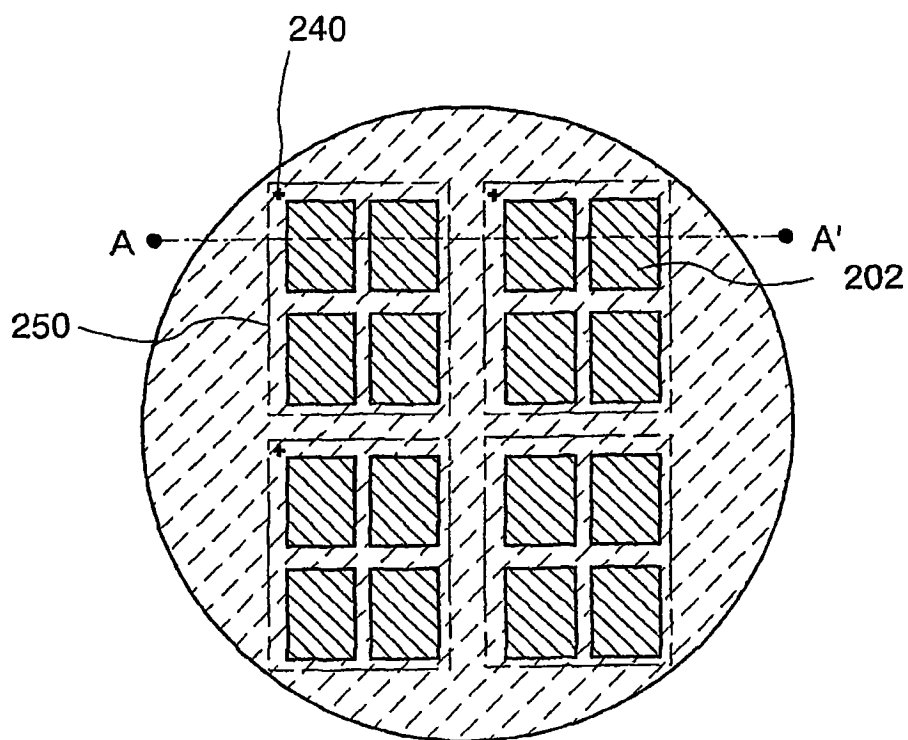


图 25A

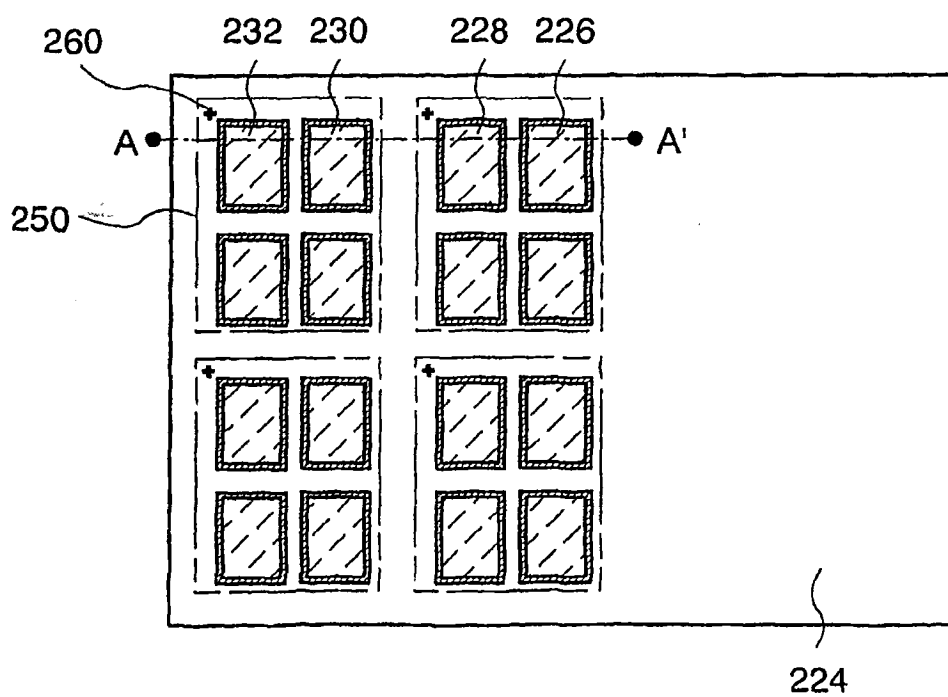


图 25B

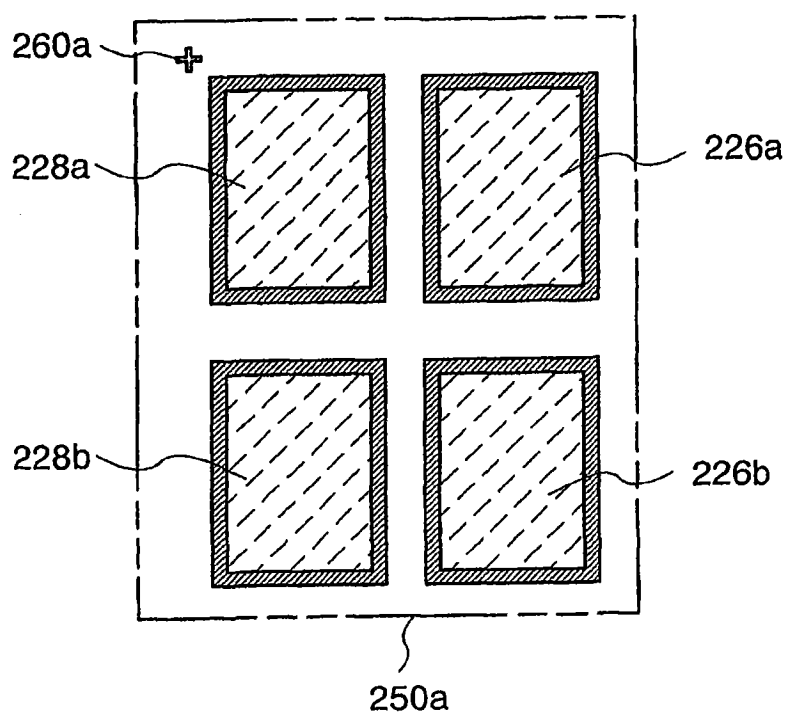


图 26A

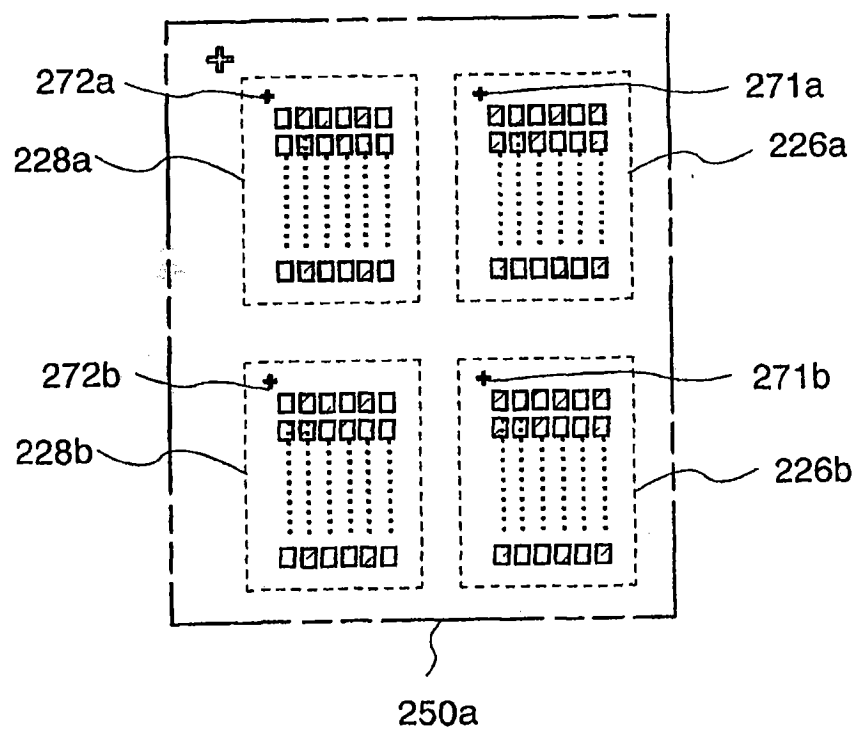


图 26B