



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월16일
(11) 등록번호 10-2467680
(24) 등록일자 2022년11월11일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) H01L 43/08 (2006.01)
(52) CPC특허분류
G11C 11/1655 (2013.01)
G11C 11/1657 (2013.01)
(21) 출원번호 10-2021-0120872
(22) 출원일자 2021년09월10일
심사청구일자 2021년09월10일
(56) 선행기술조사문헌
KR1020100097743 A*
Y. Seo et al., 'High Density SOT-MRAM Based on Shared Bitline Structure', IEEE Transactions on VLSI, V.26, N.8, Aug 2018 (2018.08.31.) 1부.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
서영교
경기도 부천시 길주로77번길 19-45, 920호(상동, 디아프갤러리4)
(74) 대리인
양성보

전체 청구항 수 : 총 5 항

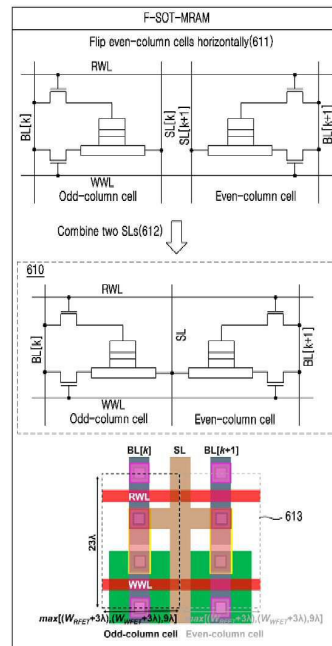
심사관 : 윤석채

(54) 발명의 명칭 저면적 SOT-MRAM 회로 구조

(57) 요약

저면적 SOT-MRAM 회로 구조가 제시된다. 본 발명에서 제안하는 SOT-MRAM 회로는 행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함하고, 상기 비트 인터리빙 회로는, 인접한 두 비트 셀 (뒷면에 계속)

대표도 - 도6a



이 동시에 액세스되지 않고, 동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 수평 방향으로 반전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유하는 플립 SOT-MRAM(Flipped SOT-MRAM; F-SOT-MRAM) 회로 구조를 갖는다. 또 다른 일 측면에 있어서, 본 발명에서 제안하는 SOT-MRAM 회로는 행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함하고, 상기 비트 인터리빙 회로는, 인접한 두 비트 셀이 동시에 액세스되지 않고, 동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 180도 회전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유하는 회전 SOT-MRAM(Rotated SOT-MRAM; R-SOT-MRAM) 회로 구조를 갖는다.

(52) CPC특허분류

G11C 11/1675 (2013.01)

H01L 43/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415172978
과제번호	20009972
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	차세대지능형반도체기술개발
연구과제명	고효율 초저전력 경량 엣지 디바이스용 소자회로 및 SoC 개발 (2차년도)
기 여 율	45/100
과제수행기관명	한국전자기술연구원
연구기간	2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711132737
과제번호	2020R1F1A1051529
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	기본연구
연구과제명	[Ezbaro] CMOS 메모리와 차세대 메모리를 이용한 저전력 저면적 PIM (Processing In Memory) 설계
기 여 율	20/100
과제수행기관명	인하대학교
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711134918
과제번호	2021M3F3A2A01037531
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자원천기술개발
연구과제명	[Ezbaro] Dynamic logic 기반 고성능 STMG 로직 회로 설계
기 여 율	10/100
과제수행기관명	인하대학교
연구기간	2021.04.09 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711139247
과제번호	IITP-2021-0-02052
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학 ICT연구센터 육성 · 지원사업
연구과제명	[Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및 인력 양성 (1차년도)
기 여 율	25/100
과제수행기관명	인하대학교
연구기간	2021.07.01 ~ 2021.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함하고,

상기 비트 인터리빙 회로는,

인접한 두 비트 셀이 동시에 액세스되지 않고,

동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 수평 방향으로 반전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유하는 플립 SOT-MRAM(Flipped SOT-MRAM; F-SOT-MRAM) 회로 구조를 갖고,

상기 플립 SOT-MRAM 회로는,

읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 및 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET})이 모두 6λ 보다 작을 경우, 수평 치수는 하기식과 같고,

$$1.5W_{M2M} + 1.5W_M = 9\lambda$$

여기서, W_{M2M} 은 최소 메탈 간격, W_M 은 최소 메탈 폭을 나타내는

SOT-MRAM 회로.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 플립 SOT-MRAM 회로는,

읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 또는 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET}) 중 어느 하나 이상이 6λ 보다 크거나 같을 경우, 수평 치수는 하기식과 같고,

$$\max(W_{RFET}, W_{WFET}) + W_{A2A} = \max(W_{RFET}, W_{WFET}) + 3\lambda$$

여기서, W_{A2A} 는 최소 액티브 간격을 나타내는

SOT-MRAM 회로.

청구항 4

제1항에 있어서,

상기 플립 SOT-MRAM 회로는,

메모리 작동을 위해 하나의 셀에 접근하는 것이 단일 소스 라인을 공유하고 있는 또 다른 셀에 방해가 되지 않도록 단일 소스 라인을 공유하는 한 쌍의 인접한 두 비트 셀을 바이어싱하는

SOT-MRAM 회로.

청구항 5

행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함하고,

상기 비트 인터리빙 회로는,

인접한 두 비트 셀이 동시에 액세스되지 않고,

동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 180도 회전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유하는 회전 SOT-MRAM(Rotated SOT-MRAM; R-SOT-MRAM) 회로 구조를 갖고,

상기 회전 SOT-MRAM 회로는,

읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 및 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET})의 평균에 의해 결정되는 수평 치수는 하기식과 같고,

$$0.5(W_{RFET} + W_{WFET}) + W_{A2A} = 0.5(W_{RFET} + W_{WFET}) + 3\lambda$$

여기서, W_{A2A} 는 최소 액티브 간격을 나타내는

SOT-MRAM 회로.

청구항 6

삭제

청구항 7

제5항에 있어서,

상기 회전 SOT-MRAM 회로는,

메모리 작동을 위해 하나의 셀에 접근하는 것이 단일 소스 라인을 공유하고 있는 또 다른 셀에 방해가 되지 않도록 단일 소스 라인을 공유하는 한 쌍의 인접한 두 비트 셀을 바이어싱하는

SOT-MRAM 회로.

발명의 설명

기술 분야

[0001] 본 발명은 고밀도의 스핀 궤도 토크 자기 랜덤 액세스 메모리(Spin-Orbit Torque Magnetic Random-Access Memories; SOT-MRAM)를 위한 면적 최적화 기술에 관한 것이다.

배경 기술

[0002] 스핀 전달 토크 자기 랜덤 액세스 메모리(Spin-Transfer Torque Magnetic Random-Access Memory; STT-MRAM)는 비휘발성, 높은 집적 밀도(high integration density) 및 CMOS 프로세스와의 호환성이라는 바람직한 특성으로 인해 차세대 CPU 캐시와 임베디드 메모리에 대해 상당한 관심을 끌었다[1-3]. STT-MRAM의 저장 요소는 도 1(a)와 같이 산화층으로 분리된 두 개의 강자성 층(예를 들어, MgO)으로 구성된 자기 터널 정션(Magnetic Tunnel Junction; MTJ)이다. 하나의 강자성층의 자기화, 고정층(Pinned Layer; PL)은 고정된 반면, 다른 강자성층, 자유층(Free Layer; FL)의 자기화는 전류를 통과시켜 변경할 수 있다. FL 자기화는 PL 자기화와 관련하여 병렬(P 상태(P state)) 또는 반병렬(AP 상태(AP state)) 중 하나로 쌍안정형(bistable)이다. P 상태는 AP 상태에서의 저항보다 저항이 낮기 때문에 MTJ를 통해 작은 읽기 전류를 전달한 다음 전압 차이를 감지하여 바이너리 상태를 결정하는 방식으로 읽기 동작을 수행할 수 있다. MTJ는 비휘발성이므로 STT-MRAM은 누설 전력을 제거하여 총 전력 손실을 낮출 수 있다. 또한, 단일 액세스 트랜지스터를 사용하는 STT-MRAM은 기존의 정적 RAM (Static RAMs; SRAM)에 비해 2배 이상 더 높은 집적 밀도를 제공한다[4-6].

[0003] 도 1은 종래기술에 따른 STT-MRAM의 구조를 설명하기 위한 도면이다.

[0004] 도 1(a)는 MTJ 구조, 도 1(b)는 STT-MRAM의 읽기 전류 경로 및 쓰기 전류 경로, 도 1(c)는 액세스 트랜지스터

폭 범위에 따른 쓰기 실패 및 방해 실패 확률을 나타내는 도면이다[8].

[0005] STT-MRAM은 바람직한 속성에도 불구하고 두 가지 신뢰성 문제를 제기한다. 첫째, 읽기 전류 경로는 도 1(b)에서와 같이 쓰기 전류 경로와 동일하므로, 읽기 안정성과 쓰기 능력 사이에 절충이 발생한다[7,8]. 예를 들어, 안정적인 쓰기 동작을 위해 액세스 트랜지스터 폭이 클수록 도 1(c)와 같이 읽기 동작 중에 의도하지 않은 비트 플립이 발생할 가능성이 높다. 둘째, 고속 쓰기 작동을 위해서는 큰 전류를 인가하여 고응력 터널 정전을 가해야 한다[9,10].

[0006] 최근 향상된 신뢰성을 가진 또 다른 온칩 메모리 솔루션으로 스핀 궤도 토크 자기 랜덤 액세스 메모리(Spin-Orbit Torque Magnetic Random-Access Memories; SOT-MRAM)이 제안되었다[11,12]. SOT-MRAM의 3 터미널 구조는 읽기 경로와 쓰기 경로를 분리하므로 읽기 안정성과 쓰기 기능을 독립적으로 최적화할 수 있다. 더욱이, SOT-MRAM의 쓰기 메커니즘은 중메탈로부터의 스핀 분사를 사용함으로써 터널 정전에 높은 응력 조건을 요구하지 않는다[10,13]. 또한, 저전력 고속 쓰기 동작의 경우, SOT-MRAM은 높은 스핀 전류 분사 효율성 때문에 STT-MRAM보다 더 유리한 옵션이다 [11-13].

[0007] 하지만, SOT-MRAM의 가장 큰 단점은 각 메모리 셀에 두 개의 액세스 트랜지스터가 필요하기 때문에 STT-MRAM에 비해 집적밀도가 낮다는 것이다. 이는 특히 고밀도 메모리 애플리케이션의 경우, SOT-MRAM의 셀 영역을 개선해야 하는 동기가 된다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적 과제는 SOT-MRAM의 가장 큰 단점인 각 메모리 셀에 두 개의 액세스 트랜지스터가 필요하기 때문에 STT-MRAM에 비해 집적밀도가 낮다 것을 개선하기 위해 고밀도의 SOT-MRAM에 적용하기 위한 SOT-MRAM의 셀 영역 회로 구조를 제공하는데 있다.

과제의 해결 수단

[0009] 일 측면에 있어서, 본 발명에서 제안하는 SOT-MRAM 회로는 행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함하고, 상기 비트 인터리빙 회로는, 인접한 두 비트 셀이 동시에 액세스되지 않고, 동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 수평 방향으로 반전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유하는 플립 SOT-MRAM(Flipped SOT-MRAM; F-SOT-MRAM) 회로 구조를 갖는다.

[0010] 상기 플립 SOT-MRAM 회로는 읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 및 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET})이 모두 6λ 보다 작을 경우, 수평 치수는 하기식과 같고,

$$1.5W_{M2M} + 1.5W_M = 9\lambda$$

[0011] 여기서, W_{M2M} 은 최소 메탈 간격, W_M 은 최소 메탈 폭을 나타낸다.

[0013] 상기 플립 SOT-MRAM 회로는 읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 또는 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET}) 중 어느 하나 이상이 6λ 보다 크거나 같을 경우, 수평 치수는 하기식과 같고,

$$\max(W_{RFET}, W_{WFET}) + W_{A2A} = \max(W_{RFET}, W_{WFET}) + 3\lambda$$

[0015] 여기서, W_{A2A} 는 최소 액티브 간격을 나타낸다.

[0016] 상기 플립 SOT-MRAM 회로는 메모리 작동을 위해 하나의 셀에 접근하는 것이 단일 소스 라인을 공유하고 있는 또 다른 셀에 방해가 되지 않도록 단일 소스 라인을 공유하는 한 쌍의 인접한 두 비트 셀을 바이어싱한다.

[0017] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 SOT-MRAM 회로는 행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함하고, 상기 비트 인터리빙 회로는, 인접한 두 비트 셀이 동시에 액세스

세스되지 않고, 동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 180도 회전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유하는 회전 SOT-MRAM(Rotated SOT-MRAM; R-SOT-MRAM) 회로 구조를 갖는다.

[0018] 상기 회전 SOT-MRAM 회로는, 읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 및 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET})의 평균에 의해 결정되는 수평 치수는 하기식과 같고,

$$[0019] \quad 0.5(W_{RFET} + W_{WFET}) + W_{A2A} = 0.5(W_{RFET} + W_{WFET}) + 3\lambda$$

[0020] 여기서, W_{A2A} 는 최소 액티브 간격을 나타낸다.

[0021] 상기 회전 SOT-MRAM 회로는 메모리 작동을 위해 하나의 셀에 접근하는 것이 단일 소스 라인을 공유하고 있는 또 다른 셀에 방해가 되지 않도록 단일 소스 라인을 공유하는 한 쌍의 인접한 두 비트 셀을 바이어싱한다.

발명의 효과

[0022] 본 발명의 실시예들에 따르면 플립 SOT-MRAM(Flipped SOT-MRAM; F-SOT-MRAM) 및 회전 SOT-MRAM(Rotated SOT-MRAM; R-SOT-MRAM)의 두 가지 설계 기술을 제안한다. 플립 SOT-MRAM 및 회전 SOT-MRAM은 비트 인터리브 배열의 인접 열에 동시에 액세스하지 않는다는 사실에 기초하여 동일한 행의 두 연속 비트 셀 간에 단일 소스 라인을 공유할 수 있다. 이를 통해, 두 기술 모두 성능 오버헤드 없이 셀 당 메탈 라인 수를 줄임으로써 수평 치수를 감소시킬 수 있다.

도면의 간단한 설명

[0023] 도 1은 종래기술에 따른 STT-MRAM의 구조를 설명하기 위한 도면이다.

도 2는 종래기술에 따른 SOT-MRAM의 구조를 설명하기 위한 도면이다.

도 3은 종래기술에 따른 STT-MRAM 및 SOT-MRAM의 레이아웃 설계에 대해 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 거리-2 비트 인터리빙 아키텍처의 예시를 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 SOT-MRAM 회로를 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 플립 SOT-MRAM 회로 및 회전 SOT-MRAM 회로를 설명하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 플립 SOT-MRAM 및 회전 SOT-MRAM의 비트 셀 영역을 종래기술에 따른 SOT-MRAM의 비트 셀 영역과 비교한 그래프이다.

도 8은 본 발명의 일 실시예에 따른 플립 SOT-MRAM 및 회전 SOT-MRAM의 바이어싱 조건을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명에서는 고밀도 스핀 궤도 토크 자기 랜덤 액세스 메모리(Spin-Orbit Torque Magnetic Random-Access Memories; SOT-MRAM)에 대한 최적화 기술을 제안한다. SOT-MRAM은 비휘발성, 높은 신뢰성(high reliability) 및 낮은 쓰기 에너지(low write energy)라는 바람직한 특징을 많이 가지고 있지만, 셀 당 두 개의 액세스 트랜지스터를 사용하기 때문에 고밀도 메모리 구현에 어려움이 있다.

[0025] 본 발명에서는 성능 오버헤드 없이 셀 당 메탈 라인 수를 줄여 수평 치수를 줄일 수 있는 두 가지 설계 기술을 제안한다. 비트 인터리브 배열의 인접 열에 동시에 액세스하지 않는다는 사실에 기초하는 제안된 기술은 동일한 행의 두 연속 비트 셀 간에 단일 소스 라인을 공유한다.

[0026] 본 발명의 실시예에 따른 10ns 전환 시간, 15% 쓰기 마진, 40% 읽기-방해 마진 등의 동일한 사양에서의 시뮬레이션 결과는 제안된 기법이 기존의 SOT-MRAM에 비해 10-25%의 비트 셀 영역 감소를 달성할 수 있음을 보여주었다. 제안된 기법과 표준 스핀 전달 토크 MRAM을 비교하면 쓰기 에너지는 45% 감소하였고, 읽기 에너지는 84% 감소, 읽기-방해 마진은 2.3배 증가했다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0028] 도 2는 종래기술에 따른 SOT-MRAM의 구조를 설명하기 위한 도면이다.

[0029] 도2 (a)는 스핀-궤도 토크(Spin-Orbit Torque; SOT) 장치 구조, 도 2(b)는 고밀도 스핀 궤도 토크 자기 랜덤

액세스 메모리(Spin-Orbit Torque Magnetic Random-Access Memories; SOT-MRAM) 비트 셀, 도 2(c)는 쓰기(write) 및 읽기(read)를 위한 바이어싱 조건을 설명하기 위한 도면이다.

[0030] 먼저, 수평 치수를 제한하는 두 개의 수직 메탈 라인, 비트 라인, 소스 라인을 포함하는 기존 SOT-MRAM 비트 셀의 레이아웃을 분석한다.

[0031] 3 터미널 SOT(three-terminal SOT) 장치는 도 2(a)와 같이 MTJ와 중금속(Heavy Metal; HM)으로 구성된다. 쓰기 동작의 경우 자유층(Free Layer; FL)과 직접 접촉하여 HM을 통해 충전 전류가 전달된다. 도 2(a)에서 FL 자기화는 처음에 +y 방향으로 정렬된다. 전하 전류가 -x 방향으로 인가되면 HM의 스핀 궤도 커플링은 HM의 상단 및 하단 표면으로 각각 -y와 +y 스핀 방향을 바꾼다. 상부 표면에 누적된 스핀이 STT(Spin-Transfer Torque)를 발휘하여 FL 자기화를 -y 방향으로 전환한다. 분사된 스핀 전류(I_s)와 전하 전류(I_c)의 비율로 정의되는 스핀 전류 분사 효율은 HM을 통과하는 단일 전자가 여러 단위의 각운동량을 전달하기 때문에 100%를 초과할 수 있다 [12,17,18]. 더욱 중요한 것은, 산화층이 고전압 강하에 의해 응력을 받지 않기 때문에, 이러한 SOT 장치의 전환 메커니즘은 MTJ의 신뢰성을 향상시킨다[13]. 읽기 동작의 경우 BL(Bit Line)이 전류 소스에 연결되고 SL(Source Line)이 GND로 설정되며 읽기 액세스 트랜지스터의 워드 라인이 확고히 된다.

[0032] 이러한 바이어싱 조건은 터미널 T_1 에서 SOT 장치의 터미널 T_3 로 소량의 전류를 전달하므로 감지 증폭기를 사용하여 기준 전압(V_{REF})에 대한 셀 전압(V_{READ})을 비교할 수 있다. 도 2(b)에서 볼 때 읽기 및 쓰기 경로가 분리되므로, 각 메모리 동작은 서로 방해하지 않고 독립적으로 최적화할 수 있다.

[0034] 도 3은 종래기술에 따른 STT-MRAM 및 SOT-MRAM의 레이아웃 설계에 대해 설명하기 위한 도면이다.

[0035] 도 3(a)는 레이아웃 설계 규칙에 대한 매개변수, 도 3(b)는 $\max(W_{RFET}, W_{WFET})$ 이 9λ 보다 작을 때 기존의 SOT-MRAM, 도 3(c)는 $\max(W_{RFET}, W_{WFET})$ 이 9λ 보다 클 때 기존의 SOT-MRAM, 도 3(d)는 액세스 트랜지스터의 WFET가 9λ 보다 작거나(상단), 9λ 보다 클 때(하단) 기존의 STT-MRAM을 설명하기 위한 도면이다.

[0036] SOT-MRAM 셀에는 읽기 동작을 위한 트랜지스터 RFET와 쓰기 동작을 위한 트랜지스터 WFET 두 개의 액세스 트랜지스터가 필요하므로 STT-MRAM에 비해 비트 셀 영역이 더 넓다. 도 3의 메모리 셀 레이아웃을 고려한다. 여기서 λ 는 최소 피쳐 크기의 절반이다.

[0037] 본 발명의 실시예에서 최소 메탈 간격과 최소 메탈 폭은 3λ [19,20]인 것으로 가정한다. 기타 설계 파라미터는 도 3(a)에 도시되었다. 일반적으로, RWL(읽기용) 및 WWL(쓰기용) 워드 라인은 메모리 배열을 가로질러 수평으로 실행되는 반면, BL과 SL은 워드 라인에 대해 수직으로 실행된다. W_{RFET} 는 RFET의 폭이고, W_{WFET} 은 WFET의 폭이다. 도 3(b)와 같이 RFET와 WFET가 모두 9λ 보다 작을 경우, 즉 최대(W_{RFET}, W_{WFET})가 9λ 보다 작으면 수평 치수는 다음과 같이 메탈 피치에 의해 제한된다:

$$2W_{M2M} + 2W_M = 12\lambda \quad (1)$$

[0039] 여기서, W_{M2M} 은 최소 메탈 간격, W_M 은 최소 메탈 폭을 나타낸다.

[0040] 그렇지 않으면, 도 3(c)와 같이 수평 치수는 다음과 같이 더 큰 W_{RFET} 와 W_{WFET} 에 의해 결정된다:

$$\max(W_{RFET}, W_{WFET}) + W_{A2A} = \max(W_{RFET}, W_{WFET}) + 3\lambda \quad (2)$$

[0042] 여기서, W_{A2A} 는 최소 액티브 간격을 나타낸다.

[0043] SOT-MRAM의 수직 치수는 다음과 같다:

$$W_C + 4W_{G2C} + 2W_G + 2W_C + 2W_{C2A} + W_{A2A} = 23\lambda \quad (3)$$

[0045] 여기서, W_C 는 최소 콘택트 폭, W_{G2A} 는 게이트와 콘택트 간의 최소 간격, W_G 는 최소 게이트 폭, W_{C2A} 는 최소 액티브 오버랩, W_{A2A} 는 최소 액티브 간격을 나타낸다.

- [0046] 이는 도 3(d)와 같이 표준 STT-MRAM의 두 배인 2-트랜지스터 요건 때문이다.
- [0048] 도 4는 본 발명의 일 실시예에 따른 거리-2 비트 인터리빙 아키텍처의 예시를 설명하기 위한 도면이다.
- [0049] 행 별로 여러 개의 워드를 포함하는 기존 메모리 배열에서 비트 인터리빙은 복사 이벤트에 의한 멀티비트 오류 위험을 줄이기 위해 일반적으로 사용되는 기술[14-16]과 BL 멀티플렉싱을 통해 더 높은 배열 밀도를 얻기 위해 사용된다. 기술이 줄어들어 따라 알파 입자나 중성자 타격으로 인한 단일 방사선 사건이 멀티비트 오버로드(Multi-Bit Upset; MBU)를 일으킬 수 있다[21]. 이러한 경우, 비트 인터리빙은 MBU를 여러 개의 다른 워드에 분산시킴으로써 멀티비트 오류를 피할 수 있으며, 각 워드는 단순한 오류 수정 코드로 수정될 수 있는 최대 1비트 오류와 관련이 있다[15]. SOT-MRAM의 경우, 자기 저장 요소가 복사에 의한 소프트 에러에 내성이 있지만, 접근 트랜지스터에 MBU가 발생할 수 있기 때문에 비트 인터리빙을 사용하는 것이 여전히 선호된다[22]. 또한, 비트 인터리빙은 주변 회로를 공유하기 위한 효과적인 수단으로서 메모리 배열의 영역을 감소시킨다[16].
- [0050] 도 4는 두 개의 인접한 BL[k] BL[k+1]이 홀수인 거리-2 비트 인터리빙 아키텍처의 예를 보여 준다. 여기서 k는 감지 증폭기와 쓰기 드라이버를 공유하기 위해 멀티플렉싱된다.
- [0051] 앞서 언급한 비트 인터리빙 아키텍처에서는 인접한 두 비트 셀이 동시에 액세스되지 않는 것을 관찰한다. 이는 연속된 두 셀 간에 수직 메탈 라인을 공유하여 비트 셀 영역을 개선할 수 있는 기회를 제공한다. 본 발명에서는 두 개의 셀에 대해 단일 SL을 이용하였고, 다른 셀에 방해되지 않고 접근을 위해 선택된 셀에 공유 SL을 사용할 수 있도록 적절한 바이어싱 조건을 적용하였다. 이하, 거리-n 비트 인터리빙이 있는 배열에 적용할 수 있는 제안된 비트 셀 구조의 세부 정보를 설명한다. 여기서 n은 짝수이다.
- [0053] 도 5는 본 발명의 일 실시예에 따른 SOT-MRAM 회로를 설명하기 위한 도면이다.
- [0054] 먼저, 같은 행의 인접한 두 셀 간 단일 SL 공유에 적합한 메모리 셀 배열에 대해 설명한다. 4개의 수직 메탈 트랙이 BL[k], SL[k], BL[k + 1], SL[k + 1] 순으로 배치된 도 5의 셀 쌍을 고려한다. 이러한 전형적인 배열에서, 두 개의 SL을 하나의 SL로 결합하는 것은 복잡할 수 있다. 왜냐하면 BL[k]와 SL[k + 1] 사이에 BL[k + 1]이 끼여 있기 때문이다. SL의 결합을 용이하게 하기 위해, 본 발명에서는 SL[k + 1]이 BL[k + 1]보다 앞서도록 짝수 열의 셀을 뒤집거나 회전시킬 것을 제안한다.
- [0056] 도 6은 본 발명의 일 실시예에 따른 플립 SOT-MRAM 회로 및 회전 SOT-MRAM 회로를 설명하기 위한 도면이다.
- [0057] 도 6(a)는 본 발명의 일 실시예에 따른 플립 SOT-MRAM 회로, 도 6(b)는 본 발명의 일 실시예에 따른 회전 SOT-MRAM 회로를 도시한다.
- [0058] 도 6(a)를 참조하면, 본 발명의 실시예에 따른 플립 SOT-MRAM(Flipped SOT-MRAM; F-SOT-MRAM) 회로(610)는 행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함한다. 상기 비트 인터리빙 회로는 인접한 두 비트 셀이 동시에 액세스되지 않는다.
- [0059] 본 발명의 실시예에 따른 F-SOT-MRAM 회로(610)는 동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 수평 방향으로 반전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유한다. 또한, 메모리 작동을 위해 하나의 셀에 접근하는 것이 단일 소스 라인을 공유하고 있는 또 다른 셀에 방해가 되지 않도록 단일 소스 라인을 공유하는 한 쌍의 인접한 두 비트 셀을 바이어싱할 수 있다.
- [0060] 본 발명의 실시예에 따르면, F-SOT-MRAM 회로 구조는 짝수 열의 셀을 수평 방향으로 뒤집고(611) 두 개의 SL을 하나의 SL로 결합한다(612). 한 쌍의 셀에 필요한 메탈 라인의 수가 4개에서 3개로 줄어들기 때문에 F-SOT-MRAM은 비트 셀 영역을 개선할 수 있다.
- [0061] 본 발명의 실시예에 따른 F-SOT-MRAM의 레이아웃(613)을 참조하면, 특히 읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 및 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET})이 모두 6λ 보다 작을 경우, 즉 최대(W_{RFET} , W_{WFET})가 6λ 보다 작을 경우, 수평 치수는 다음과 같다:

$$1.5W_{M2M} + 1.5W_M = 9\lambda \quad (4)$$

여기서, W_{M2M} 은 최소 메탈 간격, W_M 은 최소 메탈 폭을 나타낸다.

[0064] 또한, 읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 또는 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET}) 중 어느 하나 이상이 6λ 보다 크거나 같을 경우, 수평 치수는 다음과 같다:

[0065]
$$\max(W_{RFET}, W_{WFET}) + W_{A2A} = \max(W_{RFET}, W_{WFET}) + 3\lambda \quad (5)$$

[0066] 여기서, W_{A2A} 는 최소 액티브 간격을 나타낸다.

[0067] 도 6(b)를 참조하면, 본 발명의 실시예에 따른 회전 SOT-MRAM(Rotated SOT-MRAM; R-SOT-MRAM) 회로(620)는 행 별로 복수의 워드 라인을 포함하는 메모리 배열에서 복사 이벤트에 의한 멀티비트 오류 위험을 감소 시키고, 비트 라인 멀티플렉싱을 통해 배열 밀도를 증가 시키기 위한 비트 인터리빙 회로를 포함한다. 상기 비트 인터리빙 회로는 인접한 두 비트 셀이 동시에 액세스되지 않는다.

[0068] 본 발명의 실시예에 따른 R-SOT-MRAM 회로(620)는 동일한 행의 복수의 워드 라인 중 짝수 열의 셀을 180도 회전하여 두 개의 소스 라인을 하나의 소스 라인으로 결합함으로써 동일한 행의 연속된 두 비트 셀 간에 단일 소스 라인을 공유한다. 또한, 메모리 작동을 위해 하나의 셀에 접근하는 것이 단일 소스 라인을 공유하고 있는 또 다른 셀에 방해가 되지 않도록 단일 소스 라인을 공유하는 한 쌍의 인접한 두 비트 셀을 바이어싱할 수 있다.

[0069] 본 발명의 실시예에 따르면, R-SOT-MRAM 회로 구조는 도 6(b)와 같이 짝수 열 셀을 180도 회전(621)시키고 SL을 결합한다(622). 홀수 열 셀의 RFET와 짝수 열 셀의 WFET는 WL_A 라는 동일한 워드 라인에 연결된다. 마찬가지로 홀수 열 셀의 WFET와 짝수 열 셀의 RFET도 WL_B 에 연결된다.

[0070] 본 발명의 실시예에 따른 R-SOT-MRAM의 레이아웃(623)을 참조하면, 이러한 구성 하에서, TWL 영역에서 R-SOT-MRAM의 수평 치수는 읽기 동작을 위한 트랜지스터(RFET)의 폭(W_{RFET}) 및 쓰기 동작을 위한 트랜지스터(WFET)의 폭(W_{WFET})의 평균에 의해 다음과 같이 결정된다:

[0071]
$$0.5(W_{RFET} + W_{WFET}) + W_{A2A} = 0.5(W_{RFET} + W_{WFET}) + 3\lambda \quad (6)$$

[0072] 여기서, W_{A2A} 는 최소 액티브 간격을 나타낸다.

[0073] 이는 수평 치수가 더 작은 트랜지스터 폭에 독립적인 F-SOT-MRAM과는 다르다. 따라서 R-SOT-MRAM은 두 액세스 트랜지스터의 크기가 다를 경우 비트 셀 영역을 더욱 최적화할 수 있다.

[0075] 도 7은 본 발명의 일 실시예에 따른 플립 SOT-MRAM 및 회전 SOT-MRAM의 비트 셀 영역을 종래기술에 따른 SOT-MRAM의 비트 셀 영역과 비교한 그래프이다.

[0076] 도 7(a)는 기존 SOT-MRAM과 F-SOT-MRAM 간의 비트 셀 영역을 비교하기 위한 그래프이고, 도 7(b)는 F-SOT-MRAM과 R-SOT-MRAM 간의 비트 셀 영역을 비교하기 위한 그래프이다.

[0077] 도 7(a)를 참조하면, 기존 SOT-MRAM 및 F-SOT-MRAM의 최대 범위(W_{RFET} , W_{WFET})에 대한 비트 셀 영역을 도시하였다. 비트 셀 영역은 메탈 피치 제한(Metal Pitch Limited; MPL) 또는 트랜지스터 폭 제한(Transistor Width Limited; TWL)일 수 있다[19]. MPL 영역에서 F-SOT-MRAM은 기존 SOT-MRAM에 비해 비트 셀 영역을 25% 개선할 수 있다. 최대(W_{RFET} , W_{WFET})가 6λ 보다 클 경우 F-SOT-MRAM이 TWL 영역에 있기 때문에 비트 셀 영역 절약(saving)이 감소한다.

[0078] 도 7(b)는 W_{WFET} 와 W_{RFET} 의 절대 차이가 λ , 2λ , 3λ 일 때 F-SOT-MRAM과 비교하여 R-SOT-MRAM의 비트 셀 영역을 보여준다.

[0080] 도 8은 본 발명의 일 실시예에 따른 플립 SOT-MRAM 및 회전 SOT-MRAM의 바이어싱 조건을 설명하기 위한 도면이다.

[0081] 도 8(a)는 F-SOT-MRAM의 바이어스 조건, 도 8(b)는 R-SOT-MRAM의 바이어스 조건을 나타낸다.

[0082] 하나의 SL은 인접한 두 셀 간에 공유되기 때문에, 메모리 작동을 위해 하나의 셀에 접근하는 것이 동일한 SL에 연결된 다른 셀에 방해가 되지 않도록 한 쌍의 셀에 적절한 바이어싱이 필요하다. 예를 들어, 도 8(a)의 홀수 열 셀에 0의 값을 쓰기 위해, $BL[k]$ 는 GND로 설정되고, SL은 V_{WRITE} 로 설정되며, WWL은 전류가 SL에서 $BL[k]$ 로

호르게 된다. 이 경우, F-SOT-MRAM은 짝수 열 셀이 의도하지 않게 덮어 쓰이지 않도록 BL[k + 1]에 V_{WRITE} 를 적용한다.

[0083] 또한, R-SOT-MRAM은 짝수 열 셀의 180° 회전이 워드 행의 위치를 변경한다는 점을 고려해야 한다. 도 8(b)에서 WL_A 는 홀수 열 셀의 읽기 동작 또는 짝수 열 셀의 쓰기 동작에 사용된다. 마찬가지로 WL_B 는 홀수 열 셀의 쓰기 동작 또는 짝수 열 셀의 읽기 동작에 사용된다.

[0085] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0086] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0087] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0088] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0089] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

[0091] <참고자료>

[0092] [1] Chun, K.C.; Zhao, H.; Harms, J.D.; Kim, T.-H.; Wang, J.-P.; Kim, C.H. A scaling roadmap and performance evaluation of in plane and perpendicular MTJ based STT-MRAMs for high-density cache memory. IEEE J. Solid State Circuits 2013, 48, 598-610. [CrossRef]

[0093] [2] Augustine, C.; Mojumder, N.; Fong, X.; Choday, H.; Park, S.P.; Roy, K. STT-MRAMs for future

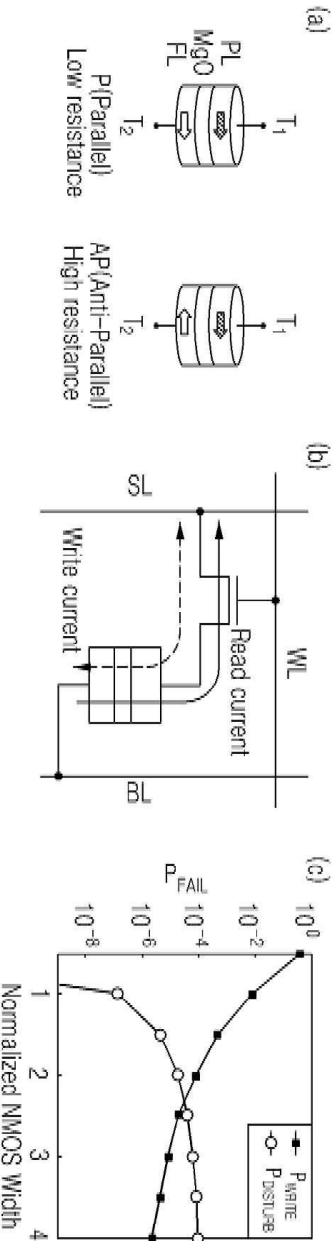
universal memories: Perspective and prospective. In Proceedings of the International Conference on Microelectronics, Nis, Serbia, 13-16 May 2012; pp. 349-355. [CrossRef]

- [0094] [3] Li, J.; Ndai, P.; Goel, A.; Salahuddin, S.; Roy, K. Design paradigm for robust spin-torque transfer magnetic RAM (STT MRAM) from circuit/architecture perspective. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* 2009, 18, 1710-1723. [CrossRef]
- [0095] [4] ITRS. 2011. Available online: <http://www.itrs.net/links/2011itrs/home2011.htm> (accessed on 21 August 2011).
- [0096] [5] Sun, G.; Dong, X.; Xie, Y.; Li, J.; Chen, Y. A novel architecture of the 3D stacked MRAM L2 cache for CMPs. In Proceedings of the IEEE International Symposium on High Performance Computer Architecture, Raleigh, NC, USA, 14-18 February 2009; pp. 239-249. [CrossRef]
- [0097] [6] Seo, Y.; Kwon, K.-W.; Fong, X.; Roy, K. High Performance and Energy-Efficient On-Chip Cache Using Dual Port (1R/1W) Spin-Orbit Torque MRAM. *IEEE J. Emerg. Sel. Top. Circuits Syst.* 2016, 6, 293-304. [CrossRef]
- [0098] [7] Gordon-Ross, A.; Vahid, F.; Dutt, N.D. Fast Configurable-Cache Tuning With a Unified Second-Level Cache. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* 2009, 17, 80-91. [CrossRef]
- [0099] [8] Fong, X.; Kim, Y.; Choday, S.H.; Roy, K. Failure mitigation techniques for 1T-1MTJ spin-transfer torque MRAM bit-cells. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* 2014, 22, 384-395. [CrossRef]
- [0100] [9] Seo, Y.; Fong, X.; Roy, K. Domain wall coupling-based STT-MRAM for on-chip cache applications. *IEEE Trans. Electron Devices* 2015, 62, 554-560. [CrossRef]
- [0101] [10] Lin., C.J.; Kang, S.H.; Wang, Y.J.; Lee, K.; Zhu, X.; Chen, W.C.; Li, X.; Hsu, W.N.; Kao, Y.C.; Liu, M.T.; et al. 45 nm low power CMOS logic compatible embedded STT MRAM utilizing a reverse-connection 1T/1MTJ cell. In Proceedings of the IEEE International Electron Devices Meeting, Baltimore, MD, USA, 7-9 December 2009; pp. 11.6.1-11.6.4. [CrossRef]
- [0102] [11] Pai, C.-F.; Liu, L.; Li, Y.; Tseng, H.W.; Ralph, D.C.; Buhrman, R.A. Spin transfer torque devices utilizing the giant spin Hall effect of tungsten. *Appl. Phys. Lett.* 2012, 101, 122404. [CrossRef]
- [0103] [12] Liu, L.; Pai, C.-F.; Li, Y.; Tseng, H.W.; Ralph, D.C.; Buhrman, R.A. Spin-torque switching with the giant spin Hall effect of tantalum. *Science* 2012, 336, 555-558. [CrossRef] [PubMed]
- [0104] [13] Seo, Y.; Kwon, K.-W.; Roy, K. Area-Efficient SOT-MRAM with a Schottky Diode. *IEEE Electron Device Lett.* 2016, 37, 982-985. [CrossRef]
- [0105] [14] Nayak, D.; Acharya, D.P.; Nanda, U. A high stable 8T-SRAM with bit interleaving capability for minimization of soft error rate. *Microelectron. J.* 2018, 73, 43-51. [CrossRef]
- [0106] [15] Shi, Y.Q.; Zhang, X.M.; Ni, Z.-C.; Ansari, N. Interleaving for combating bursts of errors. *IEEE Circuits Syst. Mag.* 2004, 4, 29-42. [CrossRef]
- [0107] [16] Baeg, S.; Wen, S.; Wong, R. SRAM Interleaving Distance Selection with a Soft Error Failure Model. *IEEE Trans. Nucl. Sci.* 2009, 56, 2111-2118. [CrossRef]
- [0108] [17] Hoffmann, A. Spin Hall effects in metals. *IEEE Trans. Magn.* 2013, 49, 5172-5193. [CrossRef]
- [0109] [18] Kim, Y.; Fong, X.; Kwon, K.-W.; Chen, M.-C.; Roy, K. Multilevel spin-orbit torque MRAMs. *IEEE Trans. Electron Devices* 2015, 62, 561-568. [CrossRef]
- [0110] [19] Gupta, S.K.; Park, S.P.; Mojumder, N.N.; Roy, K. Layout-aware optimization of STT-MRAMs. In Proceedings of the Design, Automation & Test in Europe Conference & Exhibition, Dresden, Germany, 12-16 March 2012; pp. 1455-1458. [CrossRef]
- [0111] [20] Liebman, L. DfM, the teenage years. In Proceedings of the SPIE Advanced Lithography, San Jose, CA, USA, 24-29 February 2008; Volume 6925, p. 692502. [CrossRef]

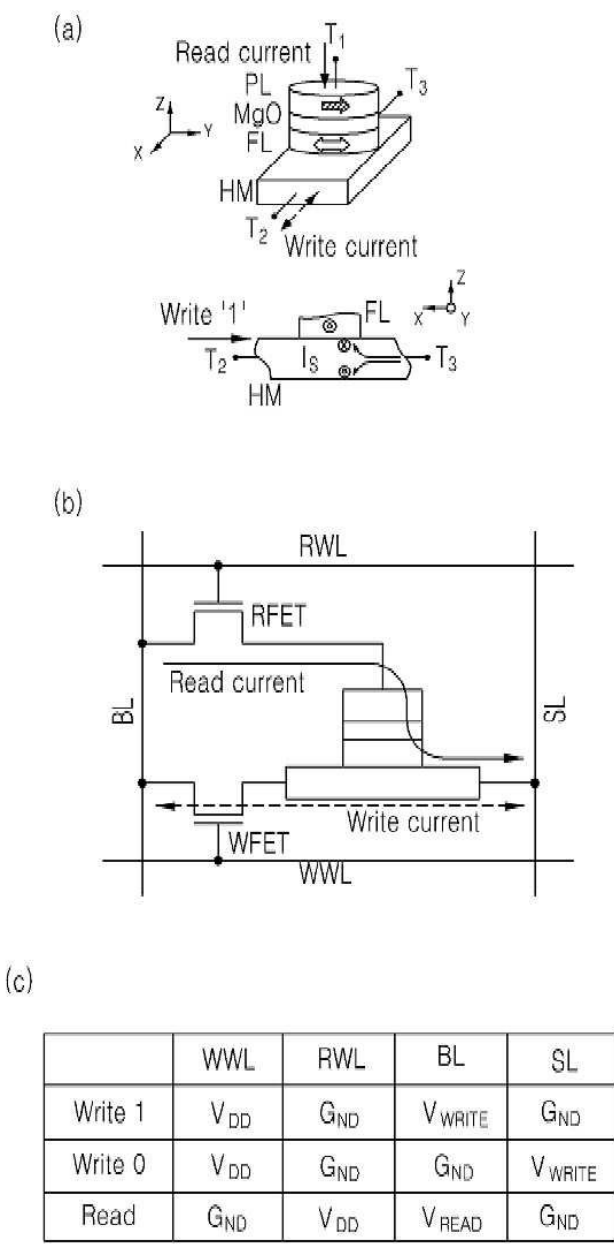
- [0112] [21] Maiz, J.; Hareland, S.; Zhang, K.; Armstrong, P. Characterization of multi-bit soft error events in advanced SRAMs. In Proceedings of the IEEE International Electron Devices Meeting, Washington, DC, USA, 8-10 December 2003; pp. 21.4.1-21.4.4. [CrossRef]
- [0113] [22] Yang, Y.; Wang, P.; Zhang, Y.; Cheng, Y.; Zhao, W.; Chen, Y.; Li, H.H. Radiation-Induced Soft Error Analysis of STT-MRAM: A Device to Circuit Approach. *IEEE Trans. Comput. Aided Des. Integr. Circuits Syst.* 2016, 35, 380-393. [CrossRef]
- [0114] [23] Fong, X.; Gupta, S.K.; Mojumder, N.N.; Choday, S.H.; Augustine, C.; Roy, K. KNACK: A Hybrid Spin-Charge Mixed-Mode Simulator for Evaluating Different Genres of Spin Transfer Torque MRAM Bit-cells. In Proceedings of the International Conference on Simulation of Semiconductor Processes and Devices, Osaka, Japan, 8-10 September 2011; pp. 51-54. [CrossRef]
- [0115] [24] Slonczewski, J.C. Current-driven excitation of magnetic multilayers. *J. Magn. Magn. Mater.* 1996, 159, L1-L7. [CrossRef]
- [0116] [25] Sankey, J.C.; Cui, Y.-T.; Sun, J.Z.; Slonczewski, J.C.; Buhrman, R.A.; Ralph, D.C. Measurement of the spin-transfer-torque vector in magnetic tunnel junctions. *Nat. Phys.* 2007, 4, 67-71. [CrossRef]
- [0117] [26] Gilbert, T.L. A phenomenological theory of damping in ferromagnetic materials. *IEEE Trans. Magn.* 2004, 40, 3443-3449. [CrossRef]
- [0118] [27] Datta, D.; Behin-Aein, B.; Salahuddin, S.; Datta, S. Quantitative Model for TMR and Spin-Transfer Torque in MTJ Devices. In Proceedings of the International Electron Devices Meeting, San Francisco, CA, USA, 6-8 December 2010; pp. 22.8.1-22.8.4. [CrossRef]
- [0119] [28] Manipatruni, S.; Nikonov, D.E.; Young, I.A. Voltage and energy-delay performance of giant spin hall effect switching for magnetic memory and logic. *arXiv* 2013, arXiv:1301.5374.
- [0120] [29] Li, H.; Jagannathan, B.; Wang, J.; Su, T.-C.; Sweeney, S.; Pekarik, J.J.; Shi, Y.; Greenberg, D.; Jin, Z.; Groves, R.; et al. Technology Scaling and Device Design for 350 GHz RF Performance in a 45 nm Bulk CMOS Process. In Proceedings of the IEEE Symposium on VLSI Technology, Kyoto, Japan, 12-14 June 2007; pp. 56-57. [CrossRef]
- [0121] [30] Guan, Z.; Marek-Sadowska, M.; Nassif, S. Statistical analysis of process variation induced SRAM electromigration degradation. In Proceedings of the International Symposium on Quality Electronic Design, Santa Clara, CA, USA, 3-5 March 2014; pp. 700-707. [CrossRef]
- [0122] [31] Dong, Q.; Wang, Z.; Lim, J.; Zhang, Y.; Sinangil, M.E.; Shih, Y.-C.; Chih, Y.-D.; Chang, J.; Blaauw, D.; Sylvester, D. A 1-Mb 28-nm 1T1MTJ STT-MRAM with Single-Cap Offset-Cancelled Sense Amplifier and In Situ Self-Write-Termination. *IEEE J. Solid State Circuits* 2019, 54, 231-239. [CrossRef]

도면

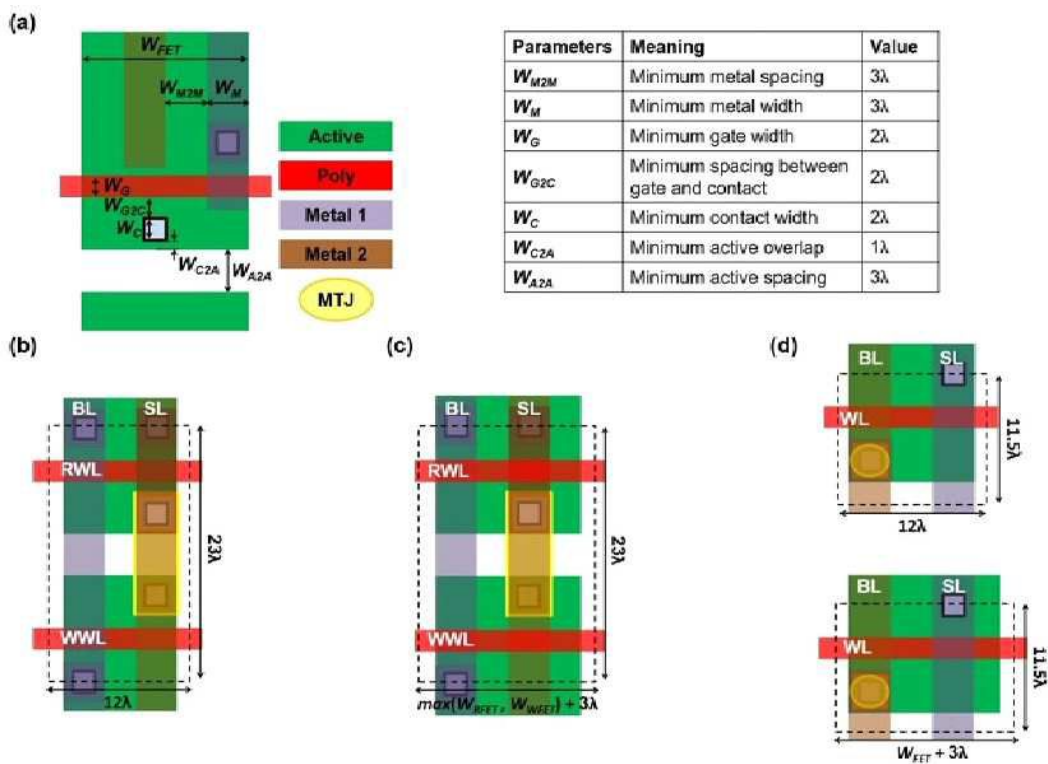
도면1



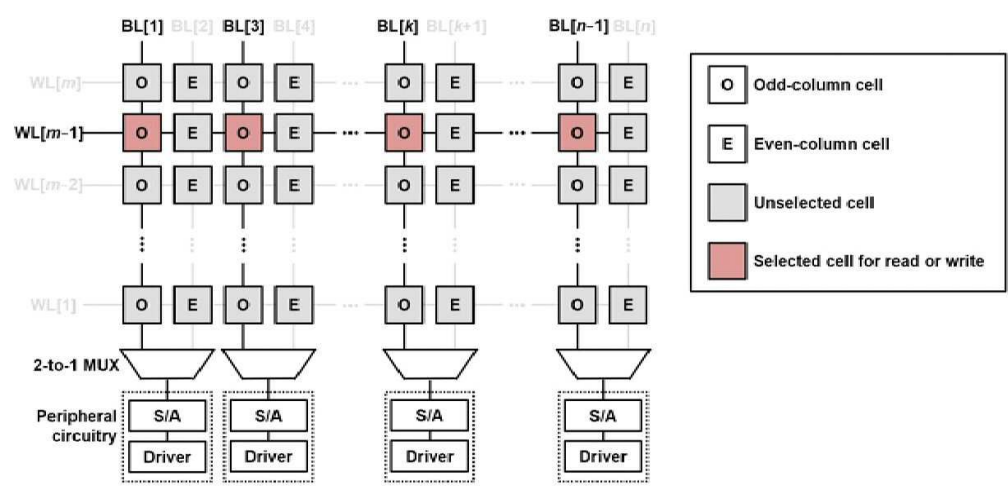
도면2



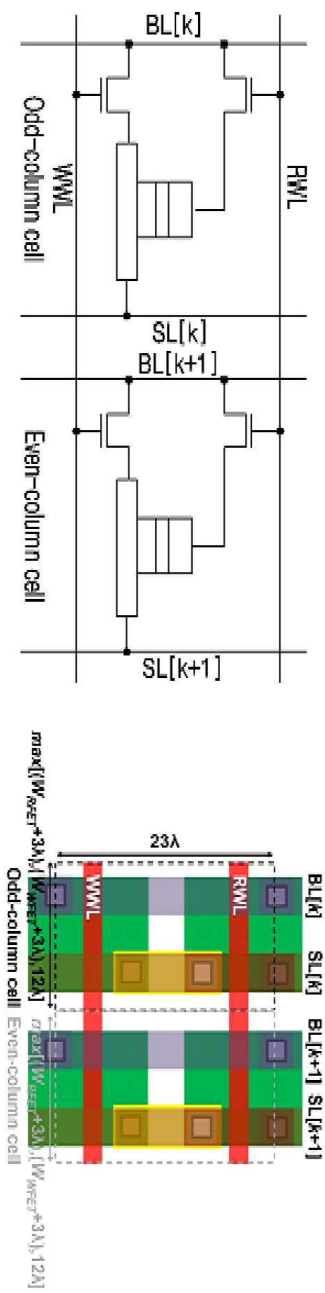
도면3



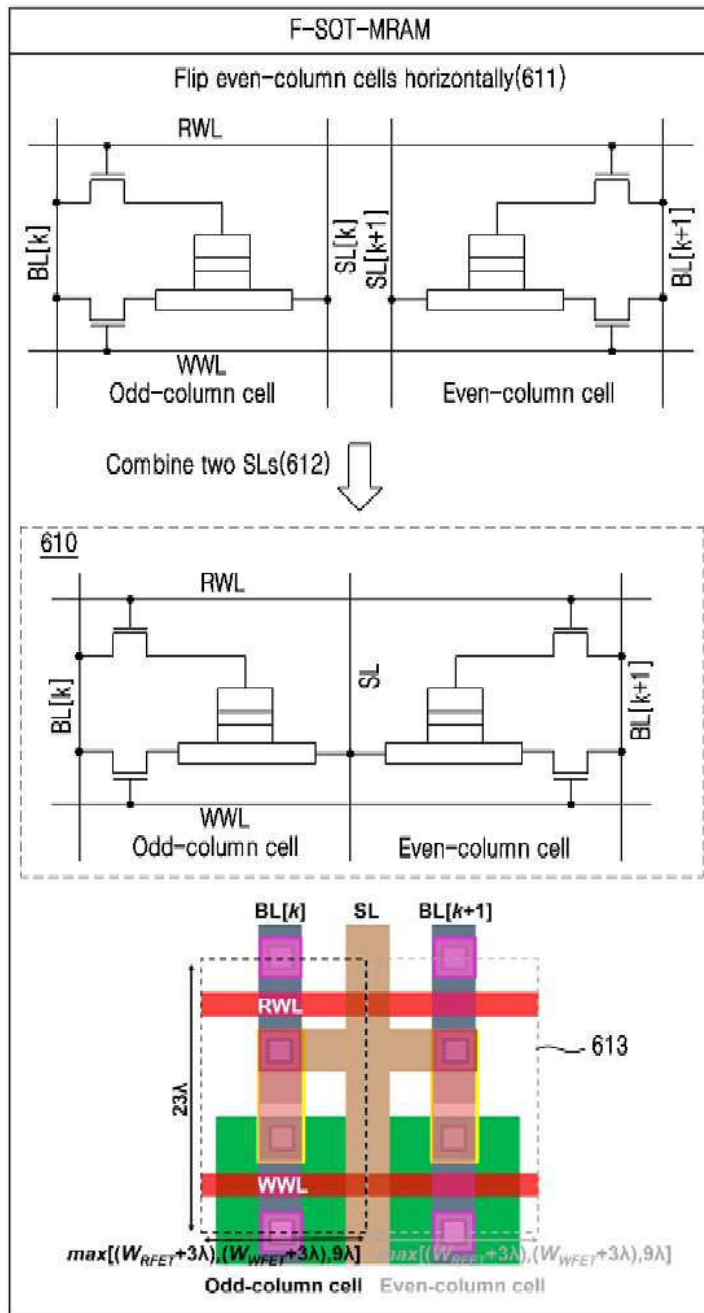
도면4



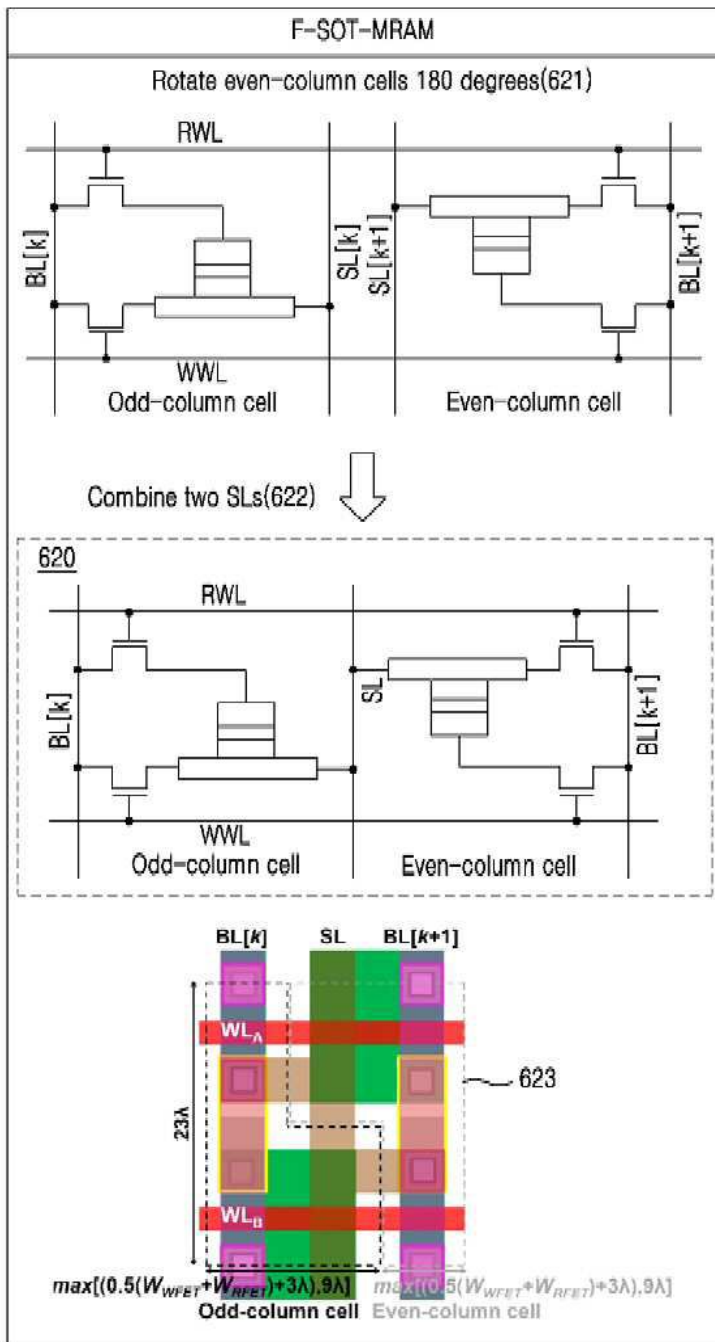
도면5



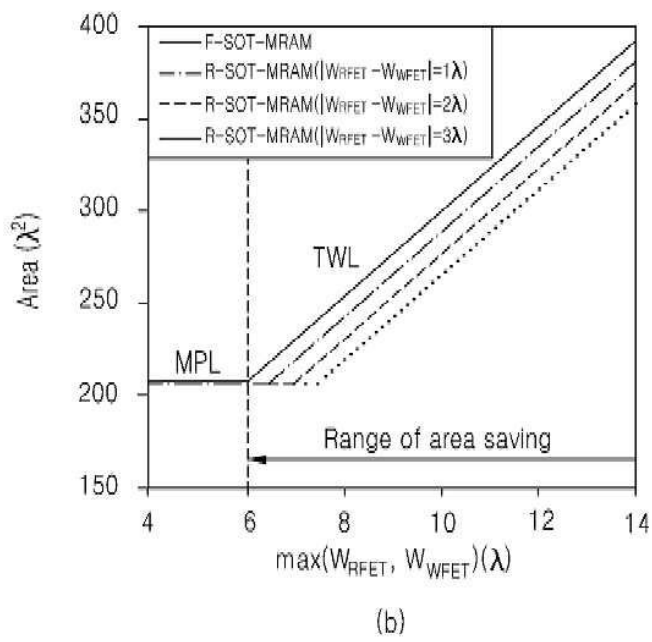
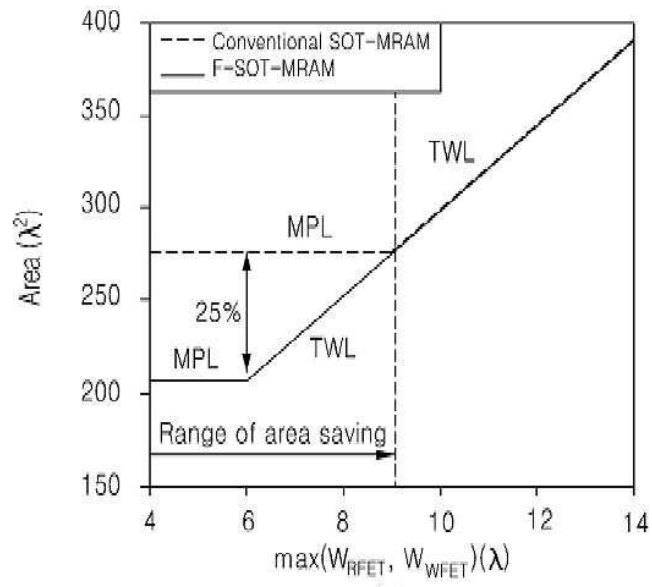
도면6a



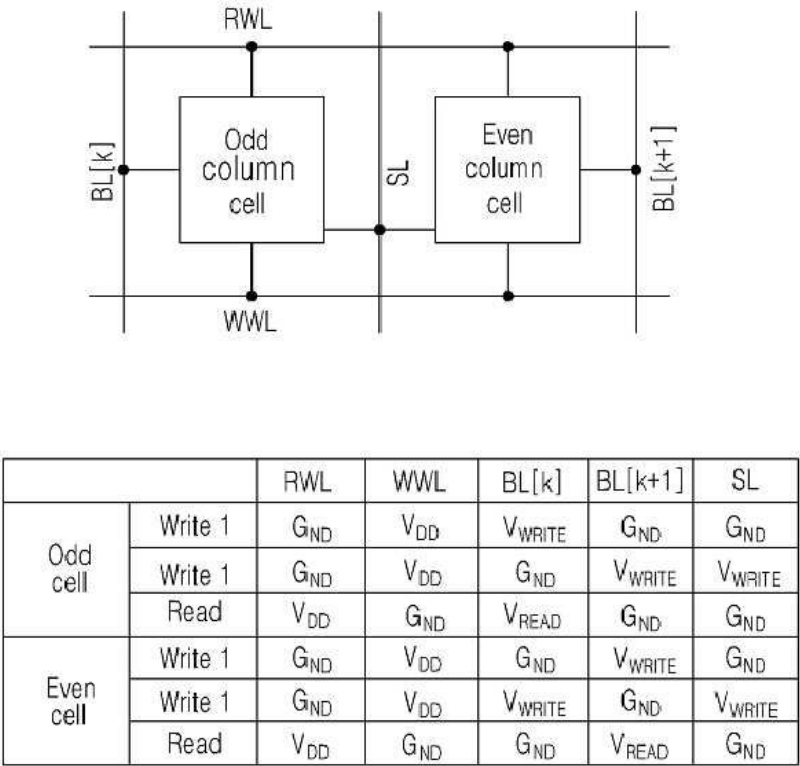
도면6b



도면7



도면8a



도면8b

