



(12)发明专利申请

(10)申请公布号 CN 106301657 A

(43)申请公布日 2017. 01. 04

(21)申请号 201610806798.8

(22)申请日 2016.09.07

(71)申请人 郑凯

地址 215000 江苏省苏州市工业园区都市花园41幢201室

(72)发明人 郑凯

(74)专利代理机构 苏州翔远专利代理事务所 (普通合伙) 32251

代理人 刘计成

(51) Int. Cl.

H04J 3/06(2006.01)

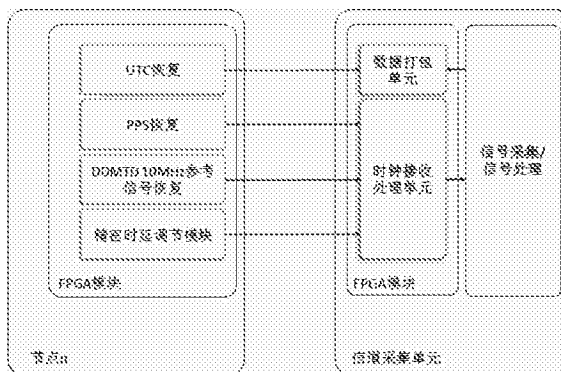
权利要求书1页 说明书4页 附图2页

(54)发明名称

高时间精度大空间信道同步采集系统

(57)摘要

本发明揭示了一种高时间精度大空间信道同步采集系统,包括信号采集单元、若干通信节点,所述信号采集单元分别连接通信节点;所述信号采集单元包括第一FPGA模块、信号采集模块、信号处理单元,第一FPGA模块分别连接信号采集模块、信号处理单元;所述第一FPGA模块包括数据打包单元、时钟接收处理单元;所述通信节点包括第二FPGA模块,第二FPGA模块包括UTC恢复单元、PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元;UTC恢复单元连接数据打包单元,PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元连接时钟接收处理单元。本发明提出的高时间精度大空间信道同步采集系统,可提高信道测量精度,将信道测量的时间同步精度从100ns提升到亚ns量级。



1. 一种高时间精度大空间信道同步采集系统,其特征在于,所述系统包括:信号采集单元、若干通信节点,所述信号采集单元分别连接通信节点;

所述信号采集单元包括第一FPGA模块、信号采集模块、信号处理单元,第一FPGA模块分别连接信号采集模块、信号处理单元;所述第一FPGA模块包括数据打包单元、时钟接收处理单元;

所述通信节点包括第二FPGA模块,第二FPGA模块包括UTC恢复单元、PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元;UTC恢复单元连接数据打包单元,PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元连接时钟接收处理单元。

2. 根据权利要求1所述的高时间精度大空间信道同步采集系统,其特征在于:在每一个通信节点中,由第二FPGA模块处理从光纤获得的信号,实现本地时钟和主授时交换机的同步,恢复出UTC时钟,PPS时钟已经为10MHz,还为该10MHz提供精密数字调节,以配合信号采集单元工作。

3. 根据权利要求1所述的高时间精度大空间信道同步采集系统,其特征在于:恢复出的信号使用内部总线被传送至信号采集单元的第一FPGA模块,在第一FPGA模块内完成采样频率和起始触发控制,并最终完成数据打包;在整个过程中没有CPU的参与和调度,以硬件电路和硬件专用连接的形式保证了时间信号的准确传递。

高时间精度大空间信道同步采集系统

技术领域

[0001] 本发明属于通信技术领域,涉及一种时间同步系统,尤其涉及一种高时间精度大空间信道同步采集系统。

背景技术

[0002] 为了提高通信质量,技术人员从未停止对信道的空间传输模型的研究。在研究中,空间和时间是两个敏感的参数。在确定的场地或对静止、慢速运动目标进行研究的时候,空间的信息是确定的,时间信息不敏感。在这种状况下,时间的信息通常会依赖于GPS授时,通过同轴电缆或者光纤传递同步参考时钟和触发信号。

[0003] 然而,对于快速移动的发射机,在时间和空间上对信号进行分辨具有非常重要的意义。以车载通信为例,在高速公路上车速为120Km/h相向行驶的的两辆车,相对速度达到了240Km/h,这为车辆与车辆之间的通信以及车辆与路侧设备之间的通信信道研究提出了新的挑战。大空间尺度下高授时精度的信道测量设备为这一类研究提供了新的手段。

[0004] 现有通信方式存在如下缺点:(1)依赖于GPS等卫星授时的测试站在时间精度上可以达到100ns量级的精度,对于研究Mbps(兆比特/秒)级别的信道已经可以分辨码字,而对于更高速的通讯协议及更快运动的通讯终端还无法提供更好的分辨能力。(2)从站之间的触发信号精度依赖于传输介质的长度,无论是同轴电缆还是光纤设备,均制约了现场的部署及功能拓展。(3)从站之间的时钟信号同样依赖同轴电缆或者光纤介质来实现。介质容易受到温度等外界条件的影响,无法进行调节和反馈,只能通过前期校准的参数对结果进行补偿,影响测试系统的精度。而同轴电缆形式的传输又容易受到外界干扰。(4)时间戳信号和数据记录的同步存在节拍差。

[0005] 存在上述缺陷的原因在于,从技术的发展角度来说,在大空间尺度同步一直缺乏有效的技术手段:

(1)GPS等卫星授时技术,解决了大空间尺度授时的问题,但是信号容易受到天气以及隧道等遮蔽环境的影响。在理想的工况下,定时精度也仅为百ns量级。

[0006] (2)受技术发展限制,现有技术中触发依赖于信号上升沿或者下降沿的检测,严重依赖于介质长度。因此,部署的拓扑结构、温度等因素都会对信号质量产生破坏,且传输协议相对简单,抗干扰能力不强,容易受到空间噪声干扰。

[0007] (3)参考时钟依赖于光纤传输的技术,传输协议简单,无法方便实现调节和补偿。

[0008] (4)授时信号往往通过RS232,RS485,GPIB等手段传递给采集设备,触发和参考时钟通过专用的触发端口和参考时钟端口输入,这些信号在同仪器通讯的时候无法精确控制时延。并且受到寄存器和CPU调度的影响,时间戳和数据信号合并时会产生异步误差。若采集设备不提供接口支持则完全没有办法实现信号整合。

发明内容

[0009] 本发明所要解决的技术问题是:提供一种高时间精度大空间信道同步采集系统,

可提高信道测量精度,将信道测量的时间同步精度从100ns提升到亚ns量级。

[0010] 为解决上述技术问题,本发明采用如下技术方案:

一种高时间精度大空间信道同步采集系统,所述系统包括:信号采集单元、若干通信节点,所述信号采集单元分别连接通信节点;

所述信号采集单元包括第一FPGA模块、信号采集模块、信号处理单元,第一FPGA模块分别连接信号采集模块、信号处理单元;所述第一FPGA模块包括数据打包单元、时钟接收处理单元;

所述通信节点包括第二FPGA模块,第二FPGA模块包括UTC恢复单元、PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元;UTC恢复单元连接数据打包单元,PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元连接时钟接收处理单元;

在每一个通信节点中,由第二FPGA模块处理从光纤获得的信号,实现本地时钟和主授时交换机的同步,恢复出UTC时钟,PPS时钟已经为10MHz,还为该10MHz提供精密数字调节,以配合信号采集单元工作;

恢复出的信号使用内部总线被传送至信号采集单元的第一FPGA模块,在第一FPGA模块内完成采样频率和起始触发控制,并最终完成数据打包;在整个过程中没有CPU的参与和调度,以硬件电路和硬件专用连接的形式保证了时间信号的准确传递。

[0011] 本发明的有益效果在于:本发明提出的高时间精度大空间信道同步采集系统,系统更加简洁,将之前的三套同步设备通过单光纤网络完成定时。(1)本发明系统的通信精度更高;将信道测量的时间同步精度从100ns提升到亚ns量级。(2)大空间尺度。该方案可以支持10Km范围内的节点部署,可以应用于城市无线电监测,车联网信道测量,相共振雷达等方面。(3)平台级同步。利用PXIe的商用标准,将整个平台纳入到同步系统中,通过平台支持实现更多的测试测量功能。

[0012] 在大空间尺度的部署中,使用光纤介质,利用多次信号握手和延时计算现场可编程门阵列(Field-Programmable Gate Array,FPGA)内核,实现了10Km量级多点的授时。节点之间通过单光纤联通,部署难度低,对光纤长度没有一致性要求。

[0013] 在节点时间同步的基础之上,触发信号通过数字信号以预约的形式在执行终端生成,触发时刻误差不受传输介质长度影响。数字信号传输时可以通过多次握手及误码检测的方式降低误差。

[0014] 执行终端本地恢复参考时钟。使用多时钟技术,减小误差,FPGA高速内核可实现以8ps单位的精细调节。

[0015] 解决异步误差问题。在每一个节点内,通过唯一介质和唯一节点接收三组信号,信号处理在FPGA内部完成,延时和抖动均可以预期,解决异步误差问题。

附图说明

[0016] 图1为白兔定时网络拓扑图。

[0017] 图2为同步包信号测量示意图。

[0018] 图3为NI PXIe-1075专用定时总线部署示意图。

[0019] 图4为节点端同步实现示意图。

具体实施方式

[0020] 下面结合附图详细说明本发明的优选实施例。

[0021] 实施例一

请参阅图4,本发明揭示了一种高时间精度大空间信道同步采集系统,所述系统包括:信号采集单元、若干通信节点,所述信号采集单元分别连接通信节点;

所述信号采集单元包括第一FPGA模块、信号采集模块、信号处理单元,第一FPGA模块分别连接信号采集模块、信号处理单元;所述第一FPGA模块包括数据打包单元、时钟接收处理单元;

所述通信节点包括第二FPGA模块,第二FPGA模块包括UTC恢复单元、PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元;UTC恢复单元连接数据打包单元,PPS恢复单元、DDMTD参考信号恢复单元、精密时延调节单元连接时钟接收处理单元;

在每一个通信节点中,由第二FPGA模块处理从光纤获得的信号,实现本地时钟和主授时交换机的同步,恢复出UTC时钟,PPS时钟已经为10MHz,还为该10MHz提供精密数字调节,以配合信号采集单元工作;

从第二FPGA模块中恢复出的信号以同步异步两种形式送往PXIe总线,一路为触发信号,送往星状触发总线,该总线的星状布局保证了每一个连接在总线上的功能模组都可以同步接收到该触发信号。另一路为时间戳信号,以异步的形式传输,异步时延误差最大值不超过1/2的同步触发间隙,保证在异步传输的过程中不会产生节拍误差。

[0022] 第一FPGA模组在接到第一个同步信号后,将该信号用于触发信号采集电路和FPGA内部的存储逻辑,在收到第二个异步时间戳信号后,触发本地的数据打包逻辑,将两个用于授时的信号和采集数据在数据结构层面实现统一。

[0023] 实施例二

为了实现大空间尺度部署的应用,本发明引入了两种技术对整体方案提供支撑:一种被称之为白兔定时技术(White Rabbit,WR),一种是总线技术(PCI Express Extensions for Instruments,PXIe)。

[0024] WR技术是在精确时钟同步协议(Precision Time Protocol,PTP)的基础上做针对性的扩展和兼容性的修改发展而来的网络时间协议。PTP协议中将时间标记下移到PHY硬件层,并通过最优主时钟(Best Master Clock,BMC)算法自动确定网络中最稳定的时钟源作为Master(主时钟),系统同步精度可达亚微秒级。通过对PTP的修改,新的WR技术可使相距数十公里的数千个节点的同步精度达到亚纳秒级。WR技术相较PTP技术有如下改进:(1)Slave(从时钟)端本地时钟源(晶振)与Master端的时钟源同步;(2)提升时间标记的最小分辨率,之前为8ns(纳秒);(3)支持不固定收发链路,支持多级路由器接入。

[0025] 网络形式设定为分层级的拓扑结构,同步仅在相邻两级之间进行,使用光纤作为传输介质,如图1所示。

[0026] 1.Slave端通过恢复接收链路的随路时钟并用于驯服本地时钟源,达到与Master端时钟源同频的目的。

[0027] 2.利用数字双时钟类似于游标卡尺原理的测量微小脉冲间隔模块(Digital Dual Mixer Time Difference,DDMTD),精确测量出PTP同步数据包达到的时间T₂、T₄,如图2所

示。

[0028] 3.对链路的不对称性进行建模,提前测算出本地一些固有延迟和链路的折射相关参数,在系统运行时进行实时补偿和计算。

[0029] 4.根据精确测算的时间差调整时钟源相位和本地时间。

[0030] 另一种是PXIe技术,PXIe是基于PXI和PCIe技术发展而来的,该技术在定义之初就考虑到了在工业和测试测量领域中对定时和同步的要求,在其总线上预留的用于触发的总线及用于同步10MHz参考时钟和100MHz参考时钟的总线如图3所示。

[0031] 正是通过把这两种技术通过整合,并且订制开发相应的FPGA及操作系统代码,实现了大空间尺度信道测量的同步(如图3所示)。在每一个节点中,由FPGA处理从光纤获得的信号,实现本地时钟和主授时交换机的同步,恢复出UTC时钟,PPS时钟已经10MHz,还为该10MHz提供精密数字调节,以配合信道采集模块工作。

[0032] 恢复出的信号使用图3所示的专用内部总线被传送至信号采集单元的FPGA模组,在FPGA内完成采样频率和起始触发控制,并最终完成数据打包(如图4所示)。在整个过程中没有CPU的参与和调度,以硬件电路和硬件专用连接的形式保证了时间信号的准确传递。

[0033] 注:PXIe 为面向仪器扩展的高速外围互连总线;PXI 面向仪器系统的PCI扩展;PCIe 高速外围互连总线;UTC 世界协调时间;PPS 秒脉冲;MHz单位:兆赫兹。

[0034] 基于PXIe和WR技术的同步信道采集设备,包括该系统的硬件配置单元。基于WR的节点间同步的实现。节点信号处理的流程:将时间戳,触发信号以及参考时钟信号同数据采集和数据打包整合。

[0035] 综上所述,本发明提出的高时间精度大空间信道同步采集系统,系统更加简洁,将之前的三套同步设备通过单光纤网络完成定时。(1)本发明系统的通信精度更高;将信道测量的时间同步精度从100ns提升到亚ns量级。(2)大空间尺度。该方案可以支持10Km范围内的节点部署,可以应用于城市无线电监测,车联网信道测量,相共振雷达等方面。(3)平台级同步。利用PXIe的商用标准,将整个平台纳入到同步系统中,通过平台支持实现更多的测试测量功能。

[0036] 这里本发明的描述和应用是说明性的,并非想将本发明的范围限制在上述实施例中。这里所披露的实施例的变形和改变是可能的,对于那些本领域的普通技术人员来说实施例的替换和等效的各种部件是公知的。本领域技术人员应该清楚的是,在不脱离本发明的精神或本质特征的情况下,本发明可以以其它形式、结构、布置、比例,以及用其它组件、材料和部件来实现。在不脱离本发明范围和精神的条件下,可以对这里所披露的实施例进行其它变形和改变。

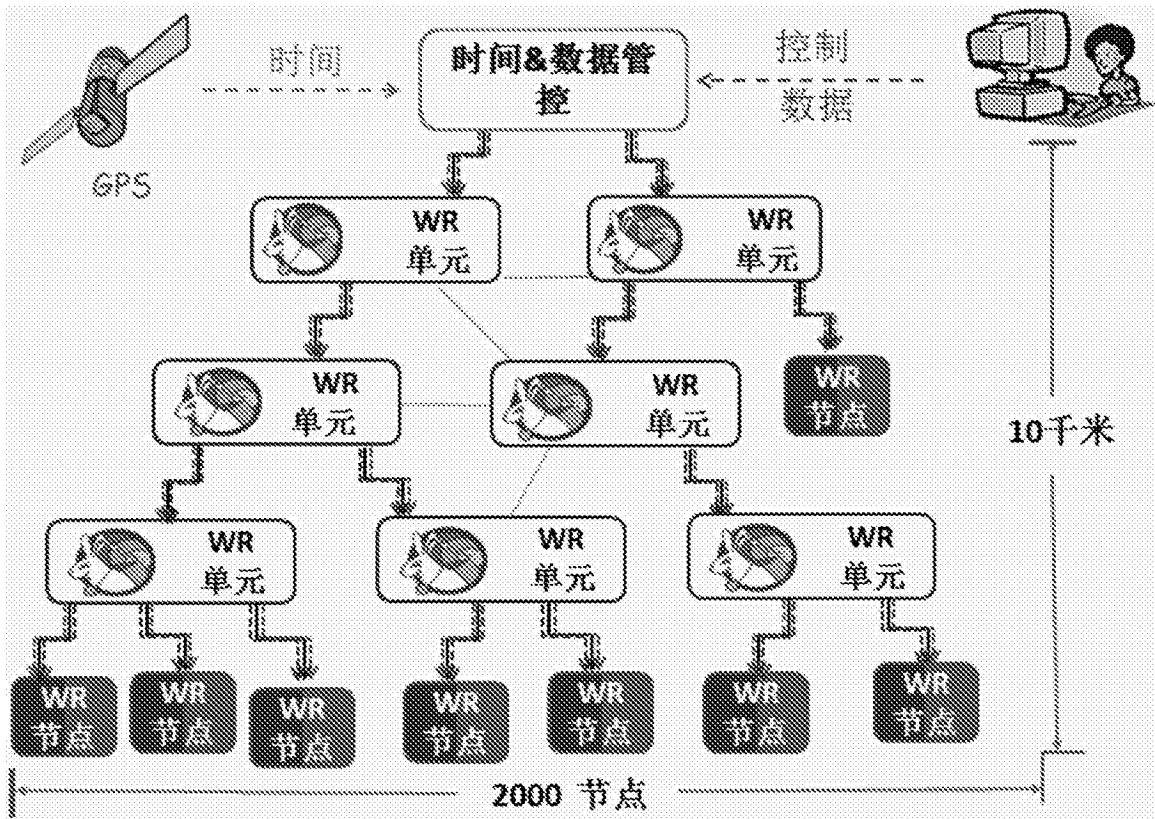


图1

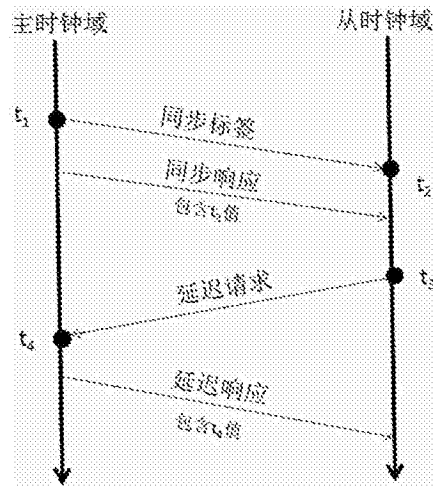


图2

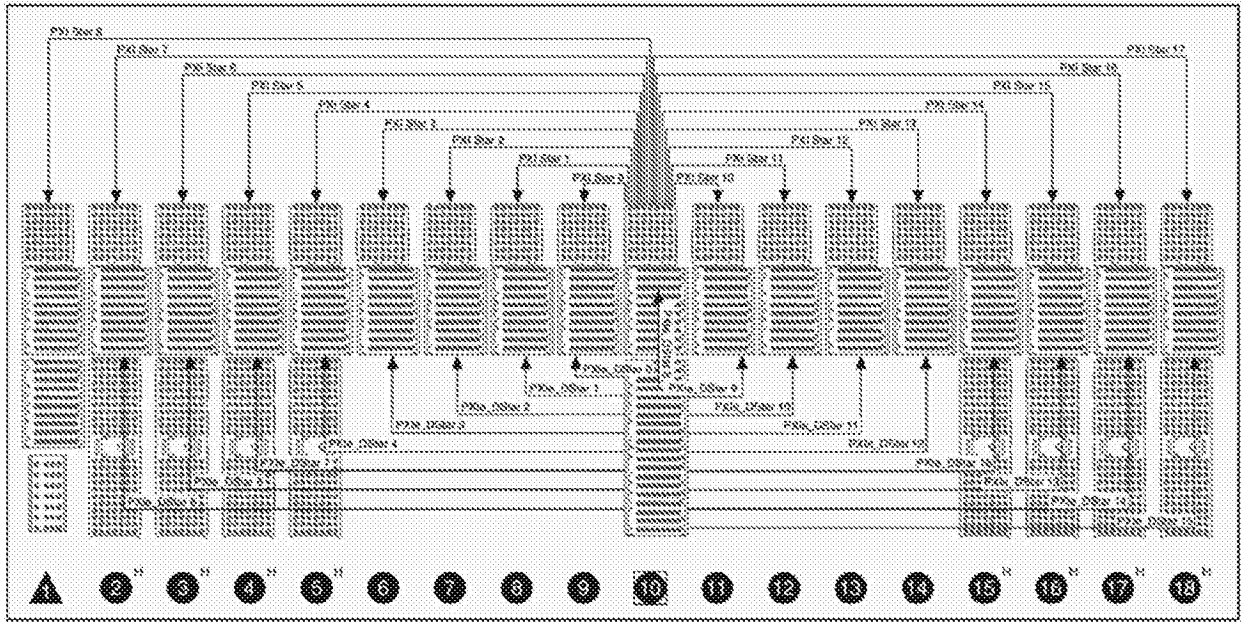


图3

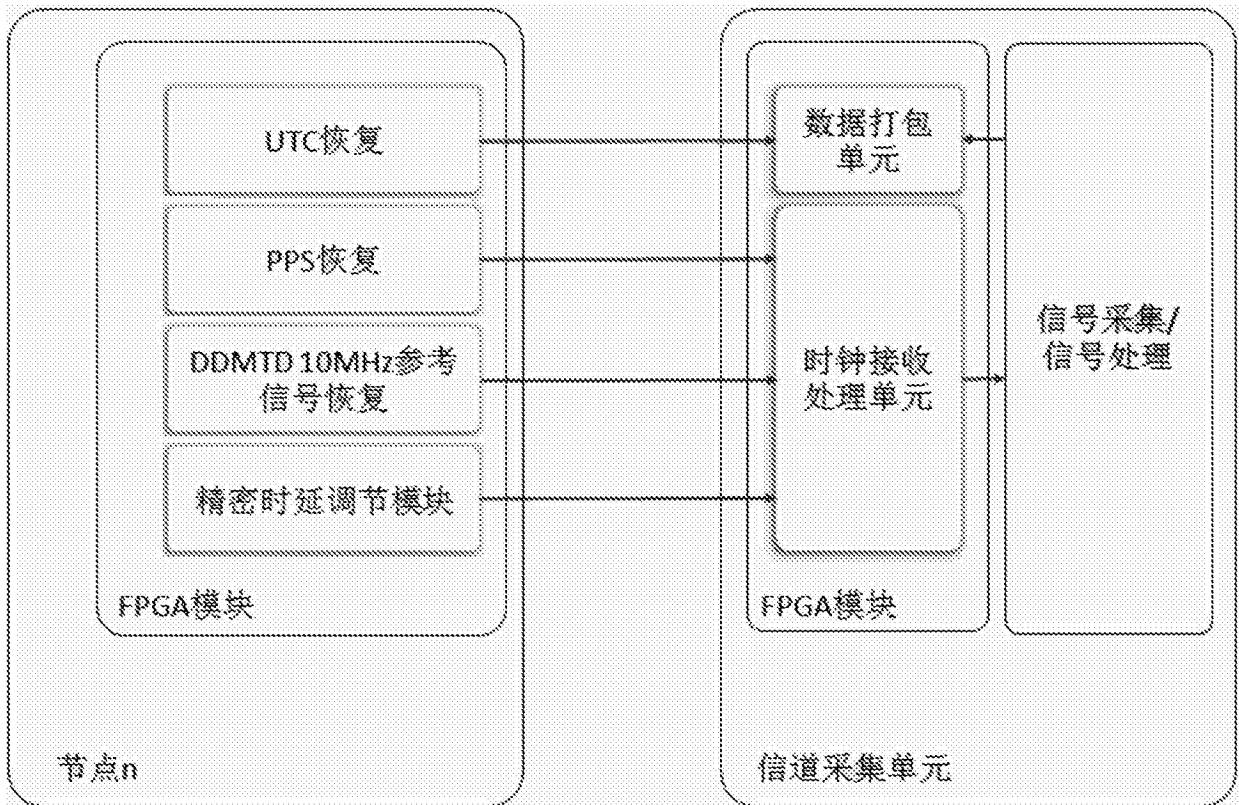


图4