PCT

世界知的所有権機関
国 際 事 務 局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 4
H04N 7/12

A1

(11) 国際公開番号 WO 90/04307

(43) 国際公開日 1990年4月19日(19.04.90)

(21) 国際出願番号 PCT/JP89/01057
(22) 国際出願日 1989年10月13日(13. 10. 89)

(30) 優先権データ
特願昭63/257560 1988年10月13日(13. 10. 88) JP
特願昭63/334488 1988年12月28日(28. 12. 88) JP
特願平1/30532 1989年2月9日(09. 02. 89) JP
特願平1/52271 1989年3月3日(03. 03. 89) JP

(71) 出願人(米国を除くすべての指定国について)
松下電器産業株式会社
(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)
〔JP/JP〕
〒571 大阪府門真市大字門真1006番地 Osaka, (JP)
(72) 発明者; および
(75) 発明者/出願人(米国についてのみ)
平嶋正芳 (HIRASHIMA, Masayoshi)〔JP/JP〕
〒567 大阪府茨木市春日5丁目4番8号 Osaka, (JP)
(74) 代理人
弁理士 粟野重孝, 外 (AWANO, Shigetaka et al.)
〒571 大阪府門真市大字門真1006番地
松下電器産業株式会社内 Osaka, (JP)

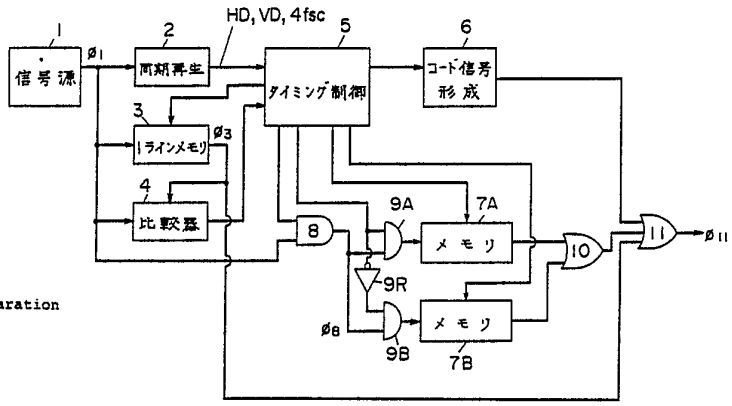
(81) 指定国
AT(欧州特許), BE(欧州特許), CH(欧州特許), DE(欧州特許),
FR(欧州特許), GB(欧州特許), IT(欧州特許), KR,
LU(欧州特許), NL(欧州特許), SE(欧州特許), US.

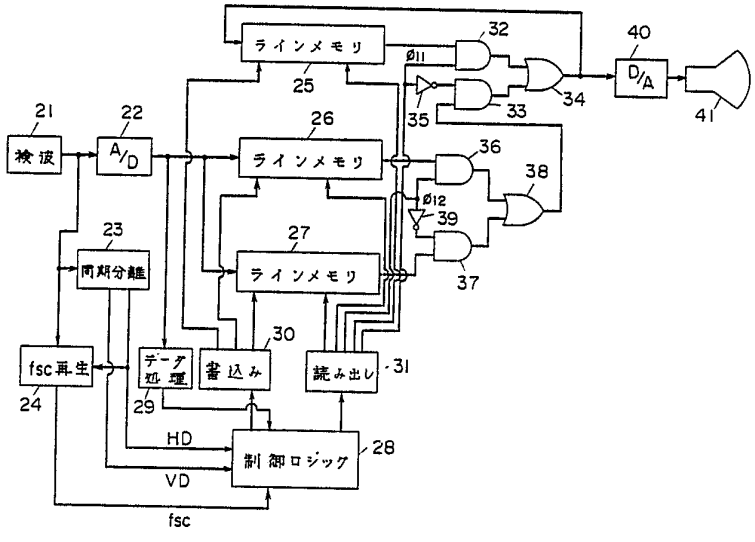
添付公開書類 国際調査報告書

(54) Title: TV SIGNAL PROCESSING DEVICE

(54) 発明の名称 テレビジョン信号処理装置

1 ... signal source
2 ... synchronized reproduction
3 ... 1-line memory
4 ... comparator
5 ... timing control
6 ... formation of code signals
7A .. memory
7B .. memory
21 ... detection
23 ... synchronized separation
24 ... fsc reproduction
25 ... line memory
26 ... line memory
27 ... line memory
28 ... control logic
29 ... data processing
30 ... writing
31 ... reading





(57) Abstract

A device for processing TV signals to transmit them, wherein the TV signals are divided with a horizontal scanning line as a unit, the video signals between the consecutive two horizontal scanning periods are compared, and when part or whole of the video signals are different, the video signals Vx of different portions only are transmitted through TV signal transmitters (3, 4, 7A, 7B), video signals Vx are mixed to, superposed on, substituted for, or calculated with, part or whole of the video signals V_{n-1} of one horizontal scanning period before by the TV signal receivers (25, 26, 27, 28) using the transmitted TV signals, in order to reproduce perfect video signals among the horizontal scanning periods.

(57) 要約

テレビジョン信号を伝送するために処理する装置において、テレビジョン信号を水平走査線単位に分割し、連続する２つの水平走査期間の映像信号を比較し、両映像信号の一部または全部が異なっているときにその異なっている部分の映像信号V_xのみをテレビジョン信号送信機（３，４，７Ａ，７Ｂ）で送信し、前記送信されたテレビジョン信号を用い、テレビジョン信号受信機（２５，２６，２７，２８）で映像信号V_xを１つ前の水平走査期間の映像信号V_{n-1}の一部または全部に混合，重畳，置換え又は演算することにより、各水平走査期間の完全な映像信号を再生するようにしたことを特徴とする。

情報としての用途のみ
PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバードス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
CA カナダ
CF 中央アフリカ共和国
CG コンゴー
CH スイス
CM カメルーン
DE 西ドイツ
DK デンマーク
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB イギリス
HU ハンガリー
IT イタリー
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル
ML マリー
MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウェー
RO ルーマニア
SD スーダン
SE スウェーデン
SN セネガル
SU ソビエト連邦
TD チャード
TG トーゴ
US 米国

明　　細　　書

発明の名称

テレビジョン信号処理装置

技術分野

本発明は、画像通信，衛星通信，ＣＡＴＶ等による画像の個別配信に用いることのできるテレビジョン信号の処理装置に関するものである。

背景技術

従来のテレビジョン信号の伝送方式においては、全期間に圧縮しないテレビジョン信号を伝送するか、水平走査線単位或いはフィールド単位の圧縮伝送を行うようにしていた。しかし、この場合、全ての信号の圧縮伝送を行っているため、極めて大規模な装置を必要としていた。

このように、従来の信号の時間軸圧縮伝送方式では、装置が大規模になり、特に、受信側の装置が大規模になり、大規模伝送業者等以外では使いにくいという問題があった。

発明の開示

本発明は、実質的に短い時間でテレビジョン信号を伝送することができ、しかも、そのための信号処理装置も簡略化することのできる信号処理方式を提供することを目的とする。

本発明においては、テレビジョン信号を水平走査線単位に分割し、一つのフィールド中で第ｎ番目の水平走査期間の映像信号V_nと第（ｎ－１）番目の水平走査期間の映像信号V_{n-1}とを比較し、両者映像信号の一部または全部が異なっている時に映像信号V_nのかわりにその映像信号V_{n-1}と異なっている映像信

号V_nの部分の映像信号V_xのみを送信するようにしたことを特徴とする。

また、本発明は、前記テレビジョン信号送信機から送信されたテレビジョン信号の第（ｎ－１）番目の水平走査期間の映像信号V_{n-1}と第ｎ番目の水平走査期間の映像信号V_xとを入力とし、映像信号V_xを映像信号V_{n-1}の一部または全部に混合，重畳，置換え又は演算により第ｎ番目の水平走査期間の映像信号V_nを再生するテレビジョン信号受信機を備えることを特徴とするものである。

また、送信する映像信号は、映像信号V_xに、映像信号V_{n-1}と同一の映像信号V_nの一部分を含めて送信するようにしてもよい。

さらに、本発明においては、テレビジョン信号の第ｎ番目のフレーム又はフィールドの映像信号V_nと第（ｎ－１）番目のフレーム又はフィールドの映像信号V_{n-1}とを比較し、両映像信号の一部または全部が異なっている時に映像信号V_nのかわりにその映像信号V_{n-1}と異なっている映像信号V_nの部分の映像信号V_xのみ、または映像信号V_xおよびその前後の同一の信号を含めて伝送するようにしたことを特徴とする。

かかる本発明の手段によれば、テレビジョン信号の全てを送出するのではなく、相続く２水平走査期間を比較して両者で異なっている部分のみを送出し、同一の部分は送出しないようにしたので、実質的に伝送に要する期間を短く圧縮することができる。従って、その残りの期間に他の信号を挿入して伝送することも可能にすることができる。

しかも、その送出すべき信号を決定する手段として相続く2水平走査期間のテレビジョン信号を比較してその異同を検出するようにしているので、送出側はたとえばディレイラインと比較器及びそれらの制御回路等で構成することができ、また、受信側はディレイラインと信号の挿入切替回路及びそれらの制御回路等で構成することができ、簡易な構成で実施することができる。

さらに、伝送の不要な同一信号の部分の期間には他の信号を挿入して伝送することもでき、信号の伝送効率、利用範囲を大幅に拡張することができる。

本発明の信号処理装置によれば、フレームあるいはフィールド単位で画像を比較し、画像の相違する部分を伝送することにより、絵柄の細かい画像であってもフレーム単位，フィールド単位で比較し、同様の画像・映像成分が省かれるために、情報伝送量が小さくなり伝送時間を短縮することが可能となる。また画像情報全ての圧縮・伸長の処理を施すものではないことから、送受信装置も従来のものに比べて小型化が可能となる。

図面の簡単な説明

第１図は本発明の一実施例のテレビジョン信号処理装置の送信機側のブロック図、第２図，第３図，第４図および第５図は同テレビジョン信号送信機の動作説明のための波形図、第６図は本発明の一実施例のテレビジョン信号受信機側のブロック図、第７図，第８図および第９図は同テレビジョン信号受信機の動作説明のための波形図、第１０図は本発明の他の実施例における信号処理装置を実現するための送信機側のブロック図な

らびにその動作説明のための平面図、第１１図は第１０図に示した信号処理装置の動作説明のための波形図、第１２図はフレーム比較に加えてライン比較も併せて実現する実施例の信号処理装置のブロック図、第１３図は第１２図に示した信号処理装置の波形図、第１４図及び第１５図はそれぞれ第４，第５の実施例の信号処理装置のブロック図、第１６図は本発明のテレビジョン信号処理装置の受信機側の第２の実施例のブロック図、第１７図及び第１８図はその動作説明のための波形図、第１９図は第１６の実施例において用いるコード信号の一例を示す波形図、第２０図は本発明のテレビジョン信号受信処理装置の第３の実施例のブロック図、第２１図及び第２２図はその動作説明のための波形図、第２３図は本発明のテレビジョン信号受信処理装置の第４の実施例のブロック図、第２４図及び第２５図はその動作説明のための波形図、第２６図は第４の実施例において用いるコード信号の一例を示す波形図、第２７図は秘話通信に適合したテレビジョン信号受信処理装置の一例を示す要部ブロック図、第２８図は第２７図の装置の動作説明のための波形図である。

発明を実施するための最良の形態

以下、本発明の一実施例について、図面を参照して説明する。

本発明の信号処理方式を実施する一実施例の回路構成例を第１図に示す。第１図はテレビジョン信号送出側の信号処理回路のブロック図である。図中、１はテレビジョン信号の信号源であって、ここでは、ＮＴＳＣ方式のテレビジョン信号ϕ_1の信

号源とする。2は同期信号の再生回路であって、垂直駆動信号VD，水平駆動信号HD，及び色副搬送波f_{sc}を信号源1の出力ϕ_1から再生し、f_{sc}の4倍のクロック信号も作成する。この$4f_{sc}$のクロック信号はHD，VD及びf_{sc}と同期している。

3は1ライン分のメモリで、ここでは、テレビジョン信号ϕ_1をA－D変換してデジタル信号で1ライン分メモリするものとする。1ラインメモリ3用のクロック信号としては前記$4f_{sc}$またはそれと同期したクロック信号を使う。1ラインメモリ3は信号源1の出力信号ϕ_1を1ライン分蓄えることにより1水平走査期間（1H）だけ遅延させるので、1ラインメモリ3の出力信号ϕ_3ともとのテレビジョン信号ϕ_1との関係は第2図に示す如く1Hずつずれる。o，p，q，r，s……は1フィールド中の適当な水平走査期間を表わすが、以下の説明では、oを垂直帰線期間の最後即ち第21H目とし、pは第22H目、以下同様にqが第23H目、rが第24H目、sが第25H目……とする。それぞれの映像信号の内容をA_0，A_1，A_2，……とする。

4は比較器で、信号源1の出力テレビジョン信号ϕ_1をA－D変換して1H遅延させたメモリ3の出力テレビジョン信号ϕ_3と比較し、両者が一致している期間の間、一致信号例えば高レベルの一致信号を出力する。この比較器4の出力は$4f_{sc}$のクロック信号の1クロック分単位の長さで変化するが、タイミング制御回路5では狭い期間の一致信号は無視し、所定以上の長い期間の一致信号を用いて、ANDゲート8を制御するようにする。

更に、実現の為の具体回路構成について補足すれば、タイミング制御回路５では、狭い期間の一致信号を無視し、所定以上の長い期間の一致信号を形成するから、例えば、再トリガー可能なマルチバイブレーターを用い、４の出力の一致パルスの立上りで、トリガーすれば、８を制御する入力ゲートパルスが形成できる。再トリガー可能なマルチバイブレータの出力パルス幅を例えば１／２～１／４Ｈに選んでおけばよい。その結果例えば第３図に示す如く、第ｐＨ目と第ｑＨ目のt_{q4}～t_{q5}以外の期間は常に一致信号が出力されていて、t_{q4}～t_{q5}の期間では短い幅の一致信号が出力されているような場合には、t_{q4}～t_{q5}の期間にタイミング制御回路５からＡＮＤゲート８へ高レベルの信号が供給され、信号源１の出力信号がＡＮＤゲート８の出力となってメモリ７Ａ（または７Ｂ、１水平走査期間毎にタイミング制御回路５からの信号により交互に切替えられる）へ供給される。即ち、第２図ϕ_8の信号であって、これは第３図で１ライン前の水平走査期間（第ｐＨ目）と現在の水平走査期間（第ｑＨ目）とのテレビジョン信号で差異のある部分t_{q4}～t_{q5}において、その部分の第ｑＨ目のテレビジョン信号ϕ_8をＡＮＤゲート８の出力信号として取り出していることになる。この信号は第２図ϕ_8中のC_2の部分に相当する。同様に第ｑＨ目と第ｒＨ目のテレビジョン信号を比較し、差異のある部分のみを取り出すと、第２図ϕ_8中のC_3となる。以下、同様に１Ｈずつ比較し、差のある部分のみ、ＡＮＤゲート８を通過させる。この制御は比較器４の出力と、同期再生回路２の出力を用いて、タイミング発生回路５で行う。

ＡＮＤゲート８の出力はＡＮＤゲート９Ａ及び９Ｂへ伝えられる。第ｐＨと第ｒＨ（第２２Ｈ目，第２４Ｈ目……の偶数Ｈ目）の時の差のある部分のテレビジョン信号はＡＮＤゲート９Ａを介してメモリ７Ａに蓄えられる。同様に第ｏＨ，第ｑＨ，第ｓＨ……（第２１Ｈ目，第２３Ｈ目，第２５Ｈ目……の奇数Ｈ目）の時の差のある部分のテレビジョン信号はＡＮＤゲート９Ｂを介してメモリ７Ｂに蓄えられる。即ち、ＡＮＤゲート９Ａ及び反転器９Ｒに加えられるタイミング制御回路５からの切替出力は、偶数Ｈ目（奇数Ｈ目）では高レベル（低レベル）となり、ＡＮＤゲート９Ａ（９Ｂ）を導通させ、反転器９Ｒの出力は低レベル（高レベル）となって、ＡＮＤゲート９Ｂ（９Ａ）を遮断させる。従ってメモリ７Ａは偶数Ｈ目に書込モード、奇数Ｈ目に読出しモードとなり、メモリ７Ｂは逆になるようにタイミング制御回路５の出力で制御される。

次に、メモリ７Ｂへの書込みについて説明する。第３図中、ϕ_{101}とϕ_{102}は第ｐＨ目と第ｑＨ目の信号であり、第ｑＨ目の時刻にテレビジョン信号ϕ_{101}とϕ_{102}（第２図のϕ_1中のA_2とϕ_3中のA_1に相当）を比較し、t_{q4}～t_{q5}の部分で両信号に差があると比較器４で判定した時、t_{q4}～t_{q5}の部分のテレビジョン信号即ち第２図ϕ_8中の部分の信号C_2をϕ_{102}に示されているタイミングでメモリ７Ｂに書込む。メモリ７Ｂを１ライン分の容量のメモリとし、そのアドレス指定は列方向のみとすると、１ライン分のメモリの後半部分（第３図ϕ_{102}中のt_{q4}～t_{q5}の位置に対応するアドレス）に書込む。この書込み位置はタイミング制御部５で記憶しておき、第ｒＨ目で、第２図ϕ_{11}

の如く第q'H目の信号として読み出す。即ち、第2図ϕ_1の如く、第pH目のA_1の信号が第oH目のA_0と全て異なる時、ANDゲート8の出力は$C_1 = A_1$即ち、信号源1の出力信号がそのままバッファメモリ7Aに記憶され、1H遅れて、第qH目に第2図ϕ_{11}の第p'H目の信号として読み出される。即ち、1H全体で前の水平走査期間と信号が異なれば、ϕ_1とϕ_{11}に示される如く、1H遅れてORゲート11から1水平走査期間分の全体の信号が出力される。第2図ϕ_{11}のp', q', r'は、ϕ_1より1H分遅れていることを示す。第qH目にメモリ7Bに記憶された信号は、ϕ_{202}又はϕ'_{202}のt_{q4}～t_{q5}のタイミングで読み出される。バッファメモリ7Bからの読出しタイミングは任意である。

一方、t_{q4}～t_{q5}の間の信号C_2が元の第qH目の信号A_2の中のどの位置のものであるかを示すコード信号、たとえばその始めt_{q4}と終わりt_{q5}の位置を示すコード信号をコード信号形成回路6で発生させ、第3図中のt_{q1}～t_{q3}の間に、水平同期パルス，カラーバーストとともに挿入して送出すれば、受信側でこれを検出し、正規のタイミングで読み出し、A_1とC_2からA_2を合成することが容易にできる。以下、同様の動作を奇数ラインと偶数ラインについて交互に行い送出すれば第2図のϕ_{11}が得られる。バッファメモリ7AにはC_1（$= A_1$）C_3……が、バッファメモリ7BにはC_2，C_4……が、それぞれ交互に記憶される。

第2図のϕ_{11}の形成について説明する。第rH目では、1ラインメモリ3の出力信号即ちϕ_3中のA_2と信号源1の出力信号

即ちϕ_1中のA_3を比較し、差異のある部分について、ＡＮＤゲート８を介してA_3の該当部分をメモリ７Ａへ記憶させ、その間ｑ'の信号を、ＯＲゲート１１から出力する。即ち、A_1とA_2の差異のあるA_2の部分の信号C_2をバッファメモリ７Ｂから読み出す。なお、第２図では、第３図のt_{q0}～t_{q3}即ち、水平の帰線期間についての表示を省いてある。第ＳＨ目では、１ラインメモリ３の出力信号即ちϕ_3中のA_3と信号源１の出力信号即ちϕ_1中のA_4を比較し、差異のある部分について、ＡＮＤゲート８を導通させ、A_4の該当部分をメモリ７Ｂへ記憶させ、その間ｒ'の信号をＯＲゲート１１から出力する。即ち、A_2とA_3の差異のあるA_3の部分の信号C_3をバッファメモリ７Ａから読み出す。以降これを繰返す。ＯＲゲート１０はバッファメモリ７Ａ又は７Ｂの出力信号を通過させ、ＯＲゲート１１はＯＲゲート１０の出力信号とコード信号形成回路６の出力のコード信号を合成して通過させ、第３図のϕ_{201}，ϕ_{202}，ϕ'_{202}の信号を形成する。

次に、ϕ_{202}，ϕ'_{201}の形成について説明すると、ϕ_{202}，ϕ'_{202}で、t_{q4}～t_{q5}以外の水平走査部分は、黒でも白でもよいが、ここでは灰色（中間値）にしている。このレベルの設定は、ＯＲゲート１０の出力をクランプし、クランプレベルを変化すれば容易に変更できる。

また、ϕ'_{202}の如く、t_{q4}～t_{q5}の信号の位置をt_{q3}から離してもよく、この距離を毎Ｈ変化させてもよい。t_{q3}～t_{q4}の距離を示すコード信号をt_{q1}～t_{q2}の間に挿入してもよい。又、t_{q3}～t_{q4}以外の部分に別のデジタル信号，アナログ信号

等（t_{q11}～t_{q12}）を挿入して伝送することもできる。また、信号処理が若干複雑になるが第４図に示す如く、A_nとA_{n-1}の差異の部分の信号C_{n1}，C_{n2}，……を複数とし、C_{n1}，C_{n2}，……の位置情報をコード化して同一Ｈの信号に挿入してもよい。即ち、第４図で、t_{n4}～t_{n5}はC_{n1}の部分、t_{n14}～t_{n15}はC_{n2}の部分である。$t_{n'4}$～t_{n4}にはC_{n1}の信号のA_nの中の元の位置を示すコード信号を、$t_{n'14}$～t_{n14}にはC_{n2}の信号のA_nの中の元の位置を示すコード信号を挿入しており、受信側ではこのコード信号によりC_{n1}，C_{n2}を元のA_nの信号の適切な位置に挿入できる。これらの制御はタイミング制御５で行う。５はＭＰＵを含んでいるものとする。

次に、差異を示す信号が、１Ｈに１個の場合のコード信号について、第５図と共に述べる。第５図は第３図のϕ'_{202}を拡大したものである。第５図中、t_{n1}はt_{q1}に，t_{n2}はt_{q2}に対応している。１Ｈ分の信号を$4f_{sc}$のクロック信号でサンプリングすると９１０サンプルとなる。同期信号バースト信号等の部分を除いても、t_{q3}～t_{q6}の水平走査期間のサンプル数は５１２以上であるから、アドレス信号としては１０ビット必要である。第５図に示す如く、a_0～a_9の１０ビットでϕ_{201}の中のt_{q4}の位置を表わし、b_0～b_9の１０ビットでϕ_{201}の中のt_{q5}の位置を表わす。c_0～c_5の６ビットにより、$4f_{sc}$の１６クロック単位でϕ'_{202}のt_{q4}の位置を示す。即ち、ϕ'_{202}の如く、t_{q4}～t_{q5}の信号を時間シフトする場合、$4f_{sc}$の１６クロック（即ち約１．１μｓｅｃ）刻み程の粗さであっても、実用上支障ないので、ビット数節約のために、ここでは６ビットとした。

a_0～c_5の前後に、スタート，ストップの１ビットを付加すると、全部で２８ビットとなる。１ビットの幅を１／f_{sc}≒１３９．７ｎｓｅｃとすると、２８×１３９．７≒３．９１μsecとなる。従って、ＮＴＳＣ方式の同期信号の大半を上記２８ビットに割当て、第５図の如く、t_{n1}～t_{n8}に水平同期トリガーを入れることが可能である。

同期信号及びバースト信号は、コード信号形成回路６より、a_0～c_5の前後に続けて送出すればよい。

第４図の場合は、$t_{n'4}$～t_{n4}は不要で、$t_{n'14}$～t_{n14}に２８ビットを入れればよい。このように前の水平走査期間の信号と現在の水平走査期間の信号の差を送受し、残りの共通部を送らないようにすれば、１フィールド中、かなりの水平走査期間について、第３図ϕ'_{202}に示すように、他の信号をt_{q11}～t_{q12}に挿入することができる。一般に、テレビジョン信号には、相当多くの同一信号が含まれるので、画面と同期させる必要のない信号は第３図ϕ'_{202}のt_{q11}～t_{q12}を使って送ることができる。このような付加信号は、タイミング制御回路５の出力により制御される付加信号形成回路（図示せず）で作成し、ＯＲゲート１１に供給することにより送出することができる。このような信号形式は一般家庭の受信機では受信できないが、通信衛星を使ったり、ＣＡＴＶ等により、送り手と受け手が１対１に対応する信号の送信，受信には便利である。例えば、第５図のa_0～a_9，b_0～b_9，c_0～c_5に対して、一定の演算を施すことを予め決めておき、各受信機毎に演算式を別々にしておくと通信の秘密を保つことができる。また、t_{q11}～t_{q12}の

部分に、上記演算式についての情報をいれて送受することもできる。

このように、本構成の信号処理装置によれば、送出側は、遅延線等により、テレビジョン信号の送出量を圧縮でき、受信側もほぼ同じ構成で、元の信号を再現でき、回路が簡単にできる。また、その送信内容が、特定の受信者にのみ判り、他の受信者に判らないようにできる。さらに、テレビジョン信号（画面）以外のデジタル信号やアナログ信号も簡単に送ることができる。

以上のように第１図に示す信号処理回路で圧縮並びにデータ信号を付加したテレビジョン信号を、衛星通信，ＣＡＴＶ等の放送方式に適合するように周波数変換して送信を行う。例えば衛星放送であれば、帯域幅２７ＭＨｚ，３６ＭＨｚのＫｕバンド、あるいは帯域幅１００ＭＨｚのＫａバンドの信号として送信する。

次に、上述の送信装置から送信されたテレビジョン信号を受信する受信装置について説明する。送信装置から伝送された放送信号は、例えば衛星放送の場合であればＫｕバンド，Ｋａバンドの周波数からもとのＵＨＦ，ＶＨＦ周波数レベルに変換されて、第６図に示す受信装置に入力される。第６図は本発明の一実施例のテレビジョン受信装置の構成を示すブロック図である。第６図において、２１は映像検波回路、２２はＡ／Ｄ変換器である。映像検波回路２１に入力されるテレビジョン信号は、例えば第３図ϕ'_{202}に示すようにあるフィールドの映像信号において１フィールド前の映像信号と同一の映像部分を削除するような画像信号圧縮処理が施されている。また圧縮された

1フィールド期間中の信号には、第3図信号ϕ'_{202}に示すように時刻t_{q1}～t_{q2}に相違する期間t_{q4}～t_{q5}の映像信号C_2が元の第qH目の信号A_2の中のどの位置のものであるかを示すコード信号が挿入されている。また、期間t_{q1}～t_{q2}にはこの信号ϕ'_{202}においてt_{q4}～t_{q5}の映像信号がどのタイミングで挿入されているかを示すコード信号も挿入されている。

さて、上記のように圧縮処理された画像信号とコード信号を含むテレビジョン信号は、映像検波回路21から同期分離回路23及び色副搬送波（f_{sc}）再生回路24に供給され、同期分離回路23からは水平同期信号（駆動信号）H_Dと垂直同期信号（駆動信号）V_Dとを出力し、f_{sc}再生回路24からは色副搬送波f_{sc}を出力する。水平，垂直同期信号H_D，V_D及び色副搬送波f_{sc}は全て後述する制御ロジック28に入力される。なお、同期分離回路23、f_{sc}再生回路24については既に周知のものであるので、ここではその詳細な説明は省略する。

映像検波回路21の出力のテレビジョン信号は、A／D変換器22でデジタル信号に変換され、第1，第2のラインメモリ26，27に出力される。このディジタルテレビジョン信号は、データ処理回路29に入力され、1フィールド中のコード信号が抜き取られて制御ロジック28に送出される。制御ロジック28は、上述のように同期分離回路23からの水平，垂直同期信号H_D，V_D、f_{sc}再生回路24からの色副搬送波f_{sc}及びデータ処理回路29からのコード信号が入力され、水平同期信号H_Dをタイミングクロックの基準としてタイミング情報にもとづいて第1，第2のラインメモリ26，27及び第3の

ラインメモリ２５に画像信号の書込み，読み出しのトリガーとなる書込みクロック並びに読み出しクロックを書込み制御部３０，読み出し制御部３１から出力するように両制御部３０，３１に制御信号を出力する。第６図において、３２，３３，３６，３７はＡＮＤゲート、３４，３８はＯＲゲート、３５，３９は反転器、４０はＯＲゲート１４の出力ディジタルテレビジョン信号をディジタルーアナログ（Ｄ／Ａ）変換するＤ／Ａ変換器を含む再生回路、４１はＤ／Ａ変換器再生回路４０の出力テレビジョン信号を再生表示する陰極線管（ＣＲＴ）である。

以上のように構成された本実施例の受信装置について以下に第７図，第８図とともにその動作を説明する。

なお、第７図，第８図において受信信号はＯＨ（水平期間：２１Ｈ）以前は、垂直ブランキング期間（ＶＢＬ）であり、ｐＨ（２２Ｈ）から映像信号が始まるものとする。尚、この映像信号は第２図，第３図に示した送信装置における映像信号に対応させて示している。

さて、映像検波回路２１に入力される映像信号のうち２１Ｈの信号がまずラインメモリ２５に書き込まれており、この状態でラインメモリ２６にＡ／Ｄ変換器２２からの映像信号が供給される。ラインメモリ２５には２１Ｈの期間t_3～t_6の信号成分もしくは制御ロジック２８から映像信号成分がないことを示す零のコードが書き込まれている。

一部省略処理された２２Ｈの信号ϕ_{301}（第３図ϕ_{201}）において、前述の送信装置の実施例でも説明したように期間t_1～t_2には２１Ｈの映像信号と相違する映像信号がこの２２Ｈのどの

タイミングで挿入されているかを示すコード信号が挿入されており、このコード信号はデータ処理回路２９で信号ϕ_{301}から抜き取られて制御ロジック２８に送出され、さらに制御ロジック２８からは、書込み制御部３０からラインメモリ２６に２２Ｈの$t_3 \sim t_6$期間書込み動作を実行させる高レベルの信号（書込みクロック）が出力されるように制御する制御信号が供給される。その結果、第７図に示すように２２Ｈにはラインメモリ２６に、２２Ｈの映像信号成分（期間$t_3 \sim t_6$）ϕ_{301}が書込まれる。尚、期間$t_1 \sim t_3$は$\tau = 1/4 f_{sc}$とするとき、１ビット８τの長さのコード信号である。

一方、この２２Ｈにおいて、制御ロジック２８から読出し制御部３１に駆動状態とする制御信号が供給され、読出し制御部３１からは読出しクロックがラインメモリ２５に供給される。また、読出し制御部３１の出力によってＡＮＤゲート３２が導通され、反転器３５によって反転された出力によってＡＮＤゲート３３は遮断される。従って、ＯＲゲート３４の出力は、２２Ｈの間は、ラインメモリ２５のメモリ内容が出力され、零であり、フィードバックループを介して新たに零データが書き込まれる。尚、ラインメモリ２５へは、２２Ｈから２６２Ｈ（又は２６３Ｈ）の間、期間$t_3 \sim t_6$に亘って書き込みクロックが書込み制御部３０から供給される。

さて、次に２３Ｈの信号（第８図ϕ_{402}）が受信される場合について説明する。ところで、以下の説明では、ラインメモリ２６の出力とラインメモリ２５への書込みクロックの入力の位相差を無視して説明する。この位相差をもたせてメモリから次段メ

モリへデータを転送する技術は衆知に属するものであり、その説明は省略する。

送信機から送信された一部省略処理前の２３Ｈの映像信号と２２Ｈの映像信号の相違部分を示す２３Ｈの映像信号（第８図 ϕ_{402} ）は、前述の２２Ｈの場合と同様に映像検波回路２１、Ａ／Ｄ変換器２２を経て、今度はラインメモリ２７に映像信号成分（ϕ_{402} の $t_3 \sim t_6$ 期間の成分）が書込まれる。２３Ｈの映像信号をラインメモリ２７へ書込む間に、ラインメモリ２６から２２Ｈに書込まれた映像信号（ ϕ_{301} ）を読み出す。このとき制御ロジック２８内のメモリ（図示せず）に記憶されている２２Ｈのコード信号（ $t_1 \sim t_2$ ）にもとづいて、ラインメモリ２６内の信号（映像信号 ϕ_{301} の $t_3 \sim t_6$ ）は全てラインメモリ２５へ転送され、かつ出力するように制御される。

すなわち、ＡＮＤゲート３２へは書込み制御部３１から ϕ_{11} （第６図）の低レベル信号が供給され、このＡＮＤゲート３２は遮断される。一方、反転器３５の出力は、ϕ_{11} の反転信号すなわち高レベル信号となり、ＡＮＤゲート３３が導通する。同様に、書込み制御部３１から制御信号 ϕ_{12} の高レベル信号がＡＮＤゲート３６に供給され、ＡＮＤゲート３６は導通される。一方、信号 ϕ_{12} を反転した反転器３９の出力によってＡＮＤゲート３７は遮断される。従って、ＯＲゲート３８の出力は第７図期間 $T_{230} \sim T_{240}$ に亘ってラインメモリ２６の出力となる。もちろんラインメモリ２６には、この間連続して読出しクロックが供給されていることはいうまでもない。

このようにして、受信信号が２３Ｈ、即ち第８図 ϕ_{402} の期間

t_3～t_6の映像信号、第７図T_{230}～T_{240}の間、ラインメモリ２６から映像信号ϕ_{301}のt_3～t_6が読出され、ラインメモリ２６から、ＡＮＤゲート３６→ＯＲゲート３８→ＡＮＤゲート３３→ＯＲゲート３４を順次経て、Ｄ／Ａ変換器４０でアナログ映像信号に変換されてＣＲＴ４１に出力される。このときＯＲゲート３４の出力、すなわち映像信号ϕ_{301}のt_3～t_6は、フィードバックループを経て、ラインメモリ２５に書込まれる。

ここで、第７図に関し補足説明すると、第７図T_{230}は２３Ｈの時刻t_0に相当するが、t_0～t_3間の信号は第７図中では省略して示している。この記載の省略は本実施の動作説明に何ら支障を与えるものではない。以降この点については２４Ｈ，２５Ｈ……も同様である。

次に受信信号として２４Ｈの信号が入力された場合の動作について説明する。尚、２４Ｈの入力信号については波形は図示していない。

２４Ｈの映像信号（第７図T_{240}～T_{250}）は、制御ロジック２８の書込み制御によってラインメモリ２６に書込まれる。このとき、読出し制御部３１からの制御信号ϕ_{12}は、低レベル信号である。したがって、２４Ｈにおいては、低レベルの信号ϕ_{12}によってＡＮＤゲート３６が遮断、ＡＮＤゲート３７が導通される。

２３Ｈの受信信号には、その信号ϕ_{402}の期間t_1～t_2に２３Ｈ（第７図，第８図では、２４Ｈ目に読み出される。）のどのタイミングで映像信号が挿入されているかを示すコード信号が含まれている。このコード信号は、前述の通りデータ処理

回路２９で解読され、その結果、制御ロジック２８から書込み制御部３０、読み出し制御部３１に制御信号が入力され、それぞれクロックが各ラインメモリ２５，２６，２７に出力されるとともに、読出し制御部３１から第７図に示す制御信号が各ゲート、あるいは反転器３２，３３，３５，３６，３７，３９に出力される。

このようなコード信号にもとづいて、２４Ｈにおいてはラインメモリ２７に第７図T'_{234}～T'_{235}間のみ読出しクロックが供給され、ラインメモリ２５にT'_{234}～T'_{235}を除くT_{240}（＝T'_{230}）～T_{250}（＝T'_{240}）間、読出しクロックが供給される。

制御信号ϕ_{11}は、制御ロジック２８内のメモリに記憶されている２３Ｈのコード信号にもとづいて、２４Ｈでは、T_{240}～T'_{234}及びT'_{235}～T_{250}において高レベル、T'_{234}～T'_{235}において低レベルである。

従って、T_{240}～T'_{234}期間では、制御信号ϕ_{11}によってＡＮＤゲート３２が導通、ＡＮＤゲート３３が遮断状態に設定され、読出しクロックの供給されているラインメモリ２５から読出された信号、すなわち第８図ϕ_{301}のt_3～t_4期間の映像信号が、ラインメモリ２５からＡＮＤゲート３２、ＯＲゲート３４、Ｄ／Ａ変換器４０を経て、ＣＲＴ４１に出力される。

次に、T'_{234}～T'_{235}期間では、低レベルの制御信号ϕ_{11}によって、ＡＮＤゲート３２が遮断、ＡＮＤゲート３３が導通状態に設定される。その結果、T'_{234}～T'_{235}の間読出しクロックの供給されるラインメモリ２７から読出された信号、すなわ

ち第８図ϕ_{402}のt_4～t_5期間の映像信号が、ＡＮＤゲート３７→ＯＲゲート３８→ＡＮＤゲート３３→ＯＲゲート３４を経て、Ｄ／Ａ変換器４０に入力され、ＣＲＴ４１に出力される。このラインメモリ２７から読み出された信号は、前述の場合と同様にフィードバックループを経てラインメモリ２５に書込まれる。

次に、T'_{235}～T_{250}期間では、高レベルの制御信号ϕ_{11}によって、ＡＮＤゲート３２が導通、ＡＮＤゲート３３が遮断状態に設定されて、この間読出しクロックの供給されているラインメモリ２５から読出された映像信号、すなわち第８図ϕ_{301}のt_5～t_6期間の映像信号が、ラインメモリ２５からＡＮＤゲート３２からＯＲゲート３４，Ｄ／Ａ変換器４０を経て、ＣＲＴ４１に出力される。なお、このラインメモリ２５から読出された映像信号は上述の場合と同様にフィードバックループを経て、ラインメモリ２５に書込まれる。

以上のようにして、２２Ｈの受信信号に対して、第８図のϕ_{402}のt_4～t_5部分のみが相違する２３Ｈの原信号は第８図ϕ_{302}に示すように２４Ｈにおいて復元される。なお、このときラインメモリ２５の記憶内容は、２３Ｈでは第８図ϕ_{301}のt_3～t_6期間の映像信号（第７図メモリ２５のT_{230}～T_{240}の横線部分）であり、２４Ｈでは２３Ｈでの記憶内容に対して第８図ϕ_{402}のt_4～t_5期間の映像信号（第７図メモリ２５のT'_{234}～T'_{235}の斜線部分）が書き換えられた映像信号である。

一方、ラインメモリ２６は、上述の通り書き込み状態にあり、２４Ｈの受信信号が書込まれる。その結果、２３Ｈの映像

原信号と２４Ｈの映像原信号の相違部分を示す信号（第７図受信信号の２４Ｈクロスハッチ部分）がラインメモリ２６に書き込まれる。

上述の２４Ｈでの２３Ｈの原映像信号の復元と同様の動作で、２５Ｈで２４Ｈの原映像信号が復元され、同様の動作の繰り返しによって原画象がＣＲＴ４１上に再生される。

次に、受信機に受信される信号に含まれる例えば第８図ϕ_{301}，ϕ_{402}のt_1～t_2期間のコード信号の一例について、第９図を用いて説明する。

第９図において、t_1～t_{13}は“１”と“０”の組合せに水平同期信号であり、t_{13}～t_{20}が前述のコード信号である。なお第９図におけるt_{20}が、第８図時刻t_2に対応する。t_{13}の次の“１”はスタートビットで、このビットは必ず“１”である。次の“ｘ”は、そのラインの信号が、原映像信号の一部分が含まれた信号（部分信号）であるか、それとも１ライン分全部の原映像信号が含まれた信号（全信号）であるかを示すビットである。仮に“０”ならば部分信号、“１”ならば全信号とする。先の実施例においては、２２Ｈの信号ϕ_{301}では“ｘ”は“１”、２３Ｈ，２４Ｈの受信信号では“ｘ”は“０”である。この“ｘ”ビットに続く、a_0～a_6の７ビットは、受信側で復元されるテレビジョン信号中のどのタイミングに映像信号の先頭が位置しているかを示すコードビットであり、例えば第８図ϕ_{302}のt_1からt_4の長さを示すコードビットである。次に、a_0～a_6ビットに続くb_0～b_6の７ビットは、受信側で復元されるテレビジョン信号中のどのタイミングに映像信号の後

端が位置しているかを示すコードビットであり、例えば第８図ϕ_{302}のt_1からt_5の長さを示すコードビットである。b_0～b_7ビットに続くc_0～c_5の６ビットは、送信側で一部省略処理されたテレビジョン信号中のどのタイミングに映像信号の先頭が位置しているかを示すコードビットであり、例えば第８図ϕ_{402}のt_1からt_4の長さを示すコードビットである。さらに、c_0～c_5ビットに続くd_0～d_5の６ビットは、送信側で圧縮処理されたテレビジョン信号中のどのタイミングに他のデータコード信号の先頭が位置しているかを示すコードビットであり、例えば第８図ϕ_{402}のt_1からt_{11}の長さを示すコードビットである。t_{19}～t_{20}の“１”はストップビットである。

第８図に示すテレビジョン信号のt_0からt_6までの１Ｈは、ＮＴＳＣ信号では約６３．５μｓであり、これを$4f_{sc}$でサンプリングすると９１０サンプルとなる。従って、t_1～t_5もt_1～t_6下位３ビットを略し７ビットで表わしても実用上支障はない。一方t_1～t_{11}は１０ビット中の下位４ビットを切捨て、上位６ビットでt_1～t_{11}を（１／$4f_{sc}$）×１６≒１．１２μｓ刻みで決める。t_1～t_5及びt_1～t_6は画面に応じて、１サンプル刻みで決められる方がよいが、実用上８サンプル単位（約０．５６μｓ）でも支障はない。t_{11}～t_{12}の別データの位置は細かく決める必要はなく、t_{11}が判れば十分であるので、１６サンプル単位で決める。第６図におけるデータ処理回路２９ではt_{13}～t_{19}のデータとt_{11}～t_{12}のデータの両方を抜取り処理を行う。t_{11}～t_{12}のデータ内には、データ長を示すコード又は、スタート，ストップビットが含まれている。なお、補足

すると、t_1～t_{15}は第９図の如く、t_{14}～t_{15}の３２倍であり、t_{14}～t_{15}を１／２f_{sc}≒１３９．５ｎｓとすると、３２×１３９．７ｎｓ≒４．４７μｓとなり、ＮＴＳＣの水平同期信号の幅におさまる。従って、カラーバーストは動かさなくても、水平同期信号を第９図のt_1～t_{15}に置き換えればよい。t_{13}～t_{20}の最高周波数成分はf_{sc}となり、通常のＮＴＳＣの伝送帯域内に収まる（一般のテレビでは、振幅が１／２になるが、処理上支障はない。）。

以上の述べた如く本実施例によれば、前のラインと異なる部分を含む一部の信号しか送られて来なくても、送出側の原画を受信側で正確に再生できる。さらにこの場合、第９図のa_0～a_6，b_0～b_6，c_0～c_5，d_0～d_5に一定の処理を施し、その変換手順を、特定の相手にのみ知らせておけば、秘話（画）伝送ができる。

以上の例は、ライン単位の信号処理について述べたが第６図の各ラインメモリをフィールドメモリ又はフレームメモリとし、フィールド又は、フレーム単位で同様の処理を行なうことも勿論可能であり、又、ライン単位処理とフィールド又はフレーム単位処理を組合わせることも勿論容易である。

次に、フィールドまたはフレーム単位で同様の処理を行なう実施例について第１０図を用いて説明する。

第１０図ａにおいて、５１は信号源であり、カメラ装置，ビデオテープレコーダ等である。５２は信号源５１からのアナログ画像信号をデジタル変換するアナログ－デジタル変換器（以下ＡＤ変換器と略す）で、ここでは８ビットのデジタル値に変

換する変換器とする。５４は比較及び制御回路であり、マイクロコンピュータで構成される（以下ＣＰＵと略す）。このＣＰＵ５４は、ＡＤ変換器５２でデジタル変換された第１図ｃに示すような第ｎフレーム（ここでは第２フレーム）の画像と、フレームメモリ５３内に既に記憶されている第（ｎ－１）フレーム（ここでは第１フレーム）の画像とを８ビットの単位で比較出力するとともに、比較処理した画像データをフレームメモリ５３に書き込み、ならびにフレームメモリ５３内に記憶されている画像データを読み出すようにリード・ライト制御を行う。なお画像データの比較処理においては、ＡＤ変換にともなう量子化ノイズの影響を避けるためにＡＤ変換器５２の出力及びフレームメモリ５３の出力のＬＳＢ１ビットのデータを無視して処理する。

さて、第１０図ｂ，ｃに示すように、第１フレームの画像と第２フレームの画像とは、“今日の天気”の文字部分と“明日の天気”の文字部分とが異なり、そして第１１図に示すように第３フレーム及び第４フレームには第２フレームとこれも文字部分のみが異なり、そして第５フレームで全体画像が変化するものとして以下に作用を説明する。

信号源５１から第１フレームの原信号（a_0+b_0）がＡＤ変換されてＣＰＵ４に入力されると、前フレームには画像がなくフレームメモリ５３内は画像データがないために、デジタル原信号（a_0+b_0）がフレームメモリ５３に書き込まれるとともに、出力される。ＣＰＵ５４から出力されたデジタル信号（a_0+b_0）は、フレームメモリ５５に入力され、ここで垂直帰線期

間（t_{201}～t_{210}）に、ＣＰＵ５４から出力された新規な画像信号である、いいかえれば前のフレームの画像とは全て異なる画像信号であることを示すコード信号が挿入される。このコード信号としては、コード方式文字放送の規格フォーマットを準用するものとする。この規格フォーマットによれば、誤り訂正ビットを含めて１９０ビットのデータを１Ｈで伝送できる。本発明の信号処理方式においては、この規格フォーマットを利用することで十分データコードを伝送できる。このコード信号の挿入された画像信号は原信号に対して１フレーム遅れて、第２フレームで出力される。

次に、第２フレームの原信号（a_0+b_1）がＣＰＵ４に入力されると、他方では画像データ（a_0+b_0）の書き込まれているフレームメモリ５３にリード命令がＣＰＵ５４から出力され、ＣＰＵ５４に読み出される。画像データ（a_0+b_0）と原信号（a_0+b_1）とは文字部分“b_0”と“b_1”とが相違することから、ＣＰＵ５４の比較出力としては画像データ（b_1）が出力される。このＣＰＵ５４の比較出力画像データ（b_1）は、第１フレームの場合と同様に、フレームメモリ５３に書き込まれる。このフレームメモリ５３へのデータ（b_1）の書き込み処理は、書き込まれていた画像データ（a_0+b_0）の一部のデータ（b_0）部分を実質的にデータ（b_1）に変更するものであればよい。画像データ（b_1）は、ＣＰＵ５４からフレームメモリ５５に送出され、フレームメモリ５５において垂直帰線期間（t_{301}～t_{310}）に前のフレームとは一部の画像が異なる画像データであることを示すコード信号を挿入する。なお、このコ

ード信号を挿入した画像信号（b_1）を第３フレームのタイミングでフレームメモリ５５から送出する場合、その送出のタイミングとしては、第２フレーム内における画像成分（b_1）のあるタイミングそのままで送出する方法以外に、画像信号（b_1）を相対的に早いタイミングで送出する方法がある。すなわち、第２フレームの画像信号（b_1）を第３フレームで送出するとき第３フレームの期間（$t_{3y} \sim t_{3z}$）で早いタイミングで送出する。

以下、第３，第４フレームで入力された原信号（$a_0 + b_2$），（$a_0 + b_2$）はその１フレーム前の画像信号（$a_0 + b_1$），（$a_0 + b_2$）と比較され、第３フレームの原信号（$a_0 + b_2$）に対しては第４フレームのタイミングで画像信号（b_2）が、第４フレームの原信号（$a_0 + b_2$）に対しては零信号が第５フレームのタイミングで第１１図に示すように送出される。さらに、第５フレームの入力原信号（a_1）に対しては、前フレームの入力原信号（$a_0 + b_2$）と全体が相違することから、画像データ（a_1）がフレームメモリ５３に書き込まれるとともに、第６フレームのタイミングでフレームメモリ５５からコード信号とともに送出される。

以上のように本実施例の信号処理方式によれば、特に高品位高細度の絵柄のこまかい画像をフレーム単位で比較し、相違する画像のみを送出することで、隣接水平ライン間で比較した場合には同一部分の少ない画像であっても連続するフレーム間で比較することで伝送を省略することのできる情報量が増え、伝送時間の短縮を図ることが可能となる。

また、比較圧縮処理を施した画像信号を送出するタイミング t_{3y}, t_{4y}, …… t_{ny} 等の情報を、受信契約者にのみ知らせるようにコード信号に暗号化を施し、タイミング t_{ny} を不規則に変化させると、第三者にはその内容を知られることがないことから、特定契約者にのみ情報を伝送・配信でき、秘話通信に利用することができる。

さらに、第１１図からも明らかなように、画像の伝送を行わない期間が増大することから、空期間に他の情報を挿入することができ、伝送効率を高めることができる。

ただしこの場合には、ＮＴＳＣ方式のテレビジョン信号の場合、４．５ＭＨｚの音声搬送波は利用できないため、音声信号もデジタル化して垂直帰線期間及び水平帰線期間に重畳、挿入して伝送するようにすればよい。

さて、フレームメモリ５５の出力は、上述した通りにフレーム単位で画像を比較し、その相違分の画像信号がデータ信号とともに出力されるが、あるフレームの画像とその１フレーム前の画像とが全く相違するような場合には、完全な１フレーム分の画像信号を伝送する必要があり、伝送情報量を削減できない。この不都合を解消する方法として、本願発明と第１の実施例（第１図）において提言した両信号処理方式を同時に利用する方法がある。この両信号処理方式を同時に利用する信号処理方式の一実施例を第１２図及び第１３図を用いて説明する。

本実施例においては、フレームメモリ５５（第１０図）からの出力信号を、１ラインメモリ５７及び比較器５６に入力する。フレームメモリ５５からは１フレーム分の新規な削除部分

のない画像信号が出力され、第１３図ａに示す画像信号が１ラインメモリ５７及び比較器５６に順次１水平ライン分ずつ入力されるものとして以下に説明する。なお、第１３図ａの原信号において第２０Ｈまでは無（画像）信号状態であり、垂直帰線期間として説明する。

第１３図の第２１Ｈに入力された画像信号は、前述のように比較器５６並びに１ラインメモリ５７に入力される。この第２１Ｈの画像信号の入力タイミングに同期して、１水平走査期間（１Ｈ）前に１ラインメモリ５７内に書き込まれていた第２０Ｈの画像信号が比較器５６に読み出され、第２０Ｈの画像信号（無信号）と第２１Ｈの画像信号とが比較器５６で比較され、その相違する部分の画像信号、第２１Ｈの画像信号については全画像信号が１ラインディレイ回路６０に出力される。比較器５６、１ラインメモリ５７及び１ラインディレイ回路６０の駆動は制御ロジック５８によって制御され、またこの制御ロジック５８の駆動用のクロックは、前述の信号源５１からの信号を同期分離回路５９に供給して得た同期信号が用いられる。

次に第２２Ｈでは、第２１Ｈの画像信号（ℓ_1）とその一部（ℓ_2）が異なる画像信号が比較器５６と１ラインメモリ５７に供給される。比較器５６において、第２１Ｈの画像信号（ℓ_1）と第２２Ｈの画像信号（$\ell_1+\ell_2$）とが比較され、比較器５６からは画像成分の相違する信号成分（ℓ_2）のみが出力される。この比較器５６から信号成分（ℓ_2）を１ラインディレイ回路６０に出力する際、制御ロジック５８では、第２２Ｈにおける信号成分（ℓ_2）の存在するタイミング（t_{210j}）を示すコード

信号が作成され、さらに１ラインディレイ回路６０から出力するときの信号成分（ℓ_2）の先頭（t_{220k}）及び終了（$t_{220\ell}$）部分のタイミングを示すコード信号が作成されて、水平帰線期間（t_{2202}～t_{2203}）に挿入する。１ラインディレイ回路６０からの出力のタイミングは、制御ロジック５８の作成したコード信号に対応するタイミングであることはいうまでもない。１ラインディレイ回路６０としては、２つの１ライン分のメモリ容量をもつメモリを２つ用い、書き込みと読み出しのモードを交互に切替えて実行する構成とする。以上のようにして第２２Ｈの画像信号はライン比較の見地から１水平期間前の画像信号と相違する部分のみが出力される圧縮処理が施され、なおかつコード信号が水平帰線期間に挿入されて第２３Ｈで１ラインディレイ回路６０から出力され、ＤＡ変換器６１でアナログ信号に変換されて出力される。

次に、第２３Ｈでは、１フレームメモリ５５からの出力画像信号（$\ell_1+\ell_2+\ell_3$）と、１ラインメモリ５７に書き込まれていた画像信号（$\ell_1+\ell_2$）とが比較され、相違する部分の画像信号（ℓ_3）が第２４Ｈにおいて１ラインディレイ回路６０から出力される。第２４Ｈでは、画像信号（$\ell_1+\ell_2+\ell_3$）と、１ラインメモリ５７内の画像信号（$\ell_1+\ell_2+\ell_3$）とが比較され、比較器５６からはコード信号を除いて無信号となる。次に、第２５Ｈでは新規な画像信号（ℓ_4）が、比較器５６、１ラインメモリ５７に供給され、２６Ｈにおいて１ラインディレイ回路６０から出力される。

以上のように本実施例によれば、フレーム単位で画像を比較

して同一部分の信号送出を省略し、なおかつフレーム内においてライン単位で画像を比較して同一部分の信号送出を省略することにより、他の情報を挿入して伝送可能な部分が大きくなり、伝送効率を一層向上させることが可能となる。

次に、出力用のメモリとして１つのフレームメモリ５５を用いた第１２図の実施例に対して複数のフレームメモリを利用する方式について第１４図を参照しながら以下に説明する。本実施例では第１０図における比較・制御回路５４に代えて、比較器５４ａ，同期分離回路５４ｂ，制御ロジック５４ｃを設けるとともに、フレームメモリ５５に代えて、フレームメモリ５５ａ，５５ｂとその出力を選択するセレクタ５５ｃを設けている。以下にその動作を説明する。

信号源１からの原画像信号は、ＡＤ変換器５２でデジタル信号に変換され、フレームメモリ５３及び比較器５４ａにフレーム単位で順に供給される。フレームメモリ５３は、ＣＣＤを利用することも可能である。信号の送出開始時点は、第１フレームであり、このときフレームメモリ５３の記憶内容は零データである。このフレームメモリ５３の零データと第１フレームの画像信号は、比較器５４ａでフレーム単位で比較される。比較器５４ａの出力は、フレームメモリ５５ａ，フレームメモリ５５ｂにフレーム単位で交互に書き込まれ、そして書き込み動作と逆になるように読み出し動作が実行される。第２フレームでは、フレームメモリ５３の出力すなわち第１フレームの画像信号と第２フレームの画像信号とを比較し、異なる画像部分のタイミングを示す情報を制御ロジック５４ｃに出力する。両信号の比

較は、ＡＤ変換器５２のサンプル数を基準単位とし、４ｆｓｃでサンプリングした場合には、１Ｈで同期を含めて９１０ポイントとなる。両信号の相違する点を示すタイミング情報は、制御ロジック５４ｃで判別される。制御ロジック５４ｃはマイクロコンピュータを用い、フレームメモリ５３，５５ａ，５５ｂ、比較器５４ａ及びセレクタ５５ｃの駆動制御を行う。

第１４図において５４ｂは同期分離回路であり、信号源からの複合映像信号から、垂直及び水平同期信号を検出している。さらにこの同期分離回路５４ｂは、水平同期信号を９１０倍して４ｆｓｃのクロック信号を作成する機能を備える。この４ｆｓｃのクロック信号，水平同期信号及び垂直同期信号は制御ロジック５４ｃに入力され、この各信号をクロックあるいはゲート用パルスとして上述のフレームメモリ５３，５５ａ，５５ｂ及び比較器５４ａ、さらにはセレクタ５５ｃの駆動制御が実行される。制御ロジック５４ｃで前述の実施例で説明したコード信号を作成する場合には、水平帰線期間ならびに垂直帰線期間にコード信号が挿入されるようにセレクタ５５ｃが制御ロジック５４ｃに結合される。

例えば第１１図に示したようなフレーム単位で若干画像の異なる原信号を第１４図に示した信号処理装置で信号処理する場合についてその動作を説明する。

第１フレームの画像信号（$a_0 + b_0$）は、前フレームの画像信号がないことから、フレームメモリ５３並びに比較器５４ａに入力され、比較器５４ａからは全ての画像が前フレームの画像と相違することを示すデータが制御ロジック５４ｃに出力さ

れる。比較器５４ａでの画像比較の終了した画像信号（$a_0 + b_0$）はフレームメモリ５５ｂに書き込まれる。

第２フレームでは、信号源５１から供給された画像信号（$a_0 + b_1$）は、比較器５４ａにおいてフレームメモリ５３内の画像信号（$a_0 + b_0$）と比較され、t_{2y}～t_{301}の画像が異なることを示すデータが制御ロジック５４ｃに出力される。比較の終了した画像信号（$a_0 + b_1$）は、フレームメモリ５５ａに書き込まれる。

一方この第２フレームにおいては、フレームメモリ５５ｂからの画像信号（$a_0 + b_0$）の読み出しが行なわれる。読み出し制御は制御ロジック５４ｃにより実行され、第２フレームのt_{201}（第１ラインの始め）～t_{209}（第９ラインの終わり）の期間は制御ロジック５４ｃで作成されたコード信号がセレクタ５５ｃから出力され、これに続くt_{210}（第１０ラインの始め）～t_{300}(第３フレームの始め）の期間はフレームメモリ５５ｂから読み出された画像信号（$a_0 + b_0$）がセレクタ５５ｃから出力される。

次に、第３フレームでは画像信号($a_0 + b_2$)が比較器５４ａにおいてフレームメモリ５３内の画像信号（$a_0 + b_1$）と比較され、画像信号成分（b_2）が相違していることを示すデータが制御ロジック５４ｃに出力される。比較の終了した画像信号（$a_0 + b_2$）は、フレームメモリ５５ｂに書き込まれる。

一方、この第３フレームにおいては、フレームメモリ５５ａから画像信号（$a_0 + b_1$）の、前フレームすなわち第１フレームの画像信号（$a_0 + b_0$）と相違する画像信号成分（b_1)の読

み出しが行われる。第３フレームのt_{301}～t_{309}の期間は制御ロジック５４ｃで作成された第２フレームにおける画像信号成分（b_1）のタイミングを示すコード信号と、これから画像信号成分（b_1）を送出するタイミングを示すコード信号がセレクタ５５ｃから送出され、送出タイミングを示すコード信号に対応するタイミングでフレームメモリ５５ａからセレクタ５５ｃを通じて送出する。このときこの送出タイミングを示すコード信号に対応するタイミングでフレームメモリ５５ａの出力がセレクタ５５ｃに結合されるように制御ロジック５４ｃによりセレクタ５５ｃが制御される。

以上のようにして第１０図に示した信号処理装置における信号処理を第１４図に示した構成でも実現することができる。

次に第３図に示したライン比較にもとづいて画像圧縮処理を行う信号処理回路の他の構成を第１５図を用いて第１３図とともに説明する。第１５図に示した構成において、第１２図に示した構成と異なる点は、１ラインディレイ回路６０に代えて、１ラインメモリ６０ａ，６０ｂ及びセレクタ６０ｃを設けた点である。

フレーム比較にもとづく画像圧縮処理の施された画像信号がフレームメモリ５５から第１３図に示すような信号で第１５図に示す装置に入力された場合について以下に説明する。

第２１Ｈにおいて、１ラインメモリ５７内には第２０Ｈの零データが書き込まれている。ここに第１３図に示す第２１Ｈの画像信号（ℓ_1）が入力されると、この画像信号（ℓ_1）は比較器５６と１ラインメモリ５７に入力される。比較器５６では第

２０Ｈの零データと第２１Ｈの画像信号（ℓ_1）とが比較され、全ての画像信号成分が相違することを示すデータが制御ロジック５８に出力される。比較処理に終了した画像信号（ℓ_1）はラインメモリ６０ａに書き込まれる。ところで第２０Ｈまでは無信号状態であることから、第２０Ｈと第２１Ｈの信号を比較した場合には全ての信号成分が相違することになり、第２１Ｈの画像信号（ℓ_1）は比較器５６の比較処理の有無に関らず１Ｈ分の信号が送出される。そこで１フレームの第２１Ｈまでは、１ラインメモリ５７，６０ａに比較処理を行うことなく直接、順次書き込むように制御ロジック５８を動作させてもよい。

次に、第２２Ｈにおいては、画像信号（$\ell_1 + \ell_2$）が入力され、１ラインメモリ５７内の画像信号（ℓ_1）と比較器５６で比較され、相違する画像信号部分（ℓ_2）の第２２Ｈ中におけるタイミングを示すデータが比較器５６から制御ロジック５８に出力される。比較処理された画像信号（$\ell_1 + \ell_2$）は１ラインメモリ６０ｂに書き込まれる。

一方、第２２Ｈにおいては、１ラインメモリ６０ａからの画像信号の読み出しが実行される。１ラインメモリ６０ａ内の第２１Ｈの画像信号（ℓ_1）は、第２０Ｈが無信号状態であるために全信号が読み出されるが、そのとき、t_{2102}～t_{2103}には１Ｈの全信号が読み出されるべきことを示すコード信号が制御ロジック５８からセレクタ６０ｃを経て送出され、続いて画像信号（ℓ_1）が１ラインメモリ６０ａからセレクタ６０ｃを経て送出される。

次に、第２３Ｈにおいては、画像信号（$\ell_1 + \ell_2 + \ell_3$）が入

力され、１ラインメモリ５７内の画像信号（$\ell_1 + \ell_2$）と比較器５６で比較され、相違する画像信号部分（ℓ_3）の第２３Ｈにおけるタイミングを示すデータが比較器５６から制御ロジック５８に出力される。比較処理された画像信号（$\ell_1 + \ell_2 + \ell_3$）は、１ラインメモリ６０ａに書き込まれる。

一方、１ラインメモリ６０ｂに書き込まれていた第２２Ｈの画像信号（$\ell_1 + \ell_2$）は、制御ロジック５８により設定されたタイミングで読み出される。すなわち、第２３Ｈのt_{2202}～t_{2203}では第２２Ｈにおける相違する画像信号部分（ℓ_2）のタイミングを示すコード信号とこれから画像信号部分（ℓ_2）を送出するタイミングを示すコード信号が制御ロジック５８から出力され、セレクタ６０ｃを経て送出される。続いてt_{220k}～$t_{220\ell}$のタイミングで画像信号部分（ℓ_2）のみが第２２Ｈ分の画像信号としてセレクタ６０ｃを経て出力される。

以上のようにして、第１２図に示した信号処理装置と同様のフレーム比較及びライン比較の両比較処理にもとづく信号圧縮処理が実現できる。なお本実施例では、フレーム単位で信号処理する方式について説明を行ったが、フィールド単位で信号処理する場合も本実施例中で説明した方式にもとづいて画像信号を圧縮することが可能であり、フィールド単位での信号処理についても有効であることはいうまでもない。

本構成によれば、フレームあるいはフィールド単位で画像を比較し、画像の相違する部分のみをそのフレームあるいはフィールドの画像信号として伝送するように信号処理することにより以下の効果が得られた。

(1) 同じ信号成分を伝送する代りに他の情報を伝送することができ、伝送効率を高めることができる。

(2) 伝送中の画像信号を受信しても全体の画像を把握できず秘話通信に適する。

(3) 伝送信号の送出タイミングを不規則に変化させ、そのタイミング情報はコード化して伝送することが秘匿性の高い通信方式を実現できる。

(4) ライン相関，フレーム相関を検出して信号圧縮する高度な方式でなく、単なるライン，フレーム中の画像データの比較により伝送・非伝送を決定する方式であることからシステムとして簡易に構成できる。

次に、上記のようにフレーム，フィールド比較により差異部分のみを伝送する信号処理方式の映像信号を受信して原画像を再生する受信装置について説明する。

第１６図は本発明のテレビジョン信号受信処理装置の第２の実施例のブロック図である。第１６図において、７１は入力されたフレーム間，フィールド間で比較され差異のある部分のみが伝送されている信号を検波する映像検波回路、７２はアナログ，デジタル（Ａ／Ｄ）変換回路である。Ａ／Ｄ変換回路７２は例えば８ビットであり、その出力は８ラインが並列のパラレルデータであるが図中では一貫して１ラインのデータとして略して説明する。７３は同期分離回路で、水平同期信号（駆動信号）ＨＤ，垂直同期信号（駆動信号）ＶＤ及びフレームパルス（ここでは１Ｈから始まるフィールドのＶＤと同相とする）ＦＰを出力する。７４は色副搬送波（f_{sc}）再生回路で、テレビジ

ョン信号としては例えばＮＴＳＣ方式に限定されるものでないが、以下ではＮＴＳＣ方式として説明する。f_{sc}再生回路７４の出力は制御ロジック７８に入力され、サンプリング用あるいはクロックとして用いられる。７５は１フレーム分の記憶容量をもつ第１のフレームメモリ、７６は第２のフレームメモリ、７７は第３のフレームメモリで、７８は書込み制御部８０，読出し制御部８１を介してフレームメモリ７５，７６，７７を駆動（書込み，読出し）制御する制御ロジックである。７９はデータ処理回路で、第３図信号ϕ_{101}のt_7～t_8及びt_{17}～t_{18}に挿入されたデータ信号を抜取り、処理するとともに、信号ϕ_{101}のt_1～t_2，t_{11}～t_{12}に含まれる映像情報（信号ϕ_{101}のt_4～t_5，t_{14}～t_{15}）の位置情報を抜取り制御ロジック７８に出力する回路である。８２，８３，８６，８７はＡＮＤゲート、８５，８９は反転器、８４，８８はＯＲゲート、９０はデジタル・アナログ（Ｄ／Ａ）変換回路を含む画像出力回路、９１はＣＲＴ（陰極線管）である。

上記のように構成されたテレビジョン信号受信処理装置について第１７図及び第１８図を参照しながら以下にその動作を説明する。第１７図，第１８図は動作説明のための波形図である。

２１番目のフレーム（以下２１Ｆ）までの無信号状態から２２Ｆにおいて映像信号が入力されると、２２Ｆのt_3～t_6及びt_{13}～t_{16}の映像信号の部分が２１Ｆの信号とは全く異なっており、信号ϕ_{100}のt_3～t_6及びt_{13}～t_{16}の信号がフレームメモリ７６に書込まれる。尚、映像信号に関し水平帰線期間は無

視して説明していく。また例えば第１フィールドの期間t_3～t_6の信号と第２フィールドの期間t_{13}～t_{16}の信号については同様の処理を以下繰り返すため、以降は第１フィールドの信号に対する処理のみを説明する。

さて、フレームメモリ７６への映像信号の書込みと並行するように、まずフレームメモリ７５には先立って制御ロジック７８の出力により零データ（黒レベル映像信号）が書込まれ、一方、データ処理回路７９によりϕ_{100}のt_1～t_2及びt_{11}～t_{12}のいわゆる垂直帰線期間に１Ｈ又は２Ｈ以上の部分に挿入されている２２Ｆのt_3～t_6及びt_{13}～t_{16}の信号を書き込むべきことを示すコード信号が抜き取られ、制御ロジック７８に伝達されている。すなわち、この抜き取られたコード信号に従って制御ロジック７８は駆動制御を実施し、２２Ｆの入力信号についてはフレームメモリ７６にt_3～t_6及びt_{13}～t_{16}信号を書込むように書込み制御する。第１７図ではこの書込み動作をW〔２２Ｆ〕として示している。

２２Ｆでは、フレームメモリ７６への２２Ｆ受信信号の書込みと同時に、フレームメモリ７５からの前フレームである２１Ｆの映像信号の出力が制御ロジック７８の制御に従って実行される。より具体的には制御ロジック７８から読出し制御部８１に読出しクロックを出力する旨の制御信号が入力され、そのクロックによりフレームメモリ７５からの読出しが可能となり、さらに、読出し制御部８１のＤ端子からの高レベル信号によりＡＮＤゲート８２を導通させ、反転器８５の出力を低レベルにしてＡＮＤゲート８３を遮断させる。

その結果、２２Ｆではフレームメモリ７５から読出された黒レベルの映像信号がＡＮＤゲート８２，ＯＲゲート８４を経てＤ／Ａ変換回路９０でアナログ信号に処理された上で映像信号出力処理されたＣＲＴ９１上に表示される。またこの２２Ｆの信号（２１Ｆの映像信号）はＯＲゲート８４の出力からフレームメモリ７５の入力に結合されたフィードバックループを経て再びフレームメモリ７５に書き込まれる。従ってフレームメモリ７５には読出しクロックの供給の一方で、２２Ｆの期間t_3～t_6，t_{13}～t_{16}に対応する２２Ｈから２６２．５Ｈ及び２８４Ｈから５２５Ｈの書込みクロックが書込み制御部８０から制御ロジック７８の制御に従って供給されている。尚、フレームメモリ７６への読出しクロックとフレームメモリ７５への書込みクロックとは位相差が実際にはあるが、ここでは無視して説明する。位相差を設けてメモリからメモリへデータを転送する方式は周知の通りであるのでここでは説明を省略する。

次に、２３Ｆでは送信側における２３Ｆの信号（第１８図ϕ_{301}）と２２Ｆの信号（第１８図ϕ_{100}）の比較結果における差異部分の映像信号で構成される信号ϕ_{101}が映像検波回路１、Ａ／Ｄ変換回路７２を経てフレームメモリ７７に入力される。２３Ｆの信号中には前述の２２Ｆの場合と同様にt_1～t_2，t_{11}～t_{12}にコード信号が挿入されており、２３Ｆの入力信号ϕ_{101}のフレームメモリ７７への書込みがこのコード信号に従って実行される。信号ϕ_{101}（ϕ_{301}）は前フレームの信号ϕ_{100}とt_4～t_5及びt_{14}～t_{15}について相違しているが、ここではt_3～t_6及びt_{13}～t_{16}の全てをフレームメモリ７７に書込む

ように制御するものとする。尚、相違するt_4～t_5, t_{14}～t_{15}を選択的に書込むことはこの実施例に従って容易に実行できるものであり、そのようにコード信号で設定しても何ら問題はない。

さて、この２３Ｆにおいてはフレームメモリ７７への受信信号の書込み動作の一方で、制御ロジック７８内のメモリ（図示せず）に記憶されている２２Ｆのコード信号にもとづくフレームメモリ７６内のデータのフレームメモリ７５への転送と出力表示が実行される。

すなわち、ＡＮＤゲート８２は読出し制御部８１からの低レベル信号により遮断され、その一方で反転器８５の高レベル信号でＡＮＤゲート８３が導通される。さらに読出し制御部８１のＥ端子からの高レベル信号によりＡＮＤゲート８６が導通され、そして反転器８９の低レベル信号出力によりＡＮＤゲート８７が遮断される。このゲートの設定状態において、フレームメモリ７６へはϕ_{101}のt_3～t_6, t_{13}～t_{16}の信号が読み出されるように読出しクロックが読出し制御部８１から供給される。その結果、フレーム７６内の信号ϕ_{100}の映像信号は、ＡＮＤゲート８６，ＯＲゲート８８，反転器８５，ＡＮＤゲート８３，ＯＲゲート８４を経て、そしてＤ／Ａ変換回路９０で信号処理されてＣＲＴ９１上に表示される。一方ではフレームメモリ７５へは第１７図T_{2300}～T_{2400}に亘って（第１８図t_3～t_{16}に対応、但しt_6～t_{13}は省略する）ＯＲゲート８４出力側のフィードバックループを通じてϕ_{100}のt_3～t_6, t_{13}～t_{16}の映像信号が書込まれる。もちろんこの間フレームメモリ

７５には書込みクロックが供給されている。

ところで、第１７図の時刻T_{2300}は、第１８図の２３Ｆのt_0に対応しているがt_0～t_3間は第１７図では省略して示している。尚、これにともない動作説明上の支障はないし、本願発明の本質を損うものでもない。

次に、２４Ｆでは送信側における２４Ｆの信号（第１８図中は記載せず、第１７図メモリ７５記憶信号（T_{2500}～T_{2600}））と２３Ｆの信号（第1'8図ϕ_{301}，第１７図メモリ７５記憶信号（T_{2400}～T_{2500}））の比較結果における差異部分の映像信号で構成される信号ϕ_{102}（第１７図受信信号T_{2400}～T_{2500}）が、フレームメモリ７６に入力される。フレームメモリ７６への記憶は、２２Ｆ，２３Ｆの場合と同様にしてコード信号に従って、ϕ_{100}，ϕ_{101}，ϕ_{301}の期間t_3～t_6，t_{13}～t_{16}に相当する期間の信号が、フレームメモリ７６に書込まれる。

フレームメモリ７６への受信信号ϕ_{102}の書込み動作の一方で、制御ロジック７８内のメモリに記憶されている２３Ｆのコード信号にもとづくフレームメモリ７７内の信号のフレームメモリ７５への転送と、フレームメモリ７５及びフレームメモリ７７からの切替読出し出力表示が実行される。

すなわち、２３Ｆの原画像を再生するためには、まずフレームメモリ７５から期間T'_{2300}（T_{2400}）～T'_{2340}に亘って信号を読み出し、次にフレームメモリ７７から期間T'_{2340}～T'_{2350}、再びフレームメモリ７７から期間T'_{2341}～T'_{2351}、そしてフレームメモリ７５から期間T'_{2351}～T_{2500}（T'_{2400}）に亘って交互に読出しが行われる必要がある。

そこでこのような読出し制御を実行するため読出し制御部８１の端子Ｄからはコード信号に従って期間Ｔ'$_{2300}$～Ｔ'$_{2340}$，Ｔ'$_{2350}$～Ｔ'$_{2341}$及びＴ'$_{2351}$～Ｔ'$_{2400}$について高レベル、期間Ｔ'$_{2340}$～Ｔ'$_{2350}$及びＴ'$_{2341}$～Ｔ'$_{2351}$について低レベルの信号ϕ_{11}が出力され、そして端子Ｅからは低レベルの信号ϕ_{12}が出力される。

その結果、まず期間Ｔ'$_{2300}$～Ｔ'$_{2340}$，Ｔ'$_{2350}$～Ｔ'$_{2341}$及びＴ'$_{2351}$～Ｔ'$_{2400}$では、ＡＮＤゲート８２，８７は導通、ＡＮＤゲート８３，８６は遮断状態に設定され、その間読み出しクロックが供給されているフレームメモリ７５からの出力信号が、ゲート８２，８４そしてＤ／Ａ変換回路９０を経てＣＲＴ９１に表示される。

次に期間Ｔ'$_{2340}$～Ｔ'$_{2350}$及びＴ'$_{2341}$～Ｔ'$_{2351}$ではＡＮＤゲート８３，８７が導通、ＡＮＤゲート８２，８６が遮断状態に設定され、その間読出しクロックが供給されているフレームメモリ７７からの出力信号が、ゲート８２，８４そしてＤ／Ａ変換回路９０を経てＣＲＴ９１上に表示される。

以上のようにして２３Ｆの原画像ϕ_{301}がＣＲＴ２１上で復元表示される。なおこの間フレームメモリ７５には書込みクロックが供給され、いわゆるリードモディファイライトが行われ、信号ϕ_{301}がメモリ７５内に形成されるように相違部分の書替えが行われ、その記憶内容は第１７図メモリ７５記憶信号Ｔ$_{2400}$～Ｔ$_{2500}$に示すようになる。

２５Ｆでは送信側における２５Ｆの原信号と２４Ｆの信号（第１７図メモリ７５記憶信号（Ｔ$_{2400}$～Ｔ$_{2500}$））の比較結

果における差異部分で構成される信号ϕ_{103}(受信信号T_{2500}～T_{2600})がフレームメモリ７７に入力される。

フレームメモリ７７への受信信号ϕ_{103}の書込み動作の一方で、制御ロジック７８内のメモリに記憶されている２４Ｆのコード信号にもとづくフレームメモリ７６内の信号のフレームメモリ７５への転送と、フレームメモリ７５及びフレームメモリ７６からの切替読出し・出力表示が実行される。

すなわち、２４Ｆの原画像を再生するためには、フレームメモリ７５から期間T'_{2400}(T_{2500})～T'_{2440}, T'_{2450}～T'_{2441}及びT'_{2451}～T'_{2500}(T_{2600})について、そしてフレームメモリ７６から期間T'_{2440}～T'_{2450}及びT'_{2441}～T'_{2451}についてメモリされていた信号の読出しが行われる必要がある。そこでこのような読出し制御を実行するため２４Ｆのコード信号に従って、読出し制御部８１の端子Ｄからは、期間T'_{2400}～T'_{2440}, T'_{2450}～T'_{2441}及びT'_{2451}～T'_{2500}では高レベル、期間T'_{2440}～T'_{2450}及びT'_{2441}～T'_{2451}では低レベルの信号ϕ_{11}が出力され、そして端子Ｅからは高レベルの信号ϕ_{12}が出力される。

上述の読出し制御の結果、期間T'_{2400}～T'_{2440}, T'_{2450}～T'_{2441}及びT'_{2451}～T'_{2500}では、ＡＮＤゲート８２，８６が導通、ＡＮＤゲート８３，８７が遮断状態に設定され、フレームメモリ７５からの読出し出力信号がＣＲＴ９１上に表示され、次に期間T'_{2440}～T'_{2450}及びT'_{2441}～T'_{2451}では、ＡＮＤゲート８３，８６が導通、ＡＮＤゲート８２，８７が遮断状態に設定され、フレームメモリ７６からの読出し出力信号

がＣＲＴ９１上に表示される。以上のようにして送信側２４Ｆの原画像が受信側２５Ｆ目において復元表示される。もちろんこのときフレームメモリ５のリードモディファイライトは２４Ｆのときと同様に実行される。

以降、奇数番目のフレーム、複数番目のフレームに対応してフレームメモリ７６，７７に交互に書込みが行われ、そしてフレームメモリ７５とフレームメモリ７６，７７のいずれかからの読出しを行い、フレームメモリ７５には常に受信している信号のフレームの１フレーム前の原信号が復元され、あるいはそのまま書込まれているようになり、一（フレーム）画面の画像が順次再生される。

以上のように本実施例によれば、わずかに３つのフレームメモリを用いて、圧縮処理した信号を再生復元することが可能となり、装置としてのコストの削減、受信システムの小型化を図ることが可能となる。

ここで上述のコード信号について、その一例について第１９図を参照しながら説明する。

第１９図においてt_1～t_{1001}は垂直同期信号、t_{1001}～t_2は垂直ブランキング期間の１Ｈ（又は０．５Ｈ）で、例えば垂直同期信号の後の１Ｈ（又は０．５Ｈ）である。t_{1001}～t_2の間が０．５Ｈ（＝６３．５μｓ／２）として、そこに３２ビットの信号を挿入すると、１ビットは約１μｓｅｃの時間が割り当てられることになり、極めて容易に電気的に信号処理の対応を採ることが可能である。尚、第１７図と第１９図では、t_1～t_2の長さ、ならびにt_1～t_{1001}とt_{1001}～t_2の期間が図上で

一致していないが、これは図としての表示上の問題であり、t_1～t_{1001}を１Ｈないし３Ｈとし、t_{1001}～t_2を数Ｈの期間としても何ら支障はない。

さて、第１９図に示したコード信号において、t_{1001}～t_{1005}は“０１０１”というスタートマーク、t_{1032}～t_2はストップビット、t_{1005}～t_{1006}の“ｘ”はそのフレームの信号が第１７図２３Ｆ，２４Ｆに示したような部分信号か、それとも２２Ｆ，２５Ｆに示したような全部信号かを示すコードであり、仮にｘ＝０ならば部分信号，ｘ＝１なら全部信号というように設定する。尚、t_1～t_2とt_{11}～t_{12}には同一フレームでは同一の構成で同じ意味のコード信号が挿入される。そこでt_{11}～t_{12}についてはコード信号の挿入を省略する形式とすることも可能である。また、t_{1001}～t_{1005}のスタートマークをフィールド毎に変化させれば、フィールド検出も容易に実行できる。

次に“a_0～a_6”の７ビットは第１８図信号ϕ_{201}におけるt_1からt_4までの長さを示し、第２フィールドにおける対応７ビットは信号ϕ_{201}におけるt_{11}～t_{14}の長さを示す。“b_0～b_6”の７ビットは信号ϕ_{201}及びϕ_{301}におけるt_1からt_5あるいはt_{11}～t_{15}の長さを示し、“c_0～c_5”は信号ϕ_{101}におけるt_1～t_4の長さ、あるいはt_{11}～t_{14}の長さを示す。最後に“d_0～d_5”の６ビットはt_1～t_7あるいはt_{11}～t_{17}の長さを示している。“a_0～a_7”が７ビットであることから、１フィールドを１２８分割して表わすことができ、２Ｈ刻みでt_7のタイミングを決め得る。１フィールド（２６２．５Ｈ）の映像信号において、t_1～t_3が通常２１Ｈ程度を占めることか

ら２２Ｈ以降を分割の対象にすれば２４２Ｈ程度で信号のタイミングを表わすことが可能であり、２Ｈを１ビットに割り当てれば７ビットで十分にそのタイミングを表わすことが可能となる。“c_0～c_5”あるいは“d_0～d_5”の６ビットのデータについては４Ｈ単位で長さを定義づければ良いといえる。

次に２つの連続するフィールドについて映像信号を比較して、相違する部分の信号のみをそのフィールドの映像信号として伝送する信号処理方式に好適な本発明のテレビジョン信号受信処理装置の一実施例について第２０図ないし第２２図を参照しながら説明する。第２０図は本実施例のテレビジョン信号受信処理装置のブロック図、第２１図及び第２２図はその動作説明のための波形図である。これらは前述の第２の実施例の第１６図ないし第１８図に対応している。

第２０図に示した第３の実施例のブロック図からも明らかなようにこの実施例の構成において先の実施例のものと異なる点は、フレームメモリ７５，７６，７７に換えてフィールドメモリ７５ｆ，７６ｆ，７７ｆが用いられている点である。一般的には、２フィールド即ち１フレームで一画面を構成するように方式が採られていることから、フレームを基準とした先の実施例の方式に比べ、静止画であっても省略できる映像信号は減少するが、原画像に対しては大幅な伝送量の削減が可能であることには変わる点はない。

さて、第２０図に示した第３の実施例のテレビジョン信号受信処理装置の動作は、先の実施例におけるフレーム単位の動作説明における第１フィールド部分の説明に対応しており基本的

には何ら変わるところはない。よってここではその詳細な説明な省略する。

以上のように第２，第３の実施例においては、部分信号（第２２図信号ϕ_{301}における$t_4 \sim t_5$）を同一フレームあるいは同一フィールド内で原画とは異なる位置（第２２図信号ϕ_{101}における$t_4 \sim t_5$）で送受し、かつコード信号に予め変換を施し、特定契約者のみコード信号に逆変換できるようにしておけば、映像とデータの個別配信が可能となる。また、部分信号の位置を刻々変化させれば第三者には通信内容を知られることのない秘話通信を容易に実現できる。

尚、第２，第３の実施例においては部分信号というものを１フレームあるいは１フィールドにつき１ヵ所として想定して説明したが、２ヵ所以上であってもコード信号のビット数を若干増加させることで同様の考え方で容易に対応できる。例えば文字放送では１Ｈに１９０ビットの情報を送っているのであるから、第１９図における$t_{1006} \sim t_{1032}$の２６ビットならば７組挿入可能であり、よって７ヵ所の部分信号に対応できる。

次に本発明のテレビジョン信号受信処理装置の第４の実施例について図面を参照しながら説明する。本実施例の最大の特徴はフレーム，フィールド単位で比較し、相違する部分のみが送られてきた信号を送信号における原信号に再生するために、３つのフレームメモリあるいはフィールドメモリを用いるのではなく、１つのフレームメモリあるいはフィールドメモリと２つのラインメモリで実現するものである。ここでは第１６図に示したフレームメモリ７６，７７に換えてラインメモリ７６Ｌ，

７７Ｌを用いる例について説明する。

第２３図において、第１６図に示した実施例のものと異なる点は上述の如く、ラインメモリ７６Ｌ，７７Ｌを用いている点、また制御ロジック７８Ｌ，書込み制御部８０Ｌ，読出し制御部８１Ｌがその制御がライン単位が基準となることに伴って若干異なるものであり、その他の構成は何ら変わるところはない。つまり、入力テレビジョン信号を映像検波回路７１で検波し、Ａ／Ｄ変換したのち、各水平期間の先頭位置、例えば t_1' ～ t_2 に挿入されているコード信号に従ってラインメモリ７６Ｌ，７７Ｌに交互に入力する。コード信号は前述の通りデータ処理回路７９で抜き取り信号処理され制御ロジック７８Ｌに入力され、このコード信号に従って、書込み制御８０Ｌ，読出し制御部８１Ｌ，そして各ゲート８２～８９が導通，遮断される。

さて、それでは先の第１７図の期間 T_{2200} ～ T_{2400} に相当する信号について本実施例の受信処理装置で処理するときの動作を第２５図そして第２４図を用いて説明する。

期間 T_{2200} ～ T_{2300} の信号は第２の実施例のケースで説明したように２１Ｆの信号が無信号であったために全ての信号がフレームメモリ７５に書込まれるべく制御ないし信号処理される。つまり第２５図において T_{2200} ～ T_{2300} に関しては、ある水平期間（ｎＨ）に一方のラインメモリに書込まれた信号が次の水平期間（（ｎ＋１）Ｈ）に読出されるように書込み・読出し制御され、しかもこれらのラインメモリ７６Ｌ，７７Ｌから読出された信号がＡＮＤゲート８６，８７、ＯＲゲート８８、ＡＮＤゲート８３そしてＯＲゲート８４を通じてＤ／Ａ変換回

路９０に出力され、そしてフレームメモリ７５にリードモデファイライトのためにフィードバックされる。従って、読出し制御部８１の端子Ｄの出力信号ϕ_{11L}はT_{2200}～T_{2300}に亘って低レベルであり、一方、端子Ｅの出力信号は１Ｈ毎に低レベル，高レベルと変化する。従って、読出し制御部８１Ｌかラインメモリ７６Ｌ，７７Ｌへの読出しクロックも１Ｈ毎に交互に供給される。

次に、２３フレームの３０Ｈ目から書替えられるべき信号が受信されたものとして以下に説明を続ける。

３０Ｈ目（T_{23029}～T_{23030}）の映像信号（t_4～t_5）はラインメモリ７６Ｌに書込まれ、一方、フレームメモリ７５から読出された前２２Ｆの２９Ｈ目の映像信号が読出されて、ＡＮＤゲート、ＯＲゲート８４を経てこの３０ＨでＣＲＴ９１に出力表示される。

次に３１Ｈになると、３１Ｈの受信信号は相違する信号部分T_{23030}～T_{23031}におけるt_4～t_5の信号（第２５図のメモリ７７Ｌ記憶信号クロスハッチ部分）がコード信号に従ってメモリ７７Ｌに書込まれる。その一方でフレームメモリ７５からt_0～t'_4までは２２Ｆにおける３０Ｈの映像信号が読出されたのにつづいて、３０Ｈでラインメモリ７６Ｌに書込まれた信号が、期間T_{23030}～T_{23031}のt'_4～t'_5について読出され、ＡＮＤゲート８６，ＯＲゲート８８，ＡＮＤゲート８３そしてＯＲゲート８４を通じて、Ｄ／Ａ変換回路９０からＣＲＴ９１上に表示され、一方フレームメモリ７５にリードモディファイライトする。

次に３２Ｈになると、３２Ｈの受信映像信号は期間T_{23031}～T_{23032}のt_4～t_5がコード信号に従ってラインメモリ７６Ｌに書込まれる。その一方でフレームメモリ７５からt_0～t'_4までは２２Ｆにおける３１Ｈの映像信号が読出され、これにつづいて３１Ｈでラインメモリ７７Ｌに書込まれた信号（クロスハッチ部分）がt'_4～t'_5に亘って読み替えて読み出される。つまりt_0～t'_4，t'_5～T_{23032}ではＡＮＤゲート８２，８７が導通、ＡＮＤゲート８３，８６が遮断で、フレームメモリ７５の記憶内容が読出され、そしてt'_4～t'_5ではＡＮＤゲート８３，８７が導通、ＡＮＤゲート８２，８６が遮断でラインメモリ７７Ｌの記憶内容が読出される。こうしてＡＮＤゲート８２，８３に読出された信号はＯＲゲート８４を経て、Ｄ／Ａ変換回路９０を通じてＣＲＴ９１上に表示され、あるいはフィードバックされてフレームメモリ７５にリードモデファイライトされる。以上の処理を繰り返すことで送信側で圧縮処理された映像が受信側で誤りなく再生される。この実施例の処理方式によれば、フレーム間で内容の異なる部分のみ水平走査線単位で送ればよく、なおかつ水平走査線間でも同一信号部分を省略できることから、伝送すべき映像信号の情報量を削減できる。映像信号を送ることなく空いたエリアには別のデータ信号を挿入して伝送できることから伝送効率を高めることも可能となる。またコード信号を特定契約者のみ受信できるように構成することで秘話通信にも利用できる。

次に第４の実施例における各水平走査線単位で挿入されているコード信号の一例について説明する。第２６図においてt_1

～t'_1は水平同期パルス、t'_1～t_{14}はスタートビット、t_{14}～t_{15}の“x”はその水平ラインの信号が部分信号か、あるいは1Hの全域にわたるような全部信号かを示す信号であり、“0”ならば部分信号、“1”ならば全部信号である。

“a_0～a_6”（t_{15}～t_{16}）の7ビットは、例えば30Hのt_4が原画像信号のt'_4であるときにt_1～t'_4の長さを示すコードであり、“b_0～b_6”（t_{16}～t_{17}）の7ビットは、30Hのt_5が原画像信号のt'_5であるときにt_1～t'_5の長さを示すコードである。“c_0～c_5”（t_{17}～t_{18}）の6ビットは30Hでのt_1～t_4の長さを表わし、“d_0～d_5”（t_{18}～t_{19}）の6ビットは30Hでのt_1～t_{11}の長さを表わしている。NTSC標準方式の場合、1Hは約63.56μsecであるからf_{sc}再生回路74の出力にもとづく$4f_{sc}$でサンプリングした場合には910サンプルになる。10ビットあれば1サンプル刻みでt_4～t_5の長さを決定できるが信号の差異のない部分も含めて送信するようにした場合、下位3ビット（$4f_{sc}$の8サンプル分：約560ns）を切捨てても実用上の支障はない。従って、“a_0～a_6”，“b_0～b_6”の下位3ビットを切捨てて8サンプル刻みのタイミングを表わす形式とすればよい。“c_0～c_5”，“d_0～d_5”については下位4ビットを切捨てることで$4f_{sc}$の16サンプル、即ち、約1.12μs刻みのタイミングを表わす形式とすることができる。第26図においてt_{19}～t_2はストップビットであり、t'_1～t_2で29ビット、4ビットの水平同期パルスまで含めて33ビット幅のコード信号となる。1ビットを1／2f_{sc}とすれば約139.7ns,

３３ビットでは４．６１μｓとなりＮＴＳＣ方式の水平同期信号幅に収まるため、カラーバーストに影響を与えることなくコード信号の挿入が可能となる。この信号に関し、何らかの特定の変換を施し、特定契約者の端末にのみ逆変換用情報を送るようにした場合、秘話通信を実現できる。この逆変換用情報を伝送するためのエリアとしては、垂直帰線期間が一例としてあげられる。

次に、個別配信で秘話通信を実現するための一例について第２７図及び第２８図を参照しながら説明する。前述の第２ないし第４の実施例においてフレームあるいはフィールド間で差異のある映像部分が増加した場合には、送出画像の内容を確認しやすくなる。そこで、第２８図信号ϕ_{201}に示すように送信側で信号ϕ_{201}の映像及びデータ部分（t_3～t_6）を反転する方式が考えられる。従ってそのように反転した映像信号等を再生するためには、第２７図に示す如く、映像検波回路７１の出力が入力されるＡ／Ｄ変換回路７２の前段にアナログのＮＡＮＤゲート９２を設け、ＮＡＮＤゲート９２の他方の入力として抜取ゲート発生回路９３からのゲート信号ϕ_{13}を入力し、t_3～t_6を反転する。この抜取ゲート発生回路９３には同期分離回路７３からの駆動信号V_D, ＨＤを入力として、ゲート信号ϕ_{13}を作成する。このような信号反転回路は既に周知のものであるのでさらに詳細な説明は省略する。この反転機能は先述の第２ないし第４の実施例の全てに適用でき、その秘話通信機能を高めることが可能となる。

本発明によれば、ラインあるいはフレームあるいはフィール

ド間における画像の比較を行い、その差異部分のみのラインあるいはフレームあるいはフィールドの画像信号として伝送するように信号処理することにより以下の効果が得られた。

(1) 同じ信号成分を伝送する代りに他の情報を伝送することができ、伝送効率を高めることができる。

(2) 伝送中の画像信号を受信しても全体の画像を把握できず秘話通信に適する。

(3) 伝送信号の送出タイミングを不規則に変化させ、そのタイミング情報はコード化して伝送することが秘匿性の高い通信方式を実現できる。

(4) ライン相関，フレーム相関を検出して信号圧縮する高度な方式でなく、単なるライン，フレーム中の画像データの比較により伝送・非伝送を決定する方式であることからシステムとして簡易に構成できる。

請　求　の　範　囲

1．テレビジョン信号を水平走査線単位に分割し、一つのフィールド中で第ｎ番目の水平走査期間の映像信号V_nと第（ｎ－１）番目の水平走査期間の映像信号V_{n-1}とを比較し、両映像信号の一部または全部が異なっているときにその映像信号V_{n-1}と異なっている映像信号V_nの部分の映像信号V_xのみまたは映像信号V_{n-1}と同一の映像信号V_nの一部分を含め送信するテレビジョン信号送信機と、前記テレビジョン信号送信機から送信されたテレビジョン信号の第（ｎ－１）番目の水平走査期間の映像信号V_{n-1}と第ｎ番目の水平走査期間の映像信号V_xとを入力とし、映像信号V_xを映像信号V_{n-1}の一部または全部に混合，重畳，置換え又は演算により第ｎ番目の水平走査期間の映像信号V_nを再生するテレビジョン信号受信機とを備えることを特徴とするテレビジョン信号処理装置。

2．テレビジョン信号を水平走査線単位に分割し、一つのフィールド中で第ｎ番目の水平走査期間の映像信号V_nと第（ｎ－１）番目の水平走査期間の映像信号V_{n-1}とを比較し、両映像信号の一部または全部が異なっているときにその映像信号V_{n-1}と異なっている映像信号V_nの部分の映像信号V_xのみまたは映像信号V_{n-1}と同一の映像信号V_nの一部分を含めて送信するテレビジョン信号送信機。

3．映像信号V_xの始めまたは終りの位置を示すコード信号をもその映像信号V_xの含まれるフィールド内に送出するようにしたことを特徴とする請求項２記載のテレビジョン信

号送信機。

4．第n番目の水平走査期間の映像信号V_xを送出するタイミングを元の映像信号V_n中でのその映像信号V_xが存在したタイミングとは変えるとともに、その変更位置を示すコード信号を映像V_xの含まれるフィールド内に送出するようにしたことを特徴とする請求項2または3記載のテレビジョン信号送信機。

5．テレビジョン信号中の水平同期信号の期間を狭くし、その狭くした位置に映像信号V_xの始めまたは終りの位置を示すコード信号または変更位置を示すコード信号を挿入して送出するようにしたことを特徴とする請求項3または4記載のテレビジョン信号送信機。

6．第n番目の水平走査期間の映像信号V_x以外の部分にアナログまたはデジタルの信号を挿入して送出するようにしたことを特徴とする請求項2，3，4または5記載のテレビジョン信号送信機。

7．映像信号V_{n-1}と異なっている映像信号V_nの部分の映像信号V_x及びV_xの前後の部分を含む映像信号V'_xを送信することを特徴とするテレビジョン信号送信機。

8．テレビジョン信号送信機から送信されたテレビジョン信号の第（n－1）番目の水平走査期間の映像信号V_{n-1}と第n番目の水平走査期間の映像信号V_xとを入力とし、映像信号V_xを映像信号V_{n-1}の一部または全部に混合，重畳，置換え又は演算により第n番目の水平走査期間の映像信号V_nを再生することを特徴とするテレビジョン信号受信機。

9．テレビジョン信号の一つのフィールド中で第（n－1）番目水平走査期間の映像信号V_{n-1}と第n番目の水平走査期間の映像信号V_nの異なる部分の映像信号V_xのみまたは映像信号V_{n-1}と同一の映像信号V_nの一部分を含めて記憶する第1のラインメモリと、第n番目の水平走査期間の映像信号V_nと第（n＋1）番目の水平走査期間の映像信号V_{n+1}の異なる部分の映像信号V_{x+1}を記憶する第2のラインメモリと、映像信号V_{n-1}と映像信号V_xから再生した再生映像信号V'_x、再生映像信号V'_xと映像信号V_{x+1}から再生した再生映像信号V'_{x-1}を順次記憶する第3のラインメモリとを備える請求項8に記載のテレビジョン信号受信機。

10．受信テレビジョン信号が第n番目の水平走査期間のときは第1のラインメモリと第3のラインメモリの記憶内容から映像信号を形成し、第（n＋1）番目の水平走査期間のときは第2のラインメモリと第3のラインメモリの記憶内容から映像信号を形成することを特徴とする請求項9に記載のテレビジョン信号受信機。

11．テレビジョン信号の画像表示部分の水平走査期間の一部又は全部に重畳されているデータ信号を受信・復号化する手段を内蔵する請求項8，9もしくは10に記載のテレビジョン信号受信機。

12．相違する映像信号V_x，V_{x+1}及びデータ信号以外の信号Xが受信されたときこの信号Xを無視することを特徴とする請求項8，9，10もしくは11に記載のテレビジョン信号受信機。

13. 映像信号V_x，V_{x+1}及びデータ信号以外の信号Xの一部又は全部を処理する手段を有する請求項8，9，10もしくは11に記載のテレビジョン信号受信機。

14. テレビジョン信号をフレームあるいはフィールド単位に分割し、第n番目のフレームあるいはフィールドの映像信号V_nと第（n－1）番目のフレームあるいはフィールドの映像信号V_{n-1}とを比較し、両者映像信号の一部または全部が異なっているときに、その映像信号V_{n-1}と異なっている映像信号V_nの部分の映像信号V_xのみを送信するようにしたことを特徴とする信号処理方式。

15. 第（n－1）番目のフレームあるいはフィールドの映像信号V_{n-1}と比較処理した第n番目のフレームあるいはフィールドの映像信号V_nを水平走査線単位に分割し、第m番目の水平走査期間の映像信号V_mと第（m－1）番目の水平走査期間の映像信号V_{m-1}とを比較し、両者映像信号の一部または全部が異なっているときに、その映像信号V_{m-1}と異なっている映像信号V_mの部分の映像信号V_yのみを送信するようにしたことを特徴とする請求項14に記載の信号処理方式。

16. 入力テレビジョン信号を第1のフレームあるいはフィールドメモリに入力し、1フレームあるいはフィールド遅延させた第n番目のフレームあるいはフィールドの映像信号V_nと、第（n＋1）番目のフレームあるいはフィールドの映像信号V_{n+1}とを比較し、映像信号V_{n-1}の異なっている部分の映像信号V_xの第（n＋1）番目のフレームあるいは

フィールドにおけるタイミングを検出し、映像信号V_{n-1}を第２のフレームあるいはフィールドメモリに書き込み、第２のフレームあるいはフィールドメモリからの読み出し時に映像信号V_xのみを前記タイミングとは異なる予め定められたタイミングで読み出し送信するようにしたことを特徴とする信号処理方式。

17. 連続して送信されるべき原テレビジョン信号をフレーム単位あるいはフィールド単位で分割して第（ｎ－１）番目のフレームあるいはフィールドの映像信号V_{n-1}と、第ｎ番目のフレームあるいはフィールドの映像信号V_nとを比較し、映像信号V_nの映像信号V_{n-1}と異なる部分の映像信号V_xを第ｎ番目のフレームあるいはフィールドの映像信号として送出する送信手段からの信号を受信するテレビジョン信号受信処理装置であって、受信再生した第（ｎ－１）番目のフレームあるいはフィールドの映像信号V_{n-1}と、映像信号V_xとから第ｎ番目のフレームあるいはフィールドの映像信号V_nを再生することを特徴とするテレビジョン信号受信処理装置。

18. １フレームあるいは１フィールド分の映像信号を記憶可能な第１の記憶手段を用いて映像信号V_{n-1}を記憶することを特徴とする請求項１７記載のテレビジョン信号処理装置。

19. 奇数番目のフレームあるいはフィールドの映像信号を記憶する第２の記憶手段と、偶数番目のフレームあるいはフィールドの映像信号を記憶する第３の記憶手段とを備え、第

1の記憶手段と第2の記憶手段の出力から奇数番目のフレームあるいはフィールドの原テレビジョン信号を再生し、第1の記憶手段と第3の記憶手段の出力から偶数番目のフレームあるいはフィールドの原テレビジョン信号を再生することを特徴とする請求項18記載のテレビジョン信号処理装置。

20. 1フレームあるいは1フィールド分の映像信号を記憶可能な第1の記憶手段と、1水平走査期間の映像信号を記憶可能な第2，第3の記憶手段とを備え、第n番目のフィールドあるいはフレームの映像信号を受信したときに第1の記憶手段に記憶されている第（k－1）番目の水平走査期間の映像信号V_{k-1}と、受信し第2，第3の記憶手段に入力された第n番目のフレームあるいはフィールドの第k番目の水平走査期間の映像信号V_yとから第k番目の水平走査期間の原映像信号V_kを再生することを特徴とするテレビジョン信号処理装置。

21. 映像信号V_xが1フレーム、あるいは1フィールドに複数存在するときこれを受信処理することを特徴とする請求項17から20のいずれかの請求項に記載のテレビジョン信号受信処理装置。

22. 映像信号V_xあるいはV_y以外の映像信号を省略した部分に他のデータ，画像信号等の信号xが挿入受信され、これを受信再生することを特徴とする請求項17から21のいずれかに記載のテレビジョン信号処理装置。

23. 映像信号V_xあるいはV_yを原テレビジョン信号における位

相とは異なる位相で送出する送出手段からの信号を受信し、位相を原位相に変換し原テレビジョン信号を再生することを特徴とする請求項２２記載のテレビジョン信号処理装置。

24. 原テレビジョン信号における映像信号V_xあるいはV_yの位相を示すコード信号を受信する手段と、コード信号にもとづいて受信した映像信号V_x, V_yの位相を変換する手段とを備えた請求項２３記載のテレビジョン信号処理装置。

25. 受信したコード信号を変換した後に用いることを特徴とする請求項２４記載のテレビジョン信号処理装置。

26. データ，画像信号ｘの挿入された位相を示す信号を受信して、信号ｘを分離する手段を備えた請求項２２記載のテレビジョン信号処理装置。

27. 反転されて送受信された映像信号を再反転し正常状態に復元する手段を備える請求項１７ないし２６のいずれかの請求項に記載のテレビジョン信号処理装置。

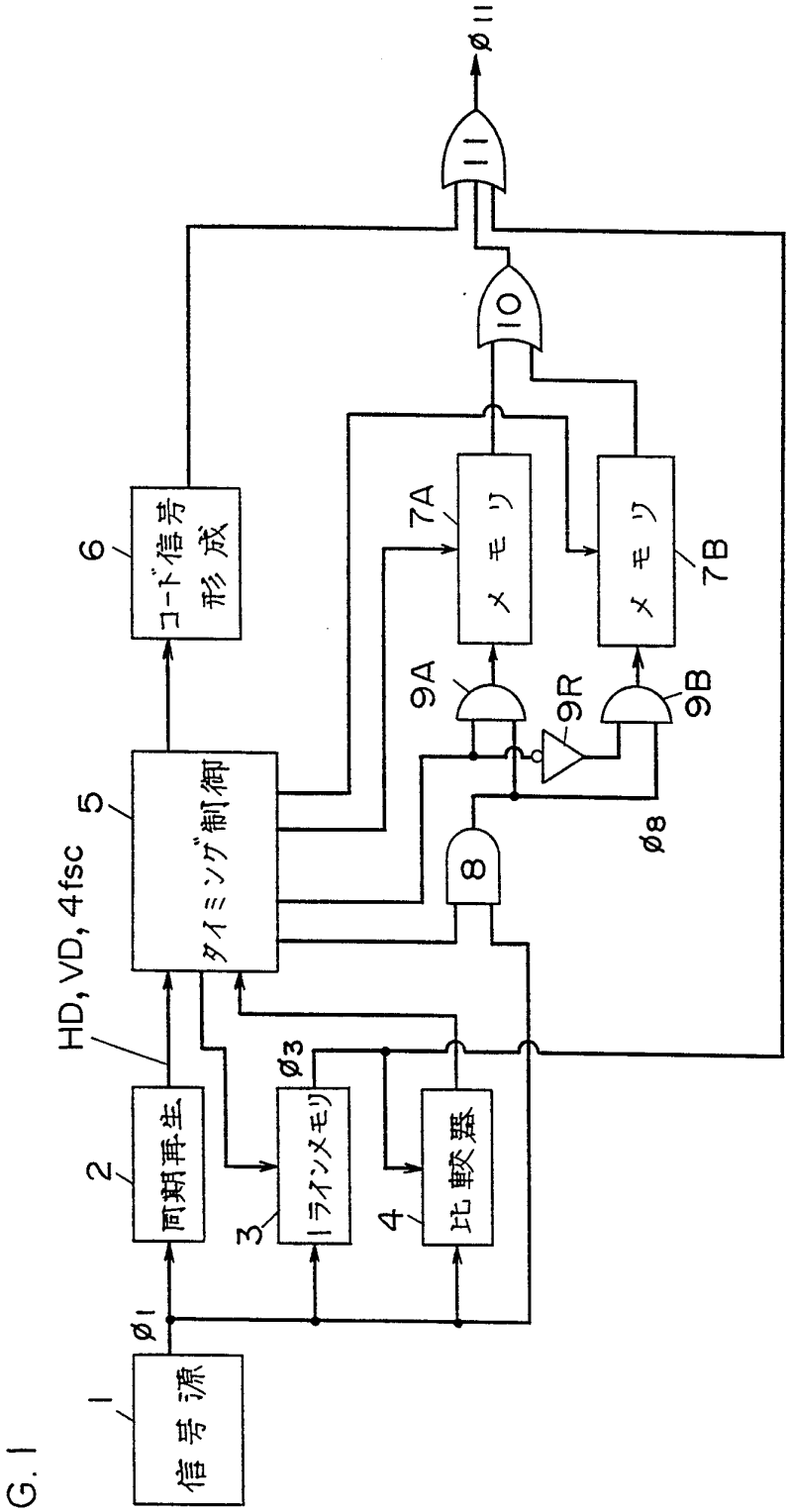

信号源
1
ø1
同期再生
2
ラインメモリ
3
ø3
比較器
4
タイミング制御
5
HD, VD, 4fsc
コード信号形成
6
メモリ
7A
メモリ
7B
8
9A
9R
9B
ø8
10
11
ø11

FIG. 1

FIG. 2

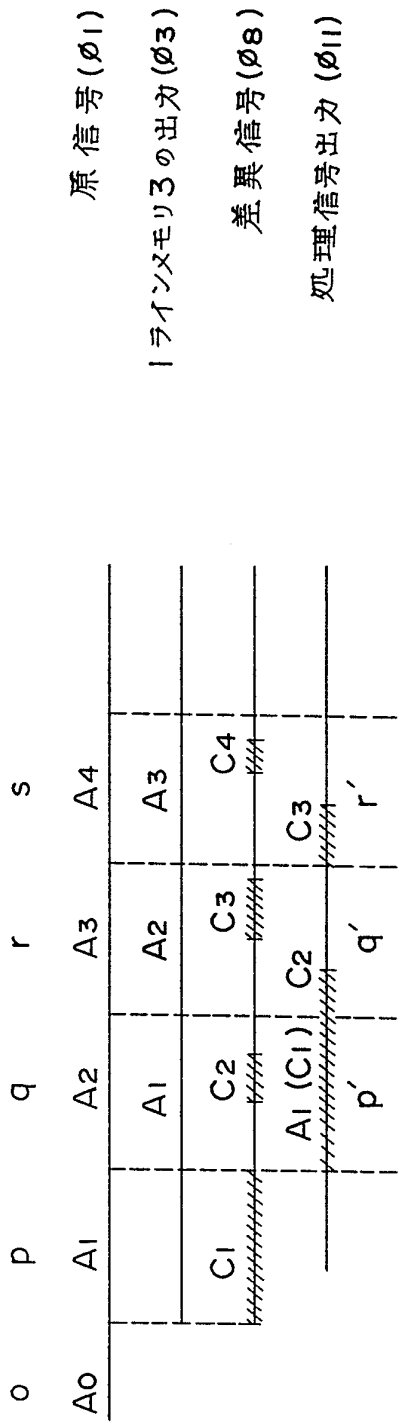

原信号(Ø1)
1ラインメモリ3の出力(Ø3)
差異信号(Ø8)
処理信号出力(Ø11)
o
p
q
r
s
A0
A1
A2
A3
A4
A1
A2
A3
C1
C2
C3
C4
A1 (C1)
C2
C3
p'
q'
r'

FIG. 3

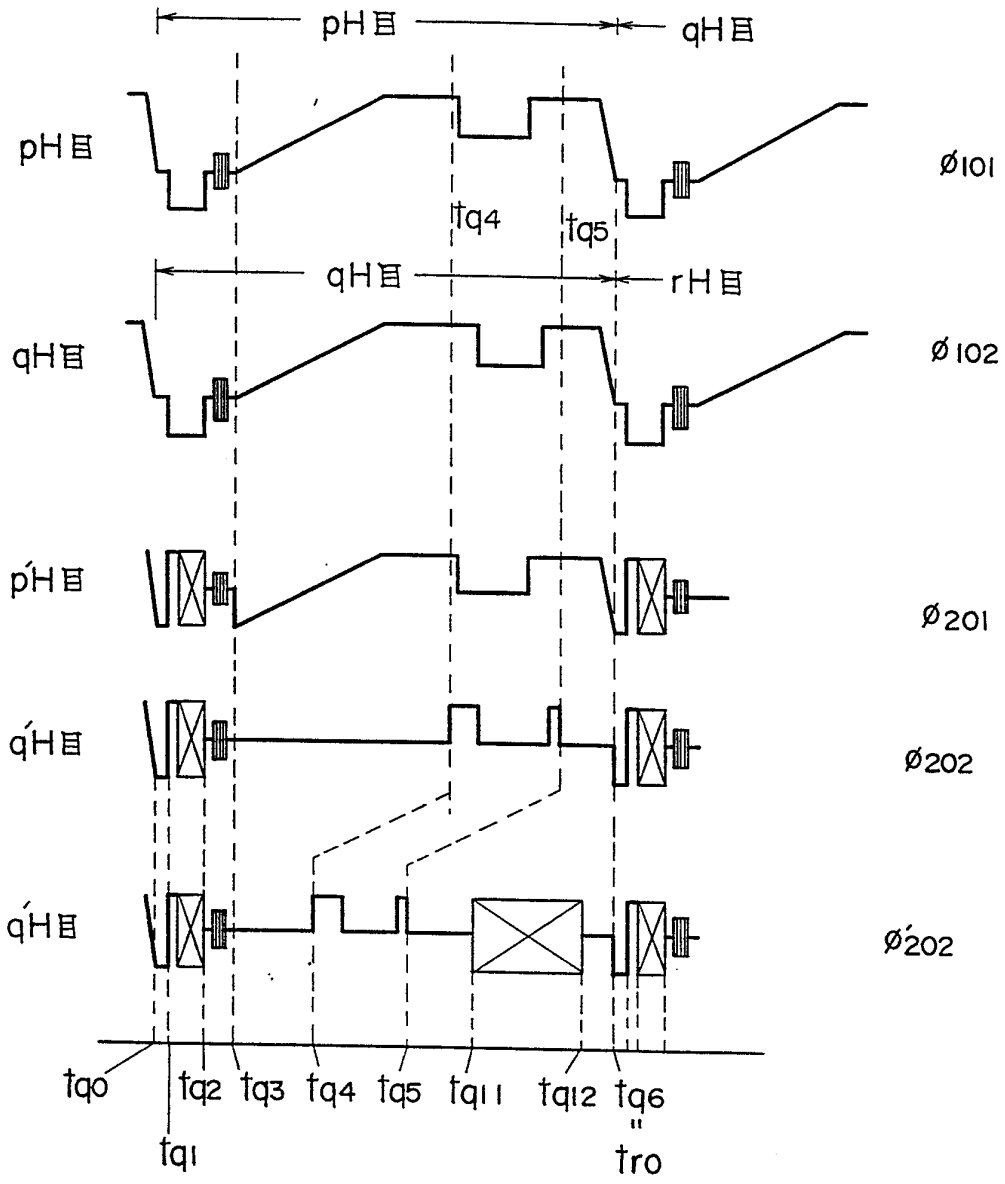
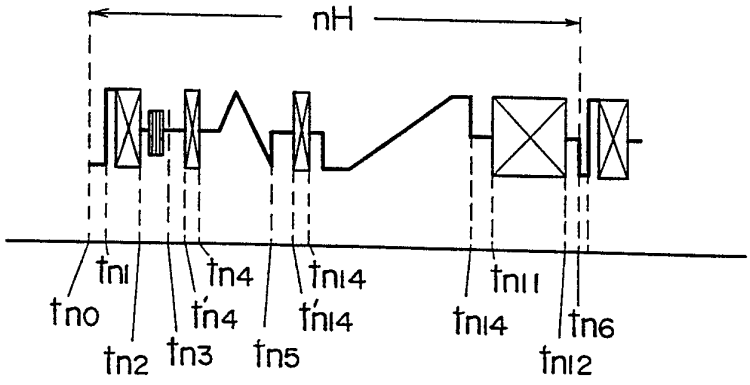

pH目
qH目
pH目
Ø101
tq4
tq5
qH目
rH目
qH目
Ø102
p'H目
Ø201
q'H目
Ø202
q'H目
Ø'202
tq0
tq1
tq2
tq3
tq4
tq5
tq11
tq12
tq6
tro

FIG. 4



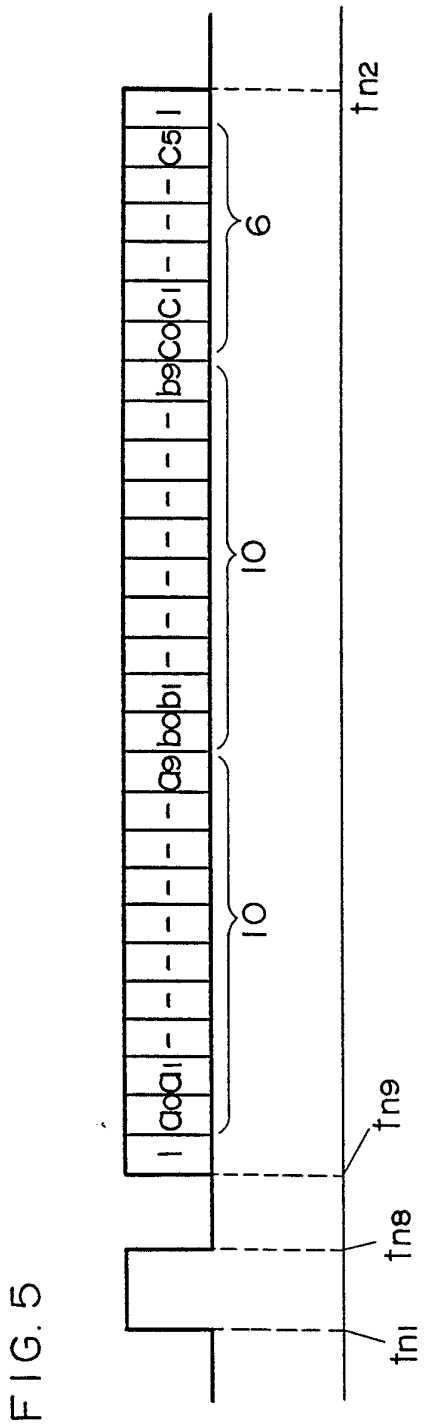
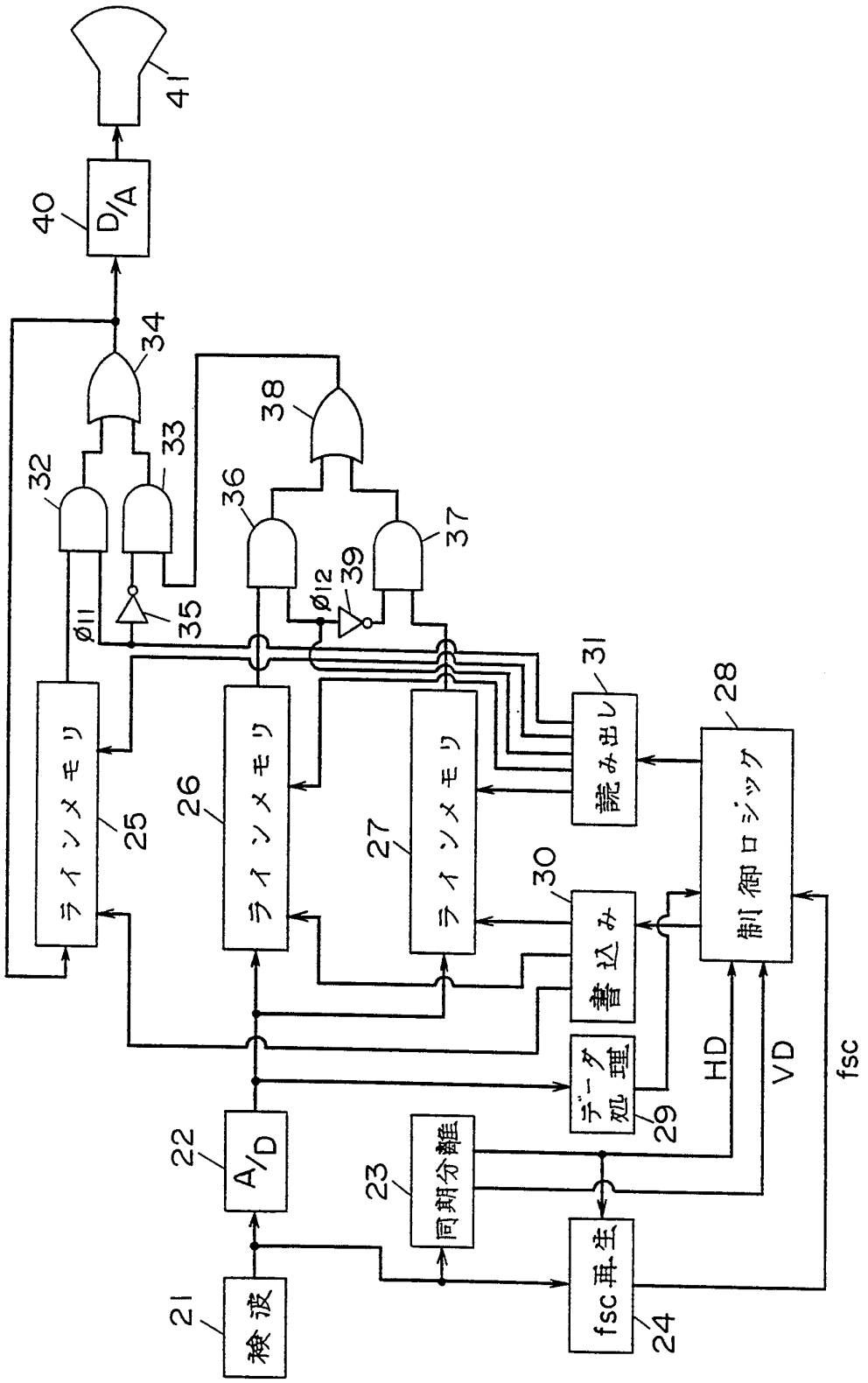


FIG. 5



検波
A/D
同期分離
fsc再生
データ処理
書込み
制御ロジック
ラインメモリ
ラインメモリ
ラインメモリ
読み出し
D/A
HD
VD
fsc
Ø11
Ø12
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41

FIG. 6

FIG. 7

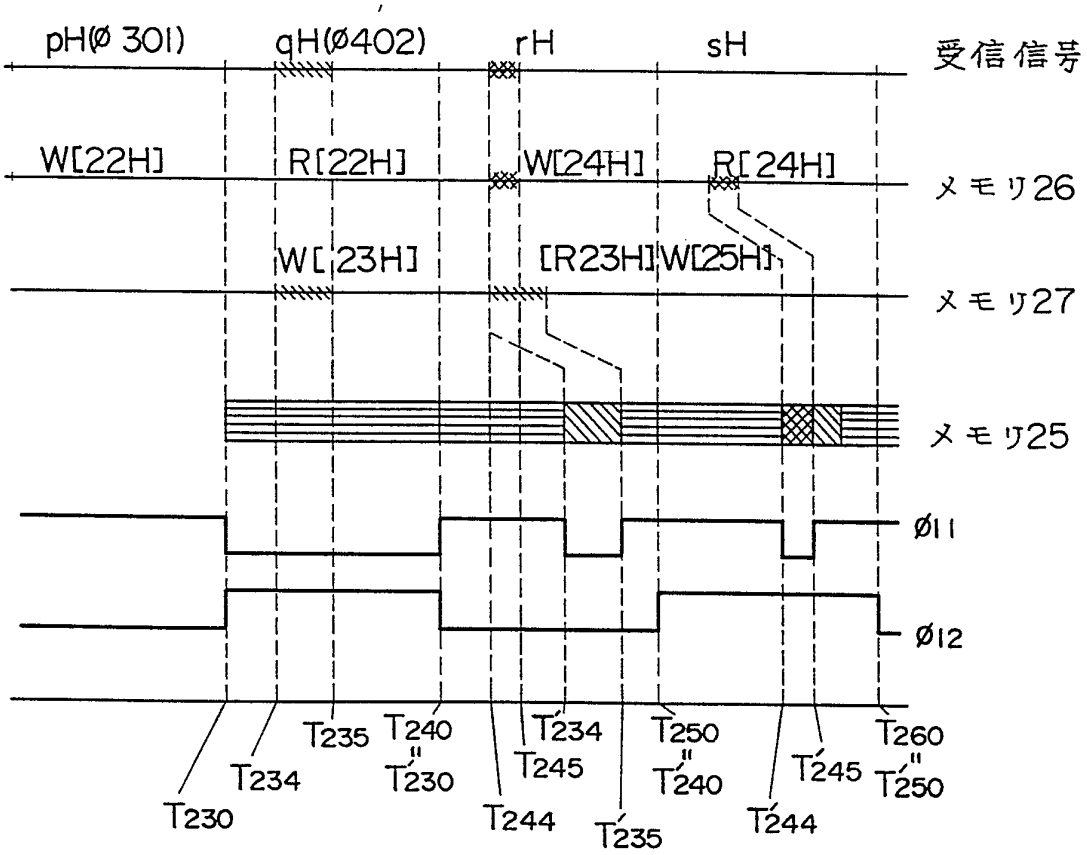
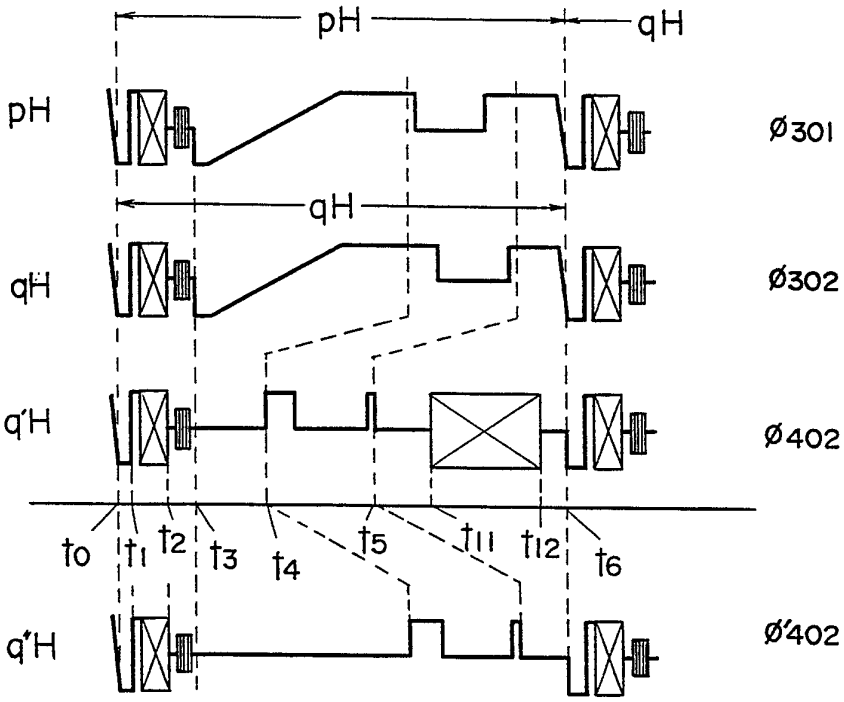

pH(ø 301)
qH(ø402)
rH
sH
受信信号
W[22H]
R[22H]
W[24H]
R[24H]
メモリ26
W[23H]
[R23H]
W[25H]
メモリ27
メモリ25
ø11
ø12
T230
T234
T235
T240
T230
T244
T234
T245
T235
T250
T240
T244
T245
T260
T250

FIG. 8


pH
qH
pH
Ø301
qH
qH
Ø302
q'H
Ø402
t0
t1
t2
t3
t4
t5
t11
t12
t6
q'H
Ø'402

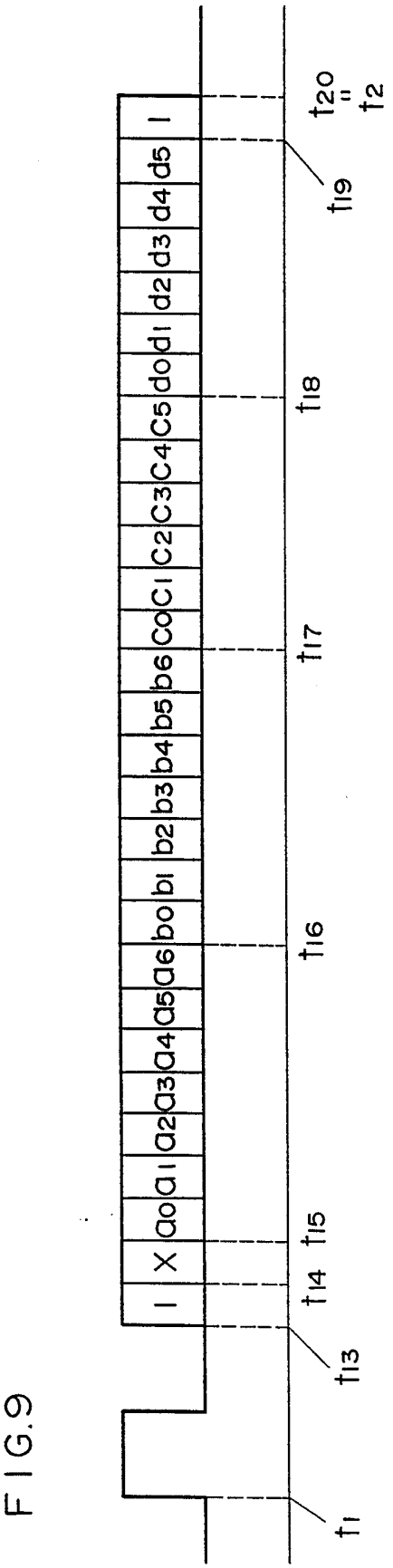

t1
t13
t14
t15
t16
t17
t18
t19
t20 = t2
1
X
a0
a1
a2
a3
a4
a5
a6
b0
b1
b2
b3
b4
b5
b6
C0
C1
C2
C3
C4
C5
d0
d1
d2
d3
d4
d5
1

FIG.9

FIG. 10

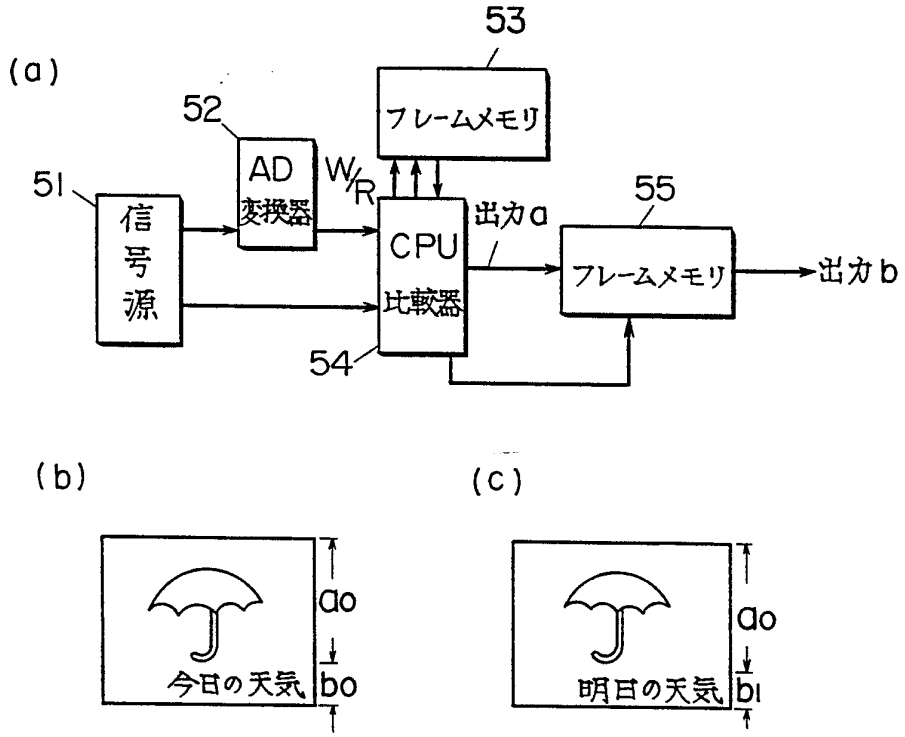
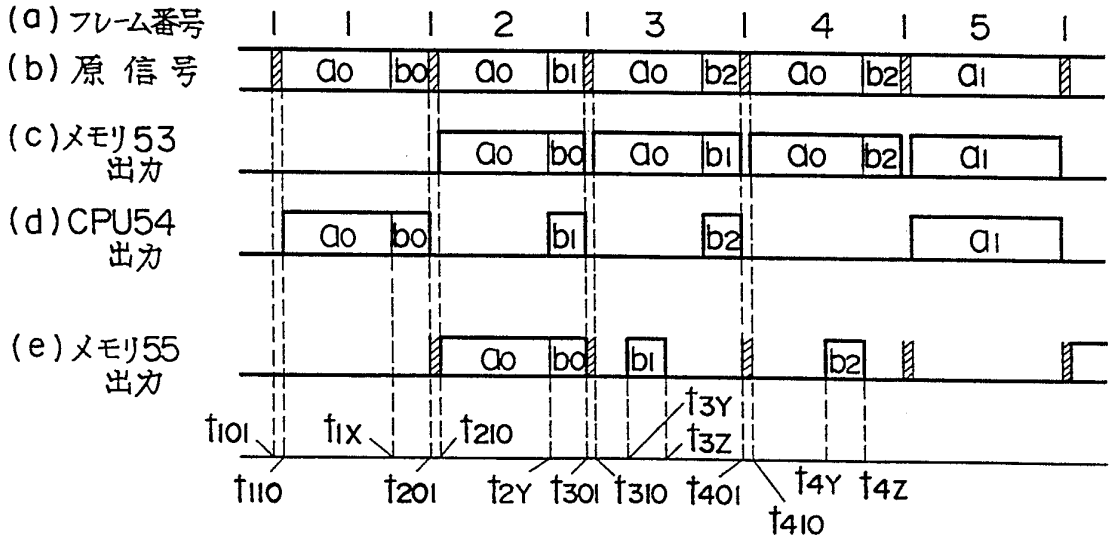

(a)
53
フレームメモリ
52
AD
変換器
W/R
51
信号源
CPU
比較器
出力a
55
フレームメモリ
出力b
54
(b)
(c)
ao
今日の天気
bo
ao
明日の天気
b1

FIG. 11


(a) フレーム番号
1 1 1 2 1 3 1 4 1 5 1
(b) 原信号
ao bo ao b1 ao b2 ao b2 a1
(c) メモリ53 出力
ao bo ao b1 ao b2 a1
(d) CPU54 出力
ao bo b1 b2 a1
(e) メモリ55 出力
ao bo b1 b2
t101 t1x t210 t3Y t3Z
t110 t201 t2Y t301 t310 t401 t4Y t4Z
t410

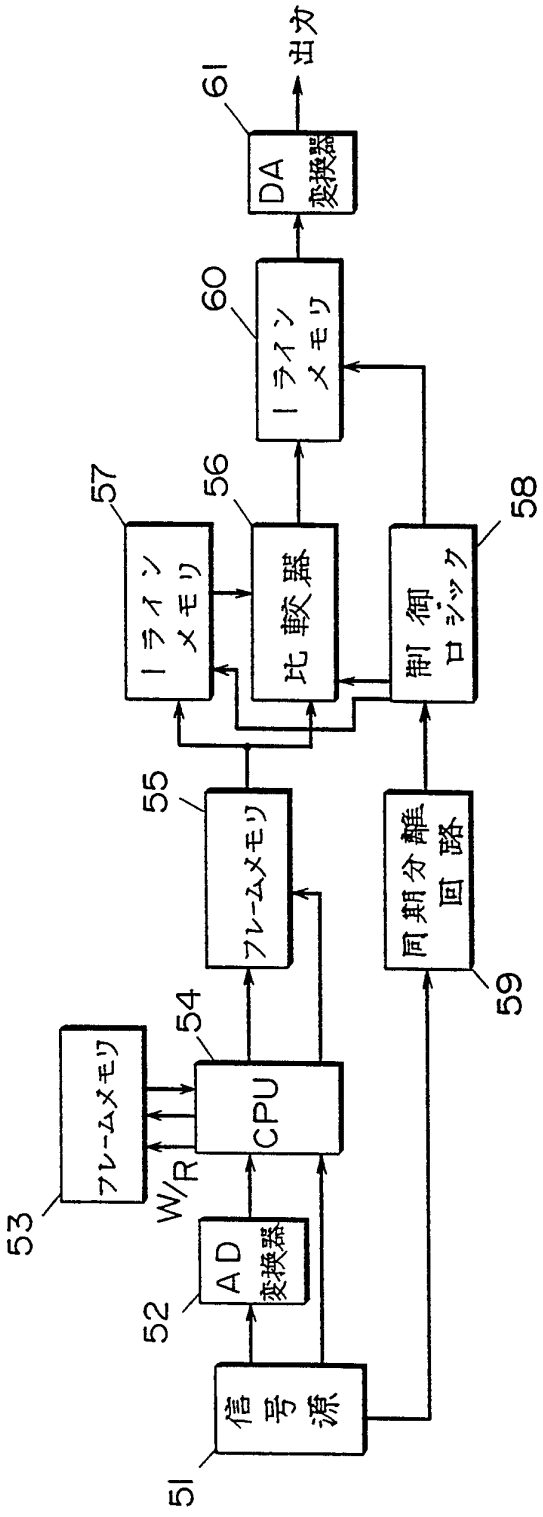

信号源
AD変換器
CPU
フレームメモリ
W/R
フレームメモリ
1ラインメモリ
比較器
1ラインメモリ
DA変換器
出力
制御ロジック
同期分離回路
51
52
53
54
55
56
57
58
59
60
61

FIG. 12

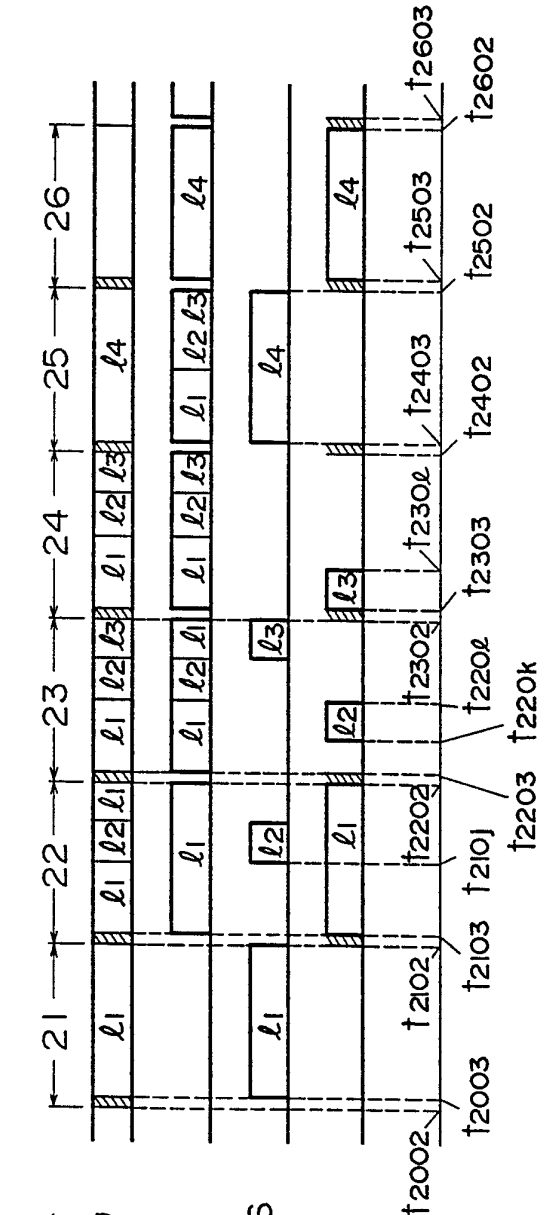

(a) ライン番号
(b) フレームメモリ 55 出力
(c) ラインメモリ 57 出力
(d) 比較器 56 出力
(e) ラインメモリ 60 出力
21
22
23
24
25
26
t2002
t2003
t2102
t2103
t2101
t2202
t2203
t220e
t220k
t2302
t2303
t230e
t2402
t2403
t2502
t2503
t2602
t2603

FIG. 13

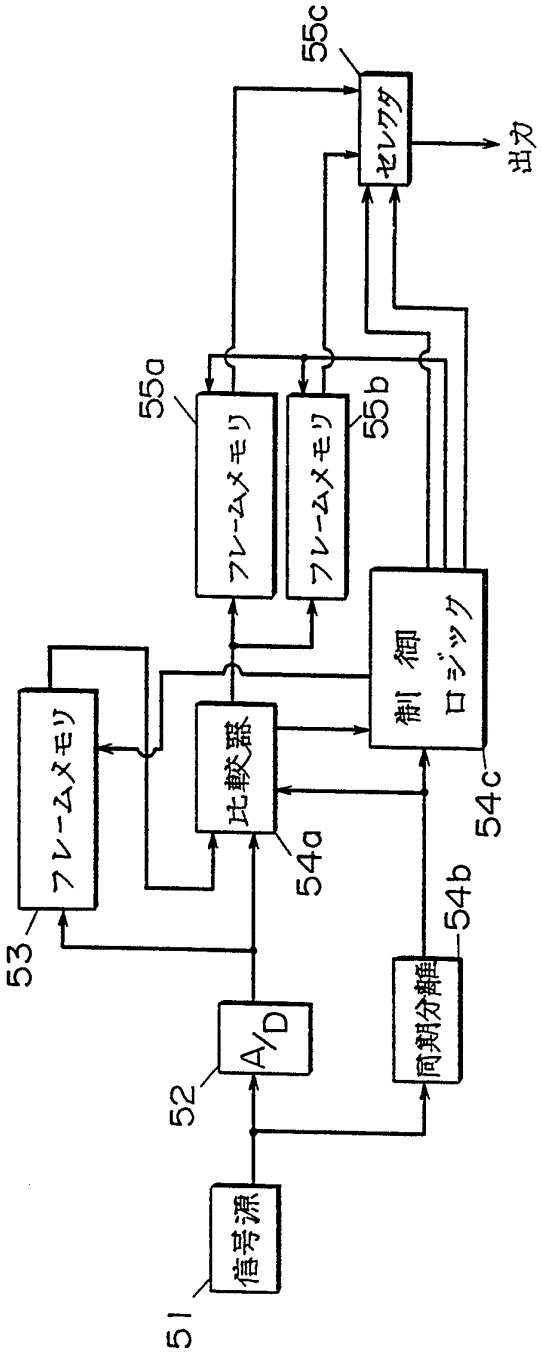

51
信号源
52
A/D
53
フレームメモリ
54a
比較器
54b
同期分離
54c
制御ロジック
55a
フレームメモリ
55b
フレームメモリ
55c
セレクタ
出力

FIG. 14

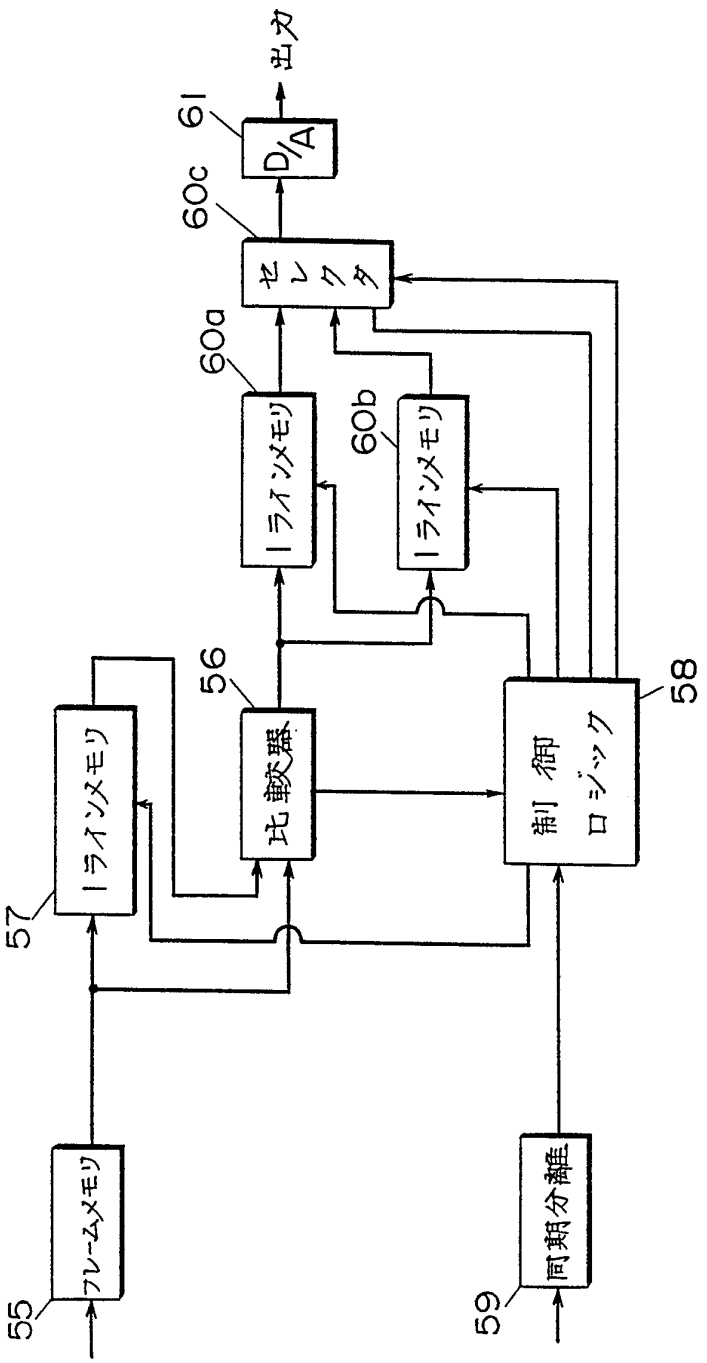

出力
61
D/A
60c
セレクタ
60a
1ラインメモリ
60b
1ラインメモリ
56
比較器
57
1ラインメモリ
58
制御ロジック
55
フレームメモリ
59
同期分離

FIG. 15

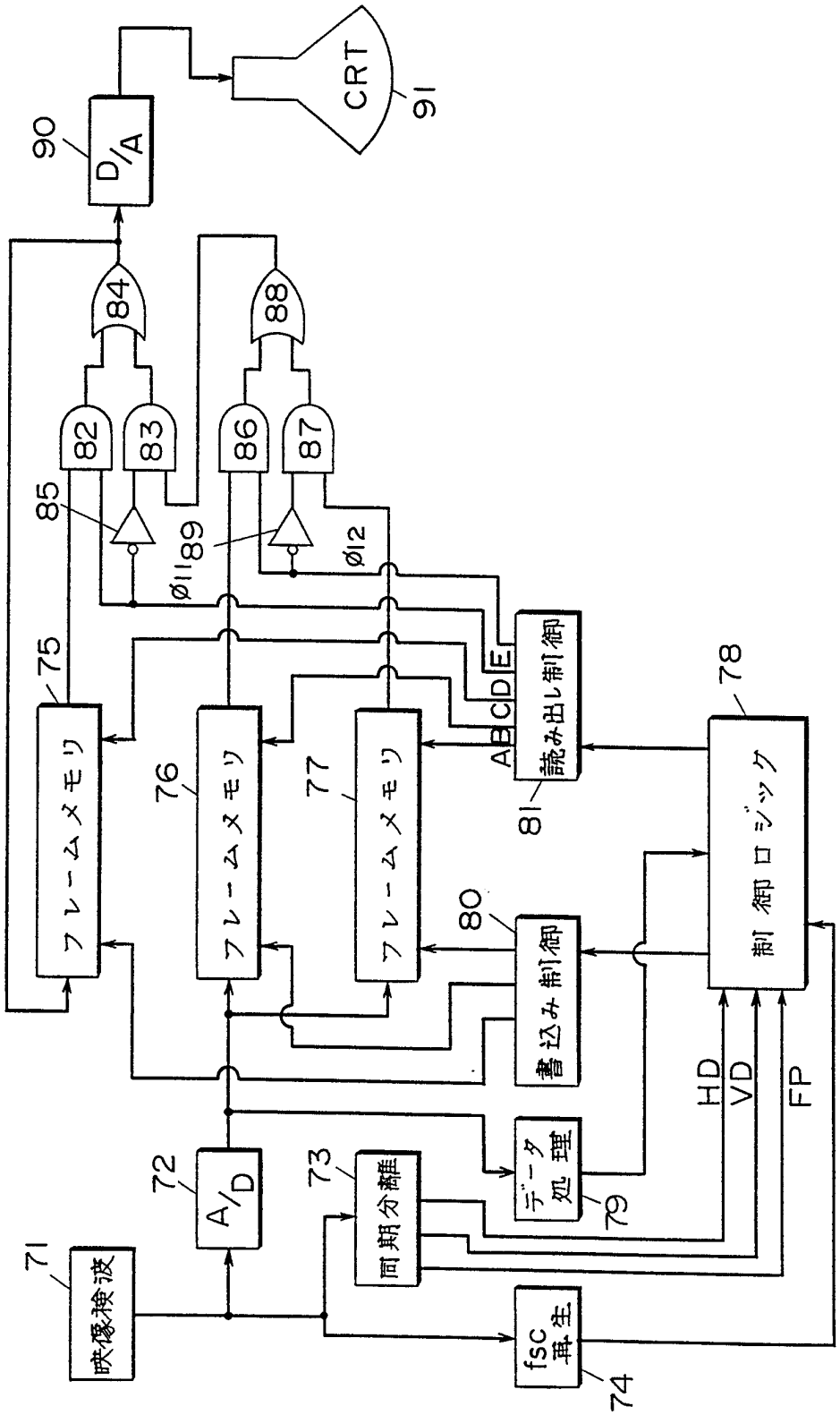

CRT
91
90
D/A
84
88
82
83
86
87
85
89
ø11
ø12
75
76
77
フレームメモリ
フレームメモリ
フレームメモリ
A
B
C
D
E
読み出し制御
81
78
制御ロジック
80
書込み制御
HD
VD
FP
データ処理
79
72
A/D
73
同期分離
71
映像検波
fsc再生
74

FIG. 16

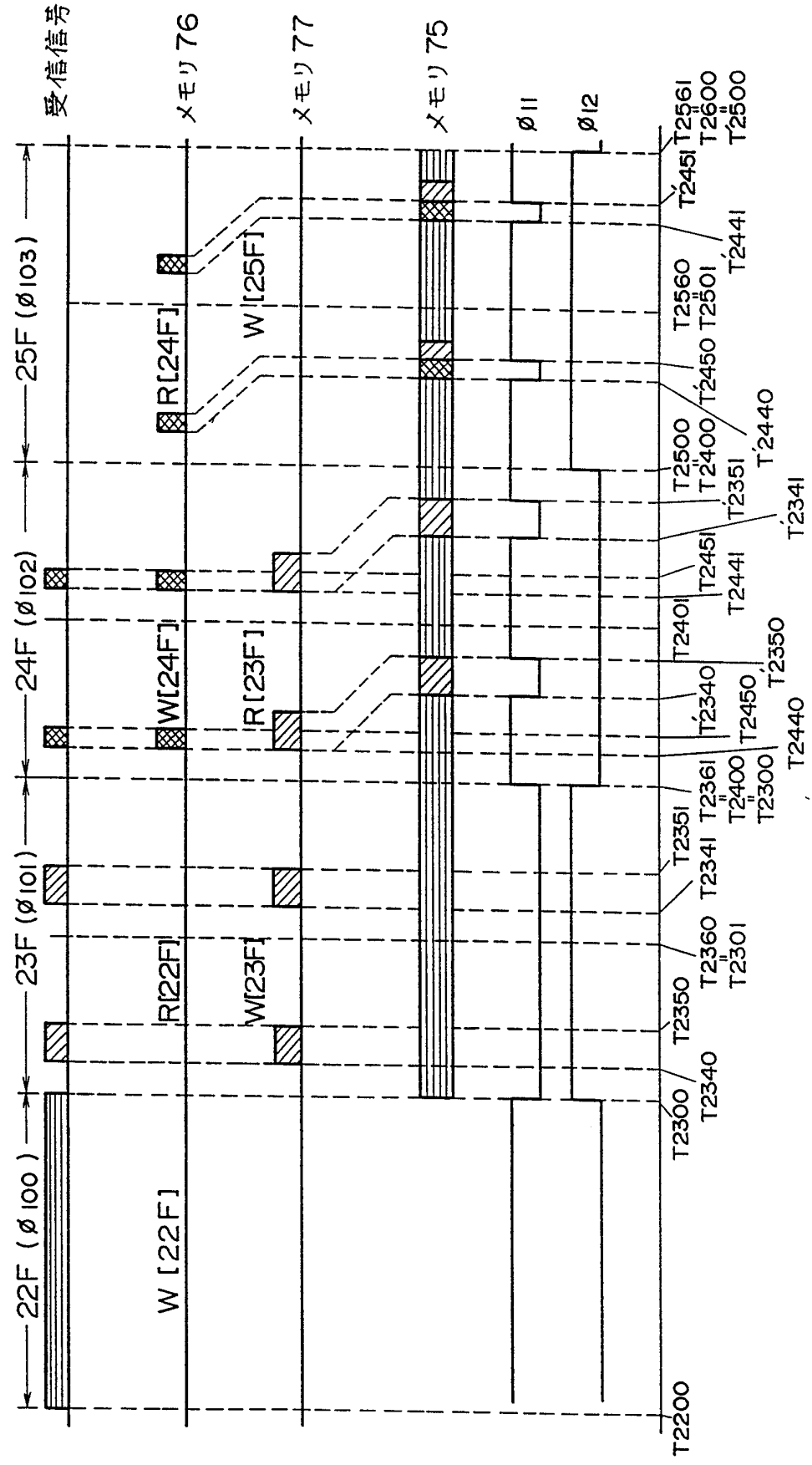
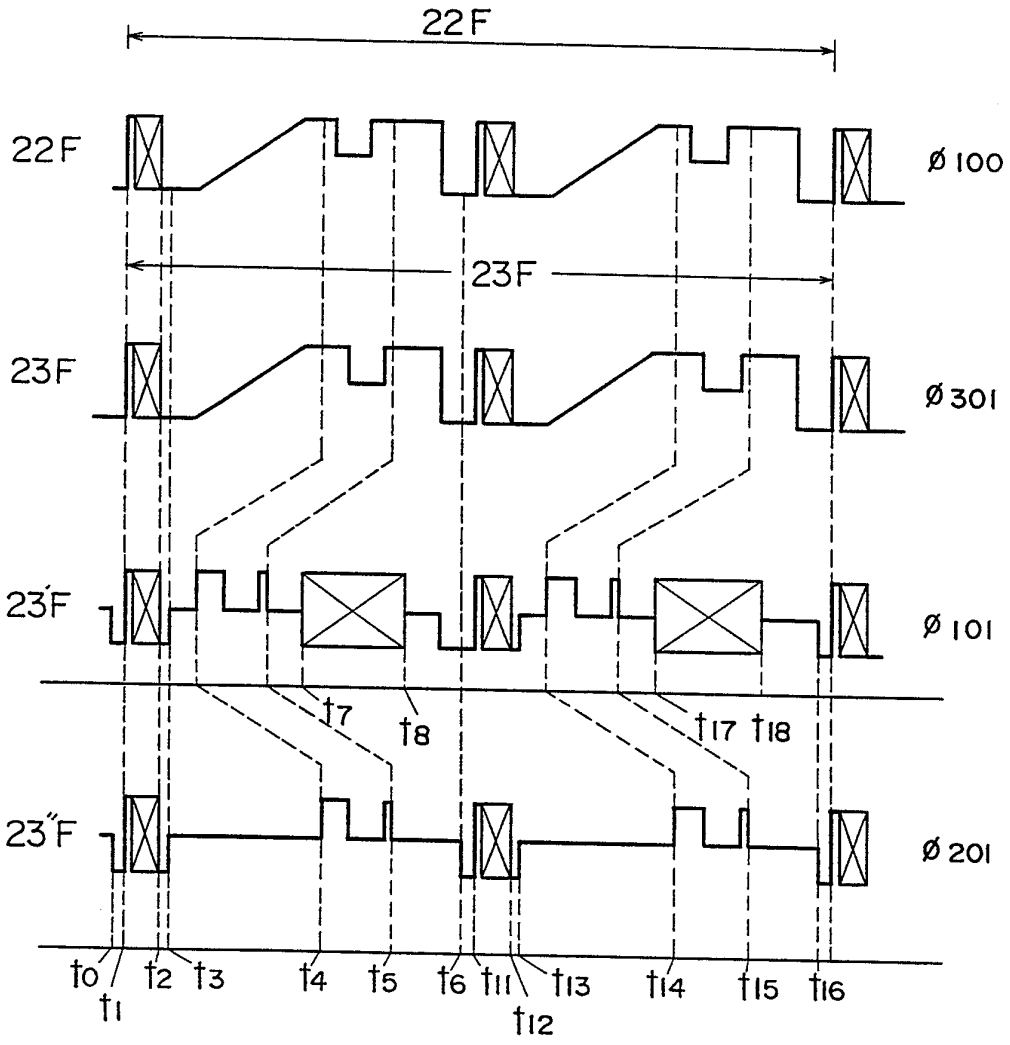

受信信号
メモリ76
メモリ77
メモリ75
Ø11
Ø12
22F (Ø100)
23F (Ø101)
24F (Ø102)
25F (Ø103)
W[22F]
R[22F]
W[23F]
W[24F]
R[23F]
R[24F]
W[25F]
T2200
T2300
T2340
T2350
T2360
T2301
T2351
T2341
T2361
T2400
T2300
T2440
T2450
T2340
T2350
T2401
T2441
T2451
T2341
T2351
T2400
T2500
T2440
T2450
T2501
T2560
T2441
T2451
T2561
T2600
T2500

FIG. 17

FIG.18


22F
22F
Ø100
23F
23F
Ø301
23'F
Ø101
23''F
Ø201
t0
t1
t2
t3
t4
t5
t6
t7
t8
t11
t12
t13
t14
t15
t16
t17
t18

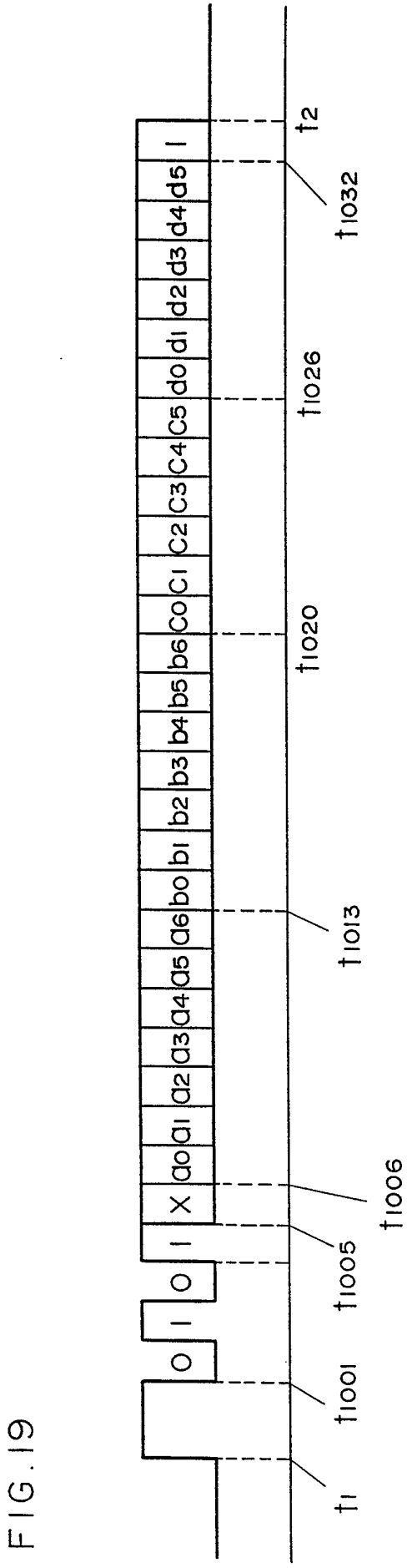

0
1
0
1
X
a0
a1
a2
a3
a4
a5
a6
b0
b1
b2
b3
b4
b5
b6
c0
c1
c2
c3
c4
c5
d0
d1
d2
d3
d4
d5
1
t1
t1001
t1005
t1006
t1013
t1020
t1026
t1032
t2

FIG. 19

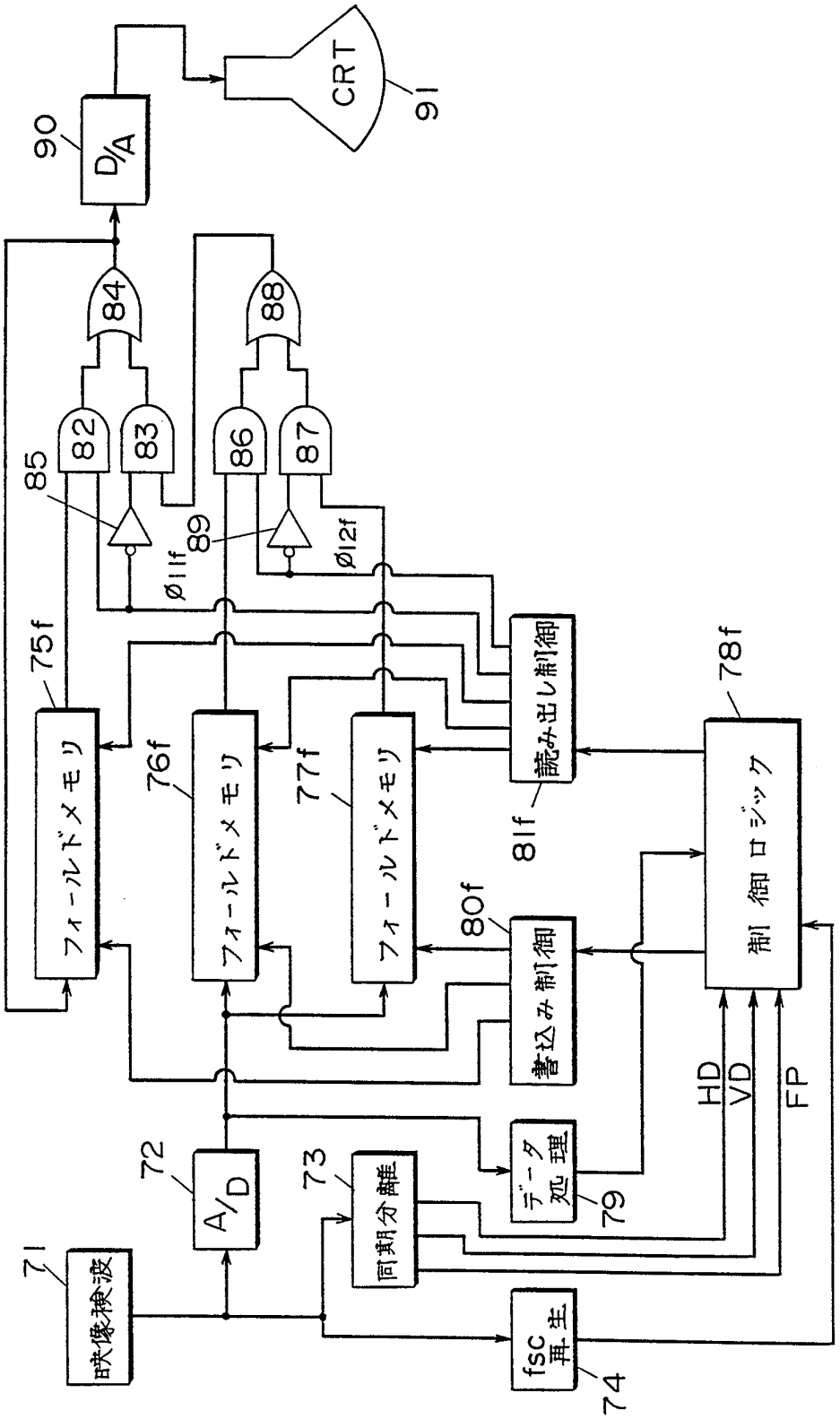

CRT
91
90
D/A
84
88
82
83
86
87
85
89
ø11f
ø12f
75f
76f
77f
フィールドメモリ
フィールドメモリ
フィールドメモリ
読み出し制御
81f
78f
書込み制御
80f
制御ロジック
HD
VD
FP
データ処理
79
72
A/D
73
同期分離
71
映像検波
fsc再生
74

FIG. 20

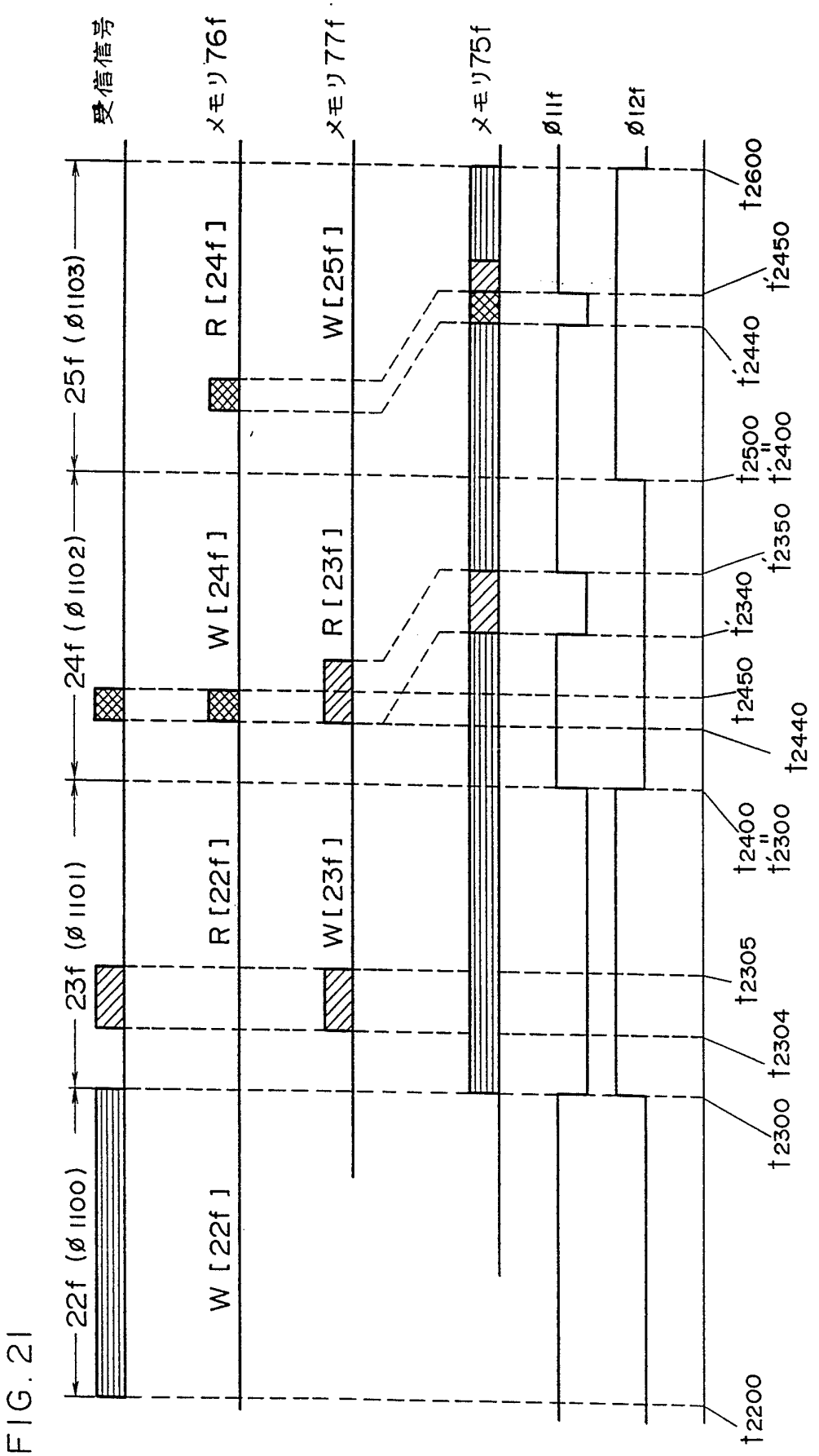
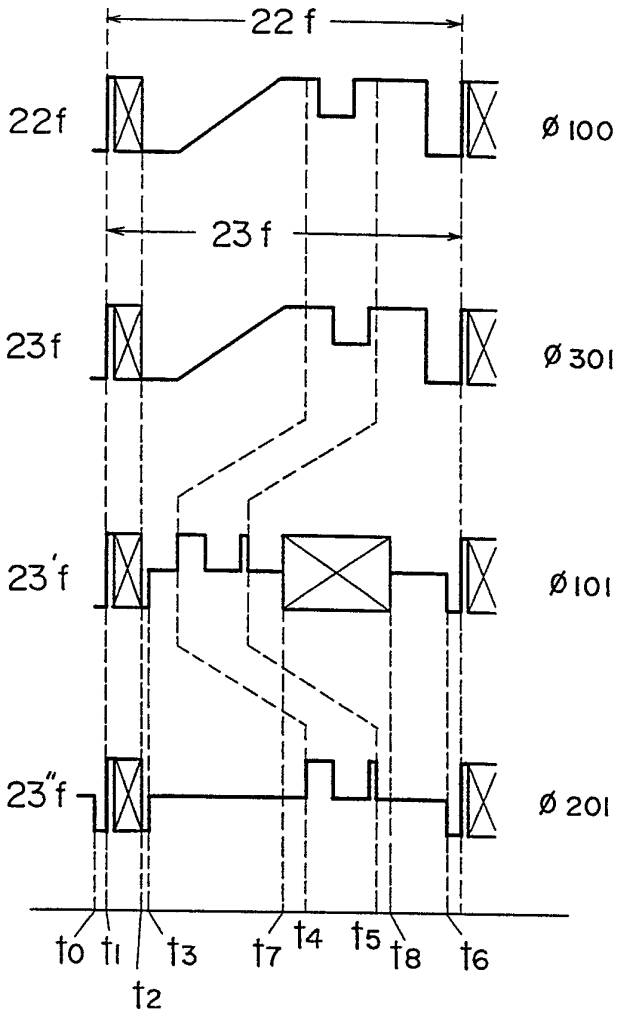

受信信号
メモリ76f
メモリ77f
メモリ75f
Ø11f
Ø12f
22f (Ø1100)
23f (Ø1101)
24f (Ø1102)
25f (Ø1103)
W[22f]
R[22f]
W[23f]
R[23f]
W[24f]
R[24f]
W[25f]
t2200
t2300
t2304
t2305
t2400
t'2300
t2440
t2450
t'2340
t'2350
t2500
t'2400
t2440
t'2450
t2600

FIG. 21

FIG. 22


22f
22f
Ø100
23f
23f
Ø301
23'f
Ø101
23"f
Ø201
t0
t1
t2
t3
t7
t4
t5
t8
t6

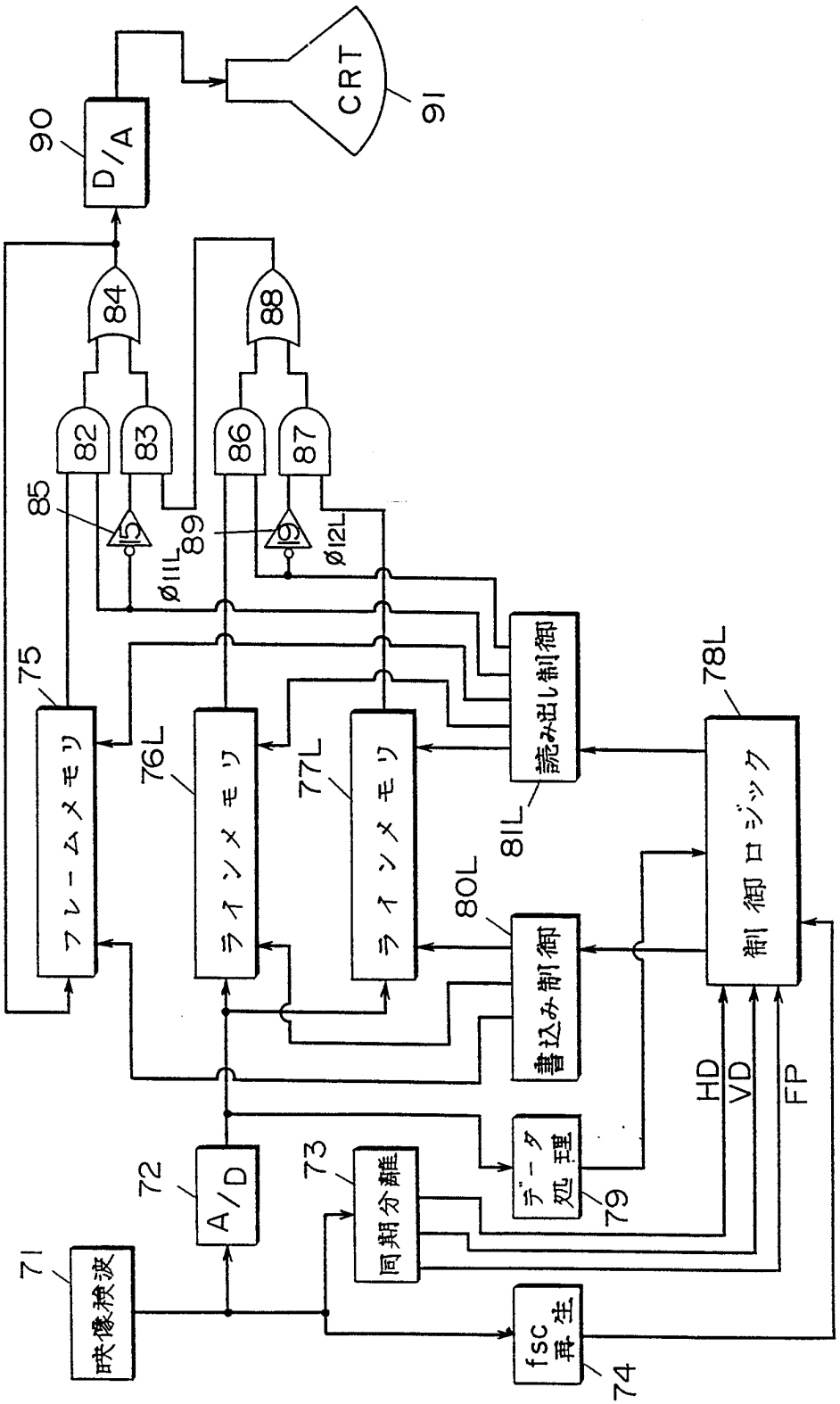

映像検波
71
A/D
72
同期分離
73
fsc 再生
74
フレームメモリ
75
ラインメモリ
76L
ラインメモリ
77L
データ処理
79
書込み制御
80L
読み出し制御
81L
制御ロジック
78L
HD
VD
FP
82
83
84
85
86
87
88
89
ø11L
ø12L
D/A
90
CRT
91

FIG.23

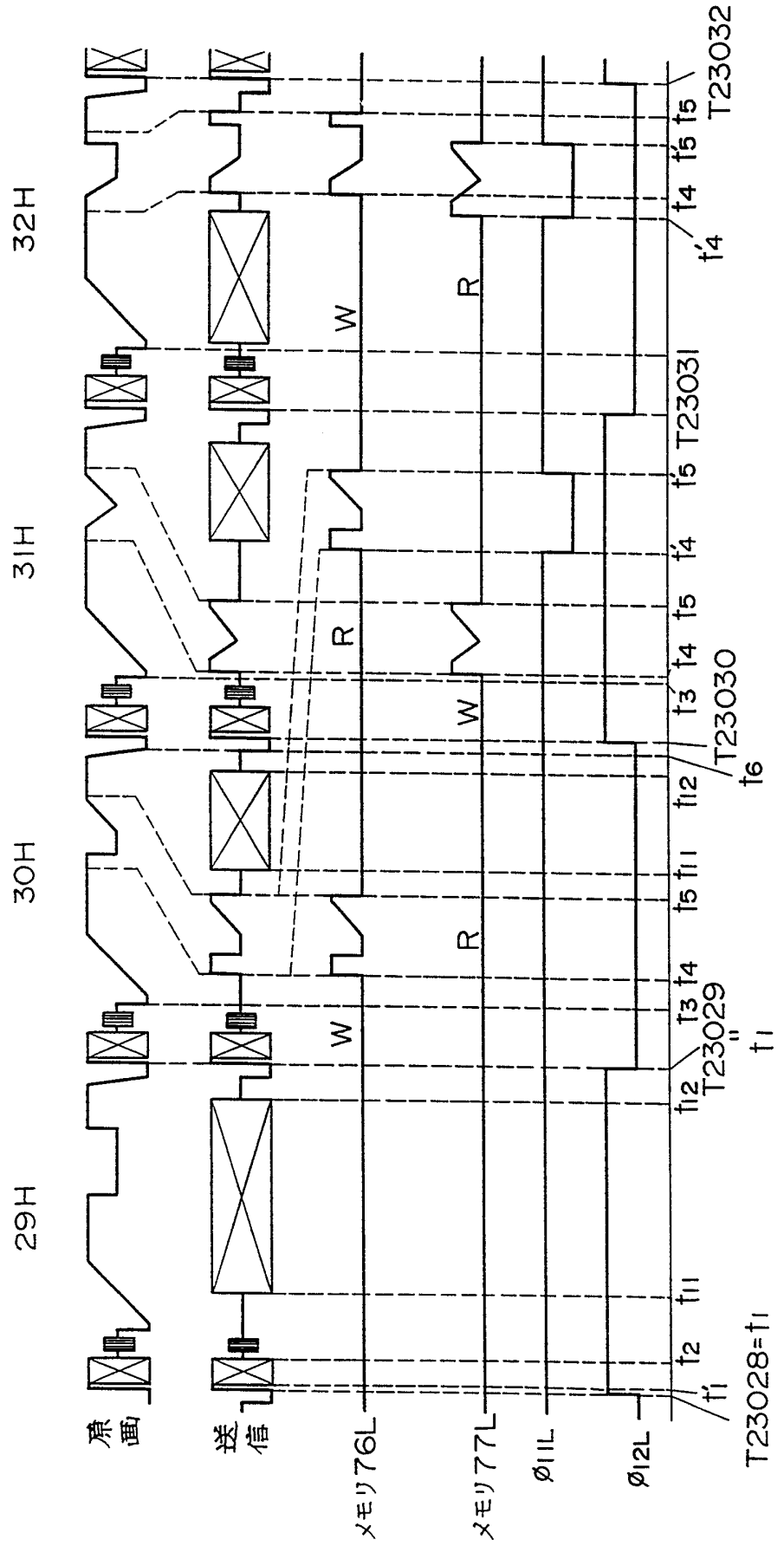
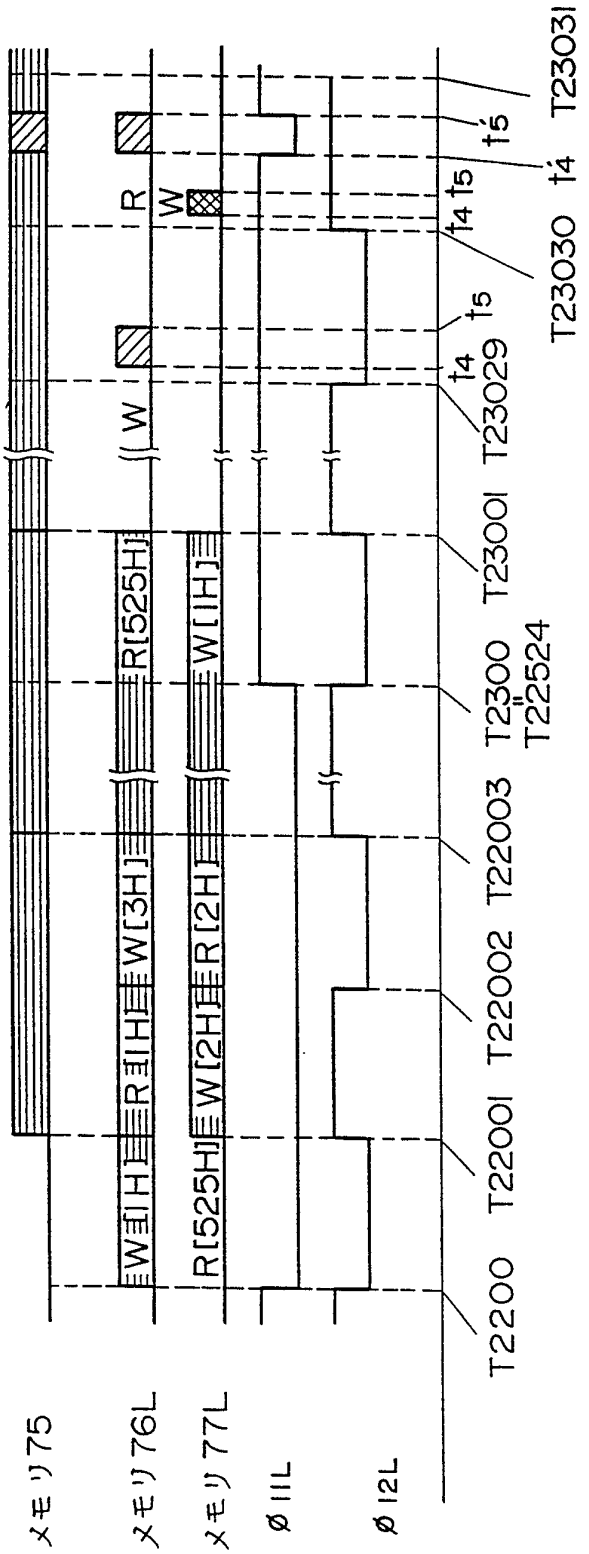

29H
30H
31H
32H
原画
送信
メモリ76L
メモリ77L
Ø11L
Ø12L
W
R
T23028=t1
T23029
T23030
T23031
T23032
t1
t2
t3
t4
t5
t6
t11
t12
t'1
t'4
t'5

FIG.24

FIG.25


メモリ75
メモリ76L
メモリ77L
Ø11L
Ø12L
W[1H]
R[1H]
W[3H]
R[525H]
W
R
W
R[525H]
W[2H]
R[2H]
W[1H]
T2200
T22001
T22002
T22003
T2300
T22524
T23001
T23029
T23030
T23031
t4
t5
t4
t5
t4
t5

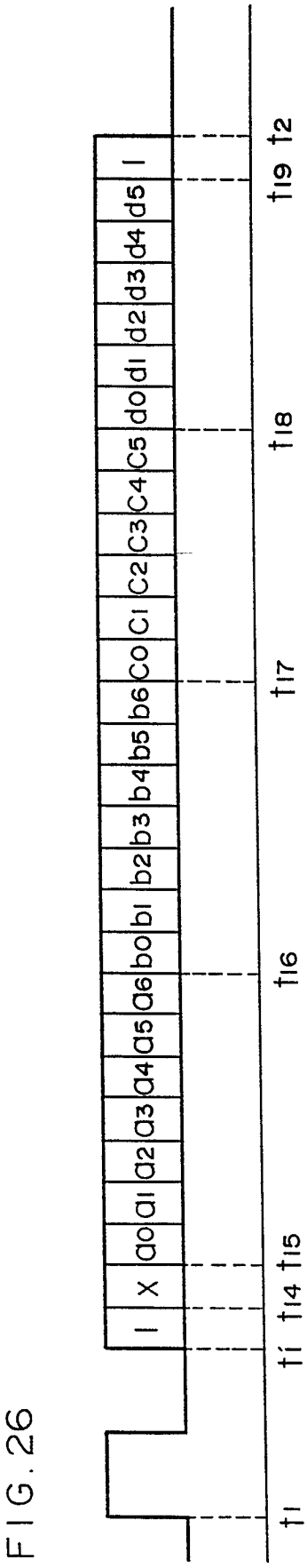

t1
t1
t14
t15
t16
t17
t18
t19
t2
1
X
a0
a1
a2
a3
a4
a5
a6
b0
b1
b2
b3
b4
b5
b6
C0
C1
C2
C3
C4
C5
d0
d1
d2
d3
d4
d5
1

FIG. 26

FIG.27

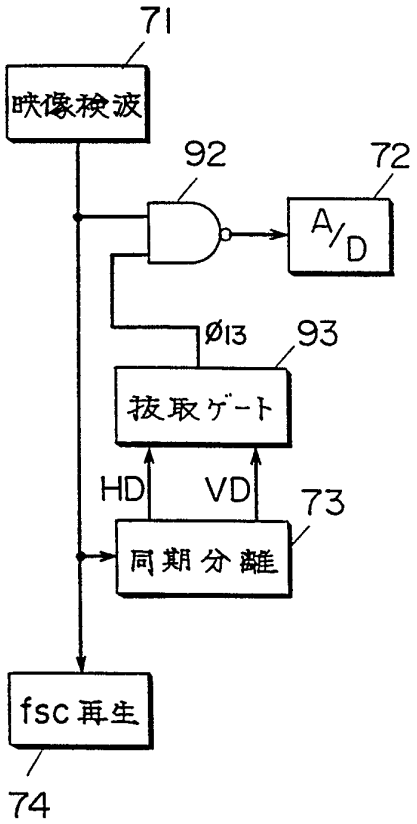
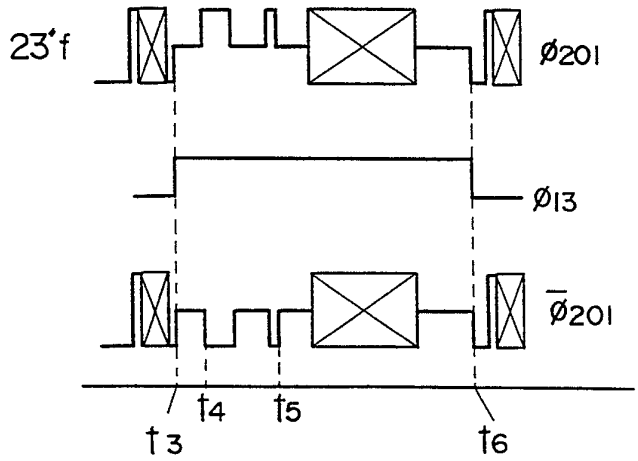

71
映像検波
92
72
A/D
Ø13
93
抜取ゲート
HD
VD
73
同期分離
fsc再生
74

FIG.28


23'f
Ø201
Ø13
Ø̄201
t3
t4
t5
t6

・ 図面の参照符号の一覧表

1，51……信号源

2……同期再生回路

3，25，26，27，57，60，60a，60b，76L，77L……ラインメモリ、

4，54a，56……比較器

5……タイミング制御回路

6……コード信号形成回路

7a，7b……バッファメモリ

8，9A，9B，32，33，36，37，82，83，86，87……ANDゲート

10，11，34，38，84，88……ORゲート

21，71……映像検波回路

22，52，72……A／D変換器

23，59，54b，73……同期分離回路

24，74……f_{sc}再生回路

28，58，54c，78，78L……制御ロジック

29，79……データ処理回路

30，80，80L……書込み制御回路

31，81，81L……読み出し制御回路

40，61，90……D／A変換器

41，91……陰極線管

53，55，55a，55b，75，76，77……フレームメモリ

54……CPU・比較器

・ ５５ｃ，６０ｃ……セレクタ

７５ｆ，７６ｆ，７７ｆ……フィールドメモリ

９２……ＮＡＮＤゲート

９３……抜取りゲート回路

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP89/01057

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) [6]

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl[4] H04N7/12

II. FIELDS SEARCHED

Minimum Documentation Searched [7]

Classification System	Classification Symbols
IPC	H04N7/12 - 7/137, H04N1/417

Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched [8]

Jitsuyo Shinan Koho 1971 - 1989
Kokai Jitsuyo Shinan Koho 1971 - 1989

III. DOCUMENTS CONSIDERED TO BE RELEVANT [9]

Category *	Citation of Document, [11] with indication, where appropriate, of the relevant passages [12]	Relevant to Claim No. [13]
Y	JP, A, 49-36212 (Ricoh Co., Ltd.) 4 April 1974 (04. 04. 74) Fig. 7 and the explanation (Family : none)	1, 2
Y	JP, A, 61-74486 (Fujitsu Ltd.) 16 April 1986 (16. 04. 86) P.2, upper left column, line 2 to lower right column, line 1 (Family : none)	1, 2

* Special categories of cited documents: [10]

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report
November 15, 1989 (15. 11. 89)	December 4, 1989 (04. 12. 89)
International Searching Authority	**Signature of Authorized Officer**
Japanese Patent Office	

国際調査報告

国際出願番号PCT/JP89/01057

I. 発明の属する分野の分類

国際特許分類（IPC） Int. Cl⁴
H04N7/12

II. 国際調査を行った分野

調査を行った最小限資料

分類体系	分類記号
IPC	H04N7/12-7/137, H04N1/417

最小限資料以外の資料で調査を行ったもの

日本国実用新案公報　1971-1989年
日本国公開実用新案公報　1971-1989年

III. 関連する技術に関する文献

引用文献のカテゴリー※	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, A, 49-36212（株式会社　リコー） 4. 4月. 1974（04. 04. 74） 主に第7図およびそれに関する説明（ファミリーなし）	1, 2
Y	JP, A, 61-74486（富士通株式会社） 16. 4月. 1986（16. 04. 86） P.2, 左上欄, 第2行－右下欄, 第1行 （ファミリーなし）	1, 2

※引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリーの文献

IV. 認証

国際調査を完了した日	国際調査報告の発送日
15. 11. 89	04.12.89

国際調査機関	権限のある職員
日本国特許庁（ISA/JP）	特許庁審査官　藤原英夫　㊞　5C 6957