

公告本

申請日期	89. 7. 25
案 號	89114802
類 別	14011 2/28

A4
C4

451325

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有自行對準金屬矽化物組成單位之單幕式唯讀記憶體之製造方法
	英 文	
二、發明 人	姓 名	蕭建銘
	國 籍	中華民國
	住、居所	南投縣南投市光榮北路五街 39 號
三、申請人	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新三路四號
	代 表 人 姓 名	焦佑鈞

451325

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , ☒有 ☐無主張優先權
美國 2000/3/15 09/526,694

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(|)

本發明是有關於一種半導體記憶體元件以及半導體記憶體元件之製造方法，且特別是有關於一種高密度罩幕式可程式唯讀記憶體以及利用自行對準金屬矽化物製程，以製造高密度罩幕式可程式唯讀記憶體的方法

唯讀記憶體元件係一種半導體積體電路，而此半導體積體電路廣泛應用於以微處理器為主之系統中。此唯讀記憶體元件係用來永久儲存資料，甚至在電源中斷時，資料亦不被刪除。唯讀記憶體元件特別適合於許多需要相同資料之元件或儲存需要重複使用的資料。其中一個應用範例即為個人電腦之基本輸入輸出系統。唯讀記憶體元件是以主動元件之陣列方式來儲存二位元訊號，而在製造過程中積體電路製造商係依顧客要求之規格來程序化此主動元件之陣列。

傳統的罩幕式唯讀記憶體包括反或閘式與反及閘式。反或閘式唯讀記憶體是將複數個記憶體電晶體之源極與汲極，分別以平行的方式連接。然而反及閘式唯讀記憶體是將複數個記憶體電晶體之源極與汲極，以串聯的方式連接。

請參照第 1 圖至第 3 圖，其所繪示為習知一種平記憶胞 (flat-cell) 之罩幕式唯讀記憶體之示意圖。首先提供一具有 P 型摻質之半導體矽基底。埋入式位元線 11 係以 N 型摻質植入具有複數個互相平行之細長條區域之基底中而形成之，而此埋入式位元線 11 構成源極/汲極區域。其次，在基底 10 上形成一層閘極氧化層 12，而此閘極氧化

五、發明說明 (2)

層 12 例如是以熱氧化法形成之氧化矽層。然後閘極 13 係以垂直的方向橫跨在埋入式位元線 11 之上，而此閘極 13 構成字元線，以用於罩幕式唯讀記憶體元件之記憶陣列中。習知編碼之製程係在基底 10 上覆蓋一層圖案化之光阻層 14，並暴露出複數個編碼區開口 (coding openings) 15。然後在選擇之記憶胞所暴露出之通道區域中植入摻質，藉以進行程式化步驟。

記憶胞電晶體之通道區域位於每二條相鄰位元線之間且位於字元線之下的基底中。記憶胞電晶體是以阻斷 (blocking) 或導通 (conducting) 的方式來編碼。「1」或「0」資料位元可視為二種狀態之一。若以 P 型摻質植入記憶胞，則記憶胞具有高的啓始電壓，而使得記憶胞永遠處於「關」的狀態，例如為存入二位元數字「0」。若未將摻質植入記憶胞，則記憶胞具有低的啓始電壓，而使得記憶胞處於「開」的狀態，例如為存入二位元數字「1」。

因此，當半導體元件製造廠商力求改進性能與降低成本時，唯讀記憶體元件的尺寸越來越小，而唯讀記憶體元件的密度也隨著越來越高。然而由於元件尺寸縮小，線寬隨著減少，使得習知唯讀記憶體元件中之字元線與位元線的電阻增高。因而不利於唯讀記憶體元件之操作速度。

解決上述問題的方法為利用耐高溫之金屬矽化物薄膜來降低字元線與位元線的電阻。相較於非金屬矽化物結構，在自行對準金屬矽化物 (SALICIDE) 之製程中，形成低阻值的源極接觸、閘極接觸以及汲極接觸，因而能降

五、發明說明（五）

低位元線與字元線之電阻。然而自行對準金屬矽化物之製程需要將額外的步驟併入製程中。

在美國專利第 5633187 號專利案中，蘇揭露自行對準金屬矽化物之製程，以降低唯讀記憶體中之位元線與字元線的電阻。然而蘇所揭露之製程需要形成二層矽化金屬層。蘇揭露在字元線上沉積一層矽化鎢層，然後在位元線上沉積矽化鈦層。

在美國專利第 5712203 號專利案中，蘇揭露另一種自行對準金屬矽化物之製程，以降低唯讀記憶體中之位元線的電阻。雖然此製程僅需形成一層金屬矽化層，但亦僅降低了位元線之電阻。

根據上述，半導體業者需要提供一種自行對準金屬矽化物之製程，使得此製程能容易地併入唯讀記憶體元件之製程中，並能同時降低位元線與字元線之電阻。

因此本發明提供一種罩幕式可程式唯讀記憶體之製造方法，包括在半導體基底上形成一層厚度大於約 1000 埃之氧化層。接著在此氧化層上形成一層第一罩幕層，且圖案化此第一罩幕層，以形成位元線。其次去除位元線區域之氧化層，以暴露出半導體基底。接著將導電摻質以離子植入法摻入暴露出之基底，而形成埋入式位元線區域。然後去除第一罩幕層，再形成第二罩幕層，隨後在第二罩幕層上形成編碼圖案，以形成編碼區開口，而此編碼區開口暴露出位元線之間的基底部分。接著去除第二罩幕層，並在編碼區開口內形成一層閘極氧化層。隨後在餘留之氧化

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

層、埋入式位元線區域以及閘極氧化層上沉積一層導電層，以形成複數個導電閘極結構，而這些導電閘極結構構成單幕式唯讀記憶體之字元線。隨後在基底上沉積一層耐高溫金屬，以在埋入式位元線與字元線上形成一層自行對準矽化金屬層。

另一較佳實施例，本發明提供一種唯讀記憶體元件，此唯讀記憶體元件包括複數個互相平行的位元線，其位於基底中；複數個字元線，其垂直於上述複數個位元線上；複數個記憶體胞，位於二相鄰位元線與部分字元線之交會處。一層矽化金屬層覆蓋著二相鄰字元線之間的位元線部分。

上述一般性描述與隨後之詳細描述僅作為範例而加以說明，以對本發明之申請專利範圍提供更進一步之說明。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉數個較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖所繪示為習知一種唯讀記憶體之上視示意圖；

第 2 圖所繪示為第 1 圖中沿 II-II 線之製造流程剖面圖；

第 3 圖所繪示為第 1 圖中沿 III-III 線之剖面示意圖；

第 4 圖所繪示為依照本發明之較佳實施例，一種單幕式唯讀記憶體的記憶體胞之上視示意圖；

第 5A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，

五、發明說明（七）

其所繪示為依照本發明在記憶胞區上形成一層厚氧化層與形成位元線圖案之步驟。第 5B 圖所繪示為第 4 圖中沿 B-B 線之剖面示意圖，可更說明此步驟；

第 6A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，其所繪示為蝕刻位元線區上之氧化層，並植入 N^+ 摻質，以形成埋入式位元線之步驟。第 6B 圖至第 6D 圖所繪示為第 4 圖中分別沿 B-B 線、C-C 線以及 D-D 線之剖面示意圖，可更說明此步驟；

第 7A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，其所繪示為形成編碼區圖案與蝕刻編碼區內之氧化層的步驟。第 7B 圖至第 7D 圖所繪示為第 4 圖中分別沿 B-B 線、C-C 線以及 D-D 線之剖面示意圖，可更說明此步驟；

第 8A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，其所繪示為形成閘極氧化層的步驟。第 8B 圖至第 8D 圖所繪示為第 4 圖中分別沿 B-B 線、C-C 線以及 D-D 線之剖面示意圖，可更說明此步驟；

第 9A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，其所繪示為沉積且圖案化多晶矽閘極的步驟。第 9B 圖至第 9D 圖所繪示為第 4 圖中分別沿 B-B 線、C-C 線以及 D-D 線之剖面示意圖，可更說明此步驟；

第 10A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，其所繪示為形成間隙壁的步驟。第 10B 圖至第 10D 圖所繪示為第 4 圖中分別沿 B-B 線、C-C 線以及 D-D 線之剖面示意圖，可更說明此步驟；以及

五、發明說明(6)

第 11A 圖所繪示為第 4 圖中沿 A-A 線之剖面示意圖，其所繪示為形成自行對準金屬矽化物層的步驟。第 11B 圖至第 11D 圖所繪示為第 4 圖中分別沿 B-B 線、C-C 線以及 D-D 線之剖面示意圖，可更說明此步驟。

圖式之標記說明：

- 10：矽基底
- 11：埋入式位元線
- 12：閘極氧化層
- 13：閘極
- 14：光阻層
- 15：編碼區開口
- 21：厚氧化層：
- 23：P 型矽半導體基底
- 25：第一光阻層
- 27：細長條形開口
- 29：位元線
- 31：第二光阻層
- 33：閘極氧化層
- 35：多晶矽
- 37：圖案化之厚氧化層
- 39：編碼區之閘極氧化層
- 41：編碼區開口
- 43：閘極
- 45：記憶胞

(請先閱讀背面之注意事項再填寫本頁)

○裝

訂

線

○

五、發明說明(7)

47：間隙壁

51：矽化金屬層

實施例

請詳細參照本發明之實施例，並配合所附之圖式。

請參照第 5A 圖與第 5B 圖，在 P 型矽半導體基底 23 上沉積一層厚度約至少 1000 埃之厚氧化層 (TOX) 21。厚氧化層之厚度約為厚度約 100 埃之閘極氧化層之十倍。若厚氧化層之厚度與閘極氧化層之厚度相差不大，則不易區分被程式化為「1」或「0」之資料位元。形成厚氧化層的方法，例如為熱生長或習知低壓氣相沉積法。依上述方法來形成厚氧化層，可避免橫向生長氧化層以及其後之“鳥嘴”外觀的形成。例如，在整個記憶體區上生長氧化層，因此“鳥嘴”僅生長在記憶體之邊緣。因此在記憶體區場氧化層可避免有“鳥嘴”之外觀。相似地，形成連續厚氧化層之方法，例如為低壓化學氣相沉積法，可完全避免“鳥嘴”外觀之形成。

接者，在厚氧化層 21 上塗佈光阻 25，隨後利用習知微影製程圖案化光阻層 25，以形成複數個互相平行的細長條形開口 27，以定義位元線 29，而此位元線可作為記憶體胞電晶體之源極/汲極區。

接者，請參照第 6A 圖至第 6D 圖以及第 7A 圖至第 7D 圖，進行蝕刻步驟，以去除在位元線區內之氧化層，並暴露出氧化層下之基底。其較佳的方法包括習知非等向性蝕刻法，例如為反應性離子蝕刻法。然後以光阻層為罩幕，

五、發明說明 (18)

進行 N^+ 摻質之離子植入步驟，而此 N^+ 型摻質例如為砷或磷。砷摻質之植入能量大約為 60 至 120KeV，而所使用的劑量約為 5×10^{14} 至 5×10^{15} ions/cm²。磷摻質之植入能量大約為 30 至 70KeV，而所使用的劑量約為 $5E14$ 至 $5E15$ ions/cm²。請參照第 6A 圖至第 6C 圖，以離子植入法在暴露出之基底中形成 N^+ 區域 29，以作為唯讀記憶體元件之埋入式位元線。

在去除第一光阻層之步驟後，形成圖案化之第二光阻層 31，並暴露出基底，而此暴露出之基底係作為記憶胞之通道區域。當字元線為高電壓時，電晶體是處於“開”的狀態。利用微影製程，以在光阻層中定義出編碼區開口 41，如第 7A 圖至第 7D 圖所示。編碼區開口可選擇性的暴露出基底之表面，而於後續製程中在暴露出之基底上形成薄閘極氧化層 33。然後去除第二光阻層。去除第一與第二光阻層之方法，例如為使用習知之溶劑來去除光阻層。然後利用習知之技術，以生長閘極氧化層，而其厚度由所使用的製程來決定。請參照第 8A 圖至第 8D 圖，其所繪示為形成閘極氧化層之剖面示意圖。請參照第 8A 圖，由於摻雜之矽層具有較快的氧化速率，而使得矽層具有較高的摻質密度。因此在位元線 N^+ 之閘極氧化層的厚度高於在通道上之閘極氧化層的厚度。

請參照第 9A 圖至第 9D 圖，在餘留之厚氧化層上與閘極氧化層上沉積一層毯覆式多晶矽層 35，以形成字元線結構。沉積多晶矽層之方法例如為低壓化學氣相沉積法或

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

其他習知之方法，而沉積之厚度約為 2000 埃至 4000 埃。利用微影與蝕刻製程，以形成複數個閘極 43，而此複數個閘極電極 43 構成字元線，其中字元線用於單幕式唯讀記憶體元件之記憶體陣列中。

請參照第 10A 圖至第 10D 圖，形成間隙壁 47，以保護閘極側壁，避免在閘極側壁上形成矽化金屬層。首先沉積一層絕緣層（圖中未示出），再進行非等向性蝕刻步驟，以形成間隙壁 47。絕緣層之材質，例如為二氧化矽，其沉積之厚度約為 1000 埃至 2000 埃。然後對絕緣層進行回蝕刻步驟，而回蝕刻法，例如為反應性離子蝕刻法。

接者，請參照第 11A 圖至第 11D 圖，進行自行對準金屬矽化物製程，一層薄的耐高溫金屬層，例如為鈦，其沉積之厚度約為 300 埃至 400 埃。隨後在氮氣之環境下，在溫度攝氏 600 度至 900 度之間進行熱處理製程。鈦與位元線、多晶矽層直接接觸的部分，形成金屬矽化物 51。以鈦層為例，形成矽化鈦 (TiSi_2) 層。在其餘之區域，鈦與其反應生成氮化鈦 (TiN) 或氮氧化鈦 (TiO_xN_y)。然後以熱硫酸溶液來進行選擇性蝕刻，熱硫酸溶液對未參與反應的金屬鈦、氮化鈦 (TiN) 以及氮氧化鈦 (TiO_xN_y) 的蝕刻速率快於矽化鈦 (TiSi_2) 之蝕刻速率。利用上述自行對準金屬矽化物製程，在唯讀記憶體之字元線上與部分埋入式位元線上形成矽化金屬層 51，而且僅需沉積一層耐高溫之金屬層。

請參照第 4 圖與第 11D 圖，唯讀記憶體元件中之記憶

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (10)

胞 45 位於字元線與二條相鄰位元線之交會處。由於在通道區域上形成有圖案化之厚氧化層 37，因此關閉狀態之記憶胞具有高的啓始電壓。不論字元線電壓高或低，記憶胞一直維持在關閉狀態。然而具有編碼區開口之記憶胞，由於編碼區開口內之閘極氧化層 39 具有正常厚度 (normal thickness)，當字元線處於高電壓狀態時，具有正常厚度之閘極氧化層的記憶胞能設定在導通的狀態。依照本發明之原則，唯讀記憶體元件在字元線與部分位元線上形成有矽化金屬層。由於只需單一步驟來沉積矽化金屬層，因此可容易地將此沉積步驟併入製程中。而矽化金屬層能降低字元線與位元線之電阻，以致能加快記憶胞的操作速度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可在唯讀記憶體元件之製造方法中作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

具有自行對準金屬矽化物組成單位之
罩幕式唯讀記憶體之製造方法

一種高密度罩幕式唯讀記憶體元件以及利用自行對準金屬矽化物製程來製造高密度罩幕式唯讀記憶體元件之方法。此方法係包括埋入式位元線 N+、可形成非可程式記憶胞的厚氧化層、已去除厚氧化層而可形成可程式記憶胞的薄閘極氧化層、作為字元線之多晶矽閘極結構以及沉積之單一金屬矽化層。因為只需沉積一層金屬矽化物，而簡化了製程。在上述之唯讀記憶體元件中之字元線與部分埋入式位元線上形成有矽化金屬層，而此矽化金屬層可降低位元線與字元線之間的電阻，因而可加快上述唯讀記憶體元件的記憶胞之操作速率。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1.一種具有自行對準金屬矽化物組成單位之罩幕式可程式唯讀記憶體的製造方法，該方法包括下列步驟：

形成具有厚度大於約 1000 埃之一氧化層於一半導體基底上；

形成一第一罩幕層在該氧化層上，並圖案化該第一罩幕層，以形成複數個位元線區域；

去除該些位元線區域內之該氧化層，以暴露出該半導體基底；

進行一離子植入步驟，將複數個導電之摻質植入暴露出之該半導體基底中，以形成複數條埋入式位元線；

去除該第一罩幕層，並形成一第二罩幕層；

形成一編碼圖案，以形成複數個編碼區開口，並暴露出相鄰二條位元線之間的該半導體基底部分；

去除該第二罩幕層；

生長一閘極氧化層於該些編碼區開口中；

沉積一層導電層於餘留之該氧化層、該埋入式位元線以及該閘極氧化層上；

形成複數個導電閘極結構，而該些導電閘極結構組成該罩幕式唯讀記憶體之複數條字元線；

形成絕緣間隙壁於該些閘極結構之側壁；以及

沉積一耐高溫金屬層，以形成一矽化金屬層於該些字元線與部分該些位元線上。

2.如申請專利範圍第 1 項所述之具有自行對準金屬矽化物組成單位之罩幕式可程式唯讀記憶體的製造方法，其

六、申請專利範圍

中形成間隙壁之步驟，更包括：

沉積一厚度約 1000 埃至 2000 埃之二氧化矽層；以及
使用反應性離子蝕刻法，進行回蝕刻步驟，以形成該
些間極結構之側壁。

3.如申請專利範圍第 1 項所述之具有自行對準金屬矽
化物組成單位之罩幕式可程式唯讀記憶體的製造方法，其
中形成該矽化金屬層之步驟，更包括：

沉積一厚度約 300 埃至 400 埃之鈦層；

從溫度攝氏 600 度至攝氏 900 度，進行熱處理製程，
以使得鈦與該些字元線上之多晶矽以及部分該些埋入式位
元線上之矽反應，而形成矽化鈦層；以及

去除未反應成矽化鈦層之鈦層部分。

4.如申請專利範圍第 1 項所述之具有自行對準金屬矽
化物組成單位之罩幕式可程式唯讀記憶體的製造方法，其
中該氧化層厚度約為該間極氧化層厚度的十倍。

5.如申請專利範圍第 1 項所述之具有自行對準金屬矽
化物組成單位之罩幕式可程式唯讀記憶體的製造方法，其
中進行一離子植入步驟，將該些導電之摻質植入暴露出之
該半導體基底中，以形成該些埋入式位元線，而該些導電
之摻質為 N⁺摻質。

6 一種唯讀記憶體元件之結構，包括：

複數條平行位元線，位於一基底中；

複數條字元線，垂直於該些平行位元線之上；

複數個記憶胞，每一記憶胞均位於二相鄰位元線與部

六、申請專利範圍

分字元線之交會處，以及

其中一矽化金屬層覆蓋著二相鄰字元線之間的該些平行位元線部分。

7.如申請專利範圍第 6 項所述之唯讀記憶體元件之結構，其中矽化金屬層覆蓋著字元線。

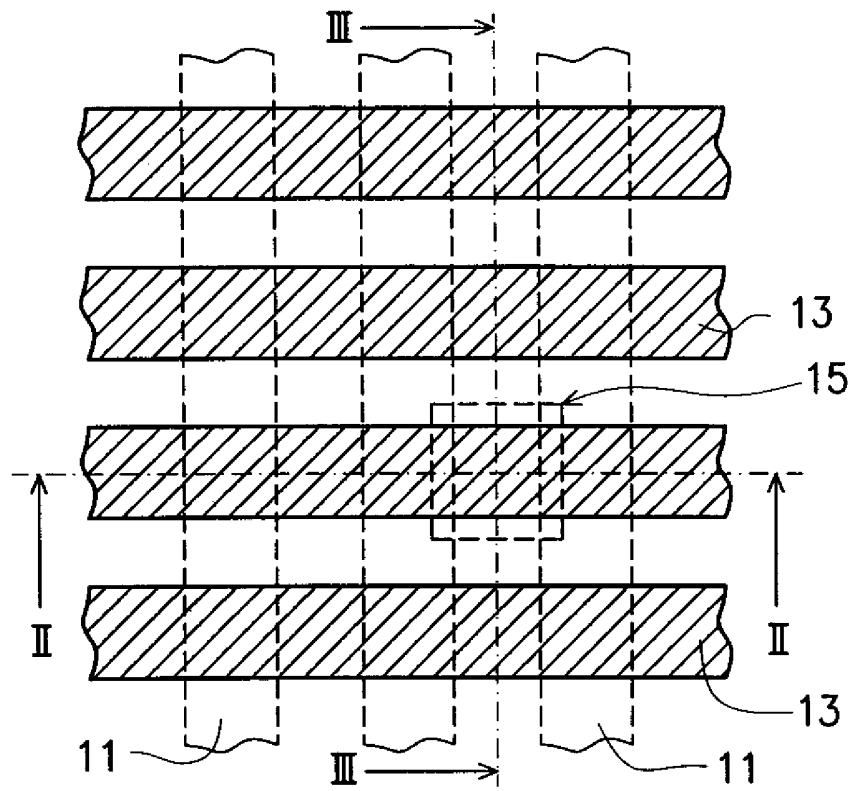
(請先閱讀背面之注意事項再填寫本頁)

○裝

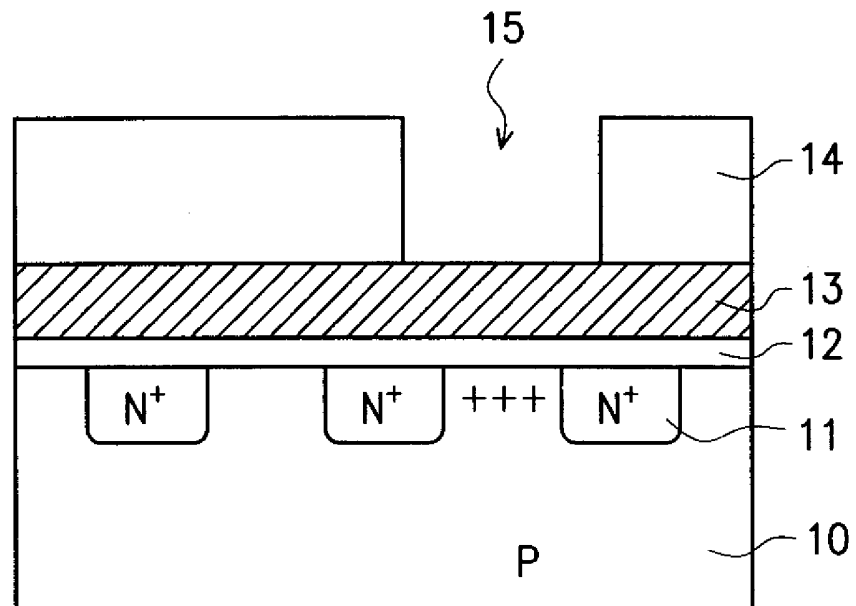
訂

線

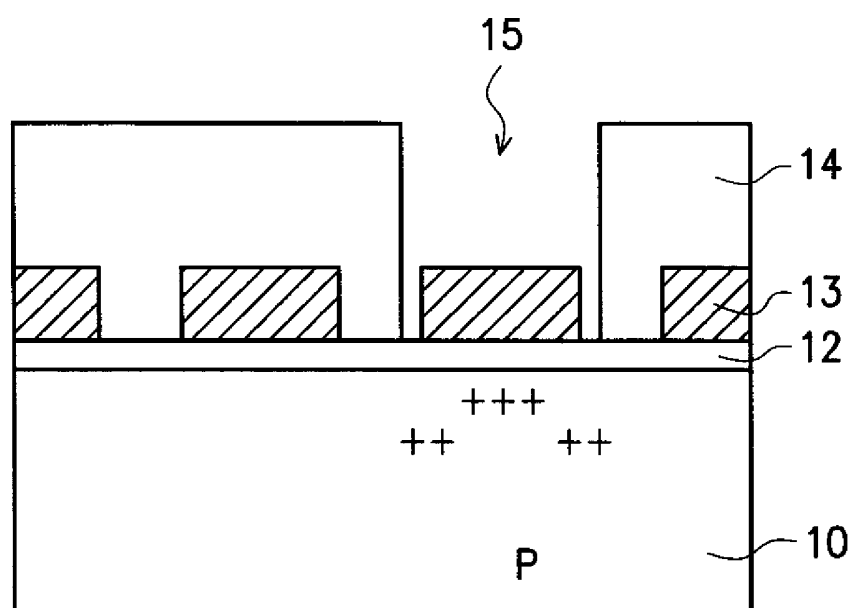
○



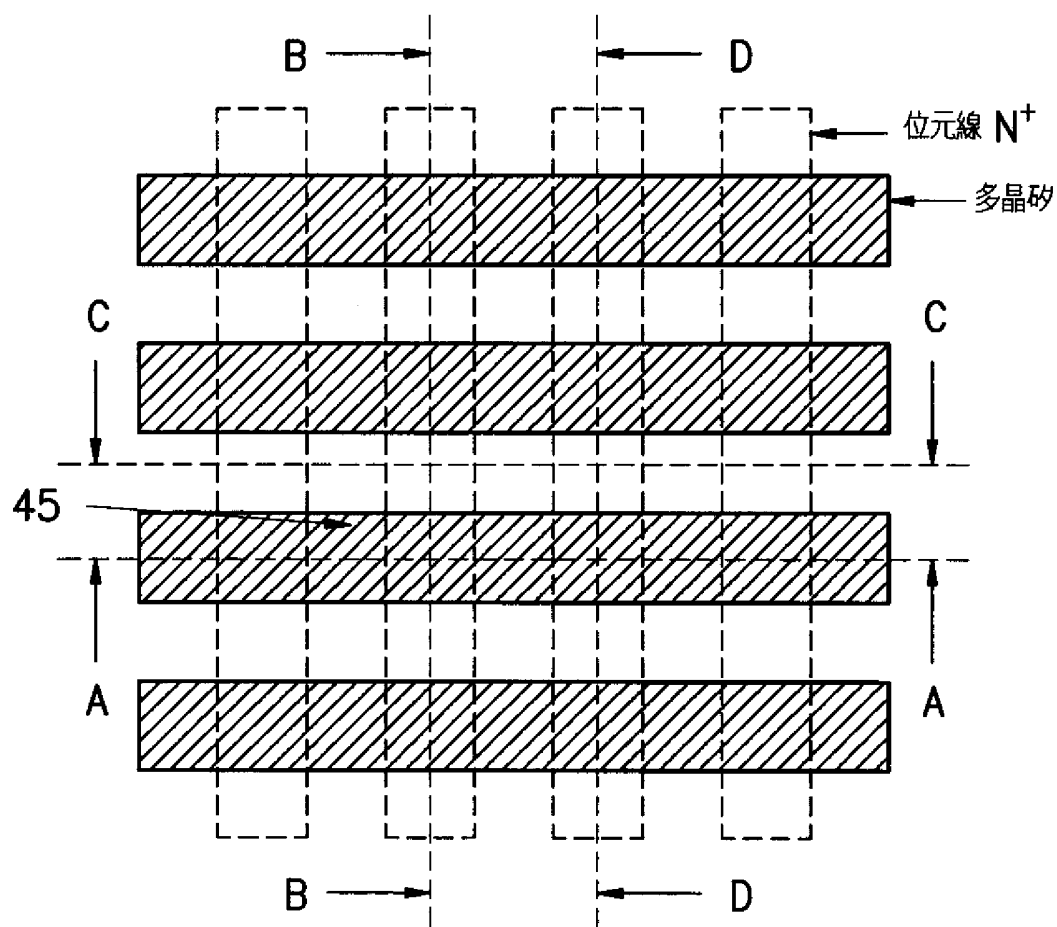
第 1 圖



第 2 圖

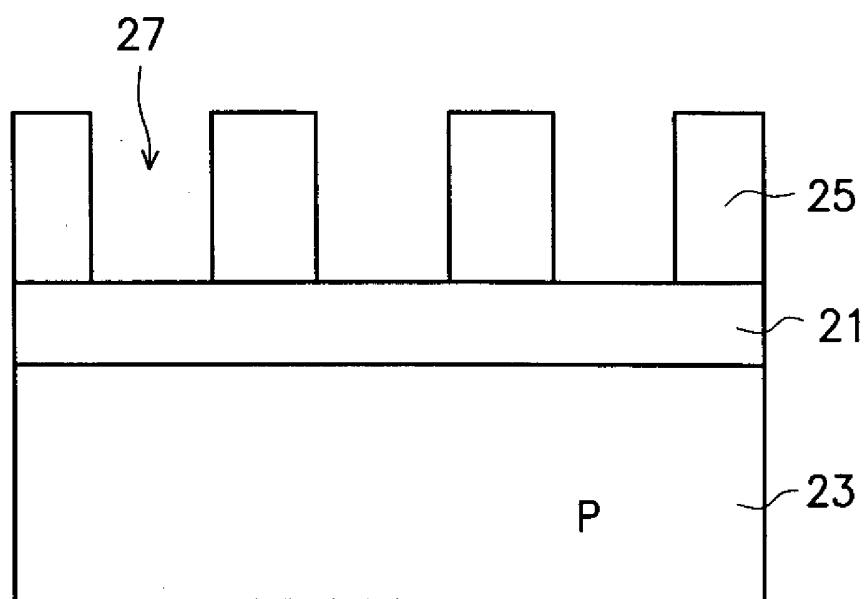


第 3 圖

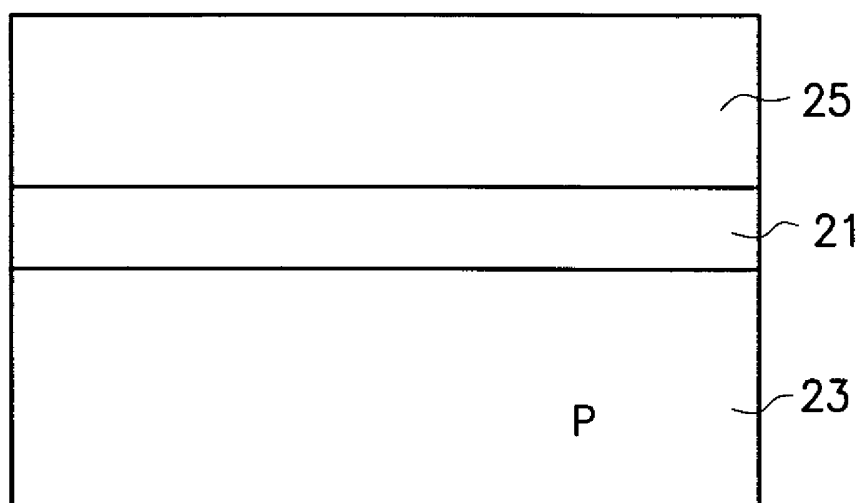


第 4 圖

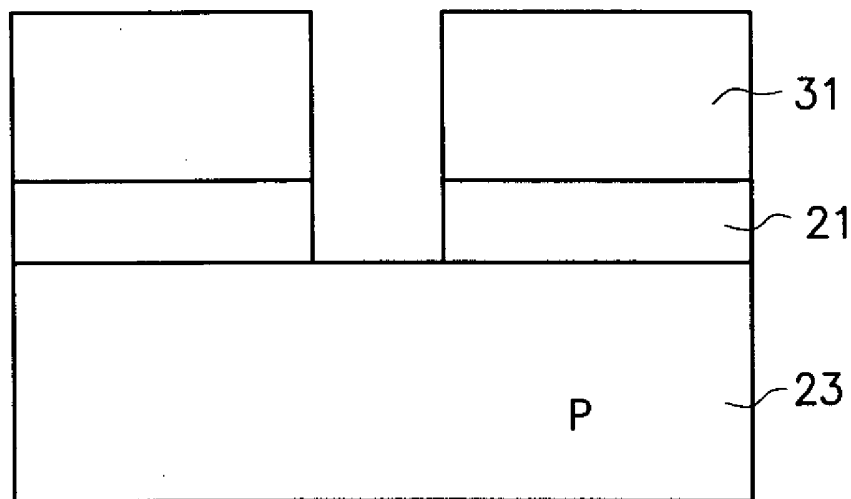
6152TW



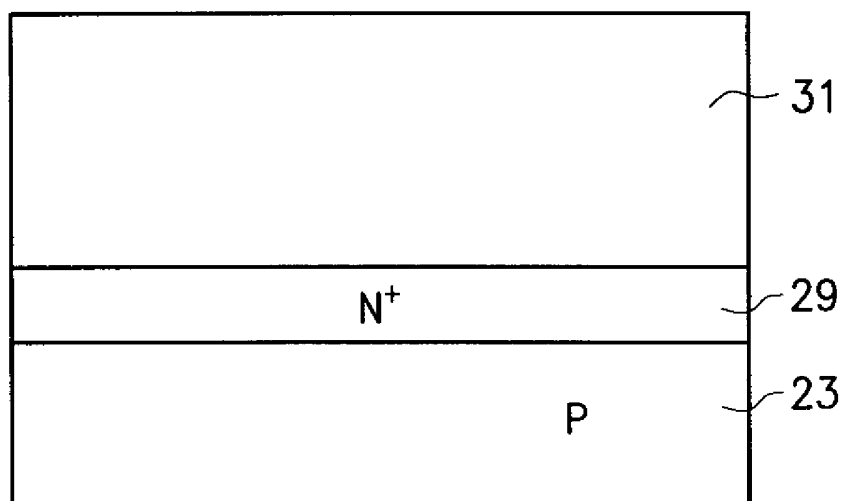
第5A圖



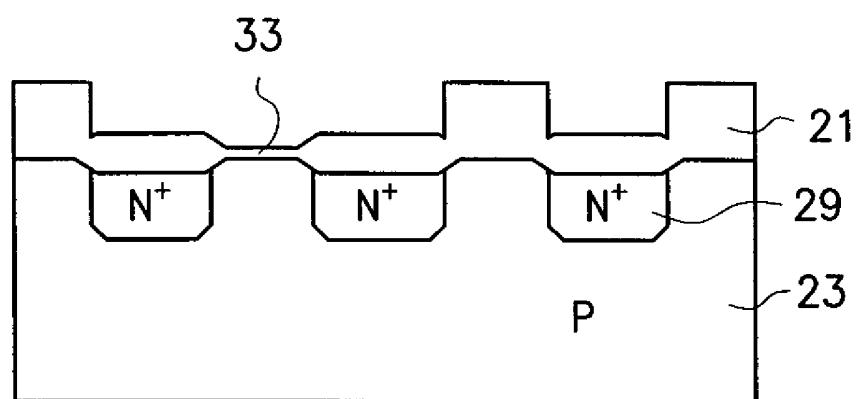
第5B圖



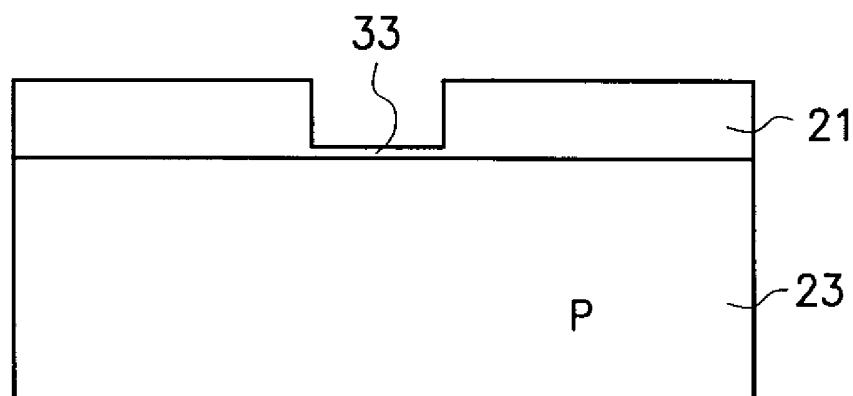
第 7C 圖



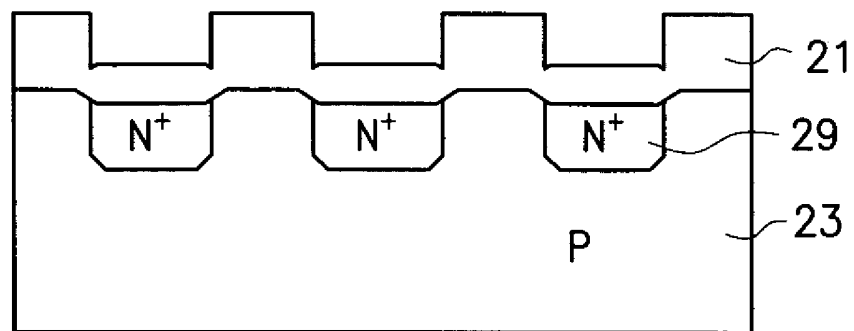
第 7D 圖



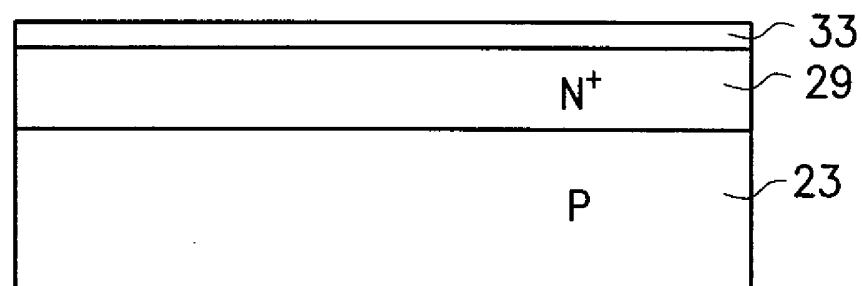
第8A圖



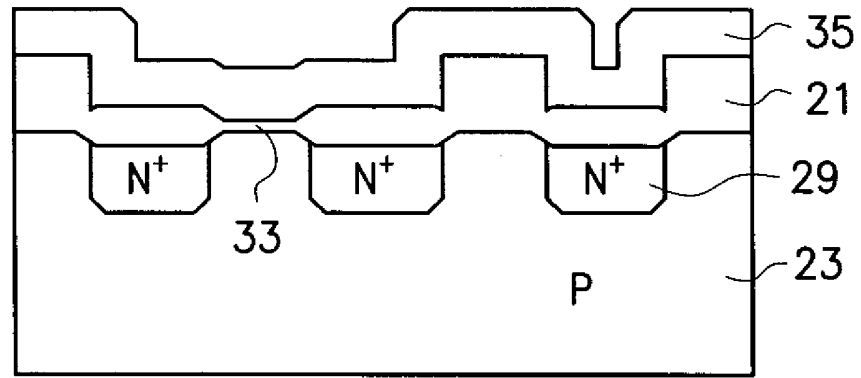
第8B圖



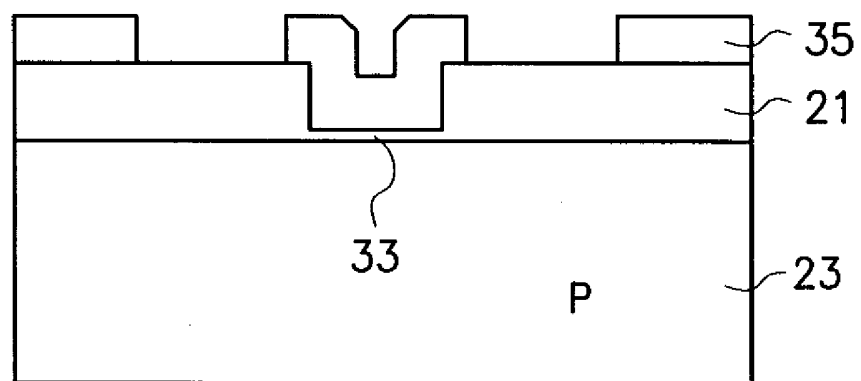
第8C圖



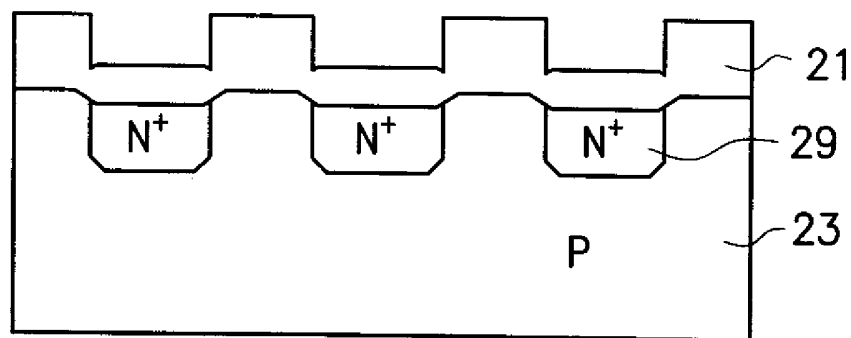
第8D圖



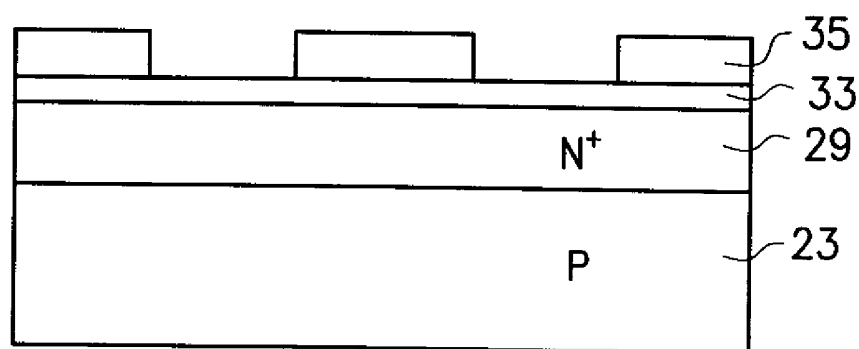
第9A圖



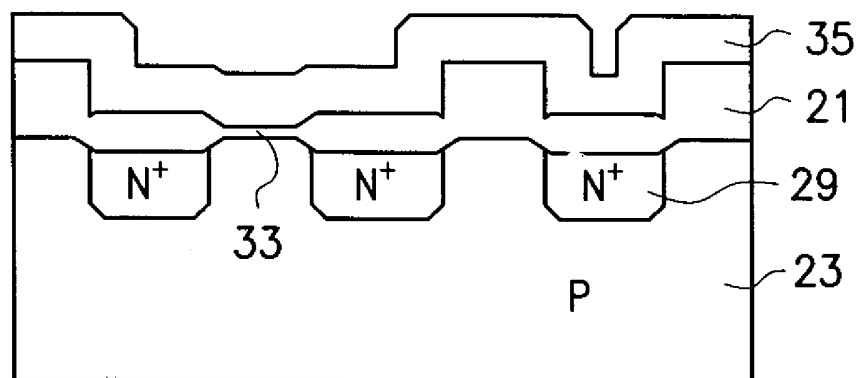
第9B圖



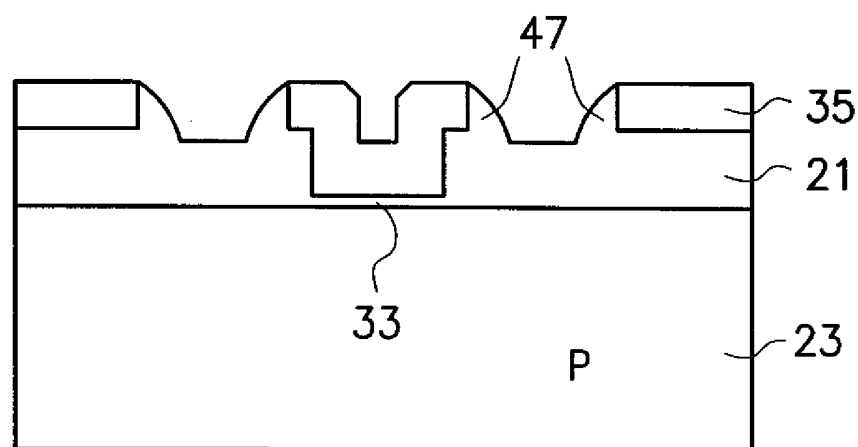
第9C圖



第9D圖

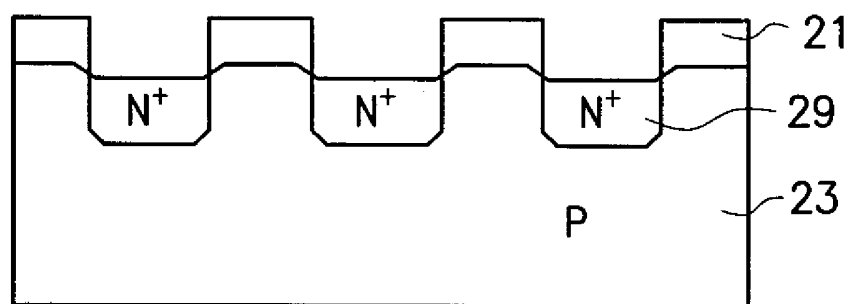


第10A圖

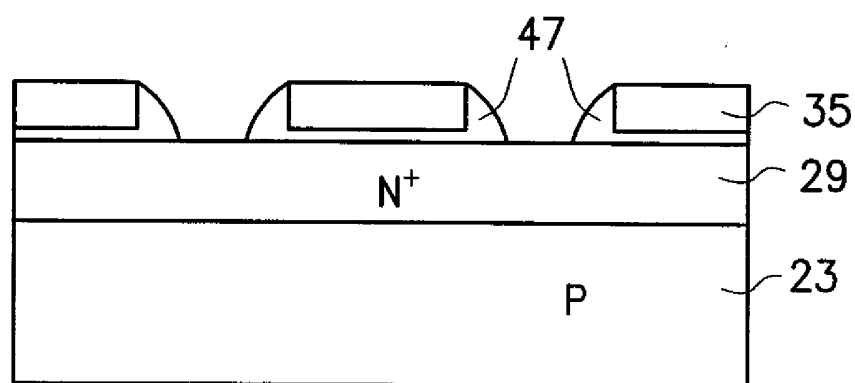


第10B圖

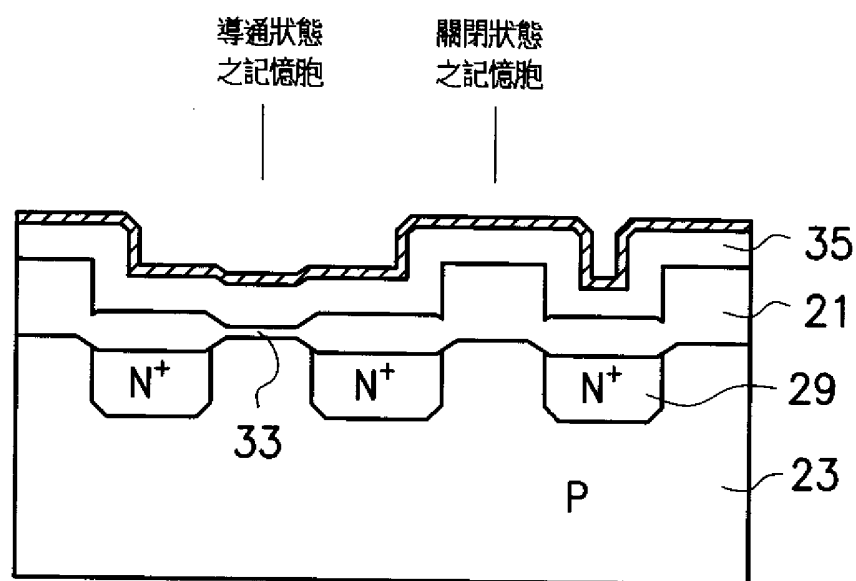
6152TW



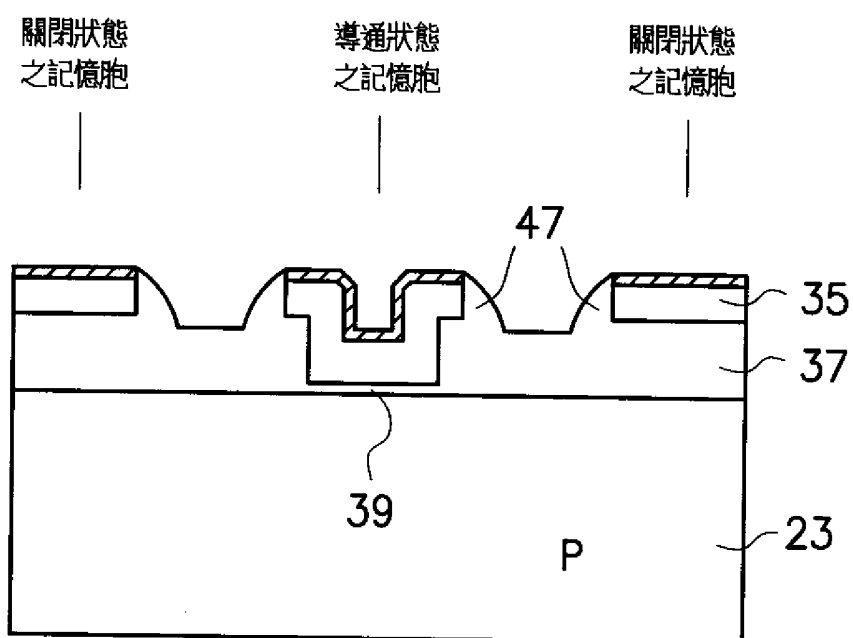
第10C圖



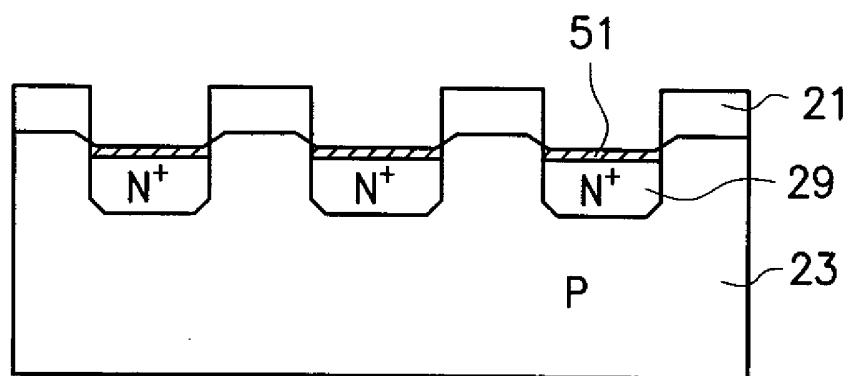
第10D圖



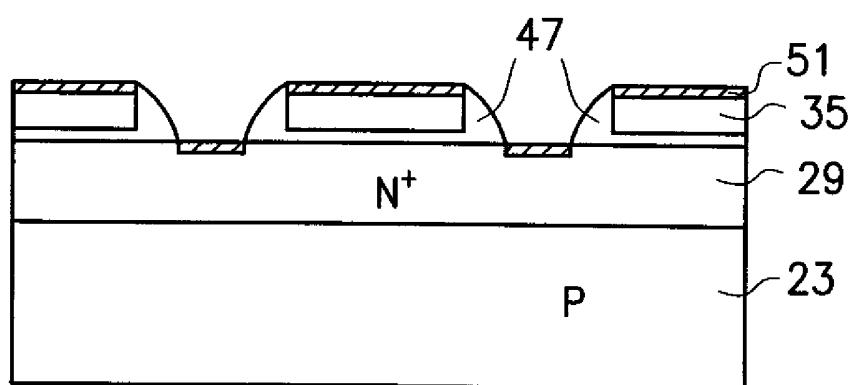
第11A圖



第11B圖



第11C圖



第11D圖