



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

230540

(11) (B1)

(22) Přihlášeno 22 07 82  
(21) (PV 5594-82)

(51) Int. Cl.<sup>3</sup>  
H 03 K 3/03

(40) Zveřejněno 30 12 83

(45) Vydáno 15 05 86

(75)  
Autor vynálezu

SCHMUCKER ANTONÍN ing., KARVINÁ

## (54) Zapojení blokovatelného astabilního klopného obvodu

Vynález se týká zapojení blokovatelného astabilního klopného obvodu, jenž se po uvolnění rozkmitá. Doposud známé blokovatelné astabilní klopné obvody, sestavené ze dvou hradel NAND, trpí nedostatkem, že se po uvolnění často nerozkmitají, což znamená poruchový stav.

Uvedená nevýhoda stávajícího stavu blokovatelného astabilního klopného obvodu se odstraní zapojením blokovatelného astabilního klopného obvodu podle vynálezu, zhotoveného ze dvou hradel NAND, dále ze třech kondenzátorů a třech odporů, jehož podstata spočívá v tom, že výstup prvního hradla NAND je přes první kondenzátor propojen s paralelně propojenými vstupy druhého hradla NAND a současně s výstupem astabilního klopného obvodu, kde vstupy druhého hradla NAND jsou přes odpor propojeny s potenciálem nula voltů, kde výstup druhého hradla NAND je přes druhý kondenzátor propojen se vstupem prvního hradla NAND, přičemž vstup prvního hradla NAND je přes odpor propojen s potenciálem nula voltů a dále přes odpor a sériově zapojený třetí kondenzátor s blokovacím vstupem téhož prvního hradla NAND, přičemž blokovací vstup prvního hradla NAND je propojen s řídicím vstupem astabilního klopného obvodu.

Výhodou zapojení blokovatelného astabilního klopného obvodu podle vynálezu je jeho značná jednoduchost, bez nutnosti rozšíření obvodu o třetí hradlo.

Zapojení blokovatelného astabilního klopného obvodu podle vynálezu je v příkladu znázorněno na přiloženém výkresu, znázorňující blokové schéma příkladného provedení zapojení.

Zapojení blokovatelného astabilního klopného obvodu, se zaručeným startem, podle vynálezu sestává z prvního hradla 2 NAND, jehož výstup c je přes první kondenzátor 3 propojen s paralelně spojenými vstupy d, e druhého hradla 5 NAND.

230540

Z výstupu c prvního hradla 2 NAND jsou vyvedeny impulsy požadovaného kmitočtu na výstup A astabilního klopného obvodu. Oba paralelně spojené vstupy d, e druhého hradla 5 NAND jsou přes odpor 4 propojeny s potenciálem OV nula voltů. Výstup f druhého hradla 5 NAND je přes druhý kondenzátor 6 propojen se vstupem a prvního hradla 2 NAND. Vstup a prvního hradla 2 NAND je přes odpor 8 a s tímto sériově zapojeným třetím kondenzátorem 1, propojen s blokovacím vstupem b téhož prvního hradla 2 NAND. Dále je vstup a prvního hradla 2 NAND propojen přes odpor 7 a potenciálem OV nula voltů. Blokovací vstup b prvního hradla 2 NAND je vyveden na řídicí vstup B astabilního klopného obvodu.

Za provozu, je-li přiveden na blokovací vstup b prvního hradla 2 NAND z řídicího vstupu B astabilního klopného obvodu signál "L", je výstup c prvního hradla 2 NAND trvale ve stavu "H" a astabilní klopný obvod je blokován. Protože tento statický stav trvá, nabíjí se první kondenzátor 3 přes odpor 4, jelikož na výstupu c prvního hradla 2 NAND je trvale signál "H".

S přibývajícím nábojem na prvním kondenzátoru 3, klesá napětí na vstupech d, e druhého hradla 5 NAND. Jakmile toto napětí poklesne cca pod 1,4 V, přepne druhé hradlo 5 NAND a jeho výstup f přejde do stavu "H". Nyní se nabíjí druhý kondenzátor 6 přes odpor 7. S přibývajícím nábojem na druhém kondenzátoru 6, klesá napětí na vstupu a prvního hradla 2 NAND až je na tomto vstupu a signál "L". To má za následek, že v okamžiku před požadovaným uvolněním astabilního klopného obvodu je na obou vstupech a, b prvního hradla 2 NAND signál "L".

V okamžiku požadovaného uvolnění astabilního klopného obvodu, tj., když se přivádí z řídicího vstupu B astabilního klopného obvodu signál "H" na blokovací vstup b prvního hradla 2 NAND, nemůže toto hradlo 2 při původním známém zapojení astabilního klopného obvodu přepnout, protože na jeho vstupu a je ještě signál "L". V zapojení dle vynálezu však současně s přivedením signálu "H" na blokovací vstup b prvního hradla 2 NAND z řídicího vstupu B astabilního klopného obvodu, projde tento signál "H" přes dosud nenabitý třetí kondenzátor 1 a odpor 8 na vstup a, prvního hradla 2 NAND.

Tím jeho výstup c přejde do stavu "L". Podmínkou další činnosti je, že časová konstanta RC odporu 8 a třetího kondenzátoru 1, je větší než časová konstanta RC odporu 4 a prvního kondenzátoru 3. První kondenzátor 3 se přes odpor 4 vybíjí, neboť výstup prvního hradla 2 NAND je po dobu časové konstanty RC odporu 8 a třetího kondenzátoru 1 ve stavu "L". Po uplynutí časové konstanty RC odporu 8 a třetího kondenzátoru 1 je na vstupu a prvního hradla 2 NAND opět signál "L". Výstup c prvního hradla 2 NAND tudíž přejde do stavu "H".

Tento signál "H" projde nenabitým prvním kondenzátorem 3 na vstupy d, e druhého hradla 5 NAND, jehož výstup f tím přejde do stavu "L". První kondenzátor 3 se nyní nabíjí přes odpor 4 a druhý kondenzátor 6 se vybíjí přes odpor 7. Se vzrůstajícím nábojem prvního kondenzátoru 3 klesá napětí na vstupech d, e druhého hradla 5 NAND. Jakmile toto napětí poklesne asi pod 1,4 V, přepne druhé hradlo 5 NAND a jeho výstup f přejde do stavu "H".

Tento signál "H" projde přes nenabitý druhý kondenzátor 6 na vstup a prvního hradla 2 NAND, jehož výstup c tím přejde do stavu "L". Druhý kondenzátor 6 se nyní nabíjí přes odpor 7 a první kondenzátor 3 se vybíjí přes odpor 4. Se vzrůstajícím nábojem na druhém kondenzátoru 6 klesá napětí na vstupu a prvního hradla 2 NAND až toto hradlo 2 opět přepne. Tím se astabilní klopný obvod bezpečně nastartoval a z výstupu c prvního hradla 2 NAND lze na výstup A astabilního klopného obvodu odebírat impulsy požadovaného kmitočtu. Přivedením signálu "L" z řídicího vstupu B astabilního klopného obvodu na blokovací vstup b prvního hradla 2 NAND se astabilní klopný obvod opět zablokuje.

## PŘEDMĚT VYNÁLEZU

Zapojení blokovatelného astabilního klopného obvodu, sestávající z hradel NAND, odporů a kondenzátorů, vyznačené tím, že výstup (c) prvního hradla (2) NAND je přes první kondenzátor (3) propojen s paralelně propojenými vstupy (d, e) druhého hradla (5) NAND a současně s výstupem (A) astabilního klopného obvodu, kde vstupy (d, e) druhého hradla (5) NAND jsou přes odpor (4) propojeny s potenciálem (OV) nula voltů, kde výstup (f) druhého hradla (5) NAND je přes druhý kondenzátor (6) propojen se vstupem (a) prvního hradla (2) NAND, přičemž vstup (a) prvního hradla (2) NAND je přes odpor (7) propojen s potenciálem (OV) nula voltů a dále přes odpor (8) a sériově zapojený třetí kondenzátor (1) s blokovacím vstupem (b) téhož prvního hradla (2) NAND, přičemž blokový vstup (b) prvního hradla (2) NAND je propojen s řídicím vstupem (B) astabilního klopného obvodu.

1 výkres

230540

