

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-181634
(P2008-181634A)

(43) 公開日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F I	テーマコード (参考)
G11C 29/04 (2006.01)	G11C 29/00 603Z	5B015
HO1L 21/8244 (2006.01)	HO1L 27/10 381	5F083
HO1L 27/11 (2006.01)	G11C 11/34 341C	5F110
G11C 11/413 (2006.01)	G11C 11/34 335B	5L106
HO1L 29/786 (2006.01)	HO1L 29/78 613B	

審査請求 未請求 請求項の数 5 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2007-320679 (P2007-320679)
 (22) 出願日 平成19年12月12日 (2007.12.12)
 (31) 優先権主張番号 特願2006-349191 (P2006-349191)
 (32) 優先日 平成18年12月26日 (2006.12.26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 井上 卓之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5B015 HH01 HH03 JJ37 NN09 QQ00
 5F083 BS29 BS50 HA02 HA06 HA10
 JA05 JA36 JA37 JA38 JA39
 JA40 KA01 MA06 MA16 MA19
 PR33 PR34 PR36 ZA10

最終頁に続く

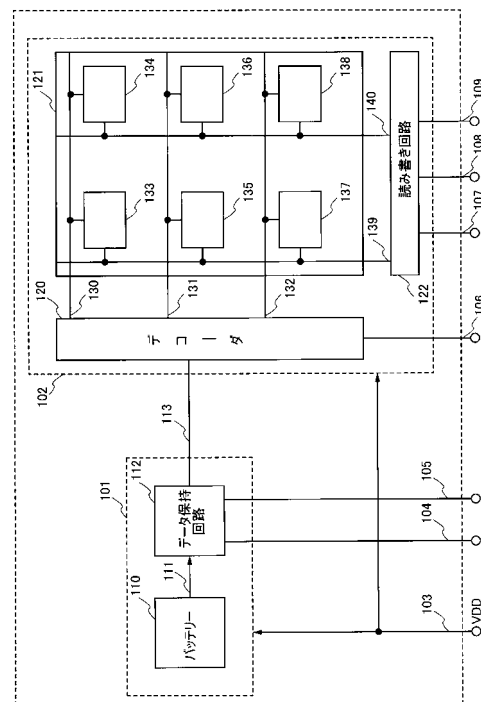
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 予備メモリセルの使用を容易な構成とすることにより、効率的な歩留まり向上が可能なメモリを搭載した半導体装置を提供することを目的とする。

【解決手段】 メモリセルと、予備メモリセルとを有するメモリセルアレイと、メモリセル及び予備メモリセルに接続されたデコーダと、デコーダと接続されたデータ保持回路と、データ保持回路に電力を供給するバッテリーとを設け、データ保持回路からの出力に応じて予備メモリセルを動作させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

メモリセルと、予備メモリセルとを有するメモリセルアレイと、
前記メモリセル及び予備メモリセルに接続されたデコーダと、
前記デコーダと接続されたデータ保持回路と、
前記データ保持回路に電力を供給するバッテリーとを有し、
前記データ保持回路からの出力に応じて前記予備メモリセルが動作することを特徴とする半導体装置。

【請求項 2】

メモリセルと、予備メモリセルとを有するメモリセルアレイと、
ワード線を介して前記メモリセルと接続され、予備メモリワード線を介して前記予備メモリセルと接続されたデコーダと、
ビット線を介して前記メモリセル及び前記予備メモリセルと接続された読み書き回路と、
前記デコーダと接続されたデータ保持回路と、
前記データ保持回路に電力を供給するバッテリーとを有し、
前記データ保持回路からの出力に応じて前記予備メモリセルが動作することを特徴とする半導体装置。

10

【請求項 3】

請求項 1 又は請求項 2 において、
前記バッテリーは、
アンテナ回路と、蓄電回路とを有し、
前記アンテナ回路を介して外部から無線で受信した電力を前記蓄電回路に充電することを特徴とする半導体装置。

20

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記メモリセル及び前記予備メモリセルは、SRAMであることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項において、
前記蓄電回路は、リチウム電池、ニッケル水素電池又は電気二重層コンデンサーを有することを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関する。特にメモリを搭載した半導体装置に関する。

【背景技術】

【0002】

メモリを搭載する半導体装置において、メモリの性能は、半導体装置の性能を決定する上で、非常に重要である。例えば、CPUとメモリとを搭載する半導体装置において、CPUが処理する命令及び処理に必要なデータは、メモリに格納しておく必要がある。また、CPUの処理は、メモリのデータを順次読み出すことで進行する。つまり、正確な処理を行う為には、一つでも不良メモリセルが有ってはならない。このため、半導体装置の歩留まり向上を目的として、予備メモリセルを予め入れておくことが多い（例えば、非特許文献1）。予備メモリセルとは、不良メモリセルが有った場合において、不良メモリセルの代わりに使用することにより、半導体装置の歩留まりを向上させられる回路である。

40

【非特許文献1】原央著「超LSI入門シリーズ5 MOS集積回路の基礎」、初版、近代科学社、1992年5月、P61～P66

【発明の開示】

【発明が解決しようとする課題】

50

【0003】

しかしながら、予備メモリセルを使用する為には、非特許文献1に示されるように三カ所のヒューズを溶断する必要がある。一つは、不良ビットが繋がっているワード線を使用不可とする為に溶断し、残り二つは予備ワード線の電位をハイ(high)とする為に溶断しなければならない。その結果、ヒューズの溶断には時間が掛かり、大量に溶断しなければならない場合において、時間的に不都合が生じる。複数の予備メモリセルが含まれていた場合、溶断の時間が膨大なものになってしまう。

【0004】

本発明は上記問題を鑑み、予備メモリセルの使用を容易な構成とすることにより、効率的な歩留まり向上が可能なメモリを搭載した半導体装置を提供することを目的とする。

10

【課題を解決するための手段】

【0005】

本発明における半導体装置ではバッテリーバックアップされたデータ保持回路に、不良ビットのアドレスや予備メモリセルを駆動するか否かの情報を記憶しておく。データ保持回路に保持された情報を用いることにより、配線を切断する必要がなくなり、電気信号のみによって予備メモリセルの使用を可能とする。以下に、具体的な構成について説明する。

【0006】

本発明の半導体装置は、メモリセルと、予備メモリセルとを有するメモリセルアレイと、メモリセル及び予備メモリセルに接続されたデコーダと、デコーダ等の駆動回路と接続されたデータ保持回路と、データ保持回路に電力を供給するバッテリーとを有し、データ保持回路からの出力に応じて予備メモリセルが動作する。

20

【0007】

また、本発明の半導体装置は、メモリセルと、予備メモリセルとを有するメモリセルアレイと、ワード線を介してメモリセルと接続され、予備メモリワード線を介して予備メモリセルと接続されたデコーダと、ビット線を介してメモリセル及び予備メモリセルと接続された読み書き回路と、デコーダと接続されたデータ保持回路と、データ保持回路に電力を供給するバッテリーとを有し、データ保持回路からの出力に応じて予備メモリセルが動作する。

【0008】

また、本発明の半導体装置におけるバッテリーは、アンテナ回路と、蓄電回路とを有し、アンテナ回路を介して外部から無線で受信した電力を蓄電回路に充電する構成とすることができる。

30

【0009】

以上のような構成とすることで、予備メモリセルの使用が容易なメモリを搭載した半導体装置を提供することができる。

【0010】

本明細書で開示する本発明の構成は、バッテリーと、データ保持回路と、デコーダと、ワード線と、予備ワード線と、メモリセルと、予備メモリセルと、ビット線と、読み書き回路と、を搭載する半導体装置であり、メモリセルに不良があった場合に予備メモリセルの使用を容易とする為の機能を有することを特徴とする。

40

【発明の効果】

【0011】

本発明により、予備メモリセルを使用する際に生じる手間を大幅に削減できる。すなわち効率的に歩留まり向上を行うことが期待できる。このようなメモリを搭載することで、歩留まりの良い半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施

50

の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0013】

(実施の形態1)

本実施の形態で示す半導体装置は、バッテリーバックアップされたデータ保持回路に不良ビットのアドレスや予備メモリセルの駆動の可否の情報を記憶させ、電気信号によって予備メモリセルの使用を可能とする構成とする。以下に、本実施の形態で示す半導体装置について、図1を用いて説明する。図1は、本発明における半導体装置の一構成を示すブロック図である。

10

【0014】

本実施の形態で示す半導体装置は、バッテリーバックアップ回路部101と、記憶回路部102とを有している。バッテリーバックアップ回路部101は、バッテリー110及びデータ保持回路112を具備している。また、記憶回路部102は、デコーダ120、メモリセルアレイ121及び読み書き回路122を具備しており、当該メモリセルアレイ121には第1の予備メモリセル133、第2の予備メモリセル134、第1のメモリセル135～第4のメモリセル138が設けられている。また、バッテリーバックアップ回路部101と記憶回路部102は、第1の電源線103に接続され、当該第1の電源線103から電源の供給が行われる。なお、以下の説明においては、記憶回路部102として、4ビットのSRAMで設ける場合を例に挙げて説明するが、記憶回路部102の構成はこれに限られない。

20

【0015】

次に、バッテリーバックアップ回路部101と記憶回路部102の具体的な構成について説明する。

【0016】

まず、バッテリーバックアップ回路部101の具体的な構成について説明する。

【0017】

バッテリー110は、第2の電源線111を通してデータ保持回路112に電源を供給する。従って、仮に第1の電源線103からデータ保持回路112への電源の供給がストップした場合であっても、バッテリー110から電源が供給されることにより、データ保持回路112に蓄えられた情報を保持することができる。

30

【0018】

また、データ保持回路112は、第1の配線104と第2の配線105と第3の配線113が接続されている。第1の配線104は、第1の予備メモリセル133や第2の予備メモリセル134を使用するか否かの情報をデータ保持回路112に伝達する配線であり、制御信号線と呼ぶことがある。第2の配線105は、データ保持回路112に情報を書き込むタイミングを制御する信号を伝達する配線であり、保持回路ライトイネーブル信号線と呼ぶことがある。第3の配線113は、データ保持回路112からデコーダ120に保持された情報を伝達する配線であり、データ信号線と呼ぶことがある。

40

【0019】

また、データ保持回路112の電源は、第1の電源線103と第2の電源線111の両方から供給される構成とすることができる。データ保持回路112に保持された情報は、第3の配線113によってデコーダ120に伝達される。データ保持回路112に保持された情報とは、予備メモリセル(ここでは、第1の予備メモリセル133、第2の予備メモリセル134)を使用するか否か、どのアドレスに対して予備メモリセルを使用するか、ということに関する情報である。これらの情報は外部から第1の配線104によってデータ保持回路112に伝達される。また、第2の配線105の電位が高い(high)の時に、データ保持回路112にデータが書き込まれ、第2の配線105の電位が低い(low)の時には、データ保持回路112に保持されたデータは変化しないものとする。なお、データ保持回路112への不良ビットの情報の書き込みはいつでも行うことができる。

50

例えば、半導体メモリ装置の製造工程における検査時や半導体メモリ装置の使用中に不良ビットが発見された場合に当該不良ビットの情報をデータ保持回路112に書き込むことができる。

【0020】

次に、記憶回路部102の具体的な構成について説明する。

【0021】

メモリセルアレイ121は、各々1ビットデータを記憶する第1のメモリセル135～第4のメモリセル138と、1ビットのデータを記憶する第1の予備メモリセル133と第2の予備メモリセル134を有している。第1のメモリセル135は第1のワード線131と第1のビット線139とに接続され、第2のメモリセル136は第1のワード線131と第2のビット線140とに接続され、第3のメモリセル137は第2のワード線132と第1のビット線139とに接続され、第4のメモリセル138は第2のワード線132と第2のビット線140とに接続される。また、第1の予備メモリセル133は予備メモリワード線130と第1のビット線139とに接続され、第2の予備メモリセル134は予備メモリワード線130と第2のビット線140とに接続される。第1のワード線131の電位がハイであるならば第1のメモリセル135と第2のメモリセル136が駆動し、第2のワード線132の電位がハイであるならば第3のメモリセル137と第4のメモリセル138が駆動し、予備メモリワード線130の電位がハイであるならば第1の予備メモリセル133と第2の予備メモリセル134が駆動する。

10

【0022】

また、第1のメモリセル135～第4のメモリセル138、第1の予備メモリセル133及び第2の予備メモリセル134の構成としては、図4に示されるような構成が挙げられる。図4の(A)と図4の(B)はそれぞれSRAMのメモリセルの具体的な回路構成の例である。図4(A)に示すメモリセル400は、ワード線401と、nチャンネル型トランジスタ402と、ラッチ403と、ビット線404とから構成される。図4(B)に示すメモリセル410は、ワード線411と、ワード反転信号線412と、第1のアナログスイッチ413と、第2のアナログスイッチ414と、ラッチ415と、ビット線416と、ビット反転信号線417と、から構成される。メモリセル400において、nチャンネル型トランジスタ402をアナログスイッチに置き換えても構わない。また、メモリセル410において、第1のアナログスイッチ413と第2のアナログスイッチ414を、nチャンネル型トランジスタやpチャンネル型トランジスタと置き換えても構わない。なお、記憶回路の例はSRAMに限られず、DRAM等を用いることができる。

20

30

【0023】

読み書き回路122は、第1のビット線139と、第2のビット線140と、入出力信号線107と、メモリライトイネーブル信号線108と、リードイネーブル信号線109と接続される。また、読み書き回路122は、第1のビット線139と第2のビット線140とを介してメモリセルの読み書きを行う。読み書きのタイミングは、メモリライトイネーブル信号線108とリードイネーブル信号線109によって制御される。読み書きが行われるメモリセルは、ワード線の電位がハイとなり駆動しているメモリセルである。外部からの書き込みデータの入力信号や、外部への読み出しデータの出力信号は、入出力信号線107によって伝達される。

40

【0024】

読み書き回路122において、メモリライトイネーブル信号線108の電位がハイで、リードイネーブル信号線109の電位がロウの時にメモリセルに書き込み動作を行う。書き込みを行うメモリセルは、アドレス信号線106の電位や第3の配線113の電位によって変化する。また、メモリライトイネーブル信号線108の電位がロウで、リードイネーブル信号線109の電位がハイの時にメモリセルの読み出し動作を行う。読み出しを行うメモリセルは、アドレス信号線106の電位や第3の配線113の電位によって変化する。メモリライトイネーブル信号線108とリードイネーブル信号線109の電位が共にロウの時には、メモリセルに対し何の動作も行わない。メモリライトイネーブル信号線10

50

8とリードイネーブル信号線109の電位が共にハイとなるような入力は誤動作の原因となるので行わない構成とすることが好ましい。

【0025】

デコーダ120は、第3の配線113と、アドレス信号線106と、予備メモリワード線130と、第1のワード線131と、第2のワード線132と接続されている。デコーダ120は、アドレス信号線106と第3の配線113とから各々伝達されるアドレス情報と予備メモリセルに関する情報をデコードする。デコードされることにより、第1のワード線131、第2のワード線132又は予備メモリワード線130の三本の内いずれか一本の電位だけがハイとなり、他の二本の電位はロウを維持する。

【0026】

次に、データ保持回路112に保持される情報の具体的な形式について説明する。ここでは、データ保持回路112には2ビットのデータ(第1のデータと第2のデータ)が保持されているものとする。つまり、第3の配線113は、2ビットの信号線となる。第1のデータは、予備メモリセル(ここでは、第1の予備メモリセル133、第2の予備メモリセル134)を使用するか否かに関するデータである。第1のデータが「1」の時、予備メモリセルを使用し、第1のデータが「0」の時、予備メモリセルを使用しないものとする。第1のデータは、第3の配線113により第1のビットとして伝達され、第1のデータが「1」ならば、第1のビットは「1」となり、第1のデータが「0」ならば、第1のビットは「0」となる。第2のデータは、どのアドレスに対して予備メモリセルを使用するかに関するデータである。第2のデータが「1」ならば、アドレス信号線106の電位がハイの時に予備メモリセルを使用し、第2のデータが「0」ならば、アドレス信号線106の電位がロウの時に予備メモリセルを使用するものとする。第2のデータは、第3の配線113により第2のビットとして伝達され、第2のデータが「1」ならば、第2のビットは「1」となり、第2のデータが「0」ならば、第2のビットは「0」となる。

【0027】

図1においては、アドレス信号線106の伝達するビット数が1ビットであるので、データ保持回路112には2ビットのデータを保持しておけば良いが、もしアドレス信号線106が伝達するビット数が n ビット(n は自然数)であるならば、データ保持回路には($n+1$)ビットのデータを保持しておく必要がある。

【0028】

記憶回路部102の通常時、すなわち予備メモリセルを用いない場合の動作について説明する。まず、不良メモリセルが存在しないことを検査によって確認した後、データ保持回路112に、予備メモリセルを使用しないとする情報を書き込む。すなわち、第1のデータは「0」である。第2のデータはどちらでも良い。それらのデータは第3の配線113によりデコーダ120へと伝達される。すなわち、第3の配線113により伝達される第1のビットは「0」であり、第2のビットは「0」か「1」である。第3の配線113により伝達される第1のビットが「0」ならば、予備メモリセルを使用しないように、デコーダ120の論理を設計する。

【0029】

ここでは、アドレス信号線106に関するデコーダ120の論理を、アドレス信号線106の電位がロウの場合は第1のワード線131の電位がハイとし、アドレス信号線106の電位がハイの場合は第2のワード線132の電位がハイとするように定める。

【0030】

第1のワード線131の電位がハイの時(アドレス信号線106の電位がロウの時)、第1のメモリセル135と第2のメモリセル136が駆動される。また、第2のワード線132の電位がハイの時(アドレス信号線106の電位がハイの時)、第3のメモリセル137と第4のメモリセル138が駆動される。

【0031】

第1のワード線131の電位がハイで、メモリライトイネーブル信号線108の電位がハイであるならば、第1のメモリセル135と第2のメモリセル136に対して書き込み動

10

20

30

40

50

作が行われる。第1のワード線131の電位がハイで、リードイネーブル信号線109の電位がハイであるならば、第1のメモリセル135と第2のメモリセル136に対して読み込み動作が行われる。第2のワード線132の電位がハイで、メモリライトイネーブル信号線108の電位がハイであるならば、第3のメモリセル137と第4のメモリセル138に対して書き込み動作が行われる。第2のワード線132の電位がハイで、リードイネーブル信号線109の電位がハイであるならば、第3のメモリセル137と第4のメモリセル138に対して読み込み動作が行われる。

【0032】

次に、不良メモリセルが発生した場合の動作について説明する。ここでは第1のメモリセル135が不良とする。

10

【0033】

まず、第1のメモリセル135が不良であることを検査によって確認した後、データ保持回路112に、予備メモリセルを使用するという情報を書き込む。すなわち、第1のデータは「1」となり、第2のデータは「0」となる。それらのデータは第3の配線113によりデコーダ120へと伝達される。すなわち、第3の配線113により伝達される第1のビットは「1」であり、第2のビットは「0」である。第3の配線113により伝達される第1のビットが「1」ならば、予備メモリセルを使用するように、デコーダ120の論理を設計する。また、第3の配線113により伝達される第2のビットが「0」ならば、アドレス信号線106の電位がロウの時に予備メモリセルを使用し、第3の配線113により伝達される第2のビットが「1」ならば、アドレス信号線106の電位がハイの時に予備メモリセルを使用するように、デコーダ120の論理を設計する。

20

【0034】

ここでは、アドレス信号線106に関するデコーダ120の論理を、アドレス信号線106の電位がロウの場合は予備メモリワード線130の電位がハイとし、アドレス信号線106の電位がハイの場合は第2のワード線132の電位がハイとするように定める。

【0035】

予備メモリワード線130の電位がハイの時、第1の予備メモリセル133と第2の予備メモリセル134が駆動される。また、第2のワード線132の電位がハイの時、第3のメモリセル137と第4のメモリセル138が駆動される。

【0036】

予備メモリワード線130の電位がハイで、メモリライトイネーブル信号線108の電位がハイであるならば、第1の予備メモリセル133と第2の予備メモリセル134に対して書き込み動作が行われる。予備メモリワード線130の電位がハイで、リードイネーブル信号線109の電位がハイであるならば、第1の予備メモリセル133と第2の予備メモリセル134に対して読み込み動作が行われる。第2のワード線132の電位がハイで、メモリライトイネーブル信号線108の電位がハイであるならば、第3のメモリセル137と第4のメモリセル138に対して書き込み動作が行われる。第2のワード線132の電位がハイで、リードイネーブル信号線109の電位がハイであるならば、第3のメモリセル137と第4のメモリセル138に対して読み込み動作が行われる。以上が、不良メモリセルが発生した場合の記憶回路部102の動作についての説明である。

30

40

【0037】

図1の回路構成では、第1の予備メモリセル133を使用する場合、第2のメモリセル136が不良でなくとも、当該第2のメモリセル136に代わって第2の予備メモリセル134が代用される。すなわち、第1のメモリセル135もしくは第2のメモリセル136のどちらかが不良であるならば、データ保持回路112に第2のデータとして「0」を書き込み、第3のメモリセル137もしくは第4のメモリセル138のどちらかが不良であるならば、データ保持回路112に第2のデータとして「1」を書き込むことになる。

【0038】

このような構成とすることで、第1のメモリセル135が不良であった場合、第1のメモリセル135の代わりに第1の予備メモリセル133を使用することが可能となる。第2

50

のメモリセル 136、第3のメモリセル 137、第4のメモリセル 138、の各々が不良であった場合においても同様であるので説明は省略する。

【0039】

以上のような構成とすることで、予備メモリセルの使用が容易となる機能を有するメモリを搭載した半導体装置を提供することができる。すなわち効率的に歩留まり向上を行うことができる。このようなメモリを搭載することで、歩留まりの良い半導体装置を提供することができる。

【0040】

(実施の形態2)

本実施の形態では、上記実施の形態1で示した半導体装置において、バッテリーバックアップ回路部に設けられたバッテリーの構成に関して図2を参照して説明する。図2(A)と図2(B)は、それぞれバッテリー110の具体的な回路構成の例である。バッテリー110は、データ保持回路112に電源を供給する回路である。

10

【0041】

図2(A)に示すバッテリー200は、整流素子201と蓄電回路202から構成される。ここでは、整流素子201として、ダイオード接続したnチャネル型(Nch)のトランジスタで設けた場合を示しているが、整流機能を有する素子であればよく、例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード等で設けることができる。

20

【0042】

また、蓄電回路202には、充電することで電力を回復することができる手段(蓄電手段)を設ければよい。なお蓄電手段としては2次電池、キャパシタ等がある。具体的には、蓄電手段としては、その用途により異なるが、シート状に形成された電池を用いることが好ましく、例えばリチウム電池、好ましくはゲル状電解質を用いるリチウムポリマー電池や、リチウムイオン電池等を用いることで、小型化が可能である。勿論、充電可能な電池であればなんでもよく、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などの充電放電可能な電池であってもよいし、また大容量のコンデンサーなどを用いても良い。

30

【0043】

なお、蓄電手段として用いることのできる大容量のコンデンサーとしては、電極の対向面積が大きいものであることが望ましい。活性炭、フラーレン、カーボンナノチューブなど比表面積の大きい電極用材料を用いた電気二重層コンデンサーを用いることが好適である。コンデンサーは電池に較べ構成が単純であり薄膜化や積層化も容易である。電気二重層コンデンサーは蓄電機能を有し、充放電の回数が増えても劣化が小さく、急速充電特性にも優れているため好適である。

【0044】

図2(A)において、整流素子201の入力部(ここでは、トランジスタのソース又はドレインの一方及びゲート)は第1の電源線103に接続され、蓄電回路202の一方の電極が第2の電源線111に接続された構成とすることができる。

40

【0045】

第1の電源線103の電位がハイの状態では、整流素子201であるNchトランジスタは導通し、蓄電回路202に電荷が充電される。第1の電源線103の電位がハイであり続ける限り、第2の電源線111の電位もハイであり続ける。もし、第1の電源線103の電位がロウとなった場合、Nchトランジスタは非導通となる。しかし、蓄電回路202には電荷が蓄えられているので、第2の電源線111の電位はハイのまま保持される。蓄電回路202を大容量にすることにより、十分に長い時間、第2の電源線111の電位をハイのまま保持することが可能となる。以上のような構成とすることで、バッテリーとしての機能を有することができる。

【0046】

50

また、バッテリーの構成は図2(A)に限られない。例えば、図2(B)に示す構成とすることができる。

【0047】

図2(B)に示すバッテリー210は、無線信号を用いて発電する回路を有しており、RFバッテリーと呼ぶ。バッテリー210(以下、「RFバッテリー210」と記す)は、アンテナ回路211と、整流回路212と、蓄電回路213と、第2の電源線111とから構成される。蓄電回路213は、第2の電源線111の電位をハイのまま保持する機能と電圧の平滑化の機能を有する。以下、RFバッテリー210を充電し、RFバッテリー210で蓄えた電力を供給する方法を説明する。

【0048】

RFバッテリー210は、電磁波から電源電圧を生成することが可能である。アンテナ回路211はアンテナの形状に応じた周波数帯域の信号を検波して、交流信号を生成し、整流回路で直流電圧に変換し、電源電圧を発生することができる。

【0049】

また、アンテナ回路211が受信する電磁波は、特定の波長の電磁波を発振する給電器から発振された電磁波を利用してもよいし、外部に無作為に生じている電磁波を利用してもよい。給電器は、特定の波長の電磁波を発信する装置であればよく、アンテナ回路に設けられたアンテナが受信し易い波長の電磁波を発信することが好ましい。外部に無作為に生じている電磁波としては、例えば、携帯電話の中継局の電磁波(800~900MHz帯、1.5GHz、1.9~2.1GHz帯等)、携帯電話から発振される電磁波、電波時計の電磁波(40kHz等)、家庭用の交流電源のノイズ(60Hz等)等を利用することができる。

【0050】

給電器を用いる場合、アンテナ回路211と給電器との間に適用する電磁波の伝送方式は、電磁結合方式、電磁誘導方式又は電界方式等を用いることができる。伝送方式は、実施者が適宜使用用途を考慮して選択すればよく、伝送方式に伴って最適な長さや形状のアンテナを設ければよい。

【0051】

例えば、伝送方式として、電磁結合方式又は電磁誘導方式(例えば、13.56MHz帯)を適用する場合には、電界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電膜をコイル状に形成する。また、伝送方式として電界方式(例えば、UHF帯(860~960MHz帯)、2.45GHz帯等)を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電膜の長さや形状を適宜設定すればよく、アンテナとして機能する導電膜を例えば、線状(例えば、ダイポールアンテナ)、平坦な形状(例えば、パッチアンテナ)等に形成する。また、アンテナとして機能する導電膜の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0052】

なお、複数の形状のアンテナを一体に組み合わせて形成し、複数の周波数帯の電磁波の受信に対応したアンテナをアンテナ回路211に採用してもよい。

【0053】

また、給電器を用いた場合、給電器よりアンテナ回路211に送信される電磁波の周波数は、特に限定されず、例えばサブミリ波である300GHz~3THz、ミリ波である30GHz~300GHz、マイクロ波である3GHz~30GHz、極超短波である300MHz~3GHz、超短波である30MHz~300MHz、短波である3MHz~30MHz、中波である300kHz~3MHz、長波である30kHz~300kHz、及び超長波である3kHz~30kHzのいずれの周波数も用いることができる。

【0054】

RFバッテリー210における整流回路212は半波整流回路であるが、全波整流回路とすることによって、より効率良く充電する事ができる。蓄電回路213の電気容量を十分

10

20

30

40

50

大きなものとするにより、アンテナ回路 2 1 1 によって電磁波を受信できない状態が続いても、蓄電回路 2 1 3 は第 2 の電源線 1 1 1 の電位をハイのまま長時間保持させることができる。

【 0 0 5 5 】

また、RF バッテリーの回路構成の具体例として全波整流回路を用いても良い。図 5 に具体的な回路図を示す。RF バッテリー 5 0 0 は、アンテナ回路 5 0 1 と、整流回路 5 0 2 と、蓄電回路 5 0 3 と、第 2 の電源線 1 1 1 とから構成される。各回路の機能については、RF バッテリー 2 1 0 と同様であるので、説明は省略する。なお、蓄電回路 2 1 3、蓄電回路 5 0 3 は、蓄電回路 2 0 2 と同様の構成で設けることができる。

【 0 0 5 6 】

以上のように、本実施の形態で示した図 2 (A) 又は図 2 (B) のバッテリーの構成を、図 1 に示したバッテリーバックアップ回路部 1 0 1 のバッテリー 1 1 0 に適用することができる。特に、図 2 (B) の RF バッテリーを用いることにより、離れた場所にある回路に対しても電磁波を用いて蓄電回路 2 1 3 を充電することが可能となるため、接触が困難な場所に存在する回路を動かすことが可能となる。

【 0 0 5 7 】

なお、本実施の形態で示したバッテリーの構成は、本明細書の他の実施の形態で示した半導体装置に適用することができる。

【 0 0 5 8 】

(実施の形態 3)

本実施の形態では、上記実施の形態 1 で示した半導体装置において、バッテリーバックアップ回路部に設けられたデータ保持回路の構成に関して図 3 を参照して説明する。図 3 (A) と図 3 (B) は、それぞれデータ保持回路 1 1 2 の具体的な回路構成の例である。データ保持回路 1 1 2 は、バッテリー 1 1 0 から電源が供給されることにより、電源線 1 0 3 からの電源の供給が停止してもデータを保持し続ける回路である。図 3 の (A)、(B) は、それぞれ 1 ビットの情報を保持できる回路構成となっている。図 1 の構成では、保持させるデータは 2 ビットであるので、データ保持回路を 2 個用いれば良い。また、n ビット (n は自然数) の場合では、n 個組み合わせ用いれば良い。

【 0 0 5 9 】

図 3 (A) に示すデータ保持回路 3 0 0 は、アナログスイッチ 3 0 1 と、ラッチ 3 0 2 とを有している。アナログスイッチ 3 0 1 には、第 1 の配線 1 0 4 と、アナログスイッチ開閉信号線 3 0 3 と、アナログスイッチ開閉反転信号線 3 0 4 と、第 3 の配線 1 1 3 とが接続されている。アナログスイッチ開閉信号線 3 0 3 の電位は、第 2 の配線 1 0 5 の電位と同じとし、アナログスイッチ開閉反転信号線 3 0 4 の電位は、その反転とする。アナログスイッチ 3 0 1 は、アナログスイッチ開閉信号線 3 0 3 の電位がハイの時に導通し、ロウの時に非導通となる。すなわち、第 2 の配線 1 0 5 の電位がハイの時に導通し、ロウの時に非導通となる。アナログスイッチ 3 0 1 の電源は、電源線 1 0 3 によって供給されているが、ラッチ 3 0 2 の電源は、第 2 の電源線 1 1 1 によって供給されている。

【 0 0 6 0 】

アナログスイッチ開閉信号線 3 0 3 の電位がハイの時、第 1 の配線 1 0 4 の電位がハイならば、ラッチ 3 0 2 にはハイが書き込まれる。同様に、第 1 の配線 1 0 4 の電位がロウならば、ラッチ 3 0 2 にはロウが書き込まれる。ラッチ 3 0 2 の電源は第 2 の電源線 1 1 1 によって供給されているので、電源線 1 0 3 による電源の供給が停止しても、第 2 の電源線 1 1 1 の電位がハイであり続ける限りデータは保持される。このデータ保持機能を利用して、予備メモリセルを使用するか否かの情報を保持させる。例えば、予備メモリセルを使用する場合はラッチ 3 0 2 にハイを保持させ、使用しない場合はロウを保持させる、と定義した後に、デコーダ 1 2 0 を上記の論理に対応させる形で設計すれば良い。

【 0 0 6 1 】

図 3 (B) に示すデータ保持回路 3 1 0 の構成について説明する。図 3 (B) に示すデータ保持回路 3 1 0 は、第 1 のクロックインバータ 3 1 1 と、第 1 のラッチ 3 1 2 と、第

10

20

30

40

50

2のクロックインバータ313と、第2のラッチ314と、から構成される。また、第1のラッチ312には、第3のクロックインバータ315が設けられている。

第1のクロックインバータ311と第2のクロックインバータ313と第1のラッチ312の電源は第1の電源線103から供給されているが、第2のラッチ314の電源は第2の電源線111から供給されている。第1のクロックインバータ311、第2のクロックインバータ313及び第3のクロックインバータ315には、それぞれ第2の配線105と保持回路ライトイネーブル反転信号線が接続されている。保持回路ライトイネーブル反転信号線の電位は、第2の配線105の電位をインバータで反転させることによって生成する。第2のクロックインバータ313と第3のクロックインバータ315は、第2の配線105の電位がハイの時に導通し、ロウの時に非導通となる。また、第1のクロックインバータ311は、第2の配線105の電位がロウの時に導通し、ハイの時に非導通となる。

10

【0062】

第1のラッチ312の動作について説明する。第2の配線105の電位がロウからハイに変わる瞬間、第1の配線104の電位がハイならば、第1のラッチ312にはロウが書き込まれる。同様に、第1の配線104の電位がロウならば、第1のラッチ312にはハイが書き込まれる。第2の配線105の電位がハイの時、第1のラッチ312はラッチとして機能しているが、第2の配線105の電位がロウの時、第3のクロックインバータ315は非導通となり、第1のラッチ312は反転回路となる。

【0063】

第2のラッチ314の動作について説明する。第2の配線105の電位がハイからロウに変わる瞬間、第1のラッチ312にロウが書き込まれているならば第2のラッチ314にはハイが書き込まれる。同様に、第1のラッチ312にハイが書き込まれているならば第2のラッチ314にはロウが書き込まれる。書き込まれたデータは、第2の電源線111による電源の供給が停止するまで保持され続ける。

20

【0064】

第2のラッチ314の電源は、第2の電源線111によって供給されているので、電源線103からの電源の供給が停止しても、第2の電源線111の電位がハイであり続ける限り、データは保持される。このデータ保持機能を利用して、予備メモリセルを使用するか否かの情報を保持させる。例えば、予備メモリセルを使用する場合は第2のラッチ314にハイを保持させ、使用しない場合はロウを保持させると定義した後に、デコーダ120を上記の論理に対応させる形で設計すれば良い。

30

【0065】

データ保持回路300やデータ保持回路310を複数個用いることによって、データ保持回路112を構成することができる。上記実施の形態1で示した図1の構成では、予備メモリセルを使用するか否かで1ビット、アドレス信号がハイの時とロウの時のどちらの場合において予備メモリセルを使用するかで1ビット、の合計2ビットのデータ保持回路を使用することになる。

【0066】

以上のように、本実施の形態で示した図3(A)又は図3(B)の構成を、図1に示したバッテリーバックアップ回路部101のデータ保持回路112に適用することができる。また、データ保持回路112として、図3(A)、(B)に示した構成とすることによって、接触が困難な場所に存在する回路を動かすことが可能となる。

40

【0067】

なお、本実施の形態で示したバッテリーの構成は、本明細書の他の実施の形態で示した半導体装置に適用することができる。

【0068】

(実施の形態4)

本実施の形態では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施の形態においては、半導体装置のデータ保持回路、記憶回路

50

部等の回路に含まれる素子を同一基板上に薄膜トランジスタを用いて設ける場合について説明する。また、バッテリーに設ける蓄電回路として薄膜の二次電池を用いた例について説明する。もちろん、二次電池の代わりに電気二重層コンデンサー等を設けた構成とすることも可能である。なお、本実施の形態では、薄膜トランジスタ等の素子を一度支持基板に設けた後、可撓性を有する基板に転置する場合に関して説明する。

【0069】

まず、基板1301の一表面に絶縁膜1302を介して剥離層1303を形成し、続けて下地膜として機能する絶縁膜1304と半導体膜1305（例えば、非晶質シリコンを含む膜）を積層して形成する（図6（A）参照）。なお、絶縁膜1302、剥離層1303、絶縁膜1304および半導体膜1305は、連続して形成することができる。

10

【0070】

基板1301は、ガラス基板、石英基板、ステンレス等の金属基板、セラミック基板、Si基板等の半導体基板、SOI（Silicon on Insulator）基板などから選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層1303は、絶縁膜1302を介して基板1301の全面に設けているが、必要に応じて、基板1301の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

【0071】

絶縁膜1302、絶縁膜1304は、CVD法やスパッタリング法等を用いて、酸化シリコン（ SiO_x ）、窒化シリコン（ SiN_x ）、酸化窒化シリコン（ SiO_xN_y ）（ $x > y$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y$ ）等の絶縁材料を用いて形成する。例えば、絶縁膜1302又は絶縁膜1304を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1302は、基板1301から剥離層1303又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜1304は基板1301、剥離層1303からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜1302、1304を形成することによって、基板1301からNaなどのアルカリ金属やアルカリ土類金属が、剥離層1303から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1301として石英を用いるような場合には絶縁膜1302を省略してもよい。

20

30

【0072】

剥離層1303は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）から選択された元素または元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気または N_2O 雰囲気下におけるプラズマ処理、酸素雰囲気または N_2O 雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。他にも、例えば、金属膜（例えば、タングステン）を形成した後に、当該金属膜上にスパッタ法で酸化シリコン等の絶縁膜を設けると共に、金属膜上に金属酸化物（例えば、タングステン上にタングステ

40

50

ン酸化物)を形成してもよい。

【0073】

非晶質半導体膜1305は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm(好ましくは30~150nm)の厚さで形成する。

【0074】

次に、非晶質半導体膜1305にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜1305の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶質半導体膜1305a~結晶質半導体膜1305fを形成し、当該半導体膜1305a~1305fを覆うようにゲート絶縁膜1306を形成する(図6(B)参照)。

10

【0075】

ゲート絶縁膜1306は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1306を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0076】

結晶質半導体膜1305a~1305fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500、1時間)と、熱結晶化の処理(550、4時間)を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることよって結晶質半導体膜1305a~1305fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

20

【0077】

結晶化に用いるレーザー発振器としては、連続発振型のレーザー発振器(CWレーザー発振器)やパルス発振型のレーザー発振器(パルスレーザー発振器)を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち1種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザーのパワー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi:サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜が

30

40

50

レーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0078】

また、ゲート絶縁膜1306は、半導体膜1305a~1305fに対し前述の高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

10

【0079】

このような高密度プラズマを用いた処理により、1~20nm、代表的には5~10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜(結晶性シリコン、或いは多結晶シリコン)を直接酸化(若しくは窒化)するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

20

【0080】

ゲート絶縁膜は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0081】

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜1305a~1305fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向(チャンネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ(TFT)を得ることができる。

30

【0082】

次に、ゲート絶縁膜1306上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20~100nmの厚さで形成する。第2の導電膜は、100~400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

40

50

【0083】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1305a~1305fの上方にゲート電極1307を形成する。ここでは、ゲート電極1307として、第1の導電膜1307aと第2の導電膜1307bの積層構造で設けた例を示している。

【0084】

次に、ゲート電極1307をマスクとして半導体膜1305a~1305fに、イオンドーピング法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜1305a~1305fに選択的に導入し、n型を示す不純物領域1308を形成する。また、p型を付与する不純物元素としてボロン(B)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜1305c、1305eに導入し、p型を示す不純物領域1309を形成する(図6(C)参照)。

10

【0085】

続いて、ゲート絶縁膜1306とゲート電極1307を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、シリコン、シリコンの酸化物又はシリコンの窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1307の側面に接する絶縁膜1310(サイドウォールともよばれる)を形成する。絶縁膜1310は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。

20

【0086】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1307および絶縁膜1310をマスクとして用いて、半導体膜1305a、1305b、1305d、1305fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域1311を形成する。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜1305a、1305b、1305d、1305fに選択的に導入し、不純物領域1308より高濃度のn型を示す不純物領域1311を形成する。

30

【0087】

以上の工程により、nチャネル型薄膜トランジスタ1300a、1300b、1300d、1300fとpチャネル型薄膜トランジスタ1300c、1300eが形成される(図6(D)参照)。

【0088】

nチャネル型薄膜トランジスタ1300aは、ゲート電極1307と重なる半導体膜1305aの領域にチャネル形成領域が形成され、ゲート電極1307及び絶縁膜1310と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1311が形成され、絶縁膜1310と重なる領域であってチャネル形成領域と不純物領域1311の間に低濃度不純物領域(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ1300b、1300d、1300fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1311が形成されている。

40

【0089】

pチャネル型薄膜トランジスタ1300cは、ゲート電極1307と重なる半導体膜1305cの領域にチャネル形成領域が形成され、ゲート電極1307と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1309が形成されている。また、pチャネル型薄膜トランジスタ1300eも同様にチャネル形成領域及び不純物領域1309

50

が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ1300c、1300eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

【0090】

次に、半導体膜1305a~1305f、ゲート電極1307等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ1300a~1300fのソース領域又はドレイン領域を形成する不純物領域1309、1311と電氣的に接続する導電膜1313を形成する(図7(A)参照)。絶縁膜は、CVD法、スパッタ法、SOG法、液滴吐出法、スクリーン印刷法等により、シリコンの酸化物やシリコンの窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を2層で設け、1層目の絶縁膜1312aとして窒化酸化シリコン膜で形成し、2層目の絶縁膜1312bとして酸化窒化シリコン膜で形成する。また、導電膜1313は、薄膜トランジスタ1300a~1300fのソース電極又はドレイン電極を形成しうる。

10

【0091】

なお、絶縁膜1312a、1312bを形成する前、または絶縁膜1312a、1312bのうちの1つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを適用するとよい。

20

【0092】

導電膜1313は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、 tantalum(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜1313は、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜1313を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

30

【0093】

次に、導電膜1313を覆うように、絶縁膜1314を形成し、当該絶縁膜1314上に、薄膜トランジスタ1300a、1300fのソース電極又はドレイン電極を形成する導電膜1313とそれぞれ電氣的に接続する導電膜1315a、1315bを形成する。また、薄膜トランジスタ1300bのソース電極又はドレイン電極を形成する導電膜1313と電氣的に接続する導電膜1316を形成する。なお、導電膜1315a、1315bと導電膜1316は同一の材料で同時に形成してもよい。導電膜1315a、1315bと導電膜1316は、上述した導電膜1313で示したいずれかの材料を用いて形成することができる。

40

【0094】

続いて、導電膜1316にアンテナとして機能する導電膜1317が電氣的に接続されるように形成する(図7(B)参照)。

【0095】

50

絶縁膜 1314 は、CVD 法やスパッタ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0096】

導電膜 1317 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電膜 1317 は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt)、ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0097】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜 1317 を形成する場合には、粒径が数 nm から数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) およびチタン (Ti) 等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子 (例えば粒径 1 nm 以上 100 nm 以下) を用いる場合、150 ~ 300 の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。

20

30

【0098】

また、導電膜 1315 a、1315 b は、後の工程において本発明の半導体装置に含まれる二次電池と電氣的に接続される配線として機能しうる。また、アンテナとして機能する導電膜 1317 を形成する際に、導電膜 1315 a、1315 b に電氣的に接続するように別途導電膜を形成し、当該導電膜を二次電池に接続する配線として利用してもよい。

【0099】

次に、導電膜 1317 を覆うように絶縁膜 1318 を形成した後、薄膜トランジスタ 1300 a ~ 1300 f、導電膜 1317 等を含む層 (以下、「素子形成層 1319」と記す) を基板 1301 から剥離する。ここでは、レーザー光 (例えば UV 光) を照射することによって、薄膜トランジスタ 1300 a ~ 1300 f を避けた領域に開口部を形成後 (図 7 (C) 参照)、物理的な力を用いて基板 1301 から素子形成層 1319 を剥離することができる。なお、素子形成層 1319 を剥離する際に、水等の液体で濡らしながら行うことによって、静電気により素子形成層 1319 に設けられた薄膜トランジスタの破壊を防止することができる。また、素子形成層 1319 が剥離された基板 1301 を再利用することによって、コストの削減をすることができる。

40

【0100】

絶縁膜 1318 は、CVD 法やスパッタ法等により、酸化シリコン、窒化シリコン、酸化

50

窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0101】

本実施の形態では、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面（絶縁膜1318の露出した面）に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する（図8（A）参照）。

【0102】

次に、素子形成層1319の他方の面（剥離により露出した面）に、第2のシート材1321を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第2のシート材1321を貼り合わせる（図8（B）参照）。第1のシート材1320、第2のシート材1321として、ホットメルトフィルム等を用いることができる。

【0103】

また、第1のシート材1320、第2のシート材1321として、静電気等を防止する帯電防止対策を施したフィルム（以下、帯電防止フィルムと記す）を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物（ITO）、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0104】

なお、半導体装置のバッテリーバックアップ回路部に設けられるバッテリーは、薄膜の二次電池を導電膜1315a、1315bに接続して形成されるが、二次電池との接続は、基板1301から素子形成層1319を剥離する前（図7（B）又は図7（C）の段階）に行ってもよいし、基板1301から素子形成層1319を剥離した後（図8（A）の段階）に行ってもよいし、素子形成層1319を第1のシート材及び第2のシート材で封止した後（図8（B）の段階）に行ってもよい。以下に、素子形成層1319と二次電池を接続して形成する一例を図9、図10を用いて説明する。

【0105】

図7（B）において、アンテナとして機能する導電膜1317と同時に導電膜1315a、1315bにそれぞれ電氣的に接続する導電膜1331a、1331bを形成する。続けて、導電膜1317、導電膜1331a、1331bを覆うように絶縁膜1318を形成した後、導電膜1331a、1331bの表面が露出するように開口部を形成する。その後、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面（絶縁膜1318の露出した面）に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する（図9（A）参照）。

【0106】

次に、素子形成層1319の他方の面（剥離により露出した面）に、第2のシート材1321を貼り合わせた後、素子形成層1319を第1のシート材1320から剥離する。従

10

20

30

40

50

って、ここでは第1のシート材1320として粘着力が弱いものを用いる。続けて、開口部を介して導電膜1331a、1331bとそれぞれ電氣的に接続する導電膜1334a、1334bを選択的に形成する(図9(B)参照)。

【0107】

導電膜1334a、導電膜1334bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電膜1334a、導電膜1334bは、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

10

【0108】

なお、ここでは、基板1301から素子形成層1319を剥離した後に導電膜1334a、1334bを形成する例を示しているが、導電膜1334a、1334bを形成した後に基板1301から素子形成層1319の剥離を行ってもよい。

【0109】

次に、基板上に複数の素子を形成している場合には、素子形成層1319を素子ごとに分断する(図10(A)参照)。分断は、レーザー照射装置、ダイシング装置、スクライブ装置等を用いることができる。ここでは、レーザー光を照射することによって1枚の基板に形成された複数の素子を各々分断する。

20

【0110】

次に、分断された素子を二次電池と電氣的に接続する(図10(B)参照)。本実施の形態においては、半導体装置のバッテリーバックアップ回路部のバッテリーとして薄膜の二次電池が用いられ、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される。

【0111】

導電膜1336a、導電膜1336bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電膜1336a、導電膜1336bは、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。導電性材料としては、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

30

【0112】

薄膜の二次電池1389の構成について次いで詳述すると、導電膜1336a上に負極活物質層1381を成膜する。一般には酸化バナジウム(V_2O_5)などが用いられる。次に負極活物質層1381上に固体電解質層1382を成膜する。一般にはリン酸リチウム(Li_3PO_4)などが用いられる。次に固体電解質層1382上に正極活物質層1383を成膜する。一般にはマンガン酸リチウム($LiMn_2O_4$)などが用いられる。コバルト酸リチウム($LiCoO_2$)やニッケル酸リチウム($LiNiO_2$)を用いても良い。次に正極活物質層1383上に電極となる集電体薄膜1384を成膜する。集電体薄膜1384は正極活物質層1383と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

40

【0113】

上述の負極活物質層1381、固体電解質層1382、正極活物質層1383、集電体薄膜1384の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。それぞれの層の厚さは $0.1\mu m \sim 3\mu m$ が望ましい。

【0114】

次に樹脂を塗布し、層間膜1385を形成する。そしてその層間膜をエッチングしコンタ

50

クトホールを形成する。層間膜は樹脂には限定せず、CVD法などで形成された酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜上に配線層1386を形成し、導電膜1336bと接続することにより、二次電池の電気接続を確保する。

【0115】

ここでは、素子形成層1319に設けられた導電膜1334a、1334bと予め薄膜の二次電池1389の接続端子となる導電膜1336a、1336bとをそれぞれ接続する。ここで、導電膜1334aと導電膜1336aとの接続、又は導電膜1334bと導電膜1336bとの接続は、異方導電性フィルム(ACF(Anisotropic Conductive Film))や異方導電性ペースト(ACP(Anisotropic Conductive Paste))等の接着性を有する材料を介して圧着させることにより電氣的に接続する場合を示している。ここでは、接着性を有する樹脂1337に含まれる導電性粒子1338を用いて接続する例を示している。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

10

【0116】

なお、トランジスタの構成は、様々な形態をとることができる。本実施の形態で示した特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくし、空乏層ができやすくなってS値をよくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

20

【0117】

また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよい。また、チャンネル領域が複数の領域に分かれていてもよく、複数のチャンネル領域は、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっていてもよい。チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることができる。

30

40

【0118】

なお、本実施の形態の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。

【0119】

(実施の形態5)

本実施の形態では、上記実施の形態4とは異なる半導体装置の作製方法に関して、図面を参照して説明する。本実施の形態においては、半導体装置のデータ保持回路、記憶回路等の回路に含まれる素子等を同一の半導体基板上に設ける場合について説明する。また、バッテリーに設ける蓄電回路として上記実施の形態4で説明した二次電池を用いた例について説明する。もちろん、二次電池の代わりに電気二重層コンデンサー等を設けた構成と

50

することも可能である。

【0120】

まず、半導体基板2300に絶縁膜2302（フィールド酸化膜ともいう）を形成し、それにより領域2304、2306（素子形成領域または素子分離領域2304、2306とも記す）を形成する（図11（A）参照）。半導体基板2300に設けられた領域2304、2306は、それぞれ絶縁膜2302（フィールド酸化膜ともいう）によって分離されている。また、ここでは、半導体基板2300としてn型の導電性を有する単結晶Si基板を用い、半導体基板2300の領域2306にpウェル2307を設けた例を示している。

【0121】

また、半導体基板2300は、半導体であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0122】

領域2304、2306は、選択酸化法（LOCOS（Local Oxidation of Silicon）法）又はトレンチ分離法等を適宜用いることができる。

【0123】

また、半導体基板2300の領域2306に形成されたpウェル2307は、半導体基板2300にp型の導電性を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。

【0124】

なお、本実施の形態では、半導体基板2300としてn型の導電性を有する半導体基板を用いているため、領域2304には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域2304にnウェルを形成してもよい。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。一方、p型の導電性を有する半導体基板を用いる場合には、領域2304にn型を示す不純物元素を導入してnウェルを形成し、領域2306には不純物元素の導入を行わない構成としてもよい。

【0125】

次に、領域2304、2306を覆うように絶縁膜2332、2334をそれぞれ形成する（図11（B）参照）。

【0126】

絶縁膜2332、2334は、例えば、熱処理を行い半導体基板2300に設けられた領域2304、2306の表面を酸化させることにより酸化シリコン膜で絶縁膜2332、2334を形成することができる。また、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜（酸窒化シリコン膜）との積層構造で形成してもよい。

【0127】

他にも、上述したように、プラズマ処理を用いて絶縁膜2332、2334を形成してもよい。例えば、半導体基板2300に設けられた領域2304、2306の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜2332、2334として酸化シリコン膜又は窒化シリコン膜で形成することができる。また、高密度プラズマ処理により領域2304、2306の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域2304、2306の表面に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に酸窒化シリコン膜が形成され、絶縁膜2332、2334は酸化シリコン膜と酸窒化シリコン膜とが積層された膜となる。また、熱酸化法により領域2304、2306の表面に酸化シリコン膜を形

10

20

30

40

50

成した後高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0128】

また、半導体基板2300の領域2304、2306に形成された絶縁膜2332、2334は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0129】

次に、領域2304、2306の上方に形成された絶縁膜2332、2334を覆うように導電膜を形成する(図11(C)参照)。ここでは、導電膜として、導電膜2336と導電膜2338を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0130】

導電膜2336、2338としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0131】

ここでは、導電膜2336として窒化タンタルを用いて形成し、その上に導電膜2338としてタングステンを用いて積層構造で設ける。また、他にも、導電膜2336として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜2338として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0132】

次に、積層して設けられた導電膜2336、2338を選択的にエッチングして除去することによって、領域2304、2306の上方の一部に導電膜2336、2338を残存させ、それぞれゲート電極2340、2342を形成する(図12(A)参照)。

【0133】

次に、領域2304を覆うようにレジストマスク2348を選択的に形成し、当該レジストマスク2348、ゲート電極2342をマスクとして領域2306に不純物元素を導入することによって不純物領域を形成する(図12(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を用いる。

【0134】

図12(B)においては、不純物元素を導入することによって、領域2306にソース領域又はドレイン領域を形成する不純物領域2352とチャネル形成領域2350が形成される。

【0135】

次に、領域2306を覆うようにレジストマスク2366を選択的に形成し、当該レジストマスク2366、ゲート電極2340をマスクとして領域2304に不純物元素を導入することによって不純物領域を形成する(図12(C)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、図12(B)で領域2306に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域2304にソース領域又はドレイン領域を形成する不純物領域2370とチャネル形成領域2368を形成される。

【0136】

次に、絶縁膜 2332、2334、ゲート電極 2340、2342 を覆うように第 2 の絶縁膜 2372 を形成し、当該第 2 の絶縁膜 2372 上に領域 2304、2306 にそれぞれ形成された不純物領域 2352、2370 と電氣的に接続する配線 2374 を形成する（図 13（A）参照）。

【0137】

第 2 の絶縁膜 2372 は、CVD 法やスパッタ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0138】

配線 2374 は、CVD 法やスパッタリング法等により、アルミニウム（Al）、タンゲステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線 2374 は、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線 2374 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

20

30

【0139】

なお本発明のトランジスタを構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィン FET 構造等の構造のトランジスタの構造を取り得る。フィン FET 構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0140】

本実施の形態において二次電池は、トランジスタに接続された配線 2374 上に積層して形成される。二次電池は、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される（図 13（B））。そのため、二次電池の集電体薄膜と兼用される配線 2374 の材料は、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

40

【0141】

薄膜二次電池の構成について次いで詳述すると、配線 2374 上に負極活物質層 2391 を成膜する。一般には酸化バナジウム（ V_2O_5 ）などが用いられる。次に負極活物質層 2391 上に固体電解質層 2392 を成膜する。一般にはリン酸リチウム（ Li_3PO_4 ）などが用いられる。次に固体電解質層 2392 上に正極活物質層 2393 を成膜する。一般にはマンガン酸リチウム（ $LiMn_2O_4$ ）などが用いられる。コバルト酸リチウム（ $LiCoO_2$ ）やニッケル酸リチウム（ $LiNiO_2$ ）を用いても良い。次に正極活物

50

質層 2 3 9 3 上に電極となる集電体薄膜 2 3 9 4 を成膜する。集電体薄膜 2 3 9 4 は正極活物質層 2 3 9 3 と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

【 0 1 4 2 】

上述の負極活物質層 2 3 9 1、固体電解質層 2 3 9 2、正極活物質層 2 3 9 3、集電体薄膜 2 3 9 4 の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。また、それぞれの層の厚さは 0 . 1 μm ~ 3 μm が望ましい。

【 0 1 4 3 】

次に樹脂を塗布し、層間膜 2 3 9 6 を形成する。そして層間膜 2 3 9 6 をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD法などで形成された酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜 2 3 9 6 上に配線層 2 3 9 5 を形成し、配線 2 3 9 7 と接続することにより、二次電池の電気接続を確保する。

10

【 0 1 4 4 】

以上のような構成にすることにより、本発明の半導体装置においては、単結晶基板上にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。従って本発明の半導体装置においては、極薄化、小型化を達成した柔軟性を達成することができる。

【 0 1 4 5 】

なお、本実施の形態の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。

20

【 図面の簡単な説明 】

【 0 1 4 6 】

【 図 1 】 本発明の半導体装置の構成の一例を示す図。

【 図 2 】 本発明の半導体装置のバッテリーの一構成例を示す図。

【 図 3 】 本発明の半導体装置のデータ保持回路の一構成例を示す図。

【 図 4 】 本発明の半導体装置のメモリセルの一構成例を示す図。

【 図 5 】 本発明の半導体装置のバッテリーの一構成例を示す図。

【 図 6 】 本発明の半導体装置の作製方法の一例を示す図。

【 図 7 】 本発明の半導体装置の作製方法の一例を示す図。

30

【 図 8 】 本発明の半導体装置の作製方法の一例を示す図。

【 図 9 】 本発明の半導体装置の作製方法の一例を示す図。

【 図 1 0 】 本発明の半導体装置の作製方法の一例を示す図。

【 図 1 1 】 本発明の半導体装置の作製方法の一例を示す図。

【 図 1 2 】 本発明の半導体装置の作製方法の一例を示す図。

【 図 1 3 】 本発明の半導体装置の作製方法の一例を示す図。

【 符号の説明 】

【 0 1 4 7 】

1 0 1 バッテリーバックアップ回路部

1 0 2 記憶回路部

40

1 0 3 電源線

1 0 4 配線

1 0 5 配線

1 0 6 アドレス信号線

1 0 7 入出力信号線

1 0 8 メモリライトイネーブル信号線

1 0 9 リードイネーブル信号線

1 1 0 バッテリー

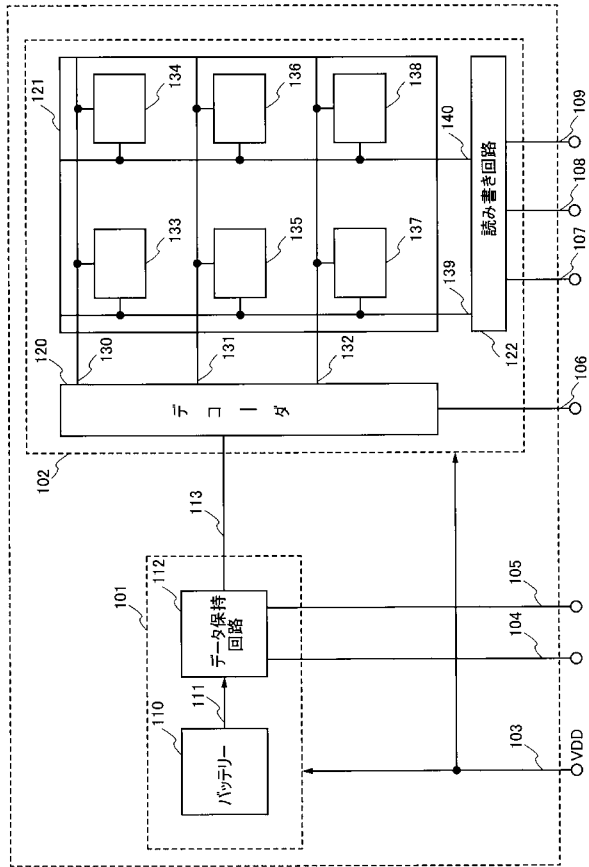
1 1 1 電源線

1 1 2 データ保持回路

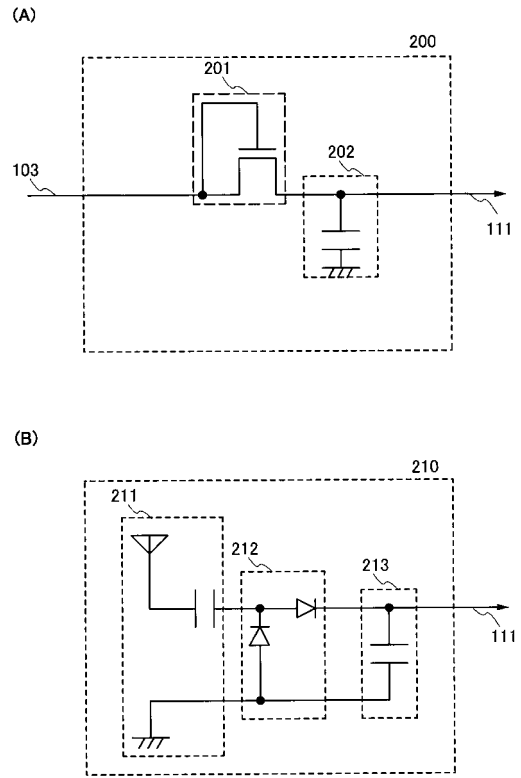
50

1 1 3	配線	
1 2 0	デコーダ	
1 2 1	メモリセルアレイ	
1 2 2	回路	
1 3 0	予備メモリワード線	
1 3 1	ワード線	
1 3 2	ワード線	
1 3 3	予備メモリセル	
1 3 4	予備メモリセル	
1 3 5	メモリセル	10
1 3 6	メモリセル	
1 3 7	メモリセル	
1 3 8	メモリセル	
1 3 9	ビット線	
1 4 0	ビット線	
2 0 0	バッテリー	
2 0 1	整流素子	
2 0 2	蓄電回路	
2 1 0	R F バッテリー	
2 1 1	アンテナ回路	20
2 1 2	整流回路	
2 1 3	蓄電回路	
3 0 0	データ保持回路	
3 0 1	アナログスイッチ	
3 0 2	ラッチ	
3 0 3	アナログスイッチ開閉信号線	
3 0 4	アナログスイッチ開閉反転信号線	
3 1 0	データ保持回路	
3 1 1	クロックドインバータ	
3 1 2	ラッチ	30
3 1 3	クロックドインバータ	
3 1 4	ラッチ	
3 1 5	クロックドインバータ	
4 0 0	メモリセル	
4 0 1	ワード線	
4 0 2	nチャンネル型トランジスタ	
4 0 3	ラッチ	
4 0 4	ビット線	
4 1 0	メモリセル	
4 1 1	ワード線	40
4 1 2	ワード反転信号線	
4 1 3	アナログスイッチ	
4 1 4	アナログスイッチ	
4 1 5	ラッチ	
4 1 6	ビット線	
4 1 7	ビット反転信号線	
5 0 0	R F バッテリー	
5 0 1	アンテナ回路	
5 0 2	整流回路	
5 0 3	蓄電回路	50

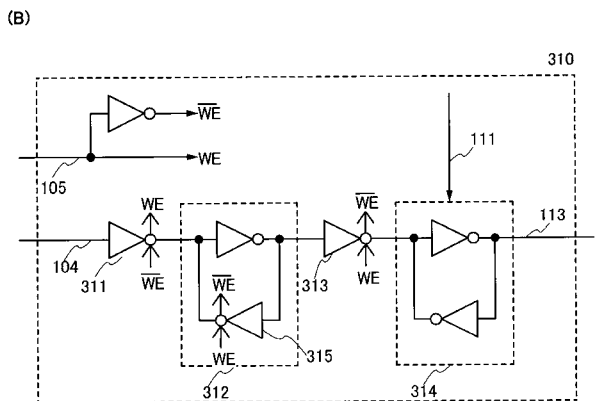
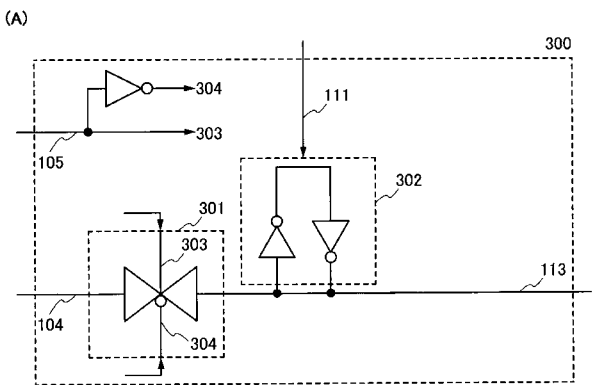
【図 1】



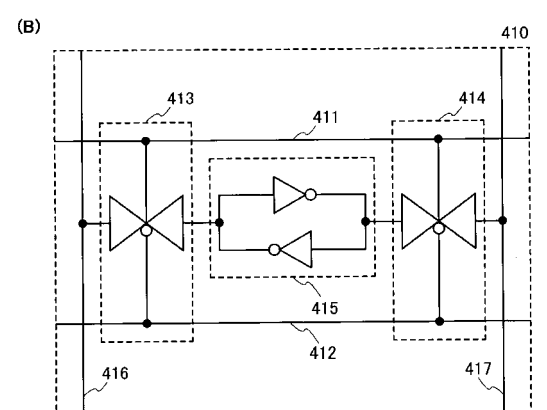
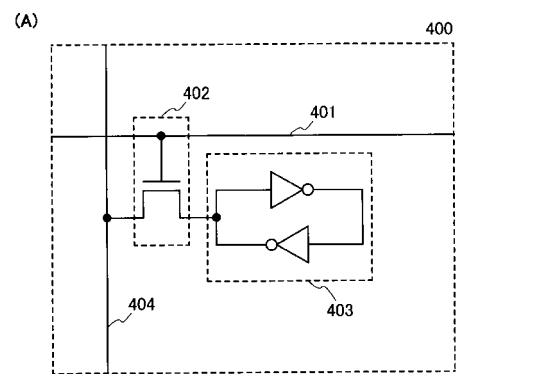
【図 2】



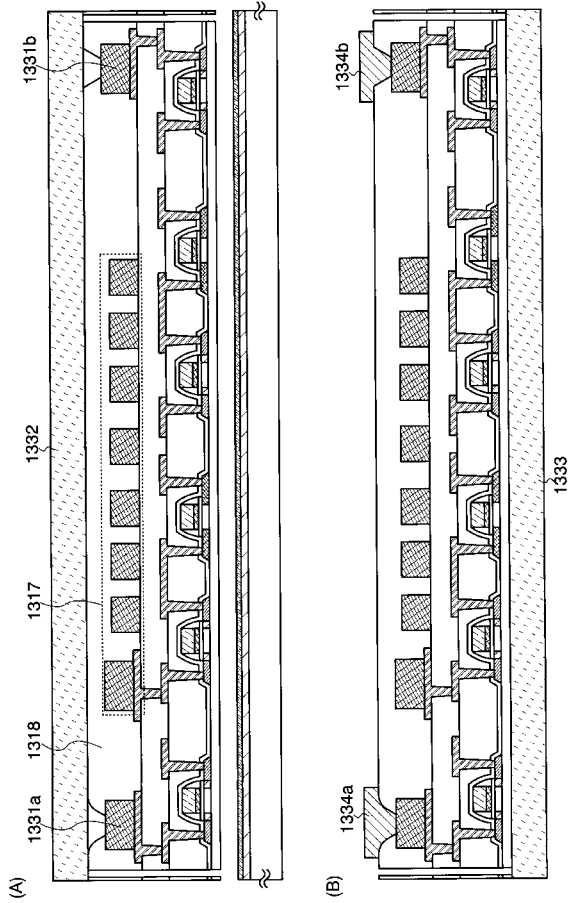
【図 3】



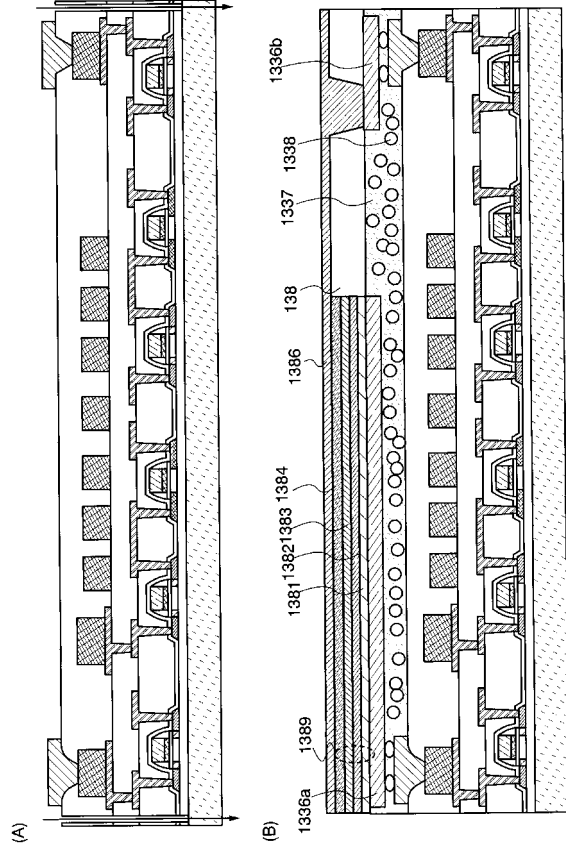
【図 4】



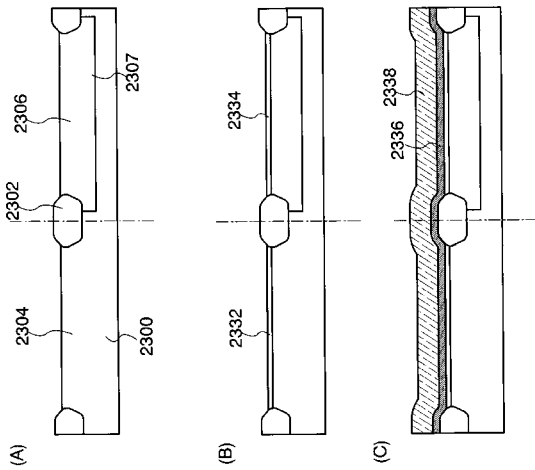
【 図 9 】



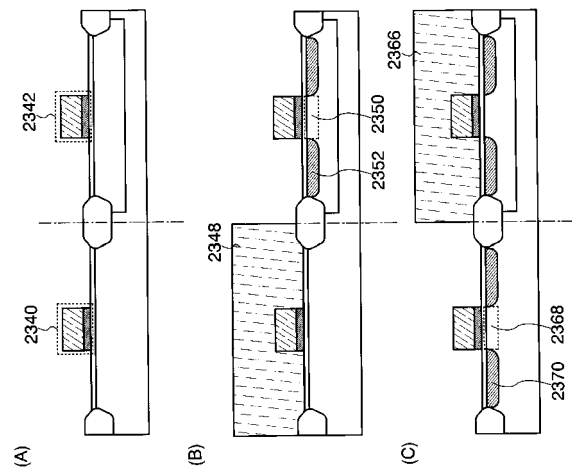
【 図 10 】



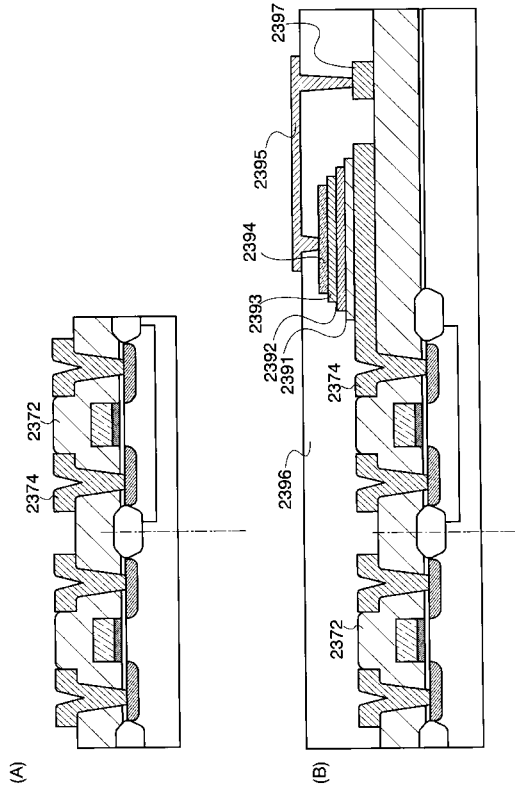
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 3 Z

Fターム(参考) 5F110 AA27 BB04 BB06 BB07 CC02 CC05 CC07 CC10 DD01 DD04
DD05 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06
EE09 EE14 EE15 EE28 EE30 EE32 EE44 EE45 FF02 FF03
FF04 FF09 FF23 FF25 FF26 FF28 FF29 FF30 GG02 GG12
GG13 GG25 GG30 GG32 GG43 GG45 GG47 HJ01 HJ04 HJ12
HJ13 HJ23 HL01 HL02 HL03 HL04 HL06 HL08 HL11 HL12
HL23 HL24 HM15 NN03 NN22 NN23 NN24 NN27 NN33 NN34
NN35 NN36 NN62 NN65 NN66 NN71 PP01 PP02 PP03 PP04
PP05 PP10 PP24 PP29 PP34 PP35 QQ06 QQ09 QQ11 QQ16
QQ17 QQ23
5L106 AA02 CC05 CC17 FF04 FF05 GG06