



(12) 发明专利

(10) 授权公告号 CN 101458966 B

(45) 授权公告日 2015. 04. 01

(21) 申请号 200810190316. 6

审查员 富瑶

(22) 申请日 2008. 12. 15

(30) 优先权数据

2007-323241 2007. 12. 14 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 德永肇

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 何欣亭 王小衡

(51) Int. Cl.

G11C 17/16(2006. 01)

G11C 17/18(2006. 01)

(56) 对比文件

CN 1519861 A, 2004. 08. 11,

CN 1169016 A, 1997. 12. 31,

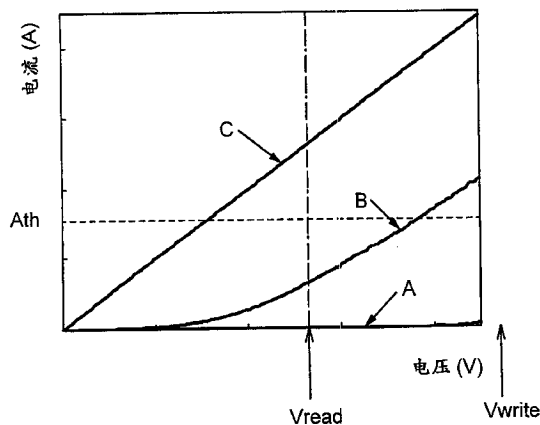
权利要求书2页 说明书26页 附图8页

(54) 发明名称

存储器及半导体装置

(57) 摘要

本发明“存储器及半导体装置”提供一种存储器,它包括具有第一电极、第二电极以及在所述第一电极和所述第二电极之间的硅层的存储元件。所述存储元件可以处于“第一状态”、“第二状态”及“第三状态”。对处于所述第一状态的所述存储元件写入第一数据,结果使第一电极的电位比所述第二电极的电位高,从而有所述存储元件处于所述第二状态。对处于所述第一状态的所述存储元件写入第二数据,结果使第二电极的电位比所述第一电极的电位高,从而有所述存储元件处于所述第三状态。



1. 一种存储器,包括:

包含第一电极、第二电极、绝缘层以及硅层的存储元件,

其中,所述绝缘层、所述硅层及所述第二电极依次层叠在所述第一电极上,

其中,所述存储元件可处于第一状态、第二状态和第三状态,

其中,对处于所述第一状态的所述存储元件写入第一数据,以通过使所述第二电极用作阳极在第一方向施加击穿电压,从而所述存储元件处于所述第二状态,

其中,对处于所述第一状态的所述存储元件写入第二数据,以通过使所述第二电极用作阴极在与所述第一方向相反方向的第二方向施加击穿电压,从而所述存储元件处于所述第三状态,

其中,当处于所述第一状态的所述存储元件的电阻值为 R_1 、处于所述第二状态的所述存储元件的电阻值为 R_2 、并且处于所述第三状态的所述存储元件的电阻值为 R_3 时,满足 $R_1 > R_2 > R_3$,

其中,处于所述第二状态的所述存储元件不能转变为所述第一状态,

其中,处于所述第三状态的所述存储元件不能转变为所述第一状态和所述第二状态,

其中,所述第一电极包含钨,

其中,所述第二电极包含钛,

其中,所述硅层包含非晶硅,

其中,根据所述第一方向和所述第二方向而引起不同的反应。

2. 根据权利要求 1 所述的存储器,还包括驱动电路,该驱动电路包含多个晶体管,并且其中所述存储元件和所述驱动电路形成在衬底上。

3. 根据权利要求 1 所述的存储器,还包括天线。

4. 一种存储器,包括:

包含第一电极、第二电极、绝缘层以及硅层的存储元件,

其中,所述绝缘层、所述硅层及所述第二电极依次层叠在所述第一电极上,

其中,所述存储元件可处于第一状态、第二状态和第三状态,

其中,对处于所述第一状态的所述存储元件写入第一数据,以通过使所述第二电极用作阳极在第一方向施加击穿电压,从而所述存储元件处于所述第二状态,

其中,对处于所述第一状态的所述存储元件写入第二数据,以通过使所述第二电极用作阴极在与所述第一方向相反方向的第二方向施加击穿电压,从而所述存储元件处于所述第三状态,

其中,当处于所述第一状态的所述存储元件的电阻值为 R_1 、处于所述第二状态的所述存储元件的电阻值为 R_2 、并且处于所述第三状态的所述存储元件的电阻值为 R_3 时,满足 $R_1 > R_2 > R_3$,

其中,处于所述第二状态的所述存储元件不能转变为所述第一状态,

其中,处于所述第三状态的所述存储元件不能转变为所述第一状态和所述第二状态,以及

其中,根据所述第一方向和所述第二方向而引起不同的反应。

5. 根据权利要求 4 所述的存储器,其中所述第一电极和所述第二电极各自包含钨或钛。

6. 根据权利要求 4 所述的存储器,其中所述硅层包含非晶硅。

7. 根据权利要求 4 所述的存储器,还包括驱动电路,该驱动电路包含多个晶体管,并且其中所述存储元件和所述驱动电路形成在衬底上。

8. 根据权利要求 4 所述的存储器,还包括天线。

9. 根据权利要求 4 所述的存储器,其中所述绝缘层包含氧氮化硅。

10. 一种存储器,包括:

包含第一电极、第二电极、绝缘层以及硅层的存储元件,

其中,所述绝缘层、所述硅层及所述第二电极依次层叠在所述第一电极上,

其中,所述存储元件可处于第一状态、第二状态和第三状态,

其中,对处于所述第一状态的所述存储元件写入第一数据,以通过使所述第二电极用作阳极在第一方向施加击穿电压,从而所述存储元件处于所述第二状态,

其中,对处于所述第一状态的所述存储元件写入第二数据,以通过使所述第二电极用作阴极在与所述第一方向相反方向的第二方向施加击穿电压,从而所述存储元件处于所述第三状态,

其中,当处于所述第一状态的所述存储元件的电阻值为 R_1 、处于所述第二状态的所述存储元件的电阻值为 R_2 、并且处于所述第三状态的所述存储元件的电阻值为 R_3 时,满足 $R_1 > R_2 > R_3$,

其中,处于所述第二状态的所述存储元件对应于被写入“0”和“1”之一方的存储元件,

其中,处于所述第三状态的所述存储元件对应于被写入“0”和“1”之另一方的存储元件,

其中,处于所述第二状态的所述存储元件不能转变为所述第一状态,

其中,处于所述第三状态的所述存储元件不能转变为所述第一状态和所述第二状态,以及

其中,根据所述第一方向和所述第二方向而引起不同的反应。

11. 根据权利要求 10 所述的存储器,其中所述第一电极和所述第二电极各自包含钨或钛。

12. 根据权利要求 10 所述的存储器,其中所述硅层包含非晶硅。

13. 根据权利要求 10 所述的存储器,还包括驱动电路,该驱动电路包含多个晶体管,并且其中所述存储元件和所述驱动电路形成在衬底上。

14. 根据权利要求 10 所述的存储器,还包括天线。

15. 根据权利要求 10 所述的存储器,其中所述绝缘层包含氧氮化硅。

存储器及半导体装置

技术领域

[0001] 本发明涉及存储器及具有存储器的半导体装置。本发明特别涉及反熔丝型存储器。本发明还涉及能够以无线方式进行数据的写入及读取的半导体装置。

背景技术

[0002] 被称为 RFID (射频识别) 的技术引人注目, 并且应用于流通、履历管理、物品管理、存在信息管理等各种各样的领域。RFID 狭义地是指利用无线通信技术的数据的交换, 并且可以通过在 RFID 标签 (也被称为 RF 标签、ID 标签、IC 标签、无线标签) 和读取写入器之间进行无线通信, 而进行数据的写入或读取。

[0003] 近年来, 还研究了在机场的应用, 作为一例可举出航空行李管理系统。例如, 专利文献 1 记载有利用 RFID 管理利用者 (出国者) 的行李的系统。具体地说, 通过将 RFID 标签安装到行李上, 并对 RFID 标签随时写入必要的信息 (利用者的姓名、住址、检查结果等), 并读取写入到该 RFID 标签的数据而进行管理, 以谋求提高保密性、便利性。

[0004] [专利文献 1] 日本专利申请公开 2005-289634 号公报

[0005] 写入到 RFID 标签的数据又被写入到安装在 RFID 标签上的存储器。在将 RFID 用于行李管理的情况下, 为防止行李的遗失、偷窃等, 最好设置成一旦写入数据一旦写入后就不能重写。因此, 最好安装能够读取及仅写入一旦写入的一次写入存储器。

[0006] 作为一次写入存储器, 已知通过控制导电状态及非导电状态来写入数据的熔丝、反熔丝型等熔丝型元件。反熔丝在制造时处于非导电状态, 通过提供预定阈值以上的电信号而变为导电状态。一般地, 在作为存储器使用时, 使二值数据中的一方对应于利用制造时即初始状态的非导电状态 (高电阻状态), 并且使二值数据中的另一方对应于写入后的导电状态 (低电阻状态)。

[0007] 然而, 即使在对存储器写入预定数据之后, 当将阈值以上的电信号提供给处于非导电状态的反熔丝时, 还可以使该反熔丝变为导电状态。从而, 在将反熔丝应用于航空行李管理系统等行李管理的情况下, 有可能降低保密性及安全性, 如篡改数据而偷盗行李或者在飞机上装载危险物品, 等等。

发明内容

[0008] 鉴于上述问题, 本发明的目的之一是提供一种防止篡改已写入数据的存储器以及半导体装置。此外, 本发明的另一目的是提供一种能够在制造存储器后或者在制造半导体装置后随时进行新数据写入的追记型存储器。本发明的又一目的是提供一种包括具有防数据篡改的结构 of 追记型存储器的无线芯片。

[0009] 利用多个反熔丝 (也称为反熔丝元件、存储元件) 构成存储器。反熔丝采用选自“第一状态”、“第二状态”以及“第三状态”中的一种状态。将“第一状态”设定为反熔丝的初始状态, 并且将“第二状态”及“第三状态”设定为对反熔丝进行了写入的状态。

[0010] 反熔丝的“第二状态”及“第三状态”是通过将“第一状态”进行写入而得到的状态。

处于“第二状态”的反熔丝即使进行写入,也不变为其他状态。同样地,处于“第三状态”的反熔丝即使进行写入,也不变为其他状态。就是说,本反熔丝具有如下特性:在处于“第一状态”的情况下,通过进行写入而变为“第二状态”或“第三状态”,但是,在处于“第二状态”的情况下,即使进行写入,也不变为“第一状态”或“第三状态”,并且,在处于“第三状态”的情况下,即使进行写入,也不变为“第一状态”或“第二状态”。

[0011] 构成存储器的反熔丝以块单位或反熔丝单位写入数据。在存储器中,以块单位或反熔丝单位区别已写入或未写入。配置在已写入块中的反熔丝、或者已写入的反熔丝不是处于“第二状态”就是处于“第三状态”。在采用块单位的情况下,既可以由一个块构成存储器,也可以由多个块构成存储器。此外,块单位既可以由一个反熔丝构成,也可以由多个反熔丝构成。

[0012] 通过如上所述地构成存储器,已写入块的反熔丝不变为其他状态,所以不能重写。此外,通过使处于“第一状态”的反熔丝存在于未写入块中,可以进行追记。再者,在对有“第一状态”的反熔丝存在的未写入块进行追记来使配置在该块中的所有反熔丝变为“第二状态”或“第三状态”之后,该块成为已写入状态。因此,通过追记而成为已写入状态的块的反熔丝处于“第二状态”或“第三状态”,而不能重写。

[0013] 本发明之一是包括具有选自“第一状态”、“第二状态”以及“第三状态”中的一种状态的反熔丝的存储器。反熔丝具有如下特性:在处于“第一状态”的情况下,通过进行写入而变为“第二状态”或“第三状态”,而在处于“第二状态”的情况下,即使进行写入,也不变为“第一状态”或“第三状态”,并且,在处于“第三状态”的情况下,即使进行写入,也不变为“第二状态”或“第一状态”。而且,使“第二状态”及“第三状态”对应于二值数据的“0”及“1”,或者“1”及“0”。

[0014] 本发明之一是包括具有选自“第一状态”、“第二状态”以及“第三状态”中的一种状态的反熔丝的存储器。处于“第一状态”的反熔丝在进行利用第一写入方法的写入的情况下变为“第二状态”,而在进行利用第二写入方法的写入的情况下变为“第三状态”。此外,在反熔丝处于“第二状态”的情况下,即使进行写入,也不变为“第一状态”或“第三状态”,而在处于“第三状态”的情况下,即使进行写入,也不变为“第一状态”或“第二状态”。而且,通过使“第二状态”及“第三状态”对应于二值数据的“0”及“1”或者“1”及“0”来写入数据。

[0015] 在上述结构中,第一写入方法为向第一方向施加电压的方法,并且第二写入方法为向与第一方向相反的第二方向施加电压的方法。

[0016] 此外,在上述结构中,存储器所包括的反熔丝具有从“第一状态”变为“第二状态”或“第三状态”的元件结构。

[0017] 反熔丝的“第一状态”、“第二状态”及“第三状态”分别具有不同的电阻值。此外,反熔丝的电阻按“第一状态”、“第二状态”及“第三状态”的顺序降低。就是说,若设第一状态的电阻值为 R_1 ,第二状态的电阻值为 R_2 ,第三状态的电阻值为 R_3 ,则满足 $R_1 > R_2 > R_3$ 的关系。

[0018] 另外,在上述结构中,反熔丝可以设置成具有第一电极、第二电极以及在所述第一电极和所述第二电极之间由硅层和绝缘层构成的叠层膜即电阻材料层的结构。

[0019] 此外,本发明之一是设有包含多个反熔丝的存储器、包含多个薄膜晶体管的驱动

电路以及天线的半导体装置。反熔丝之一处于选自“第一状态”、“第二状态”及“第三状态”中的一种状态,并且,在反熔丝处于“第一状态”的情况下,通过进行写入而变为“第二状态”或“第三状态”。处于“第二状态”的反熔丝具有即使进行写入,也不变为“第一状态”或“第三状态”的特性。另外,处于“第三状态”的反熔丝具有即使进行写入,也不变为“第二状态”或“第一状态”的特性。并且,使“第二状态”及“第三状态”对应于二值数据的“0”及“1”或者“1”及“0”。

[0020] 此外,本发明之一是设有包含多个反熔丝的存储器、包含多个薄膜晶体管的驱动电路以及天线的半导体装置。反熔丝处于选自“第一状态”、“第二状态”及“第三状态”中的一种状态。处于“第一状态”的反熔丝在进行利用第一写入方法的写入的情况下变为“第二状态”,而在进行利用第二写入方法的写入的情况下变为“第三状态”。处于“第二状态”的反熔丝具有即使进行写入,也不变为“第一状态”或“第三状态”的特性。处于“第三状态”的反熔丝具有即使进行写入,也不变为“第二状态”或“第一状态”的特性。使“第二状态”及“第三状态”对应于二值数据的“0”及“1”或者“1”及“0”。

[0021] 在上述结构中,第一写入方法为向第一方向施加电压的方法,并且第二写入方法为向与第一方向相反的第二方向施加电压的方法。

[0022] 此外,在上述结构中,存储器所包含的反熔丝具有从“第一状态”变为“第二状态”或“第三状态”的元件结构。

[0023] 此外,反熔丝的电阻按“第一状态”、“第二状态”及“第三状态”的顺序降低。就是说,若设第一状态的电阻值为 R_1 ,第二状态的电阻值为 R_2 ,第三状态的电阻值为 R_3 ,则满足 $R_1 > R_2 > R_3$ 的关系。此外,各电阻值彼此不同。

[0024] 此外,反熔丝可以设置成具有第一电极、第二电极以及在第一电极和第二电极之间由硅层和绝缘层构成的叠层膜即电阻材料层的结构。

[0025] 本发明可以实现不能重写的追记型存储器。从而,可以实现可防止窜改一旦写入的数据且可随时写入新数据的存储器:。

附图说明

[0026] 图 1 是表示根据本发明的反熔丝的电特性的例示图;

[0027] 图 2A 至 2C 是表示根据本发明的反熔丝的元件结构的例示截面图;

[0028] 图 3A 至 3C 是表示根据本发明的反熔丝的元件结构的例示截面图;

[0029] 图 4A 和 4B 是表示一例根据本发明的半导体装置的制造方法的截面图;

[0030] 图 5A 至 5E 是说明可用于根据本发明的半导体装置的天线的图;

[0031] 图 6A 是例示根据本发明的半导体装置的方块图且图 6B 和 6C 是表示使用方式的例示图;

[0032] 图 7A 至 7H 是表示根据本发明的半导体装置的应用例的示图;

[0033] 图 8A 至 8D 是表示根据本发明的半导体装置的制造工序的截面图;

[0034] 图 9A 至 9C 是表示根据本发明的半导体装置的制造工序的截面图。

具体实施方式

[0035] 以下说明本发明的实施方式。然而,本发明不局限于以下说明,本领域技术人员容

易理解,其形态和细节可以在不脱离本发明的宗旨及其范围的情况下变换为各种各样的形式。因此,本发明不应该被解释为仅限于以下所示的实施方式中记载的内容。注意,在以下说明的本发明的结构中,在不同的附图之间共用表示相同部分的附图标记。

[0036] 实施方式 1

[0037] 根据本发明的反熔丝采用选自“第一状态”、“第二状态”及“第三状态”中的一种状态。“第一状态”、“第二状态”及“第三状态”的电特性彼此不同。这些三种状态中的一种状态是制造反熔丝时的初始状态,并且其他两种状态是通过对反熔丝提供电信号而写入的状态。就是说,本反熔丝有可取得两种写入状态。

[0038] 此外,根据本发明的存储器由多个反熔丝构成,并且以块单位或者反熔丝单位对存储器写入数据。在存储器中,以块单位或者反熔丝单位来区别为已写入或未写入。配置在已写入块中的反熔丝或者已写入的反熔丝必取两种写入状态中的一种状态,并且两种写入状态对应于二值数据的“0”或“1”。在本方式的说明中,以块单位对反熔丝写入数据,并且以块单位区别已写入数据或未写入数据。

[0039] 在本方式中,以反熔丝的初始状态为“第一状态”,并且以对反熔丝进行了写入的状态为“第二状态”及“第三状态”。处于“第一状态”的反熔丝通过写入而变为“第二状态”或“第三状态”。换言之,本反熔丝的“第二状态”及“第三状态”是通过对处于作为初始状态的“第一状态”的反熔丝选择写入方法而获得的两种写入状态。根据本发明的存储器设有具备从“第一状态”变为“第二状态”或“第三状态”的元件结构的反熔丝。

[0040] 例如,用第一写入方法的写入时,该反熔丝从“第一状态”变为“第二状态”。与此相反,用第二写入方法的写入时,该反熔丝从“第一状态”变为“第三状态”。“第二状态”和“第三状态”是两种不同的写入状态。

[0041] 再有,从“第一状态”到“第二状态”的变化以及从“第一状态”到“第三状态”的变化是不可逆的。此外,即使对处于“第二状态”的反熔丝进行利用第二写入方法的写入,也所述反熔丝不从“第二状态”变为“第三状态”。同样地,即使对处于“第三状态”的反熔丝用第一写入方法的写入,所述反熔丝也不会从“第三状态”变为“第二状态”。

[0042] 就是说,处于“第二状态”的反熔丝以及处于“第三状态”的反熔丝即使进行写入其状态也不变化。具体地说,根据本发明的反熔丝具有如下特性:在处于“第二状态”的情况下不变为“第一状态”或“第三状态”,并且在处于“第三状态”的情况下不变为“第一状态”或“第二状态”。就是说,根据本发明的反熔丝具有如下的变化:“第一状态”→“第二状态”、“第一状态”→“第三状态”,但是不具有如下的变化:“第二状态”→“第一状态”、“第三状态”→“第一状态”、“第二状态”→“第三状态”、“第三状态”→“第二状态”。再有,“第一状态”→“第二状态”是指从箭头的左侧的状态到右侧的状态的变化。

[0043] 假设构成存储器的反熔丝以块单位写入数据,并且以块单位区别已写入或未写入。构成存储器的反熔丝既可以整体设为一个块,也可以分割成多个块。区别块(或者反熔丝)的方法(单元)没有特别限制,只要能够区别已写入或未写入就可以。作为区别方法,可以举出标志、物理开关等。例如,在已写入块中建立标志,以块单位检测是否建立标志,并且,在检测出建立标志的情况下,可以判断该块是已写入的,另一方面,在检测出未建立标志的情况下,可以判断该块是未写入的。将块中特定的反熔丝分配给标志即可,在已写入的情况下对所述特定的反熔丝进行写入即可。通过对已写入块中的标志进行写入而建立

“1”的标志并且维持未写入块的原有状态（初始状态），可以区别已写入或未写入。此外，在利用物理开关的情况下，例如也可以使设置在已写入块中的开关损坏，以块单位检测开关是否损坏来区别已写入或未写入。配置在已写入块中的反熔丝一定处于作为写入状态的“第二状态”或“第三状态”。具体而言，将二值数据的“0”对应于“第二状态”，将二值数据的“1”对应于“第三状态”。或者，将二值数据的“1”对应于“第二状态”，将二值数据的“0”对应于“第三状态”。当然，也可以不以块单位，而通过在各反熔丝中设置标志或开关等来区别已写入或未写入。

[0044] 接着，从电特性上就本发明的反熔丝进行说明。图 1 表示本反熔丝的电流电压特性（以下，也称为“ $I-V$ 特性”）的一例。横轴表示对反熔丝的施加电压，纵轴表示此时的反熔丝的电流值。注意，图 1 表示击穿电压 (breakdown voltage) 以下的范围的 $I-V$ 特性。更具体而言，图 1 表示第一、第二、第三反熔丝元件的 $I-V$ 特性。第一、第二、第三反熔丝元件分别为在衬底上层叠由钨构成的第一电极、由氮化硅构成的绝缘层、非晶硅层和由钛构成的第二电极而形成的元件。第一电极的厚度为 370nm、绝缘层的厚度为 5nm、非晶硅层的厚度为 30nm、第二电极的厚度为 200nm。第一反熔丝元件为未写入数据的元件。第二反熔丝元件为通过施加 10V 写入数据而使第二电极的电位比第一电极的电位高的元件。第三反熔丝元件为通过施加 10V 写入数据而使第一电极的电位比第二电极的电位高的元件。图 1 中的模式 A 表示第一反熔丝元件的 $I-V$ 特性、图 1 中的模式 B 表示第二反熔丝元件的 $I-V$ 特性、图 1 中的模式 C 表示第三反熔丝元件的 $I-V$ 特性。

[0045] 图 1 表示模式 A、模式 B 以及模式 C。模式 A 表示即使施加任意电压也几乎不流过电流的高电阻状态。模式 C 表示与施加的电压成比例地流过电流的低电阻状态。模式 B 表示施加低于预定施加电压的电压时几乎不流过电流的高电阻状态并且表示施加预定施加电压以上的电压时充分地流过电流的低电阻状态。模式 B 表示比模式 A 低的电阻状态并且表示比模式 C 高的电阻状态。这三种特性分别相当于本反熔丝的“第一状态”、“第二状态”以及“第三状态”中的任一种。

[0046] 反熔丝在制造（初始状态）时处于非导电状态。因而，表示不依赖于施加电压而几乎不流过电流的高电阻状态的模式 A 相当于“第一状态”。模式 B 和模式 C 相当于本反熔丝的“第二状态”和“第三状态”或者“第三状态”和“第二状态”。在本方式中，模式 B 相当于“第二状态”，模式 C 相当于“第三状态”。因此，当将施加电压设定为击穿电压以下，并设处于“第一状态”的反熔丝的电阻值为 R_1 、处于“第二状态”的反熔丝的电阻值为 R_2 、处于“第三状态”的反熔丝的电阻值为 R_3 时，满足 $R_1 > R_2 > R_3$ 的关系。

[0047] 已写入的反熔丝或者配置在已写入块中的反熔丝成为“第二状态”和“第三状态”中的任一状态。并且，使“第二状态”和“第三状态”对应于二值数据。二值数据的“0”及“1”可以通过在“第二状态”和“第三状态”之间设定阈值 th 并以该阈值 th 为界来分配。

[0048] 关于数据的读取，实施者可以适当地设计，可采用使用电流的方式、使用电压的方式等。例如，如图 1 所示，在预定读取电压 (V_{read}) 下，在模式 C 和模式 B 之间设定阈值 A_{th} ，在阈值 A_{th} 以上时分配二值数据的“1”，在低于阈值 A_{th} 时分配“0”。通过比较施加读取电压时的电流值和阈值 A_{th} ，可以读取二值数据。例如，可以在得到阈值 A_{th} 以上的电流值时读取“1”，在得到低于阈值 A_{th} 的电流时读取“0”。此外，也可以采用如下结构：根据阈值 A_{th} 设定阈值 V_{th} ，并且比较该阈值 V_{th} 和通过施加读取电压而输出的电压，来读取二值数

据。

[0049] 在本方式中,检测出已写入块或者已写入的反熔丝,在该已写入块或反熔丝中,表示模式 B 的“第二状态”读出为“0”,且表示模式 C 的“第三状态”读出为“1”。

[0050] 再有,表示模式 A 的“第一状态”也可在未写入块或者反熔丝中分配“0”或“1”。就是说,对于未写入块或反熔丝,可以将二值数据中的任一方分配给未施加写入电压的初始状态。此外,也可对“第一状态”分配“0”或“1”以外的数据,并将该数据作为“第一状态”另行读取。

[0051] 再对“第二状态”及“第三状态”进行考察。本方式的“第二状态”及“第三状态”是对处于作为初始状态的“第一状态”的反熔丝施加击穿电压来进行写入的写入状态。注意,本说明书中的“击穿电压”是指反熔丝的元件结构变化而从高电阻状态变为低电阻状态的电压。此外,“击穿电压”也被称为写入电压 (Vwrite)。通过对反熔丝的绝缘区域施加击穿电压,来进行对于反熔丝的写入。在“第三状态”下,被施加击穿电压的反熔丝的绝缘区域发生绝缘破坏,反熔丝的上下电极短路,因此反熔丝的电阻值变化。就是说,反熔丝发生绝缘破坏,因而状态变化。

[0052] 本方式的“第三状态”之一例表示图 1 所示的模式 C。一般地,在反熔丝中,与施加的电压成比例地流过电流的模式 C 所示那样的低电阻状态被称为导电状态。注意,“第三状态”是对“第一状态”施加击穿电压而变化的状态,是不可逆的。此外,“第三状态”是反熔丝的上下电极发生短路而进行写入的写入状态,即使对处于“第三状态”的反熔丝再次施加击穿电压,也不能进行写入。因而,处于“第三状态”的反熔丝不能变为其他状态(“第一状态”或者“第二状态”)。

[0053] 本方式的“第二状态”之一例如图 1 所示的模式 B 所示。模式 B 表示低于预定施加电压时几乎不流过电流的高电阻状态,并且表示预定施加电压以上时电流畅通的低电阻状态。注意,“第二状态”是对“第一状态”施加击穿电压而变成的状态,是不可逆的。此外,“第二状态”是反熔丝的上下电极之间的层发生变化而写入的写入状态。因此,即使对处于“第二状态”的反熔丝再次施加击穿电压,也不能进行写入。因而,处于“第二状态”的反熔丝不能变为其他状态(“第一状态”或者“第三状态”)。

[0054] 用本发明的反熔丝构成存储器。在此,存储器是以块单位写入数据且以块单位区别已写入或未写入的。当制造本反熔丝时,所有的反熔丝处于能够变为“第二状态”或者“第三状态”的“第一状态”。使得要通过写入使数据固定为“0”的反熔丝变为“第二状态”。并使得要通过写入使数据固定为“1”的反熔丝变为“第三状态”。在已写入块中,所有的反熔丝必取“第二状态”或“第三状态”。将二值数据的“0”(或“1”)对应于“第二状态”并将二值数据的“1”(或“0”)对应于“第三状态”来构成数据。如上所述,以成为“第二状态”的方式被写入的反熔丝不能变为其他状态(“第一状态”或者“第三状态”)。同样地,以成为“第三状态”的方式被写入的反熔丝不能变为其他状态(“第一状态”或者“第二状态”)。因而,可用本反熔丝实现在已写入块中二值数据“0”及“1”都不能物理地重写的存储器。

[0055] 再有,由本反熔丝构成的存储器在出厂时可以是已对所有的反熔丝写入而成为“第二状态”或“第三状态”的 ROM,也可以为具备处于“第一状态”的反熔丝的一次写入存储器。通过存在处于“第一状态”的反熔丝,可以实现能够随时追记的追记型存储器。

[0056] 对采用本反熔丝的存储器来说,在已写入块或反熔丝中,二值数据的“0”及“1”对

应于“第二状态”及“第三状态”，并且“第二状态”不能变为“第一状态”或“第三状态”，“第三状态”不能变为“第一状态”或“第二状态”。此外，采用本反熔丝的存储器设有具备从初始状态变为对应于二值数据的“0”及“1”的状态的元件结构的反熔丝，并且各反熔丝不能被物理地重写数据。因而，由本反熔丝构成的存储器不能对一旦写入的数据重写，可以防止数据的篡改。此外，可用具有一种元件结构的反熔丝实现不能重写且可追记的存储器。

[0057] 注意，本实施方式可以与其他实施方式及实施例自由组合。

[0058] 实施方式 2

[0059] 在本方式中，说明可得到两种写入状态的反熔丝的元件结构以及写入方法的实例。

[0060] 图 2A 是表示反熔丝 100 (也称为反熔丝元件 100、存储元件 100) 的截面的示意图。在本方式中，反熔丝 100 具有在第一电极 102 上依次层叠绝缘层 106、硅层 108、第二电极 110 的结构。绝缘层 106 及硅层 108 用作电阻材料层 104。

[0061] 本反熔丝 100 采用选自“第一状态”、“第二状态”以及“第三状态”中的一种状态。这三种状态中的一种是进行写入之前的初始状态，其他两种是写入状态。两种写入状态可以通过对具有单一元件结构的反熔丝进行写入而得到。对于反熔丝的写入通过在第一电极 102 和第二电极 110 之间施加击穿电压使这些电极之间的一部分或全部变化来进行。具体地说，“第一状态”、“第二状态”以及“第三状态”的电阻值彼此不同。在本方式中，将初始状态设定为“第一状态”，并且将两种写入状态设定为“第二状态”以及“第三状态”。在本发明中，用多个反熔丝构成存储器，对构成存储器的反熔丝以块单位（或者按每个反熔丝）进行数据的写入。此外，以块单位（或者按每个反熔丝）区别已写入或未写入。并且，配置在已写入块中的反熔丝必取作为写入状态的“第二状态”或“第三状态”，并且使“第二状态”和“第三状态”对应于二值数据的“0”和“1”。就是说，在写入了数据的已写入块中不存在初始状态即“第一状态”。

[0062] 本方式中的“第一状态”的 I-V 特性表示图 1 的模式 A 的行为，“第二状态”表示模式 B 的行为，“第三状态”表示模式 C 的行为。

[0063] 本反熔丝 100 在进行写入之前即处于“第一状态”时为非导电状态。因而，反熔丝 100 的电阻值高。对于这样的反熔丝 100，将第一电极 102 或第二电极 110 用作阳极或阴极，在电极之间施加预定电压（击穿电压），就会在形成电阻材料层的硅层和接触于该硅层的电极之间发生某些反应。本例中，因为形成有硅层，所以发生硅化物反应。发生硅化物反应的区域位于电阻材料层中，使得电阻材料层的一部分或全部低电阻化。因此，在施加击穿电压前后，反熔丝 100 的电阻值发生变化。

[0064] 在本方式中，根据对电极之间施加电压的方向，反熔丝的电阻值的变化不同。例如，如图 2B 所示，通过将接触于硅层 108 的第二电极 110 用作阳极，在向第一方向施加击穿电压的情况下，变为表示模式 B 的行为的“第二状态”，其中，在低于预定电压时成为高电阻状态，并且在预定电压以上时成为低电阻状态。与此相反，如图 2C 所示，通过将接触于硅层 108 的第二电极 110 用作阴极，在向与第一方向相反方向的第二方向施加击穿电压的情况下，变为低电阻状态即表示模式 C 的行为的“第三状态”。如此，通过控制施加到电极之间的电压的方向即选择第一方向或者与第一方向相反方向的第二方向，可以得到“第二状态”和“第三状态”。就是，在图 2B 所示的情况下，通过以相对于第一电极 102，第二电极 110 一侧为

高电位的方式施加电压,变为表示模式 B 的行为的“第二状态”。另一方面,在图 2C 所示的情况下,通过以相对于第一电极 102,第二电极 110 一侧为低电位的方式施加电压,变为表示模式 C 的行为的“第三状态”。在第一电极 102 和第二电极 110 之间施加电压的情况下,选择将第二电极 110 一侧相对于第一电极 102 为高电位,或者将第二电极 110 一侧相对于第一电极 102 为低电位,来获得“第二状态”以及“第三状态”。并且,使得到的“第二状态”和“第三状态”对应于二值数据的“0”和“1”。

[0065] 写入后的反熔丝 100 的电阻材料层的一部分或全部变化,第一电极 102 和第二电极 110 之间成为导电状态。在本方式中,硅层和第二电极之间发生硅化物反应,在电阻材料层的一部分或全部中形成硅化物区域。引起硅化物反应的电压值根据施加电压的方向而不同。因而认为:在施加击穿电压时,根据施加电压的方向而引起不同的反应。

[0066] 接着,说明反熔丝 100 的制造方法。

[0067] 首先,形成第一电极 102。第一电极 102 用钨、钛、铝、镍、铬、钼、钽、钴、锆、钒、钽、钨、钼、铁等单体、包含这些材料中的一种或多种的合金或者包含这些材料中的一种或多种的化合物来形成。用上述材料通过蒸镀法、溅射法、印刷法、镀敷法等形成导电层之后,选择性地蚀刻该导电层,从而可以加工成所希望的形状。

[0068] 接着,在第一电极 120 上形成电阻材料层 104。作为电阻材料层 104,形成能够利用电信号来从高电阻状态变为低电阻状态的层。在本方式中,在第一电极 102 上形成绝缘层 106,并且在该绝缘层 106 上形成硅层 108。

[0069] 绝缘层 106 用氧化硅、氮化硅、氧氮化硅、氮氧化硅等通过 CVD 法、溅射法、ALD 法等来形成。此外,也可以通过对第一电极 102 进行表面处理来形成绝缘层 106。作为表面处理,可以举出氧化处理、氮化处理、氧氮化处理等。绝缘层 106 以 1nm 至 20nm 形成即可,优选以 1nm 至 15nm 左右的厚度形成。

[0070] 硅层 108 用以硅为主要成分的材料通过 CVD 法、溅射法等来形成。此外,硅层 108 的晶体结构可以为非晶硅、微晶硅或者多晶硅,也可以为多种晶体结构混合存在的结构。硅层 108 以 1nm 至 200nm 形成即可,优选以 5nm 至 100nm 左右的厚度形成。

[0071] 在用非晶硅作为硅层 108 时,也可以采用包含氢的非晶硅(以下也被称为“氢化非晶硅”)。在此的氢化非晶硅是指氢的含量为 2 原子%以上、优选为 2 原子%以上且 20 原子%以下左右的非晶硅。用氢化非晶硅作为电阻材料层,被认为容易引起由于硅化物反应而发生的电极间的短路。这种氢化非晶硅既可以在成膜时含有氢,也可以通过在成膜后以另外的工序添加而包含氢。例如,通过等离子体 CVD 法在含氢的气体中进行成膜,可以形成氢化非晶硅。此时,氢化非晶硅中的氢含量可以通过适当地设定成膜条件(气体组成、气体压力、气体气氛、气体流量、反应室温度、衬底温度或者投入功率等)来调整。此外,也可以通过在利用 LPCVD 法等形式不太含氢的非晶硅之后,利用离子注入法、离子掺杂法添加氢来含有氢。注意,在当成膜时含有氢以形成氢化非晶硅的情况下,优选以低温处理,具体地说在 350℃ 以下形成。此外,形成氢化非晶硅后的处理温度优选为 350℃ 以下,以防止脱氢。

[0072] 接着,在电阻材料层 104 上形成第二电极 110。第二电极 110 通过与第一电极 102 同样的材料及方法来形成即可,具体地说,可以用钨、钛、铝、镍、铬、钼、钽、钴、锆、钒、钽、钨、钼、铁等单体、含有这些材料中的一种或多种的合金或者包含这些材料中的一种或多种的化合物来形成。此外,作为其制造方法,可以在用蒸镀法、溅射法、印刷法、镀敷法等形成

导电层之后选择性地蚀刻该导电层,从而加工为所希望的形状。此外,第二电极 110 既可以使用与第一电极 102 相同的材料来形成,也可以使用不同的材料来形成。

[0073] 据此,可以得到本方式所示的反熔丝 100。在对电极之间施加击穿电压时,通过将施加电压的方向设为相反,本反熔丝 100 可以产生两种写入状态。两种写入状态通过使对相同元件结构的反熔丝施加电压的方向相反来得到。两种写入状态的电阻值不同,并且两种写入状态不能变为不同的写入状态或初始状态等。因此,通过将两种写入状态分配到二值数据的“0”及“1”并写入数据来实现已写入块,因此可以使该块变得不能物理地重写。此外,通过使具有处于“第一状态”的反熔丝的未写入块存在,可以实现一次写入存储器。据此,可以实现防止数据窜改的一次写入存储器。

[0074] 再有,本实施方式可以与其他实施方式及实施例自由组合。

[0075] 实施方式 3

[0076] 在本方式中,说明与上述实施方式 2 不同的反熔丝的元件结构的实例。

[0077] 图 3A 是表示反熔丝 200 (也称为反熔丝元件 200、存储元件 200) 的截面的示意图。本反熔丝 200 具有在第一电极 202 上依次层叠电阻材料层 204 和在该电阻材料层 204 上由与第一电极 202 不同的材料构成的第二电极 210 的结构。本反熔丝 200 通过在第一电极 202 和第二电极 210 之间施加击穿电压来使这些电极之间的一部分或全部变化,进行写入。

[0078] 此外,本反熔丝 200 具有与上述实施方式 2 的反熔丝 100 同样的特性。就是说,本反熔丝 200 采用选自电阻值不同的“第一状态”、“第二状态”以及“第三状态”中的一种状态。“第一状态”的 I-V 特性表示图 1 所示的模式 A 的行为,“第二状态”表示模式 B 的行为,而“第三状态”表示模式 C 的行为。因而,电阻值按“第一状态” $\geq$ “第二状态” $\geq$ “第三状态”依次增大。具体地说,“第一状态”是初始状态,而“第二状态”及“第三状态”是写入状态。“第二状态”及“第三状态”由处于“第一状态”的反熔丝产生。根据本发明的存储器可以由多个反熔丝 200 构成。此外,以块单位(或以反熔丝单位)对存储器的反熔丝写入数据,并且以块单位(或者以反熔丝单位)区别已写入或未写入。配置在已写入块中的反熔丝必取作为写入状态的“第二状态”或者“第三状态”,并且使“第二状态”和“第三状态”对应于二值数据的“0”和“1”。

[0079] 通过使一对电极的第一电极 202 及第二电极 210 的材料不同,并控制在第一电极 202 和第二电极 210 之间施加电压的方向,该反熔丝 200 可以获得不同电阻值的反熔丝。这是因为使第一电极 202 及第二电极 210 的材料不同,而在第一电极 202 和电阻材料层 204 的界面中的能垒可与在第二电极 210 和电阻材料层 204 的界面中的能垒不同的缘故。就是说,使第一电极 202 及第二电极 210 的材料不同,可以使电流流过的程度不同。因此认为,即使施加击穿电压,电流流过的程度也根据将施加电压的方向设为第一方向或设为与该第一方向相反的方向的第二方向而不同,其结果可以估计电阻材料层 204 的电阻变化也不同。

[0080] 例如,图 3A 所示的反熔丝形成钨层作为第一电极 202,并形成钛层作为第二电极 210。电阻材料层 204,设为形成非晶硅层的层。图 3A 所示的反熔丝处于施加电压之前的状态,设为“第一状态”。

[0081] 如图 3B 所示,以由钨层构成的第一电极 202 作为阴极,以由钛层构成的第二电极 210 作为阳极,在第一方向施加电压。因为钨比钛功函数大,所以在第一电极 202 和成为电阻材料层 204 的非晶硅层的界面中的能垒大于在第二电极 210 和成为电阻材料层 204 的非

晶硅层的界面中的能垒。因此,电子不容易从第一电极 202 注入到成为电阻材料层 204 的非晶硅层。另一方面,如图 3C 所示,由钨层构成的第一电极 202 作为阳极,由钛层构成的第二电极作为阴极,来向与第一方向相反的方向的第二方向施加电压。因为钛比钨功函数小,所以在第二电极 210 和成为电阻材料层 204 的非晶硅层的界面中的能垒小于在第一电极 202 和成为电阻材料层 204 的非晶硅层的界面中的能垒。因此,电子容易从第二电极 210 注入到成为电阻材料层 204 的非晶硅层。因而,通过控制施加电压的方向,电流流过的程度不同,因此可以认为:即使施加击穿电压,作为电阻材料层 204 的非晶硅层也根据施加电压的方向而发生不同的反应。

[0082] 如上所述,与图 3C 所示那样施加电压的情况相比,在如图 3B 所示的施加电压的情况下,不容易注入电子,因而不容易流过电流。就是说,与图 3C 所示的情况相比,在图 3B 所示的情况下,提供给电阻材料层的信号电压低。因此,在如图 3B 所示施加电压的情况下变为“第二状态”在如图 3C 所示时间电压的情况下变为“第三状态”。

[0083] 通过上述说明,本反熔丝 200 通过用不同材料形成构成一对电极的第一电极及第二电极,并且在对电极之间施加击穿电压时使施加该电压的方向相反,可以产生两种写入状态。通过对于具有相同的元件结构的反熔丝使施加电压的方向相反来得到两种写入状态。两种写入状态的电阻值不同,并且两种写入状态不能变为不同的写入状态或初始状态等其他状态。因此,已写入块通过将两种写入状态分配给二值数据的“0”及“1”,因此可以使该块变得不能物理地重写。此外,通过使具有处于“第一状态”的反熔丝的未写入块存在,可以实现一次写入存储器。据此,可以实现防止数据的窜改的一次写入存储器。

[0084] 再有,本实施方式可以与其他实施方式及实施例自由组合。

[0085] 实施方式 4

[0086] 在本方式中,参照图 4A 和 4B 说明本发明的设有反熔丝型存储器的半导体装置的制造工序。在此示出制造以无线进行通信的半导体装置的实例。

[0087] 具体而言,例如制造由如下部件构成的无线芯片,即:用来接收或发送无线信号的天线部 394;写入数据的存储器部 392;以及将对存储器部 392 进行写入的电路、将写入了存储器部 392 的数据读出的电路、对天线部 394 接收的信号进行分析的电路或根据接收信号产生电源的电路等各种电路集成的驱动电路部 390。构成驱动电路部 390 的薄膜晶体管、构成存储器部 392 的反熔丝等的元件以及构成天线部 394 的天线由具有柔性的材料形成的衬底或薄片密封。另外,作为该半导体装置的一例的无线芯片既可以在每个衬底上分别制造,也可以在大面积衬底上一次制造多个无线芯片之后,适当地分割成各个芯片。图 4A 所示的截面结构是本半导体装置的制造途中的工序图。另外,驱动电路部 390 集成有使用薄膜晶体管的电路,但是为方便起见图 4A 和 4B 只示出两个薄膜晶体管的截面图。同样地,虽然存储器部 392 由多个反熔丝构成存储器,但是为方便起见图 4A 和 4B 只示出一个反熔丝的截面图。

[0088] 首先,在衬底 302 上依次层叠剥离层 304、绝缘层 306。用具有绝缘表面的衬底如石英衬底、玻璃衬底等作为衬底 302。形成 50nm 至 200nm 的厚度的钨层作为剥离层 304。形成氧化硅层作为绝缘层 306。再有,除了上述钨层之外,作为剥离层 304 还可采用金属层(如钼层和钛层)或者这些金属层和它们的金属氧化物(如氧化钨等)层或金属氮化物(如氮化钨等)层的叠层结构、非晶硅层等。除了氧化硅层之外,绝缘层 306 还可采用氮化硅层、

氧氮化硅层、氮氧化硅层或它们的叠层膜。另外,在形成金属层如钨层等作为剥离层 304,并且形成氧化层如氧化硅层或氧氮化硅层等作为绝缘层 306 的情况下,有时在金属层和氧化层之间形成包含用作剥离层的金属的金属氧化物的层。同样地,在形成氮化层如氮化硅层或氮氧化硅层等作为绝缘层 306 的情况下,有时在金属层和氮化层之间形成包含用作剥离层的金属的金属氮化物的层。

[0089] 接下来,在绝缘层 306 上形成半导体层 305、半导体层 307。对用 CVD 法或溅射法在整个面上形成的非晶硅层进行晶化而获得多晶硅层之后,选择性地蚀刻该多晶硅层来形成半导体层 305、半导体层 307。作为非晶硅层的晶化方法,可以采用激光晶化法、利用快速热退火 (RTA) 或退火炉的热晶化法、使用促进晶化的金属元素的晶化法或组合了这些方法的方法等。作为半导体层 305、半导体层 307,也可采用微晶硅或单晶硅。另外,为了控制之后完成的薄膜晶体管的阈值电压,也可以对半导体层 305、半导体层 307 添加微量的杂质元素 (赋予 n 型或 p 型的杂质元素)。再有,半导体层 305、半导体层 307 用来形成之后形成的薄膜晶体管的沟道形成区域。为了实现驱动电路的高速驱动,形成薄膜晶体管的沟道形成区域的半导体层优选使用具有晶体结构的半导体层。通过实现驱动电路的高速驱动,可以实现存储器的高速读出。

[0090] 接下来,在半导体层 305、半导体层 307 上形成栅极绝缘层 308。通过 CVD 法或溅射法形成厚度为 1nm 至 200nm 的氧化硅层或氧氮化硅层作为栅极绝缘层 308。另外,栅极绝缘层 308 也可以通过对半导体层 305、半导体层 307 进行采用以微波激发的等离子体的表面氧化处理或表面氮化处理来形成。再者,也可以在半导体层 305 及半导体层 307 上形成绝缘层之后,对该绝缘层进行表面氧化处理或表面氮化处理来形成。

[0091] 接着,夹着栅极绝缘层 308 形成重叠于半导体层 305 的栅电极 310、重叠于半导体层 307 的栅电极 312。另外,与栅电极 310、栅电极 312 在同一个工序上形成用作反熔丝的一方的电极的第一电极 314。栅电极 310、栅电极 312 以及第一电极 314 由钨、钛、铝、镍、铬、钼、钽、钴、锆、钒、钽、钨、钨、铁等单一元素或者它们的合金或化合物形成。具体而言,可用上述材料通过溅射法形成导电层之后,将该导电层加工为所期望的形状。此时选择兼有适合于薄膜晶体管的栅电极的特性和适合于反熔丝的电极的特性的材料。在本方式中,形成钨层作为栅电极 310、栅电极 312 以及第一电极 314。

[0092] 接着,对半导体层 305、半导体层 307 添加杂质元素。这里,对半导体层 305 和半导体层 307 添加赋予不同导电型的杂质元素。具体而言,对半导体层 305 添加赋予 n 型的杂质元素,对半导体层 307 添加赋予 p 型的杂质元素。作为赋予 n 型的杂质元素使用磷 (P) 或砷 (As) 等。作为赋予 p 型的杂质元素使用硼 (B)、铝 (Al) 或镓 (Ga) 等。另外,杂质元素使用离子注入法或离子掺杂法添加即可。

[0093] 形成覆盖半导体层 307 的第一抗蚀剂掩模,以该第一抗蚀剂掩模及栅电极 310 为掩模对半导体层 305 添加赋予 n 型的杂质元素。在半导体层 305 上以栅电极 310 为掩模,自对准地形成沟道形成区域 316 和一对 n 型杂质区域 318。n 型杂质区域 318 用作源区或漏区。

[0094] 接着,去除覆盖半导体层 307 的第一抗蚀剂掩模。在形成覆盖半导体层 305 的第二抗蚀剂掩模之后,以该第二抗蚀剂掩模及栅电极 312 为掩模对半导体层 307 添加赋予 p 型的杂质元素。在半导体层 307 上以栅电极 312 为掩模,自对准地形成沟道形成区域 320 和

一对 p 型杂质区域 322。p 型杂质区域 322 用作源区或漏区。然后,去除覆盖半导体层 305 的第二抗蚀剂掩模。注意,虽然这里以预先添加赋予 n 型的杂质元素为例作了说明,但对于杂质元素的添加顺序并无特别的限定。

[0095] 另外,也可以在半导体层 305、半导体层 307 中形成用作 LDD 区域的低浓度杂质区域。低浓度杂质区域形成在沟道形成区域和用作源区或漏区的杂质区域之间。例如,在对半导体层添加杂质元素之前,在栅电极的侧面上形成侧壁绝缘层。添加杂质元素时用侧壁绝缘层作为掩模,可以与沟道形成区域相邻地形成低浓度杂质区域。当然,也可以形成用来形成低浓度杂质区域的新的抗蚀剂掩模,用该抗蚀剂掩模来形成低浓度杂质区域。通过设置 LDD 区域,可以缓和漏区附近的电场,防止热载流子的注入导致的退化。

[0096] 接下来,进行添加到半导体层 305、半导体层 307 的杂质元素的活性化或半导体层的氢化。杂质元素的活性化或半导体层的氢化通过照射激光束、利用退火炉或快速热退火(RTA)的热处理等进行。因而,栅电极 310、栅电极 312 以及第一电极 314 使用能够耐受用于杂质元素的活性化或半导体层的氢化的处理温度的材料。再有,在本方式中,采用钨层来形成栅电极 310、栅电极 312 以及第一电极 314。钨是高熔点金属,足以耐受用来活性化或氢化的处理温度。

[0097] 接着,形成覆盖栅电极 310、栅电极 312 以及第一电极 314 的层间绝缘层 324。层间绝缘层 324 通过溅射法或 CVD 法等用氧化硅、氮化硅、氧氮化硅或氮氧化硅等的无机绝缘材料来形成。再有,层间绝缘层 324 可以具有单层结构,也可以具有叠层结构。另外,层间绝缘层 324 也可以用作使相邻的反熔丝互相绝缘的间壁。

[0098] 另外,层间绝缘层 324 也可用通过涂布法形成的高耐热性的硅烷树脂形成。硅烷树脂相当于包含 Si-O-Si 键的树脂。硅烷通过硅(Si)和氧(O)键合而构成骨架结构,并且作为取代基可以使用有机基(例如烷基或芳基)或氟基。有机基也可包括氟基。

[0099] 接着,选择性地蚀刻层间绝缘层 324 及栅极绝缘层 308 来形成开口。蚀刻时,可用抗蚀剂掩模覆盖不形成开口的部分。另外,蚀刻可采用干蚀刻法或湿蚀刻法,或者也可组合这些蚀刻法进行蚀刻。蚀刻之后,去除不要的抗蚀剂掩模。这里,形成到达形成在半导体层 305 中的杂质区域 318 的开口、到达形成在半导体层 307 中的杂质区域 322 的开口以及到达第一电极 314 的开口。作为到达第一电极 314 的开口,形成之后形成反熔丝的电阻材料层和第二电极的第一开口和形成与第一电极 314 电连接的布线的第二开口。另外,还形成到达栅电极 310、栅电极 312 的开口(未图示)。在该蚀刻工序中形成的到达第一电极 314 的第一开口的开口底面的直径为约 $1\mu\text{m}$ 至 $6\mu\text{m}$ 。然而,第一开口的直径越大,耗电就越大,因此第一开口优选为小。注意,虽然以直径表示开口的尺寸,但是开口的上面形状并不局限于圆形,也可为椭圆形、矩形。

[0100] 再有,通过适当地调节蚀刻条件,可以以一次蚀刻形成到达半导体层的开口、到达栅电极的开口以及到达第一电极的开口。

[0101] 接着,形成电阻材料层,覆盖到达第一电极 314 的第一开口。这里,形成氧氮化硅层 326 和非晶硅层 328 的叠层结构作为电阻材料层。氧氮化硅层 326 通过 CVD 法或溅射法以 1nm 至 20nm 的厚度形成,优选为 1nm 至 15nm 。另外,非晶硅层 328 通过 CVD 法或溅射法以 1nm 至 200nm 的厚度形成,优选为 5nm 至 100nm 。再有,作为电阻材料层形成通过供给电信号从高电阻状态变为低电阻状态的层。

[0102] 接着,通过溅射法在衬底的整个表面上形成导电层之后,选择性地蚀刻该导电层来形成导电层 330、导电层 332、导电层 334。另外,在与导电层 330 至导电层 334 相同的工序中形成用作在存储器部 392 中形成的反熔丝的另一方电极的第二电极 338、第三电极 336 以及天线部 394 的连接电极 340。导电层 330 至导电层 334 用作在驱动电路部 390 中形成的薄膜晶体管的源电极或漏电极。再有,导电层 332 也用作将半导体层 305 和半导体层 307 电连接的布线。形成于天线部 394 的连接电极 340 是将之后形成的天线和电源形成电路电连接的电极。

[0103] 构成导电层 330 至导电层 334、第三电极 336、第二电极 338 以及连接电极 340 的导电层,可适当选自形成上述的栅电极的材料。这里,形成由 50nm 至 200nm 厚度的钛层、100nm 至 400nm 厚度的铝层、50nm 至 200nm 厚度的钛层构成的三层的叠层结构。形成第二电极 338 的钛层与形成电阻材料层的非晶硅层 328 接触。

[0104] 形成于存储器部 392 的第三电极 336 与第一电极 314 电连接并引出布线,从而减少耗电。在作为有源型存储器时,第三电极 336 起到将第一电极 314 与控制反熔丝的开关元件(例如薄膜晶体管)电连接的作用。另外,在作为无源型存储器时,可将第一电极 314 并排为条形(带形),并且与第一电极 314 彼此正交地将第二电极 338 并排为条形。在作为无源型存储器时,第三电极 336 设置在第一电极 314 的端部,作为引出电极。

[0105] 在本方式中,示出以钛层和铝层的叠层结构来形成导电层 330 至导电层 334、第三电极 336、第二电极 338、连接电极 340 的实例。用钛层作为构成导电层 330 至导电层 334、第三电极 336、第二电极 338、连接电极 340 的导电层,可以降低与其他导电材料的接触电阻。再者,通过用铝层作为构成导电层 330 至导电层 334、第三电极 336、第二电极 338、连接电极 340 的导电层,可以降低布线电阻值。因为导电层 330 至导电层 334、第三电极 336、第二电极 338、连接电极 340 也用于驱动电路部的引出布线、存储器部的引出布线以及天线部的连接部分,所以使用可降低接触电阻和布线电阻值的钛层和铝层的叠层结构是有用的。

[0106] 如上所述,在驱动电路部 390 中形成 n 沟道晶体管 331、p 沟道晶体管 333。驱动电路部 390 中形成的 n 沟道晶体管 331 及 p 沟道晶体管 333 通过导电层 332 电连接,构成 CMOS 电路。再有,除了薄膜晶体管之外,还可以在驱动电路部 390 中同时制造电阻器或电容器。

[0107] 存储器部 392 中形成有反熔丝 339。在反熔丝 339 中,在由第一电极 314 和第二电极 338 构成的一对电极之间夹有作为电阻材料层的氧氮化硅层 326 和非晶硅层 328 的叠层结构,该第一电极 314 与薄膜晶体管的栅电极 310 及栅电极 312 在同一工序形成,该第二电极 338 与用作薄膜晶体管的源电极或漏电极的导电层 330 至导电层 334 在同一工序形成。

[0108] 接着形成绝缘层 342,覆盖在导电层 330 至导电层 334、第三电极 336、第二电极 338 以及连接电极 340 上。绝缘层 342 可以采用无机绝缘材料、有机绝缘材料或这些材料的组合,以单层或叠层形成。

[0109] 接着,选择性地蚀刻绝缘层 342 而形成开口。蚀刻时,以抗蚀剂掩模覆盖不形成开口的部分即可。蚀刻可采用干蚀刻法或湿蚀刻法,或者也可以组合这些蚀刻法。蚀刻之后,去除不要的抗蚀剂掩模。这里,形成到达与存储器 392 中形成的第一电极 314 电连接的第三电极 336 的开口,并形成到达在天线部 394 中形成的连接电极 340 的开口。再有,为了与之后形成的天线可靠地电连接,到达连接电极 340 的开口具有较大的直径,或者形成多个

到达连接电极 340 的开口。蚀刻之后,去除不要的抗蚀剂掩模。

[0110] 接着形成导电层 346,覆盖到达电极 340 的开口。通过形成导电层 346,可以提高之后形成的天线的天线与连接电极 340 的密接性。并且形成导电层 344,覆盖到达第三电极 336 的开口。导电层 346 及导电层 344 在同一工序形成,例如可采用钛、铜、铝等形成。另外,导电层 346 及导电层 344 既可以通过喷墨法等方法在所期望的位置上选择性地形成,也可以在通过溅射法在衬底的整个表面上形成导电层之后,选择性地蚀刻该导电层而加工成所期望的形状来形成。

[0111] 接着,在天线部 394 中形成的导电层 346 上形成天线 348。将至此形成的绝缘层 306 到天线 348 各层称为元件层 360。

[0112] 天线 348 可以通过溅射法或印刷法(如丝网印刷法和喷墨法等)形成。当以印刷法形成天线 348 时,通过选择性地印刷导电膏之后进行用以减少电阻值的焙烧来形成天线 348。该导电性膏的有机树脂中散布有粒径为几 nm 至几十 nm 的导电颗粒。

[0113] 作为导电颗粒,可以使用选自银、金、铜、镍、铂、钯、钼、钽或钛等中的至少一种的金属颗粒、卤化银的微粒或分散性纳米颗粒。此外,导电性膏中包含的有机树脂可以使用选自用作粘合剂、溶剂、分散剂及被覆材料的有机树脂中的一种或多种。一般地,可以举出环氧树脂、硅酮等有机树脂。在形成天线 348 时,最好在挤出导电性膏之后进行焙烧。例如,在使用以银为主要成分的微粒(例如其粒径为 1nm 以上且 100nm 以下的微粒)作为导电膏的材料的情况下,可以通过在 150℃ 至 300℃ 的温度范围内进行焙烧而使之固化,来形成用作天线 348 的导电层。另外,也可以使用含有焊料或无铅焊料作为其主要成分的微粒,在这种情况下,优选使用其粒径为 20 μm 以下的微粒。焊料或无铅焊料具有低成本的优点。

[0114] 再有,对于天线 348 的形状没有特别的限定。作为用于天线 348 的信号传送方法,可采用电磁耦合方法、电磁感应方法或微波方法等。作为传送方法,实施者可根据用途适当选择,并可根据传送方法设置长度或形状最合适的天线。

[0115] 例如,在用电磁耦合方法或电磁感应方法(例如,13.56MHz 频带)作为传送方法的情况下,由于利用由电场密度的变化引起的电磁感应,因此,将用作天线的导电层形成成为环形(例如,环形天线)或者螺旋形(例如,螺旋天线)。

[0116] 此外,在用微波方式(例如,UHF 频带(860MHz 带至 960MHz 带)、2.45GHz 频带等)作为传送方法的情况下,考虑到用来传送信号的电磁波的波长,适当地设定用作天线的导电层的长度和形状即可。例如可以形成成为线状(例如,偶极天线)、平坦形状(例如,平板天线)等。此外,用作天线的导电层的形状不局限于线状,也可以考虑到电磁波的波长而将它形成为曲线状、蜿蜒形状或将这些形状组合的形状。

[0117] 图 5A、5B、5C、5D 及 5E 表示天线形状的示例。例如,可以采用如图 5A 所示的结构,其中天线 348a 配置在驱动电路及存储器部 391a 的周围的整个面上。另外,也可采用如图 5B 所示的结构,围绕在驱动电路及存储器部 391b 的周围配置线宽细的天线 348b。此外,也可如图 5C 所示,采用对于驱动电路及存储器部 391c 接收高频电磁波的天线 348c 的形状。此外,也可如图 5D 所示,采用对于驱动电路及存储器部 391d 为 180 度无方向性(能够从所有方向均匀地接收)的天线 348d 的形状。此外,也可如图 5E 所示,采用对于驱动电路及存储器部 391e 棒状伸长的天线 348e 的形状。图 4A 和 4B 所示的天线 348 可以组合图 5A 至 5E 所示形状的天线而使用。

[0118] 另外,天线所需的适当长度根据接收的频率而不同。例如,在频率为 2.45GHz 的情况下,若设置半波长偶极天线,则天线的长度可为约 60mm(1/2 波长),若设置单极天线,则天线的长度可为约 30mm(1/4 波长)。

[0119] 再有,驱动电路及存储器部 391a 至 391e 相当于图 4A 和 4B 所示的包含驱动电路部 390 及存储器部 392 的区域。

[0120] 接着,在图 4A 所示的剥离层 304 的界面或剥离层 304 的层内进行剥离,将元件层 360 从衬底 302 剥离。

[0121] 以下,举例说明元件层 360 的剥离方法:方法(1),在衬底 302 与元件层 360 之间设置包含金属层和金属氧化物(或金属氮化物)的层的叠层结构作为剥离层 304,并通过使该含金属氧化物层晶化而变脆弱,将元件层 360 从衬底 302 物理地剥离;方法(2),在衬底 302 与元件层 360 之间设置包含金属层和金属氧化物(或金属氮化物)的层的叠层结构作为剥离层 304,通过使该包含金属氧化物层晶化而变脆弱,并且在对剥离层 304 的一部分使用溶液或氟化卤素气体如 NF_3 、 BrF_3 、 ClF_3 等进行蚀刻并去除之后,将元件层 360 从衬底 302 物理地剥离;方法(3),在衬底 302 和元件层 360 之间使用包含氢的非晶硅形成剥离层 304,并且对该剥离层 304 照射激光束并使它喷出氢气,将衬底 302 从元件层 360 剥离;方法(4),在衬底 302 和元件层 360 之间使用非晶硅形成剥离层 304,并且用溶液或氟化卤素气体进行蚀刻掉该剥离层 304 来进行剥离;(方法 5),通过机械方式将形成有元件层 360 的衬底 302 切削掉,或者用溶液或氟化卤素气体将衬底 302 蚀刻掉来进行剥离;以及方法(6),在元件层 360 中的不形成薄膜晶体管、反熔丝、天线等的位置上照射激光束来形成到达剥离层 304 的开口,之后利用该开口将元件层 360 从衬底 302 物理地剥离。在上述的剥离方法(1)、(2)中,作为金属氧化物层或金属氮化物层,可使用在作为剥离层形成的金属层上形成绝缘层时形成的金属氧化物层或金属氮化物层。另外,在剥离方法(6)中,也可以在形成到达剥离层 304 的开口之后,通过该开口用溶液或氟化卤素气体蚀刻掉剥离层 304 的一部分,从而物理地剥离。

[0122] 如图 4B 所示,用第一薄片 350 及第二薄片 370 密封元件层 360。可以用塑料膜、纸、薄陶瓷或浸含有树脂的碳纤维或玻璃纤维的织物的薄片(也称为预浸料:prepreg)等作为第一薄片 350 及第二薄片 370。使用环氧树脂等粘合层可以粘接第一薄片 350 及第二薄片 370。通过用具有柔性的材料作为密封元件层 360 的第一薄片 350 及第二薄片 370,可将获得的半导体装置作为无线芯片贴到物品的曲面等处。

[0123] 另外,将元件层 360 剥离并密封的顺序如下:(1)在从衬底 302 剥离元件层 360 之后,在元件层 360 的天线侧粘接第一薄片 350,在元件层 360 的剥离了衬底 302 的一侧粘接第二薄片 370;(2)在元件层 360 的天线侧粘接第一薄片 350 之后,从衬底 302 剥离元件层 360,在元件层 360 的剥离了衬底 302 的一侧粘接第二薄片 370;(3)在形成天线 348 之前,在从衬底 302 剥离从绝缘层 306 到导电层 344 及导电层 346 的层之后形成天线 348,并粘接第一薄片 350、第二薄片 370。实施者可以适当地改变。

[0124] 通过上述工序,可以制造作为无线芯片的半导体装置,其中包括在同一个衬底上形成的反熔丝型的存储器、由薄膜晶体管构成的驱动电路以及天线。

[0125] 在本方式所示的无线芯片中,形成在存储器部 392 中的反熔丝 339 是根据本发明的反熔丝。该反熔丝 339 处于选自如下三种状态的一种状态,即作为初始状态的“第一状

态”、作为经写入的状态的“第二状态”及“第三状态”。“第一状态”、“第二状态”以及“第三状态”的电阻值彼此不同。另外，“第二状态”及“第三状态”是通过“第一状态”的反熔丝进行写入而得到的状态。再有，如上所述，存储器部 392 由多个反熔丝构成，对存储器部 392 的反熔丝以块单位进行数据的写入。另外，存储器部 392 以块单位区别已写入数据或未写入数据。在未写入块中，存在处于“第一状态”的反熔丝，在已写入块中只配置处于“第二状态”或“第三状态”的反熔丝。处于“第一状态”的反熔丝通过写入而变为“第二状态”或“第三状态”，但变为“第二状态”的反熔丝即使再次写入也不变为“第三状态”、“第一状态”。另外，变为“第三状态”的反熔丝即使再次写入也不变为“第二状态”、“第一状态”。在构成无线芯片的存储器中的已写入块中配置有处于“第二状态”的反熔丝和处于“第三状态”的反熔丝。将二值数据对应于“第二状态”及“第三状态”来写入数据。如上所述，处于“第二状态”或“第三状态”的反熔丝即使再次写入也不变为其他状态，如不同写入状态或初始状态。因此，作为该半导体装置之一例的无线芯片不可能被窜改。再有，将反熔丝变为“第二状态”或“第三状态”的写入，只要适当地选择写入方法即可。另外，数据的写入或已写入与未写入的区别也能够以反熔丝为单位进行。

[0126] 本方式所示的半导体装置也可以作为一种 ROM 的状态的无线芯片而提供，该 ROM 只包含已写入块。在该块中，通过对所有的反熔丝进行写入而变为“第二状态”或“第三状态”，从而“0”及“1”被固定。或者，也可以作为一次写入存储器的状态的无线芯片而提供，该一次写入存储器包括具有“第一状态”的反熔丝的未写入块。该半导体装置可具有如下结构，即要通过随时对处于“第一状态”的反熔丝进行写入来变为“第二状态”或“第三状态”并写入数据来将未写入块处于已写入的状态。再者，也可以作为能够进行追记的存储器的状态的无线芯片而提供，该存储器包含已变为“第二状态”或“第三状态”的已写入块，以及具有初始状态即“第一状态”的反熔丝的未写入状态的块，从而能够进行追记。

[0127] 就是说，根据本方式的无线芯片既可以为在提供时已写入数据而不能写入新数据的芯片，又可以为在提供时未写入数据而可随时写入新数据的芯片，还可以为已写入一部分数据且可随时写入新数据的芯片。

[0128] 在任何情况下，根据本方式的无线芯片不可重写一旦写入的数据，从而可以防止数据的窜改。

[0129] 本实施方式可以与其他实施方式及实施例自由组合。

[0130] 实施例 1

[0131] 在本实施例中，参照图 8A 至 8D 及图 9A 至 9C 说明有源矩阵型的半导体装置的制造方法，该半导体装置具备反熔丝型的存储器。这里示出一例在同一个衬底上设置逻辑电路部 550、存储器部 552 以及天线部及电源部 554 的无线芯片。逻辑电路部 550 集成有使用薄膜晶体管的电路。存储器部 552 中由多个反熔丝构成存储器。再有，为方便起见，示出构成逻辑电路部 550 的两个薄膜晶体管、构成存储器部 552 的一个反熔丝及一个薄膜晶体管以及构成天线部及电源部 554 的一个电容及一个薄膜晶体管的截面图。

[0132] 首先，在衬底 501 上形成作为剥离层的金属层 502。使用玻璃衬底作为衬底 501。另外，使用通过溅射法获得的 30nm 至 200nm 的钨层、氮化钨层或钼层作为金属层 502。

[0133] 接着，使金属层 502 的表面氧化来形成金属氧化物层。作为金属氧化物层的形成方法，既可以使用纯水和臭氧水使金属层 502 的表面氧化而形成，也可以使用氧等离子体

使金属层 502 的表面氧化而形成。另外,也可以在含氧气氛中进行加热来形成金属氧化物层。另外,金属氧化物层也可在之后成为剥离层的金属层 502 上形成的绝缘层的形成工序中形成。例如,当通过等离子体 CVD 法形成氧化硅层或氧氮化硅层作为绝缘层时,将金属层 502 的表面氧化来形成金属氧化物层。注意,这里未图示金属氧化物层。

[0134] 接着,在金属层 502 上形成第一绝缘层 503。形成氧化硅层、氮化硅层或氧氮化硅层等的绝缘层作为第一绝缘层 503。作为第一绝缘层 503 的一例,可以举出由如下两层构成的叠层结构:通过等离子体 CVD 法以 SiH_4 、 NH_3 和 N_2O 为反应气体而形成的厚度为 50nm 至 100nm 的氮氧化硅层和以 SiH_4 及 N_2O 为反应气体而形成的厚度为 100nm 至 150nm 的氧氮化硅层。另外,在第一绝缘层 503 采用叠层结构的情况下,优选将其中至少一层形成成为厚度 10nm 以下的氮化硅层或氧氮化硅层。另外,也可以采用依次层叠氮氧化硅层、氧氮化硅层和氮化硅层的三层结构。虽然将第一绝缘层 503 用作基底绝缘层,但是若非特别需要可不必设置。另外,也可以在剥离层(这里是金属层 502)和衬底之间设置基底绝缘层如氧化硅层或氮化硅层等。

[0135] 接着,在第一绝缘层 503 上形成半导体层。半导体层通过利用如 LPCVD 法或等离子体 CVD 法等 CVD 法或溅射法形成具有非晶硅结构的半导体层之后,选择性地蚀刻经晶化而获得的结晶半导体层来加工为所期望的形状。作为晶化方法,可以利用激光晶化法、RTA 或利用退火炉的热晶化法、使用镍等促进晶化的金属元素的晶化法等。注意,通过等离子体 CVD 法形成半导体层时,可以在不接触大气的情况下连续形成第一绝缘层 503 和具有非晶硅结构的半导体层。半导体层以 25nm 至 80nm(优选为 30nm 至 70nm)的厚度形成。半导体层的材料并无特别限制,但最好用硅或硅锗等形成。

[0136] 另外,为进行具有非晶硅结构的半导体层的晶化,可使用连续振荡的激光器。当使具有非晶硅结构的半导体层晶化时,为了获得大粒径的结晶,优选利用能够连续振荡的固体激光器,并使用该固体激光器的二次谐波至四次谐波。一般可使用 Nd:YVO_4 激光器(基波 1064nm)的二次谐波(532nm)或三次谐波(355nm)。在使用连续振荡的激光器的情况下,从振荡器的输出为 10W 的连续振荡 YVO_4 激光器发射的激光束被非线性光学元件转换成高次谐波。另外,还有在共振器中放入 YVO_4 晶体和非线性光学元件而发射高次谐波的方法。而且,最好通过光学系统在照射表面上形成具有矩形形状或椭圆形状的激光束,对处理对象进行照射。这时需要 $0.01\text{MW}/\text{cm}^2$ 至 $100\text{MW}/\text{cm}^2$ 左右(优选为 $0.1\text{MW}/\text{cm}^2$ 至 $10\text{MW}/\text{cm}^2$)的能量密度。然后,以 $10\text{cm}/\text{sec}$ 至 $200\text{cm}/\text{sec}$ 左右的速度使半导体层相对于激光束移动来进行照射即可。

[0137] 再有,需要时可对半导体层添加微量的杂质元素(硼或磷),以控制之后完成的薄膜晶体管的阈值。这里,使用离子掺杂法,其中不对乙硼烷(B_2H_6)进行质量分离地进行等离子体激发。

[0138] 接着,用包含氢氟酸的蚀刻剂除去氧化膜,同时清洗半导体层的表面。然后形成覆盖半导体层的第二绝缘层。通过 CVD 法或溅射法以 1nm 至 200nm 的厚度形成第二绝缘层。最好这样,在含有其厚度薄如 10nm 至 50nm 的硅的绝缘层的单层或叠层结构形成之后,用微波激发的等离子体进行表面氮化处理。第二绝缘层用作之后形成的薄膜晶体管的栅极绝缘层。

[0139] 再有,对半导体层添加高浓度的杂质元素(硼或磷),以使之后作为电容的区域的

半导体层成为导电体。此时,除了作为电容的区域之外,可用抗蚀剂掩模覆盖。

[0140] 接下来,在第二绝缘层上形成栅电极 504、栅电极 505、栅电极 506、栅电极 507、栅电极 508 以及用作反熔丝的基底电极的第一电极 509。对通过溅射法获得的厚度为 100nm 至 500nm 的导电层进行选择性地蚀刻并加工为所期望的形状来获得栅电极 504 至栅电极 508 以及第一电极 509。

[0141] 栅电极 504 至栅电极 508 以及第一电极 509 由如下材料的单层或叠层结构形成,即选自钨、钛、铝、镍、铬、钼、钽、钴、锆、钒、钇、钨、铁等单一元素或者这些的合金或化合物。优选使用可与硅起反应而形成硅化物的材料。但是,作为薄膜晶体管的栅电极最好为高熔点金属,具体地说,例如可以是钨或钼。在采用栅电极 504 至栅电极 508 和第一电极 509 的叠层结构的情况下,只要成为上层的材料层使用上述材料即可,成为栅极绝缘层侧的下层的材料层也可以为添加有磷等杂质元素的多晶硅层。

[0142] 接着,形成抗蚀剂掩模,以覆盖作为 p 沟道晶体管的区域的半导体层,并且通过以栅电极 505、栅电极 506、栅电极 507、栅电极 508 为掩模对作为 n 沟道晶体管的区域的半导体层注入杂质元素,从而形成低浓度杂质区域。作为杂质元素,可以使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为呈现 n 型的杂质元素,可以使用磷 (P) 或砷 (As) 等。这里,对作为 n 沟道晶体管的区域的半导体层进行注入,使之以 $1 \times 10^{15}/\text{cm}^3$ 至 $1 \times 10^{19}/\text{cm}^3$ 的浓度含磷,从而形成呈现 n 型的杂质区域。

[0143] 接着,去除抗蚀剂掩模,并覆盖作为 n 沟道晶体管的半导体层而形成抗蚀剂掩模,再以栅电极 504、栅电极 508 为掩模对作为 p 沟道晶体管的区域的半导体层注入杂质元素,从而形成呈现 p 型的杂质区域。作为呈现 p 型的杂质元素,可以使用硼 (B)、铝 (Al) 及镓 (Ga) 等。这里,对作为 p 沟道晶体管的区域的半导体层进行注入,使之以 $1 \times 10^{19}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 的浓度包含硼 (B),从而形成呈现 p 型的杂质区域。其结果,对作为 p 沟道晶体管的区域的半导体层以自对准的方式形成沟道形成区域 516a、一对 p 型杂质区域 514a、沟道形成区域 516b 以及一对 p 型杂质区域 514b。p 型杂质区域 514a、514b 用作源区或漏区。

[0144] 接着,在栅电极 504 至栅电极 508 及第一电极 509 的侧面上形成侧壁绝缘层 510、侧壁绝缘层 511。作为侧壁绝缘层 510、侧壁绝缘层 511 的制造方法,首先以覆盖第二绝缘层、栅电极 504 至栅电极 508、以及第一电极 509 的方式,通过等离子体 CVD 法或溅射法等,用包含硅、硅氧化物、硅氮化物的层或包含有机材料如有机树脂等的层以单层或叠层来形成第三绝缘层。接着,通过以垂直方向为主体的各向异性蚀刻来选择性地蚀刻第三绝缘层,形成与栅电极 504 至栅电极 508 及第一电极 509 的侧面接触的绝缘层(侧壁绝缘层 510、侧壁绝缘层 511)。再有,在形成侧壁绝缘层 510 的同时,蚀刻第二绝缘层的一部分而将其去除。通过将第二绝缘层的一部分去除,在栅电极 504 至栅电极 508 及侧壁绝缘层 510 的下方形成绝缘层 512。另外,通过将第二绝缘层的一部分去除,在第一电极 509 的下方及侧壁绝缘层 511 的下方残留绝缘层 513。

[0145] 接着,覆盖作为 p 沟道晶体管的半导体层而形成抗蚀剂掩模,并且通过以栅电极 505、栅电极 506、栅电极 507、栅电极 508 和侧壁绝缘层 510 为掩模对作为 n 沟道晶体管的区域的半导体层注入杂质元素,从而形成高浓度杂质区域。注入杂质元素之后去除抗蚀剂掩模。这里,对作为 n 沟道晶体管的区域的半导体层进行注入,使之以 $1 \times 10^{19}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 的浓度包含磷 (P),从而形成呈现 n 型的高浓度杂质区域。结果,在作为 n 沟道晶体管的

区域的半导体层中以自对准方式形成沟道形成区域 521a、用作 LDD 区域的一对低浓度杂质区域 519a、用作源区或漏区的一对高浓度杂质区域 517a、沟道形成区域 521c、用作 LDD 区域的一对低浓度杂质区域 519c、用作源区或漏区的一对高浓度杂质区域 517c。与此同时,在作为电容的区域的半导体层中以自对准方式形成第一杂质区域 521b、第二杂质区域 519b、第三杂质区域 517b。第一杂质区域 521b 在隔着栅极绝缘层而重叠于栅电极 506 的区域中形成。再有,在形成栅电极 506 之前,在第一杂质区域 521b 中选择性地添加有高浓度的杂质元素。因此,第一杂质区域 521b 的杂质浓度大于沟道形成区域 521a 及沟道形成区域 521c 的杂质浓度。用作 LDD 区域的低浓度杂质区域 519a 及低浓度杂质区域 519c 以及第二杂质区域 519b,形成在侧壁绝缘层 510 的下方。

[0146] 再有,这里示出的结构是:在 n 沟道晶体管包含的半导体层中形成 LDD 区域,而在 p 沟道晶体管包含的半导体层中不形成 LDD 区域,但本发明并以此为限,也可以在 n 沟道晶体管和 p 沟道晶体管双方的半导体层中形成 LDD 区域。

[0147] 接着,在通过溅射法、LPCVD 法或等离子体 CVD 法形成包含氢的第四绝缘层 522 之后,进行添加有半导体层的杂质元素的活性化处理及氢化处理。杂质元素的活性化处理及氢化处理采用在炉中的热处理(300℃至 550℃、1 小时至 12 小时)或采用基于灯光源的 RTA 法。含氢的第四绝缘层 522 例如采用通过等离子体 CVD 法获得的氮氧化硅层。这里,含氢的第四绝缘层 522 的厚度设为 50nm 至 200nm。此外,在用促进晶化的金属元素(一般为镍)来使半导体层晶化的情况下,可在活性化的同时进行用以减少沟道形成区域中的镍的吸杂。含氢的第四绝缘层 522 为层间绝缘层的第一层。

[0148] 接着,通过溅射法、LPCVD 法或等离子体 CVD 法形成成为层间绝缘层的第二层的第五绝缘层 523。使用如氧化硅层、氮化硅层或氧氮化硅层等的绝缘层的单层或叠层作为第五绝缘层 523。这里,第五绝缘层 523 的厚度为 300nm 至 800nm。

[0149] 接着,在第五绝缘层 523 上形成抗蚀剂掩模,选择性地蚀刻第四绝缘层 522 及第五绝缘层 523 而形成到达第一电极 509 的第一开口 520。在蚀刻之后,去除抗蚀剂掩模。第一开口 520 的直径可为约 1 μm 至 6 μm,在本实施例中第一开口 520 的直径为 2 μm。

[0150] 经过了前述各工序的半导体装置的截面图相当于图 8A。

[0151] 接着,通过溅射法、LPCVD 法或等离子体 CVD 法层叠而形成氧氮化硅层和非晶硅层。在本实施例中,用等离子体 CVD 法依次层叠而形成厚度为 3nm 至 5nm 的氧氮化硅层和厚度为 30nm 的非晶硅层。接下来,形成抗蚀剂掩模,选择性地蚀刻非晶硅层和氧氮化硅层,从而形成重叠于第一开口 520 的氧氮化硅层 524a 及非晶硅层 524b。氧氮化硅层 524a、非晶硅层 524b 成为反熔丝的电阻材料层。蚀刻之后,去除抗蚀剂掩模。

[0152] 经过了前述各工序的半导体装置的截面图相当于图 8B。

[0153] 接着,形成抗蚀剂掩模,选择性地蚀刻第四绝缘层 522 及第五绝缘层 523,从而分别形成到达半导体层的接触孔、到达栅电极的接触孔和到达第一电极 509 的第二开口。蚀刻之后,去除抗蚀剂掩模。

[0154] 经过了前述各工序的半导体装置的截面图相当于图 8C。

[0155] 以含氟酸的蚀刻剂去除露出的半导体层表面及露出的第一电极 509 表面的氧化膜,同时清洗露出的半导体层的表面及露出的第一电极 509 表面。

[0156] 接着,通过溅射法形成导电层,以形成反熔丝的上部电极或薄膜晶体管的源电极

及漏电极等。该导电层使用如下材料的单层或叠层形成,即钨、钛、铝、镍、铬、钼、钽、钴、锆、钒、钇、钨、钽、钨、铁等单一元素、或者它们的合金或化合物。但是,在叠层导电层的情况下,因为用作反熔丝的上部电极,所以与非晶硅层 524b 接触的一层优选使用与硅起反应的材料。另外,因为该导电层也用作薄膜晶体管的源电极及漏电极,优选使用与构成薄膜晶体管的半导体层的接触电阻值较低的材料。例如,使用由钛层、含微量硅的铝层、钛层形成的三层结构,或者由钛层、含镍和碳的铝合金层、钛层形成的三层结构。在本实施例中,采用由厚度为 100nm 的钛层、厚度为 350nm 的纯铝层、厚度为 100nm 的钛层形成的三层结构。另外,在本实施例中示出了用钨层作为反熔丝的下部电极材料并用钛层作为上部电极的实例,但是对于材料并无特别的限定,只要能够将电阻材料层从高电阻变为低电阻即可,因此可以将相同的材料用作反熔丝的下部电极及上部电极。在将相同的材料用作反熔丝的下部电极及上部电极的情况下,用选自钨、钛、铝、镍、铬、钼、钽、钴、锆、钒、钇、钨、钽、钨、铁等单一元素、或者它们的合金或化合物的材料的单层或叠层结构来形成。

[0157] 接着,形成抗蚀剂掩模,并选择性地蚀刻导电层,从而形成用作源电极或漏电极的导电层 525、导电层 526、导电层 527、导电层 528、导电层 529、导电层 530、导电层 531、导电层 532、导电层 533、导电层 534、作为栅引出布线的布线 535、布线 536、布线 537、布线 538、布线 539、存储器部的第二电极 540 及第三电极 541、天线部的第四电极 542。第二电极 540 重叠于第一开口 520,成为反熔丝的上部电极。另外,第三电极 541 重叠于第二开口,并与第一电极 509 电连接。再有,第四电极 542 与天线部及电源部的薄膜晶体管电连接,但这里未图示。在蚀刻之后,去除抗蚀剂掩模。

[0158] 经过了前述各工序的半导体装置的截面图相当于图 8D。在本实施例中,可在同一个衬底上形成逻辑电路部 550 的薄膜晶体管、存储器部 552 的薄膜晶体管及反熔丝 560、天线部及电源部 554 的薄膜晶体管。这里示出设置在逻辑电路部 550 中的 p 沟道晶体管和 n 沟道晶体管、设置在存储器部 552 中的 p 沟道晶体管和反熔丝 560、设置在天线部及电源部 554 中的电容和 n 沟道晶体管的截面图。再有,设置在存储器部 552 中的薄膜晶体管也可为 n 沟道晶体管,对此本发明并无特别限定。另外,在天线部及电源部 554 中也可以设有 p 沟道晶体管。这里,为方便起见仅示出一个 n 沟道晶体管。

[0159] 接着,形成覆盖逻辑电路部 550 的薄膜晶体管、存储器部 552 的薄膜晶体管及反熔丝、天线部及电源部 554 的薄膜晶体管的第 6 绝缘层 543。可以使用包含氧化硅的绝缘层或由有机树脂构成的绝缘层作为第六绝缘层 543,但是为提高无线芯片的可靠性,优选采用包含氧化硅的绝缘层。另外,由于在用丝网印刷法形成天线时要求具有平坦性,因此最好通过涂布法并由有机树脂构成绝缘层。实施者可适当选择形成第六绝缘层 543 的材料。另外,之后形成的天线也可以形成到重叠于逻辑电路部 550 及存储器部 552 的区域。在此情况下,第六绝缘层 543 也用作将逻辑电路部 550 中的元件和存储器部 552 的元件与天线绝缘的层间绝缘层。在作为环形(例如,环形天线)或者螺旋形的情况下,天线的两端中的一方由形成于下层的布线引导,因此最好设置第六绝缘层 543。然而,在利用微波方式,并作为线状(例如偶极天线)或者形成为平整的形状(例如平板天线)等天线的情况下,将之后形成的天线配置为不重叠于逻辑电路部及存储器部,因此不必设置第六绝缘层 543。

[0160] 接着,形成抗蚀剂掩模,并选择性地蚀刻第六绝缘层 543 而形成到达第三电极 541 的第三开口和到达第四电极 542 的第四开口。在蚀刻之后,去除抗蚀剂掩模。

[0161] 经过了前述各工序的半导体装置的截面图相当于图 9A。

[0162] 接着,在第六绝缘层 543 上形成金属层。作为金属层,使用选自 Ti、Ni、Au 中的单层或它们的叠层。接着,形成抗蚀剂掩模,并选择性地蚀刻金属层,从而在第一电极 509 的引出布线部 562 中形成引出布线 544,并形成天线的基底层 545。再有,也可用金属掩模通过溅射法选择性地形成这里的引出布线 544 及基底层 545,而不使用抗蚀剂掩模。通过设置天线的基底层 545,可以确保大的与天线的接触面积。另外,根据电路设计的布局图,引出布线 544 也可不必特意形成。

[0163] 经过了前述各工序的半导体装置的截面图相当于图 9B。

[0164] 在天线基底层 545 上形成天线 546。天线 546 可以在通过溅射法形成 Al 或 Ag 等的金属层之后,进行选择性地蚀刻并加工为所期望的形状,或通过丝网印刷法而形成。丝网印刷法是指通过使用丝网版和称为涂刷器(squeegee)的橡皮、塑料或金属的刮刀,将设在丝网版上的墨汁或膏转印到设于丝网版的对侧的工件(work)上的方法,该丝网版上形成有通过在由金属或高分子化合物纤维的网眼构成的版基上以感光性树脂形成预定的图案。丝网印刷法具有以低成本在较大面积上形成图案的优点。

[0165] 经过了前述的工序的半导体装置的截面图相当于图 9C。在本实施例中,在同一衬底上形成逻辑电路部 550 的薄膜晶体管、存储器部 552 的薄膜晶体管及反熔丝以及天线部及电源部 554 的薄膜晶体管及天线。

[0166] 接着,进行剥离以去除金属层 502 及衬底 501。剥离可以在金属氧化物层内、第一绝缘层 503 和金属氧化物层的界面或金属氧化物层和金属层 502 的界面发生,可用较小的力从衬底 501 剥离成为无线芯片的第一绝缘层 503 的上层侧。另外,当去除金属层 502 及衬底 501 时,可将固定衬底贴合在设有天线的一侧。

[0167] 接着,利用切割器、切断装置等将形成有多个无线芯片的薄片分割成各个无线芯片。另外,若剥离时采用分别取出每个无线芯片来剥离的方法,则不必进行该分割工序。

[0168] 接着,将无线芯片固定于片状的基体。作为片状的基体,可以采用塑料、纸、预浸料、陶瓷片等。既可采用以两个片状基体夹住无线芯片而固定的方式,也可采用靠粘合层固定在一个片状基体上的方式。作为粘合层,可使用诸如反应固化型粘结剂、热固化型粘结剂、紫外线固化型粘结剂等光固化型粘结剂、嫌气型粘结剂等各种固化型粘结剂。另外,也可以在纸的形成中配置无线芯片,在一片纸的内部设置无线芯片。

[0169] 经过上述工序的无线芯片的存储器由根据本发明的反熔丝构成。该反熔丝处于选自如下三种状态的一种状态,即作为初始状态的“第一状态”、进行写入的状态的“第二状态”及“第三状态”。“第一状态”、“第二状态”及“第三状态”的电阻值彼此不同。另外,“第二状态”及“第三状态”是通过对“第一状态”进行写入而得到的状态。再有,如上述那样,存储器由多个反熔丝构成,以块单位进行写入。另外,以块单位区别已写入数据或未写入数据。在未写入块中,存在处于“第一状态”的反熔丝,在已写入块中只配置处于“第二状态”或“第三状态”的反熔丝。处于“第一状态”的反熔丝通过写入而变为“第二状态”或“第三状态”。然而通过写入而一旦变为“第二状态”的反熔丝即使再次写入也不变为“第三状态”、“第一状态”。同样地,变为“第三状态”的反熔丝即使再次写入也不变为“第二状态”、“第一状态”。在构成无线芯片的存储器中的已写入块中配置有处于“第二状态”的反熔丝和处于“第三状态”的反熔丝。然后,通过使“第二状态”和“第三状态”对应于二值数据,进行数据

写入。如上所述,处于“第二状态”或“第三状态”的反熔丝即使再次写入,也不变为其他状态如不同的写入状态或初始状态。因此,不用担心一旦写入无线芯片的数据被窜改。另外,若在无线芯片中留存具有处于“第一状态”的反熔丝的未写入块,则可实现能够写入(追记)新的数据的追记型存储器。再有,也能以反熔丝单位进行数据的写入和已写入和未写入的区别。

[0170] 在无线芯片制造时或制造之后,该无线芯片通过写入而将所有的反熔丝作为变为“第二状态”或“第三状态”,从而提供固定于二值数据而写入数据的、仅由已写入块构成的ROM。另外,在作为无线芯片而提供的阶段中,使具备处于“第一状态”的反熔丝的未写入块存在,可以作为能够写入新数据的追记型存储器。在作为追记型存储器的情况下,既可以采用只由未写入块构成的结构,也可以采用未写入块和已写入块混合存在的结构。在任何情况下,对一旦写入的数据都不可能被窜改,再者,也可以提供根据需要而可随时追记的无线芯片。例如,将固定在柔性的片状基体上的无线芯片贴到具有曲面的物品上,然后可以对该无线芯片包含的反熔丝型存储器进行数据的输入。

[0171] 本实施例可以与实施方式自由组合。

[0172] 实施例 2

[0173] 在本实施例中,说明用作无线芯片的半导体装置的结构及动作例。

[0174] 本实施例所示的半导体装置是具有非接触地进行数据通信的功能的无线芯片。图 6A 所示的半导体装置 600 的框图是其一例,由高频电路 601、电源电路 620、复位电路 603、时钟产生电路 604、数据解调电路 605、数据调制电路 606、控制其它电路的控制电路 607、存储电路 608 以及天线 609 构成。

[0175] 存储电路 608 具有由根据本发明的反熔丝构成的存储器。另外,存储电路 608 有时具有对在上述实施方式 4、实施例 1 中作为驱动电路部的一部分说明的存储器进行写入的电路、或读出写入存储器的数据的电路。再者,除了由该反熔丝构成的存储器,存储电路 608 还可以具有其他结构的存储器。作为其他结构的存储器可以举出 DRAM、SRAM、FeRAM、PROM、EPROM、EEPROM、闪存等。再有,存储电路 608 具有由该反熔丝构成的存储器,具备上述反熔丝的存储器既可以为 ROM,也可以为一次写入存储器。注意,已写入的反熔丝一定处于“第二状态”或“第三状态”中的一种状态。另外,在采用一次写入存储器中,存在有处于“第一状态”的反熔丝。

[0176] 高频电路 601 是由天线 609 接收信号的电路,并且是将数据调制电路 606 所接收的信号从天线 609 输出的电路。电源电路 602 是由接收信号产生电源电位的电路。复位电路 603 是产生复位信号的电路。时钟信号产生电路 604 是基于从天线 609 输入接收信号产生各种时钟信号的电路。数据解调电路 605 是解调接收信号并将该信号输出到控制电路 607 的电路。数据调制电路 606 是调制从控制电路 607 接收的信号的电路。另外,作为控制电路 607,这里设置有取码电路 611、判码电路 612、CRC 判定电路 613 以及输出单元电路 614。再有,取码电路 611 是分别提取传送到控制电路 607 的指令所包括的多个代码的电路。判码电路 612 是将被提取的代码与基准代码比较而判定指令内容的电路。CRC 判定电路 613 是基于被判定的代码检测出是否存在发送错误等的电路。

[0177] 接着,对上述半导体装置 600 的一个动作例进行说明。首先,天线 609 接收无线信号。无线信号经由高频电路 601 传送到电源电路 602,并且产生高电源电位(以下,称为

VDD)。VDD 馈送给构成半导体装置 600 的各种电路。另外,经由高频电路 601 传送到数据解调电路 605 的信号被解调(以下,称为解调信号)。而且,经由高频电路 601 而通过复位电路 603 及时钟信号产生电路 604 的信号以及解调信号被传送到控制电路 607。传送到控制电路 607 的信号由取码电路 611、判码电路 612 及 CRC 判定电路 613 等进行分析。然后,根据被分析的信号,在存储电路 608 内写入数据,或者将写入存储电路 608 内的半导体装置 600 的数据输出。

[0178] 在存储电路 608 内写入数据时,例如通过以块单位对存储电路 608 具有的反熔丝写入数据来将数据写入。此时,对于写入数据的块的反熔丝一定进行写入,该反熔丝从初始状态的“第一状态”变为“第二状态”,或从“第一状态”变为“第三状态”。对于该反熔丝的写入既可以根据无线信号直接执行,也可以经由命令对存储器进行写入的电路执行。注意,即使对已处于“第二状态”的反熔丝,根据上述被分析的信号进行写入,反熔丝也不变为“第一状态”、“第三状态”。再有,即使根据上述被分析的信号对已处于“第三状态”的反熔丝进行写入,反熔丝也不变为“第二状态”、“第一状态”。因此,一旦写入的数据不能被重写。另外,通过使具有处于“第一状态”的反熔丝的未写入块存在,可以写入新的数据。然而,当存储电路 608 具备由该反熔丝构成的存储器之外的存储器时,则不局限于此。

[0179] 在输出写入在存储电路 608 内的数据时,根据被分析的信号读出写入存储电路 608 内的数据。存储电路 608 具有由该反熔丝构成的存储器,在已写入块中通过处于“第二状态”或“第三状态”的反熔丝写入数据。该反熔丝的读出既可以根据无线信号直接执行,也可经由命令对写入存储器的数据进行读出的电路执行。

[0180] 被输出的半导体装置 600 的数据由输出单元电路 614 编码。再者,被编码的半导体装置 600 的数据经由数据调制电路 606 由天线转换为无线信号发送。注意,低电源电位(下面称为 VSS)在构成半导体装置 600 的各种电路中共用,并且可将 VSS 作为 VGND 来使用。

[0181] 这样的半导体装置 600 通过利用可以进行无线信号的接收/发送、发送或者接收的通信装置(例如读/写器或具有读取和写入中任一功能的通信装置),可以根据无线信号写入数据。另外,可根据无线信号读取写入半导体装置 600 的数据。

[0182] 再有,半导体装置 600 既可以为不装电源(电池)而利用电磁波对各种电路供应电源电压的方式,也可以为装有电源(电池)并利用电磁波和电源(电池)对各种电路供应电源电压的方式。

[0183] 接着,说明一例用作无线芯片的根据本发明的半导体装置的使用方式。图 6B 示出便携式数据终端 3200 和产品 3220。

[0184] 便携式数据终端 3200 具备显示部 3210,其侧面具备通信单元 3202。作为通信单元 3202 的实例,可以举出具备有读取信号的功能及发送信号的功能的读/写器、只具备读取信号的功能的读取器或者具备发送信号的功能的写入器。

[0185] 产品 3220 附装有半导体装置 600。半导体装置 600 用作上述的无线芯片,例如可以写入各种各样的数据如产品 3220 的原材料或原产地等。注意,在写入了数据的块中例如建立标志,以便被判断为已写入。根据本发明的半导体装置 600 因为具有防止一旦写入的数据被窜改的结构,不可能将原材料或原产地重写为假数据。另外,使半导体装置 600 中有未写入块存在,可以追记新的数据,例如可以在未写入块中写入各生产工序的检查结果或

流通过程的记录等。在此情况下,设置多个未写入块,以能够在各生产工序中写入。写入数据后的未写入块,被判断为已写入。

[0186] 将具备通信单元 3202 的便携式数据终端 3200 靠拢附装在产品 3220 上的半导体装置 600。通信单元 3202 可以读取写入到半导体装置 600 的数据,并且在显示部 3210 上显示产品 3220 的原材料或原产地、各生产工序的检查结果、流通过程的记录等的的数据。

[0187] 另外,如图 6C 所示,此外,当在传送带上传送贴有半导体装置产品 3220 时,可以利用通信单元 3240 读取半导体装置 600 的数据来进行对产品 3220 的检查。再者,可以利用通信单元 3240 对半导体装置 600 作为数据写入检查是否合格。如此,通过将根据本发明的半导体装置应用于系统,可以简单地获取数据,并实现高功能化和高附加值。另外,可防止一旦写入的数据被窜改,并可以防止产品被仿冒。

[0188] 再有,除了上述以外,本发明的半导体装置的用途广泛,还可以应用于需要确认对象物的关于生产、流通、销售、管理等的数据的任何商品。例如,可以设置在纸币、硬币、有价证券、证书、无记名债券、包装容器、书籍、记录介质、随身携带物品、货物、交通工具、食品、衣物、保健用品、生活用品、药品以及电子设备等上而加以使用。这些实例用图 7A 至 7H 进行说明。在图 7A 至 7H 中,说明作为半导体装置 600 而设置无线芯片 700 的实例。

[0189] 纸币和硬币是在市场中流通的通货,并包括在特定领域中作为货币流通的票据(代金券)、纪念硬币等。有价证券是指支票、证券、期票等(参照图 7A)。证书是指驾驶执照、居民卡等(参照图 7B)。交通工具是指自行车等的车辆、船舶等(参照图 7C)。包装容器是指用于包装盒饭等的纸、塑料瓶等(参照图 7D)。书籍是指书、本等(参照图 7E)。记录介质是指 DVD 软件、录像带等(参照图 7F)。随身携带物品是指提包、眼镜等(参照图 7H)。货物是指行李、递送包裹等(参照图 7G)。无记名债券是指邮票、粮票、各种礼品票等。食品是指食料品、饮料等。衣物是指衣服、鞋等。保健用品是指医疗设备、保健设备等。生活用品是指家具、照明装置等。药品是指医药、农药等。电子设备是指液晶显示装置、EL 显示装置、电视机(电视接收机或薄型电视接收机)、便携式电话机等。

[0190] 通过将无线芯片 700 设置在纸币、硬币、有价证券、证书、无记名债券等上,可以防止仿冒。另外,通过将无线芯片 700 设置在包装容器、书籍、记录介质等、随身携带物品、食品、生活用品、货物、以及电子设备等上,可以实现检查系统或租赁店的系统等的效率化。通过将无线芯片 700 设置在交通工具、保健用品、药品、货物等上,可以防止对它们的仿冒或偷窃。另外,若用于药品,则可以防止用药错误。作为设置无线芯片 700 的方法,可以贴在物品表面上,或埋于物品中。例如,若为书籍,可埋入于纸中,若为由有机树脂构成的封装件,则可埋入于有机树脂中。另外,通过将半导体装置嵌入到动物等生物中,可以容易识别各个生物。例如,通过将具有传感器的半导体装置安装或嵌入到家畜等生物中,不仅可以识别生年、性别或种类等,而且可以容易管理当前的体温等健康状态。

[0191] 尤其是,可将应用本发明的无线芯片有效地用于食品的可追溯性(traceability)。应用本发明的无线芯片具有可输入新数据但一旦写入的数据不能被重写的结构。因此,在食品的生产、流通、销售的各阶段中经营者不同时,后续经营者不能窜改先前经营者写入的数据。例如,可以防止销售者窜改生产者写入的使用期限等的的数据而伪造标识等。

[0192] 以下,描述将应用本发明的无线芯片用于食品的可追溯性的实例。例如,说明用于

牛肉流通的实例。

[0193] 首先,作为对象的肉牛 A 如在牧场 S 出生。肉牛 A 的管理者(牛的饲养者、共同哺育・培育中心、繁殖中心、育肥中心的管理者或者牧场的管理者等。本例中是牧场 S 的管理者)登记出生等,并被分配肉牛 A 的个体识别号码。个体识别号码例如为十位数的号码,该号码中编入生产地或管理者的特定编号。个体识别号码例如作为耳标附在肉牛 A 上。

[0194] 此时,将预先在预定的块中写入个体识别号码的无线芯片装入耳标。通过将根据本发明的半导体装置作为装入耳标的无线芯片使用,可以防止个体识别号码的窜改。当然,也可以在对肉牛 A 附上耳标 A 之后写入个体识别号码,但是优选将预先写入个体识别号码的无线芯片分配到各个体,以防止写入错误的号码而存在个体识别号码重复等情况,从而容易管理。

[0195] 在装入耳标的无线芯片中最好还写入牛的名字、性别、种别以及血统等。因而,最好在无线芯片中存在多个未写入块,以可将必要的数据随时写入未写入块。当然,未写入块被写入随时数据之后,就被判断为已写入块。将本发明用于装入耳标的无线芯片,可以防止一旦写入的数据被窜改。再有,在装入耳标的无线芯片中写入的数据的内容,由读/写器等收/发器读取并登记在管理服务器中。

[0196] 另外,在肉牛 A 被屠宰前移动到其他管理者(育肥中心等)时,将去处等数据随时写入在无线芯片中的未写入块中。再有,在对无线芯片写入新数据时,利用读/写器等收/发器进行读取,并将其内容登记在管理服务器中。

[0197] 例如在屠宰场 T 中屠宰肉牛 A 而成为牛肉。被屠宰的肉牛 A 一般作为带骨肉 A' 从屠宰场 T 流通到食肉加工经营者。复制被屠宰前写入的无线芯片的数据,作为新的无线芯片贴到带骨肉 A' 上。在存在多个 A' 的情况下,将复制的无线芯片贴到所有的带骨肉 A'。当然,通过将本发明应用于复制的无线芯片,可防止数据的窜改。肉牛 A 的屠宰者(食肉处理场或食肉中心的管理者等。本例中为屠宰场 T 的管理者)将屠宰的日期、屠宰地点等写入贴到带骨肉 A' 的无线芯片的未写入块中。当然,也可在对复制的无线芯片写入屠宰的日期等的数据之后,将无线芯片贴到作为对象的带骨肉 A' 上。另外,在未写入块中写入带骨肉 A' 的等级、重量、出货对方、出货日等。再有,用读/写器等收/发器读取在无线芯片中写入的数据内容,并登记在管理服务器中。

[0198] 例如食肉加工经营者 U 将带骨肉 A' 加工为部分肉 A"。从食肉加工经营者 U 以经加工的带骨肉 A' 作为多个部分肉 A"流通到零售商或特定的食品供应者等。复制贴到带骨肉 A' 的无线芯片的数据,并贴到各部分肉 A"上。当然,通过将本发明用于复制的无线芯片,可防止数据被窜改。带骨肉 A' 的加工者(本例中为食肉加工经营者 U)在未写入块中写入部分肉 A"的重量、供货厂商、供货日期、出货对方、出货日等。再有,利用读/写器等收/发器读取无线芯片写入的数据的内容,并登记在管理服务器中。

[0199] 然后,例如零售商 V 将部分肉 A"加工为精肉 A'",对消费者 W 出售。零售商 V 复制贴到部分肉 A"上的无线芯片的数据,并在复制的无线芯片的未写入块中写入供货厂商和供货日期等,在出售各精肉 A'"时贴上。当然,通过将本发明用于复制的无线芯片,可防止数据被窜改。用读/写器等收/发器读取无线芯片中写入的数据内容,并登记在管理服务器中。如此,可以在从牧场 S 至零售商 V 的流通过程中,随时对未写入块写入数据。另外,因为被写入数据之后的未写入块被判断为已写入块,从而不用担心数据会被窜改。

[0200] 购买精肉 A' ”或考虑购买的消费者 W 可以利用设置在零售店等的信息阅览系统来阅览贴到该精肉 A' ”上的无线芯片中的已写入块写入的数据。作为信息阅览系统,如可以利用读 / 写器等的收 / 发器读取无线芯片中写入的数据,并将写入在已写入块中的数据在与该收 / 发机及管理服务器联动的个人计算机上显示。

[0201] 这里说明的肉牛及牛肉的可追溯性,利用了应用本发明的无线芯片。本发明可以防止一旦写入的数据被窜改。因此,如肉牛及牛肉的可追溯性那样,在将本发明用于各阶段中管理者不同的生产・流通过程的情况下,当变更管理者时可以防止前阶段的数据被重写。在上述实例中,可以防止如下的不正当行为:零售商 V 重写出生地等的原产地或牛肉的等级等来虚假标示,从而以高价出售牛肉等。因此,消费者 W 可以阅览正确的数据,防止因虚假标示而遭受不利。再有,这里以将本发明用于肉牛及牛肉的可追溯性为例作了说明,但是不言而喻,本发明可以广泛应用于其他食品、特产品、工艺品等。

[0202] 另外,将应用本发明的无线芯片用于机场的货物检查、管理等也是有效的。如上述那样,应用本发明的无线芯片具有如下结构:可以对未写入块写入新的数据,然而一旦写入的数据(已写入块的数据)不能被重写。因此,若行李持有者的数据已写入无线芯片,则他人就不能重写持有者的数据,因此可防止偷窃等。另外,在写入行李检查系统是否合格的判定时,即使要将危险物品带进,但是一旦数据写入为:“不可带进飞机”就不能被重写,因此可确保安全性。

[0203] 如上所述,在应用本发明的无线芯片中,不应当被窜改的数据都以将“第二状态”或“第三状态”的已写入状态对应于二值数据的方式而被写入。通过不设未写入状态的存储元件,可以防止数据被窜改。当然,也可以留有未写入状态的存储元件,以用未写入状态的元件进行追记。

[0204] 注意,本实施例可以与其他实施方式及实施例自由组合。

[0205] 本说明书根据 2007 年 12 月 14 日在日本专利局受理的日本专利申请编号 2007-323241 而制作,所述申请内容包括在本说明书中。

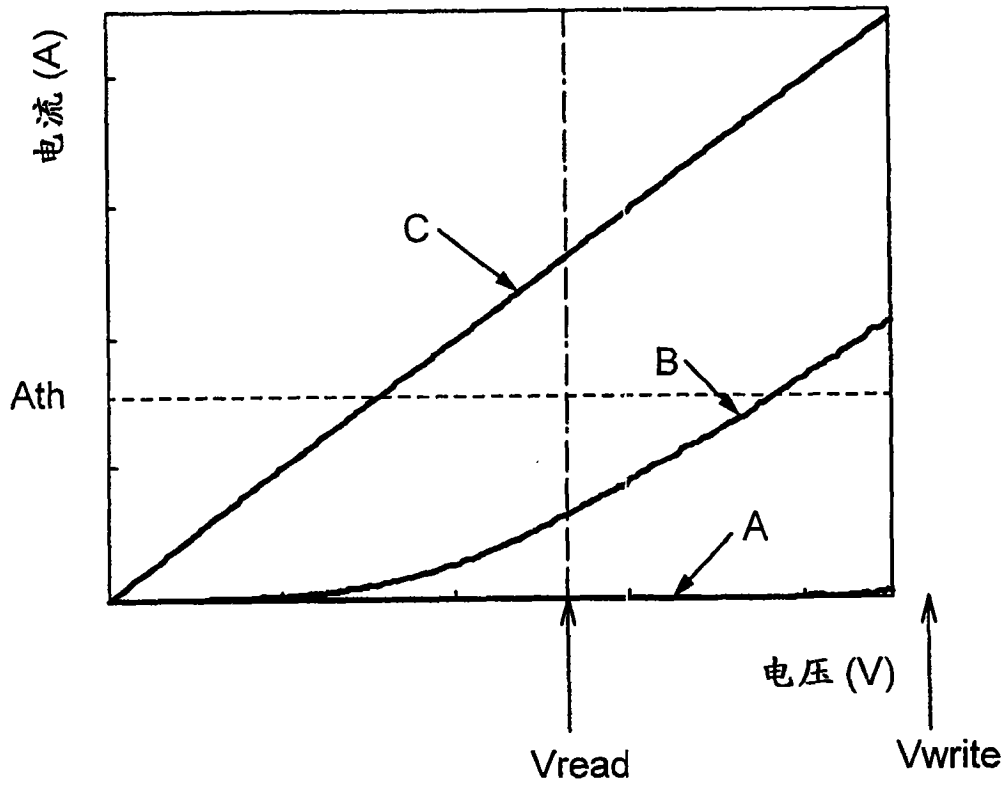


图 1

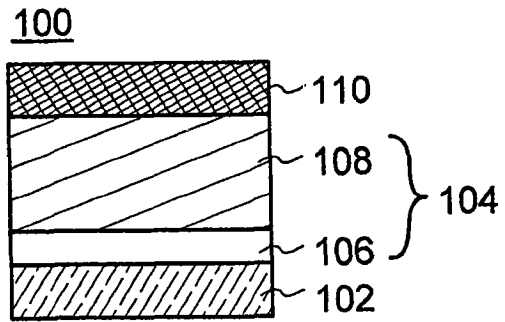


图 2A

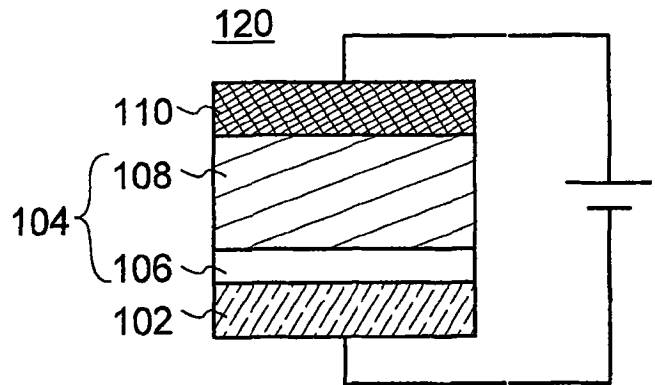


图 2B

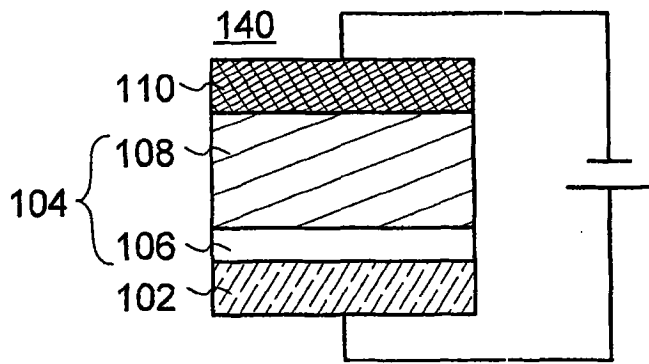


图 2C

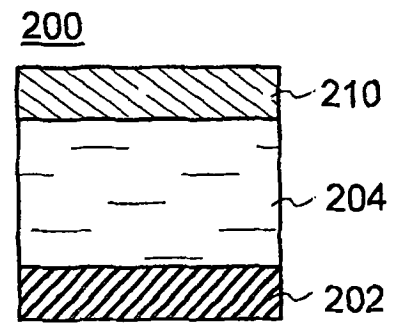


图 3A

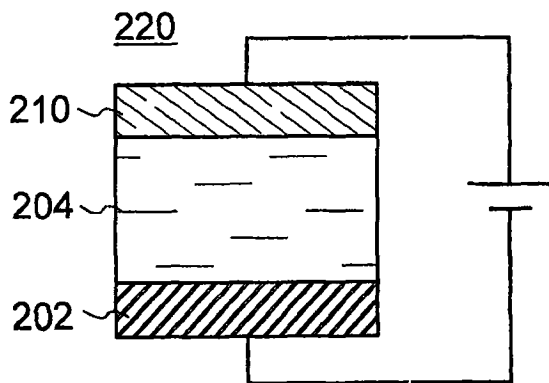


图 3B

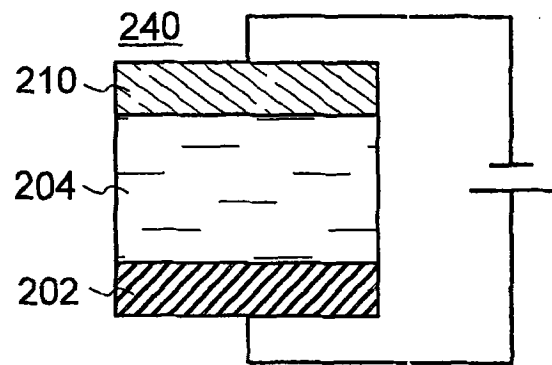


图 3C

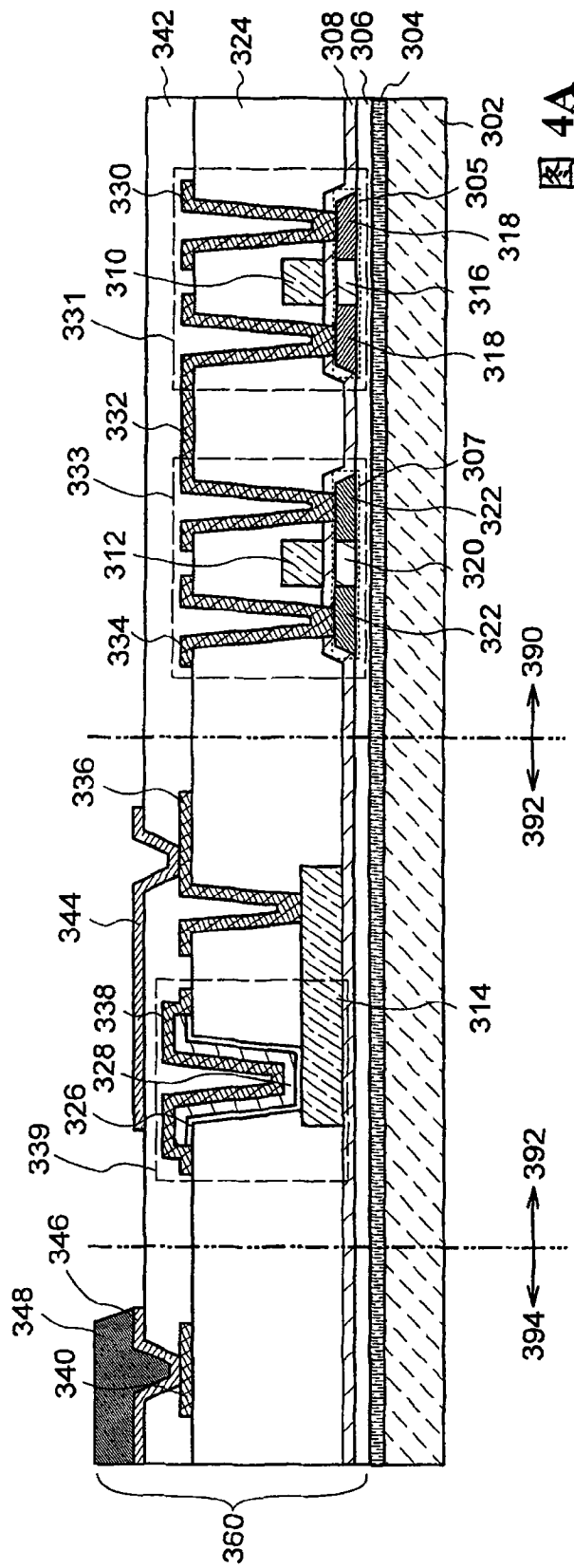


图 4A

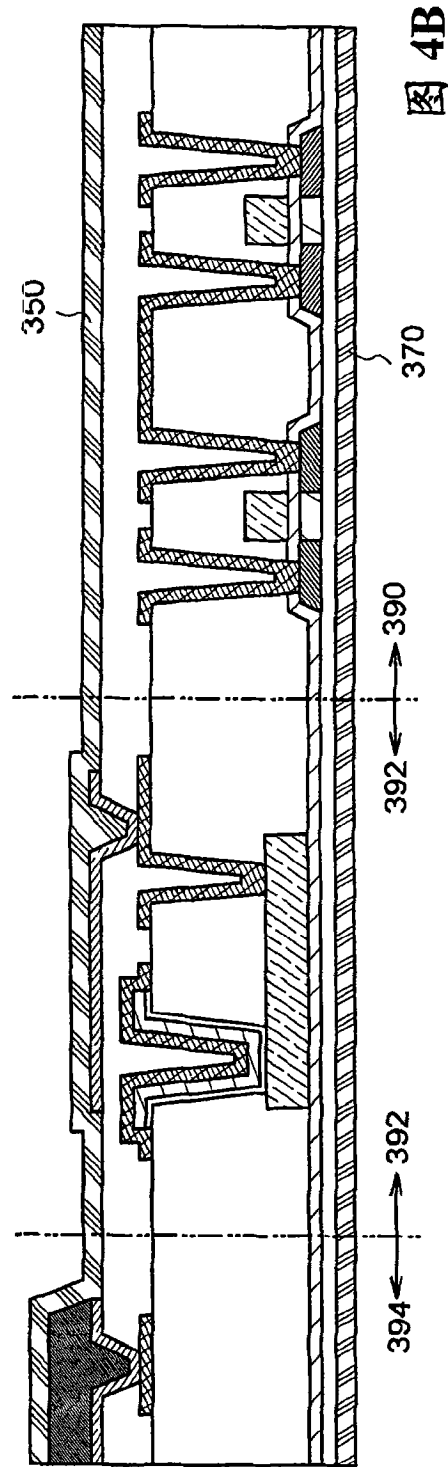
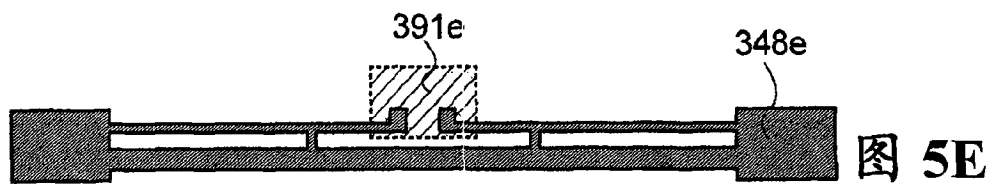
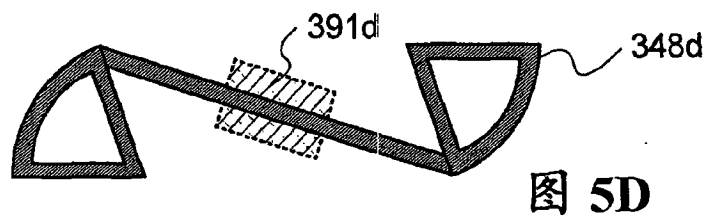
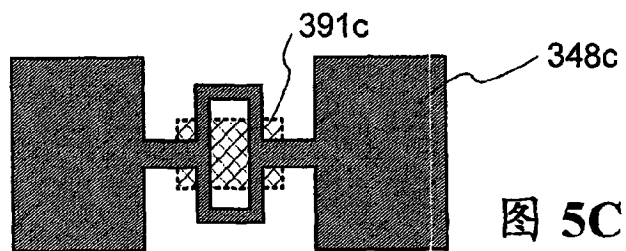
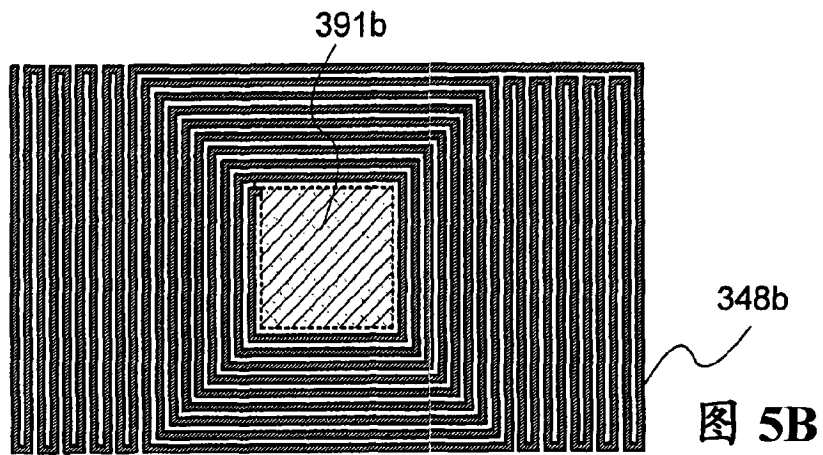
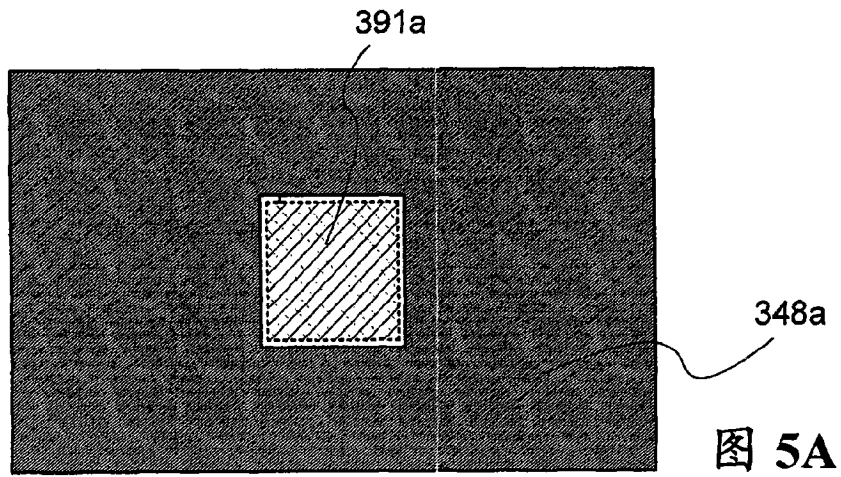


图 4B



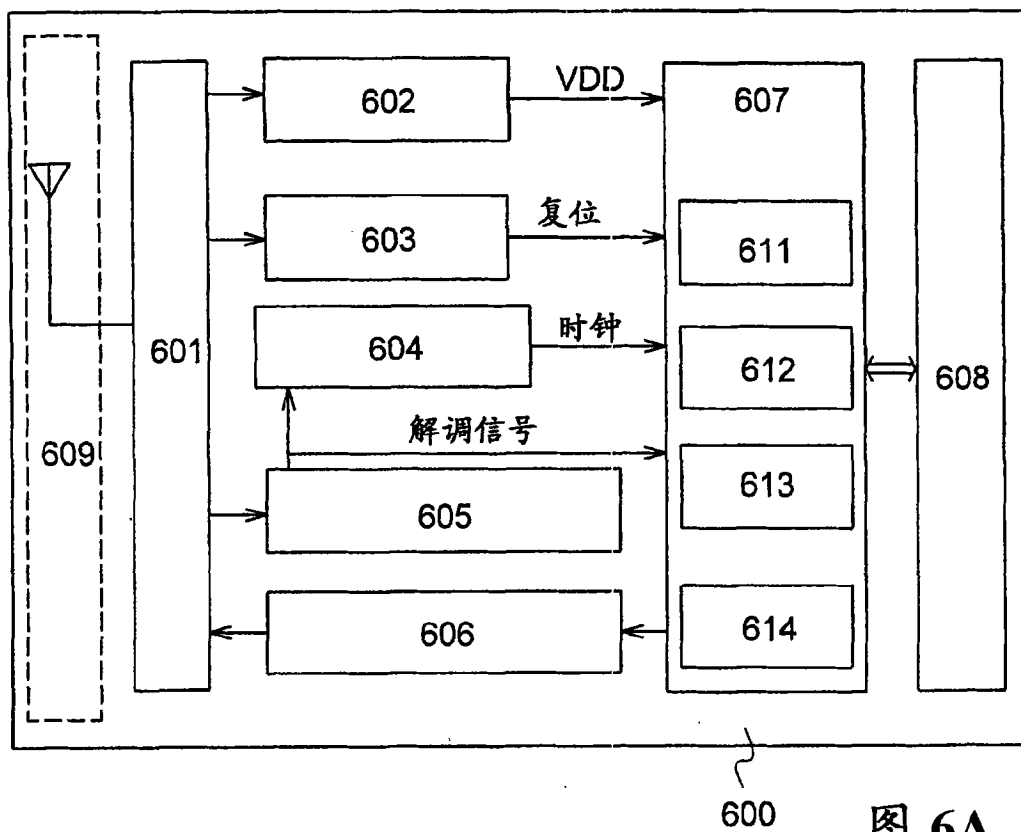


图 6A

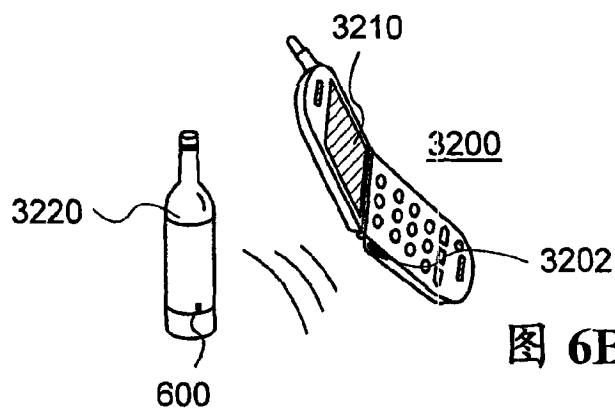


图 6B

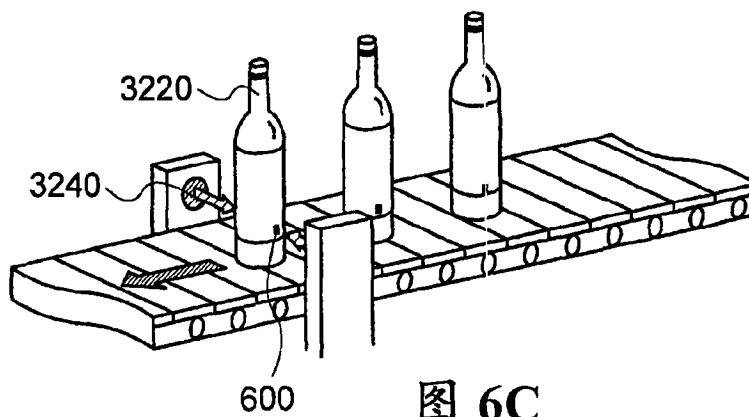


图 6C

寄件人的姓名 ○○○○		日本国际邮政汇票 \ ○○○○ ○○○○ *	
寄件人的地址 ○○○○ ○○○○	发行日期 ○○○○ ○○	姓名 ○○○○	姓名 ○○○○ 地址 ○○○○ ○○○○ ○○○
		地址 ○○○○ ○○○○ ○○○	

图 7A

700

姓名	_____	
地址	_____	
日期	_____	
号码	_____	

图 7B

700

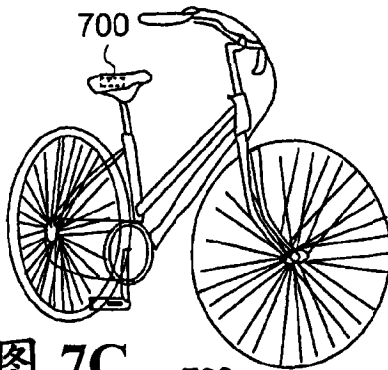


图 7C

700

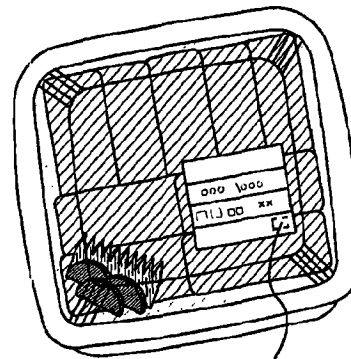


图 7D

700

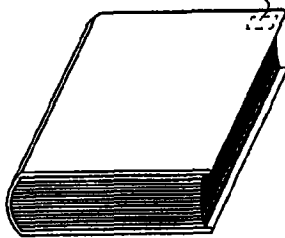


图 7E

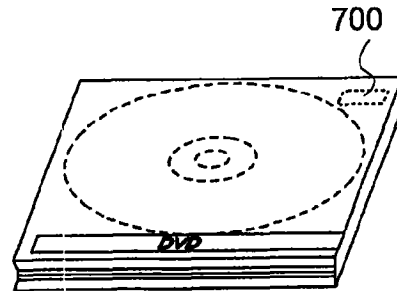


图 7F

700

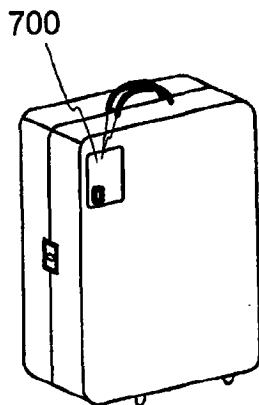


图 7G

700



图 7H

700

