
Octrooiraad



Nederland

⑫ A Terinzagelegging ⑪ 8900363

⑲ NL

⑤4 Geïntegreerde schakeling.

⑤1 Int.Cl⁵: H04N 3/14, G11C 27/04, H01L 27/10.

⑦1 Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.

**⑦4 Gem.: Ir. J.E.M. Galama c.s.
Internationaal Octrooibureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.**

②1 Aanvraag Nr. 8900363.

②2 Ingediend 15 februari 1989.

③2 --

③3 --

③1 --

⑥2 --

④3 Ter inzage gelegd 3 september 1990.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

N.V. Philips' Gloeilampenfabrieken
"Geïntegreerde schakeling".

De uitvinding heeft betrekking op een geïntegreerde schakeling met een, aan een oppervlak van een halfgeleiderlichaam aangebrachte vertragingslijn, omvattende een reeks van signaalopslagcapaciteiten, een ingangslijn voor het toevoeren van
5 signalen en een uitleeslijn voor het uitlezen van de opgeslagen signalen, een reeks van transistorparen die elk met een signaalopslagcapaciteit zijn geassocieerd en waarvan een transistor, de inleestransistor, een schakelaar vormt tussen de capaciteit en de inleeslijn, en de andere transistor, de uitleestransistor, een
10 schakelaar vormt tussen de capaciteit en de uitleeslijn, en omvattende een digitaal schuifregister met een aantal uitgangen die verbonden zijn met sturingselektroden van de transistoren.

Een dergelijke inrichting, die ondermeer gebruikt kan worden voor de verwerking van videosignalen, bijvoorbeeld T.V. signalen,
15 is bekend uit het artikel "Signalverarbeitung mit analogen Speichern in der Fernsehtechnik" van G. Brand, gepubliceerd in Fernseh- & Kinotechnik Bd 30, nr.3 (1976), pg. 81/85. In Fig. 5b van deze publicatie is schematisch een vertragingslijn weergegeven, waarbij de opslagcapaciteiten samen met de bijbehorende transistorparen en het
20 schuifregister in een lineaire configuratie achter elkaar liggen. De signalen die opgeslagen moeten worden, worden aangeboden via de ingangslijn. Door middel van het schuifregister en de door het schuifregister gestuurde inleestransistors, worden de signaalopslagcapaciteiten achtereenvolgens met de ingangslijn
25 verbonden. Als het signaal is opgeslagen wordt de verbinding tussen de ingangslijn en de capaciteiten weer verbroken, waardoor de tijdelijk op de ingangslijn aangeboden signaalwaarde op de capaciteit aanwezig blijft gedurende een gewenste vertragungstijd. Bij het uitlezen worden de uitleestransistoren de een na de ander door het schuifregister in
30 geleiding gebracht, waardoor de opgeslagen signalen na elkaar op de uitleeslijn verschijnen en via een versterker kunnen worden uitgelezen.

De grootte van het (spannings)signaal op de uitleeslijn

8900363.

wordt, in analogie met dynamische geheugens, bepaald door de verhouding van de signaalopslagcapaciteit en de parasitaire capaciteit van de uitleeslijn. Vanwege de storingsmarges die in acht genomen dienen te worden, is het gewenst dat het verschil tussen de hoogste waarde en de laagste waarde van de signalen zo groot mogelijk is. Om deze reden wordt de parasitaire capaciteit van de uitleeslijn zo klein mogelijk gehouden.

Een doel van de uitvinding is de schakeling zodanig te ontwerpen dat een lage parasitaire capaciteit van de uitleeslijn wordt verkregen.

10 In de bekende schakeling, zoals in Fig. 5b van de hiervoor genoemde publicatie is weergegeven, zijn twee, parallelle vertragslijnen aanwezig, die elk door een afzonderlijk schuifregister worden gestuurd. Deze schuifregisters nemen in het algemeen vrij veel ruimte in het siliciumkristal in beslag. Een verder doel van de uitvinding is derhalve, de schakeling zodanig te ontwerpen dat het 15 mogelijk is om, in het geval van twee vertragslijnen, met slechts een schuifregister te volstaan.

Een geïntegreerde schakeling volgens de uitvinding is daardoor gekenmerkt dat de vertragslijn tenminste twee, naast elkaar 20 gelegen, delen omvat, met, op het oppervlak gezien, een gemeenschappelijk, centraal gelegen, deel van de uitleeslijn, aan weerszijden waarvan de signaalopslagcapaciteiten en de bijbehorende transistorparen en delen van het schuifregister zijn gelegen, zodanig dat aan elke kant van het genoemde deel van de uitleeslijn, de 25 signaalopslagcapaciteiten met de bijbehorende transistorparen van een van de delen van de vertragslijn gelegen is tussen de uitleeslijn en het bijbehorende deel van het schuifregister.

Door aan weerszijden van het genoemde centrale deel van de uitleeslijn signaalopslagcapaciteiten aan te brengen, wordt een 30 verkleining van de lengte van de uitleeslijn, en daarmee een verlaging van de parasitaire capaciteit verkregen in vergelijking met de situatie waarin de geheugencellen allen achter elkaar zijn gelegen.

Een belangrijk uitvoeringsvorm is daardoor gekenmerkt, dat twee, aan weerszijden van het centraal gelegen deel van de 35 uitleeslijn gelegen uitleestransistoren via een gemeenschappelijk contact met het centraal gelegen deel van de uitleeslijn zijn verbonden. Doordat de aan weerszijden gelegen geheugencellen gemeenschappelijke

8900363.

contacten hebben, wordt in dit deel van de vertragingslijn het aantal contacten gehalveerd waardoor een aanzienlijke reductie van de parasitaire capaciteit wordt verkregen.

Een verdere uitvoeringsvorm, die het voordeel heeft dat
5 voor twee vertragingslijnen slechts een schuifregister vereist is, is daardoor gekenmerkt dat, behalve de genoemde eerste vertragingslijn, een tweede vertragingslijn aanwezig is waarvan de opbouw analoog is aan die van de eerste vertragingslijn, en die eveneens tenminste twee delen omvat die aan weerszijden van de twee delen van de eerste
10 vertragingslijn zijn gerangschikt waarbij de genoemde delen van het schuifregister gemeenschappelijk zijn voor de eerste en de tweede vertragingslijn.

De uitvinding zal nader worden toegelicht aan de hand van enkele uitvoeringsvoorbeelden en de bijgaande schematische tekening waarin

15 Fig. 1 het blokschema van een vertragingslijn van het type waarop de uitvinding betrekking heeft toont;

Fig. 2 het elektrisch schakelschema van een uitvoeringsvorm van deze vertragingslijn geeft;

Fig. 3 het schakelschema van een trap van het
20 schuifregister van de inrichting volgens Fig. 1 geeft;

Fig. 4 schematisch in bovenaanzicht het ontwerp van een vertragingslijn volgens de uitvinding geeft;

Fig. 5 in bovenaanzicht een deel van een eerste gerealiseerde uitvoering van een dergelijke vertragingslijn volgens de
25 uitvinding geeft;

Fig. 6 een doorsnede langs de lijn VI-VI in Fig. 5 geeft;

Fig. 7 een doorsnede langs de lijn VII-VII in Fig. 5 geeft;

Fig. 8 schematisch het ontwerp van een tweede
30 uitvoeringsvorm van een vertragingslijn volgens de uitvinding weergeeft;

De vertragingslijn volgens Fig. 1 is in principe bekend uit Fig. 5b van de hiervoor genoemde publicatie. De informatie wordt opgeslagen op de bovenste plaat (electrode) van de capaciteiten C_1 , C_2 , C_3 enz. waarvan de onderste plaat aan een referentiespanning is
35 gelegd. De informatie wordt toegevoerd via de ingangslijn 1 en uitgelezen via de uitgangslijn 2. De informatie-bevattende platen van de condensatoren C_1 , C_2 , C_3 enz. zijn daartoe via een schakelaar T_1

8900363.

verbonden met de ingangslijn en via de schakelaar T_2 met de uitgangslijn. De schakelaar T_1 en T_2 worden gevormd door MOS-transistoren waarvan de aan- en afvoerelektroden een stroomweg vormen tussen de informatie-bevattende capaciteitselektroden enerzijds en de lijnen 1 en 2 anderzijds. De transistoren T_1 en T_2 worden in het hierna volgende met inleestransistor resp. uitleestransistor aangeduid. De poortelektroden 3/4 van de transistoren T_1/T_2 worden gestuurd door een schuifregister 5, via welk een signaal van links naar rechts wordt getransporteerd en via de verbindingen 7 de transistoren T_1 , T_2 sequentieel geleidend en niet-geleidend gemaakt. Het transport van het signaal I wordt gestuurd door een of meer klokken ϕ . Het schuifregister kan op, op zichzelf bekende wijze zijn opgebouwd als een keten van dynamische flip-flops 6. Zoals verder uit Fig. 1 blijkt, zijn telkens een inleestransistor T_1 van een eerste groep, en de uitleestransistor T_2 van de daaropvolgende groep van 2 transistoren met een gemeenschappelijke uitgang 7 van het schuifregister verbonden, waardoor een geheugencel eerst uitgelezen (gereset) en vervolgens bij hetzelfde signaal I op de verbinding 7 opnieuw ingeschreven kan worden, waarbij de informatie op de condensator opgeslagen blijft totdat een nieuwe puls I de verbinding 7 passeert. Uiteraard zijn ook andere aansluitingen mogelijk. Voor de werking van de schakeling wordt verwezen naar de hiervoor genoemde publicatie.

Fig. 2 geeft een meer gedetailleerde uitvoering van de schakeling volgens Fig. 1. De transistoren T_1 en T_2 worden gevormd door n-kanaaltransistoren, terwijl de capaciteiten C_i gevormd worden door p-kanaaltransistoren waarvan de aan- en afvoerelektroden zijn kortgesloten en de aan referentiespanning gelegde plaat van de condensator vormen, terwijl de poortelektroden de andere, de informatiehoudende plaat vormen. Opgemerkt wordt dat in het schema volgens Fig. 2 de p-kanaaltransistoren door een ringetje op de poortelektrode van de n-kanaaltransistoren zijn onderscheiden.

Het schuifregister 5 is opgebouwd uit een aantal trappen die door 4 klokken ϕ_1 , ϕ_2 , ϕ_3 en ϕ_4 worden gestuurd. Elke deeltrap bevat 4, door de klokken ϕ_i gestuurde transistoren, n.l. de p-type kanaaltransistoren T_{11} en T_{12} aan de poorten waarvan de klokken ϕ_1 resp. ϕ_2 worden aangelegd, en de n-kanaaltransistoren T_{13} en T_{14} aan de poorten waarvan de klokken ϕ_3 resp. ϕ_4

8900363.

worden aangelegd. De aanvoerelektroden van de n-kanaaltransistoren T_{13} en T_{14} zijn met de negatieve voedingslijn 8, waar de voeding V_{SS} aan wordt aangelegd verbonden; de aanvoerelektroden van de p-kanaaltransistoren zijn met de positieve voedingslijn 9 met de spanning V_{DD} verbonden. Tussen de transistoren T_{12}/T_{13} en de transistoren T_{11}/T_{14} bevinden zich omkeertrappen 10 resp. 11 die in een reeks met elkaar zijn verbonden. Het ingangssignaal wordt aan de omkeertrap aan de linkerkant van de tekening toegevoerd en op, door de klokspanningen ϕ_1 , ϕ_2 , ϕ_3 en ϕ_4 gecontroleerde wijze naar rechts getransporteerd. Elke omkeertrap 10,11 kan, zoals in Fig. 3 is weergegeven uit een C-MOS inverter bestaan. De omkeertrap 10 bevat de p-kanaaltransistor T_{15} en de n-kanaaltransistor T_{16} ; die omkeertrap 11 bevat de p-kanaaltransistor T_{17} en de n-kanaaltransistor T_{18} . De ingangen van de inverters worden gevormd door de gemeenschappelijke poortaansluitingen, en de uitgangen door het knooppunt 13 van de afvoer van T_{15}/T_{17} en de afvoer van de n-kanaaltransistoren T_{16}/T_{18} .

Bij het uitlezen van de opgeslagen informatie wordt de lading, geheel of ten dele, overgezet op de uitleeslijn (bitlijn) 2. De grootte van het signaal hangt af van de grootte van de parasitaire uitleescapaciteit. Ter verkrijging van een zo groot mogelijk uitgangssignaal is het gewenst, de vertragingslijn zodanig te ontwerpen dat de parasitaire capaciteit zo laag mogelijk is.

Fig. 4 geeft het ontwerp (lay-out) schema van een uitvoering waarin de lengte van de uitleeslijn veel kleiner is dan de lengte van het schuifregister 5. Hierdoor wordt een aanzienlijke reductie verkregen van de parasitaire bitlijncapaciteit in vergelijking met uitvoeringen waarin de bitlijnlengte vergelijkbaar is met de lengte van het schuifregister 5. In Fig. 4 zijn voor overeenkomstige onderdelen dezelfde verwijzingscijfers gebruikt als in Fig. 1-3. De reeks van capaciteiten C_1 , C_2 , C_3 enz. met de bijbehorende in- en uitleestransistoren T_1/T_2 bevat tenminste 2 deelrijen a en b, die naast elkaar zijn gelegen en zich, op het oppervlak gezien, evenwijdig aan elkaar en naast elkaar uitstrekken. Centraal tussen de deelrijen a en b bevindt zich de uitleeslijn 2 (of althans een deel daarvan), aan weerszijden waarvan zich de capaciteiten C_i van de deelrijen a en b en de bijbehorende in- en uitleestransistoren T_1 en T_2 bevinden. Aan de, van het centrale deel van de uitleeslijn 2 afgekeerde zijde van de

8900363.

deelrijen a en b zijn de bijbehorende delen 5a resp. 5b van het schuifregister 5 gelegen, zodanig dat de capaciteiten C_i met de bijbehorende in- en uitleestransistoren T_1/T_2 tussen het centrale deel 2 van de bitlijn en de bijbehorende delen van het schuifregister 5a/5b zijn gelegen. De delen 5a en 5b van het schuifregister zijn door een verbinding 14 met elkaar in serie verbonden. De ingangslijn 1 kan, zoals in Fig. 4 is weergegeven U-vormig om het centrale deel 2 van de bitlijn zijn aangebracht.

Zoals uit Fig. 4 kan worden opgemaakt is de lengte van het deel van de bitlijn 2 in het weergegeven deel van de vertragingslijn ongeveer slechts de helft van die van de inleeslijn en/of het schuifregister, waardoor de aanzienlijke reductie van de bitlijncapaciteit wordt verkegen. Een verdere reductie kan verkregen worden door, zoals schematisch in Fig. 4 is weergegeven, de aan weerszijden van de bitlijn 2 gelegen uitleestransistoren T_2 twee aan twee via een gemeenschappelijk contact met de bitlijn te verbinden.

Fig. 5 geeft een bovenaanzicht van een deel van een gerealiseerde uitvoering. De figuur laat 20 geheugencapaciteiten C_i geheel of ten dele zien, gegroepeerd in twee evenwijdige deelrijen a en b. De bijbehorende trappen van het schuifregister 5 zijn slechts schematisch weergegeven. De inrichting is vervaardigd in CMOS-technologie met een poly-kristallijne siliciumlaag en een aluminiumlaag. Het siliciumlichaam is een p-type substraat dat t.b.v. de p-kanaaltransistoren is voorzien van laaggedoteerde n-type gedoteerde oppervlaktegebieden (wells) waarin de p-kanaaltransistoren worden gevormd, zoals de capaciteiten C_i .

Fig. 7 geeft een doorsnede ter plaatse van de capaciteiten C_i , langs de lijn VII-VII in Fig. 5. In deze figuur is het p-type substraat 21 aangegeven dat voorzien is van de zwakgedoteerde p-zone (well) 22. De capaciteitselektroden, waarop de informatie-representerende lading wordt opgeslagen, wordt gevormd door de poly-kristallijne siliciumvlakken 23 (poly), die door het dunne poortdielectricum 20 van bijvoorbeeld siliciumoxyde van het onderliggende halfgeleiderlichaam zijn gescheiden. Tussen de polyelektroden 23 bevinden zich de verbindingen 7 tussen het schuifregister 5 en de in- en uitleestransistoren T_1/T_2 . De verbindingen 7 zijn eveneens in poly uitgevoerd. In het n-gebied 22 zijn, op zelf-

8900363.

registrerende wijze t.o.v. de poly-layer 23 en 7, p-type zones 24 en 25
aangebracht, dit de aan- en afvoerzones van de, de capaciteiten vormende
transistoren (zie Fig. 2) vormen. Deze zones worden tijdens bedrijf
kortgesloten door middel van een inversiekanaal 26 onder de elektroden
5 23, dat verkregen kan worden door de aanvoerzones aan een positieve
spanning, bijvoorbeeld V_{dd} te leggen. Deze spanning wordt toegevoerd
via een Al-lijn 27 (zie Fig. 5 en 7) die via contactopeningen in de
oxidelaag 20 met de p-zones 24 is verbonden. Het n-type gebied is met de
p-type zones 24 kortgesloten door de lijn 27, die via verdere
10 contactvensters in de oxidelaag 20 en de daaronder liggende n-type
oppervlaktezones 28, die met het n-type gebied 22 zijn verbonden.

Opgemerkt wordt dat in het onderhavige
uitvoeringsvoorbeeld alleen de p-type zones 24 met de Al-lijn 27 zijn
verbonden. Met voordeel echter kunnen ook de p-type zones 25 via een
15 extra contactvenster met de Al-lijn worden verbonden. Verder wordt
opgemerkt dat de delen in Fig. 5 die gerasterd zijn, de actieve
oppervlaktegebieden van het halfgeleiderlichaam voorstellen, terwijl de
overige, de niet-gerasterde delen de gebieden voorstellen van het
halfgeleiderlichaam die door dik veldoxyde zijn bedekt.

20 Fig. 6 geeft een dwarsdoorsnede van de inrichting langs
een deel van de uitleeslijn 2 langs de lijn VI-VI in Fig. 5. Het
oppervlak van het halfgeleiderlichaam 21 onder de uitleeslijn 2 is
praktisch geheel bedekt met dik veldoxyde 29. Ter plaatse van de
contacten vertoont de oxydelaag 29 openingen 30 ter plaatse waarvan n-
25 type zones 31 zich aan het oppervlak van het halfgeleiderlichaam 21
uitstrekken die via de openingen in de oxydelaag met de uitleeslijn 2
zijn verbonden. De zones 31 vormen elk een gemeenschappelijke zone
(elektrode) van aan weerszijden van de uitleeslijn 2 gelegen
uitleestransistor T_2 . Het aantal contacten (met contactvensters
30 en zones 31) bedraagt daardoor slechts de helft van het aantal
geheugenelementen waardoor een aanzienlijke reductie van de capaciteit
van de uitleeslijn wordt verkregen.

In het bovenaanzicht volgens Fig. 5 is verder de
inleeslijn 1 (evenals de uitleeslijn 2 in Al uitgevoerd) weergegeven aan
35 weerszijden van de uitleeslijn 2. Via de inleestransistor T_1 is de
inleeslijn 1 verbonden met de poly-elektroden 23 die ter plaatse van de
contacten 32 met de inleestransistoren T_1 zijn verbonden.

8900363.

Fig. 8 geeft, op analoge wijze als Fig. 4, een schema voor het ontwerp van een uitvoering met twee vertragslijnen voor het vertragen van twee signaalstromen. De signalen worden toegevoerd aan de ingangslijnen 1 en 1', in de tekening met I_{n1} resp. I_{n2} aangegeven.

- 5 De eerste vertragslijn omvat, behalve de deellijnen a en b die overeenstemmen met de deellijnen a en b in Fig. 4, nog een derde deellijn, onderaan de Figuur, en voorzien van het verwijzingssteken c. De deellijnen a en b worden gestuurd door de delen 5a en 5b van het schuifregister 5. Het deel c wordt gestuurd door het in serie met de
- 10 delen 5a en 5b geschakelde deelregister 5c. De andere vertragslijn, waarvan overeenkomstige onderdelen van dezelfde verwijzingsstekens maar met accent zijn voorzien als de eerste vertragslijn, omvat eveneens 12 geheugencellen, gegroepeerd in 3 evenwijdige deellijnen a', b' en c'. Het tweede ingangssignaal I_2 wordt toegevoerd aan de ingangslijn
- 15 1', en uitgelezen aan de uitgangslijn 2'. De deellijnen a' en b' kunnen, gezien vanuit de deellijnen a en b, aan de andere kant naast de deellijnen 5a en 5b van het schuifregister worden gelocaliseerd en ook door de deellijnen 5a en 5b worden gestuurd. De delen a' en b' van de tweede vertragslijn hebben in principe dezelfde configuratie als de
- 20 delen a en b van de eerste vertragslijn met een gemeenschappelijk, centraal gelegen deel van de uitleeslijn 2', aan weerszijden hiervan de cellen b' en c' en vervolgens de delen 5b en 5c van het schuifregister. Het deel c van de eerste vertragslijn is aan de andere kant van het deel 5c van het schuifregister gelegen en kan hierdoor gestuurd worden.

- 25 De in Fig. 8 weergegeven configuratie heeft, naast het voordeel dat de parasitaire capaciteit van de uitleestijden 2 en 2 laag is, bovendien het voordeel van een ruimtebesparing aangezien voor 2 vertragslijnen met slechts een schuifregister volstaan kan worden.

- Het zal duidelijk zijn dat de uitvinding niet is beperkt
- 30 tot de hier gegeven uitvoeringsvoorbeelden, maar dat binnen het kader van de uitvinding voor de vakman nog veel variaties mogelijk zijn

8900363.

Conclusies:

1. Gefintegreerde schakeling met een, aan een oppervlak van een halfgeleiderlichaam aangebrachte vertragingsslijn, omvattende een reeks van signaalopslagcapaciteiten, een ingangsslijn voor het toevoeren van signalen en een uitleeslijn voor het uitlezen van de opgeslagen
5 signalen, een reeks van transistorparen die elk met een signaalopslagcapaciteit zijn geassocieerd en waarvan een transistor, de inleestransistor, een schakelaar vormt tussen de capaciteit en de inleeslijn, en de andere transistor, de uitleestransistor, een schakelaar vormt tussen de capaciteit en de uitleeslijn, en omvattende
10 een digitaal schuifregister met een aantal uitgangen die verbonden zijn met sturingselektroden van de transistoren, met het kenmerk dat de vertragingsslijn tenminste twee, naast elkaar gelegen, delen omvat, met, op het oppervlak gezien, een gemeenschappelijk, centraal gelegen, deel van de uitleeslijn, aan weerszijden waarvan de signaalopslagcapaciteiten
15 en de bijbehorende transistorparen en delen van het schuifregister zijn gelegen, zodanig dat aan elke kant van het genoemde deel van de uitleeslijn, de signaalopslagcapaciteiten met de bijbehorende transistoren van een van de delen van de vertragingsslijn gelegen is tussen de uitleeslijn en het bijbehorende deel van het schuifregister.
- 20 2. Gefintegreerde schakeling volgens conclusie 1, met het kenmerk dat twee, aan weerszijden van het centraal gelegen deel van de uitleeslijn gelegen uitleestransistor via een gemeenschappelijk contact met het centraal gelegen deel van de uitleeslijn zijn verbonden.
3. Gefintegreerde schakeling volgens conclusie 1 of 2, met
25 het kenmerk dat, behalve de genoemde, eerste vertragingsslijn, een tweede vertragingsslijn aanwezig is waarvan de opbouw analoog is aan die van de eerste vertragingsslijn, en die eveneens tenminste twee delen omvat die aan weerszijden van de twee delen van de eerste vertragingsslijn zijn gerangschikt waarbij de genoemde delen van het schuifregister
30 gemeenschappelijk zijn voor de eerste en de tweede vertragingsslijn.

8900363.



FIG. 1

8900363.

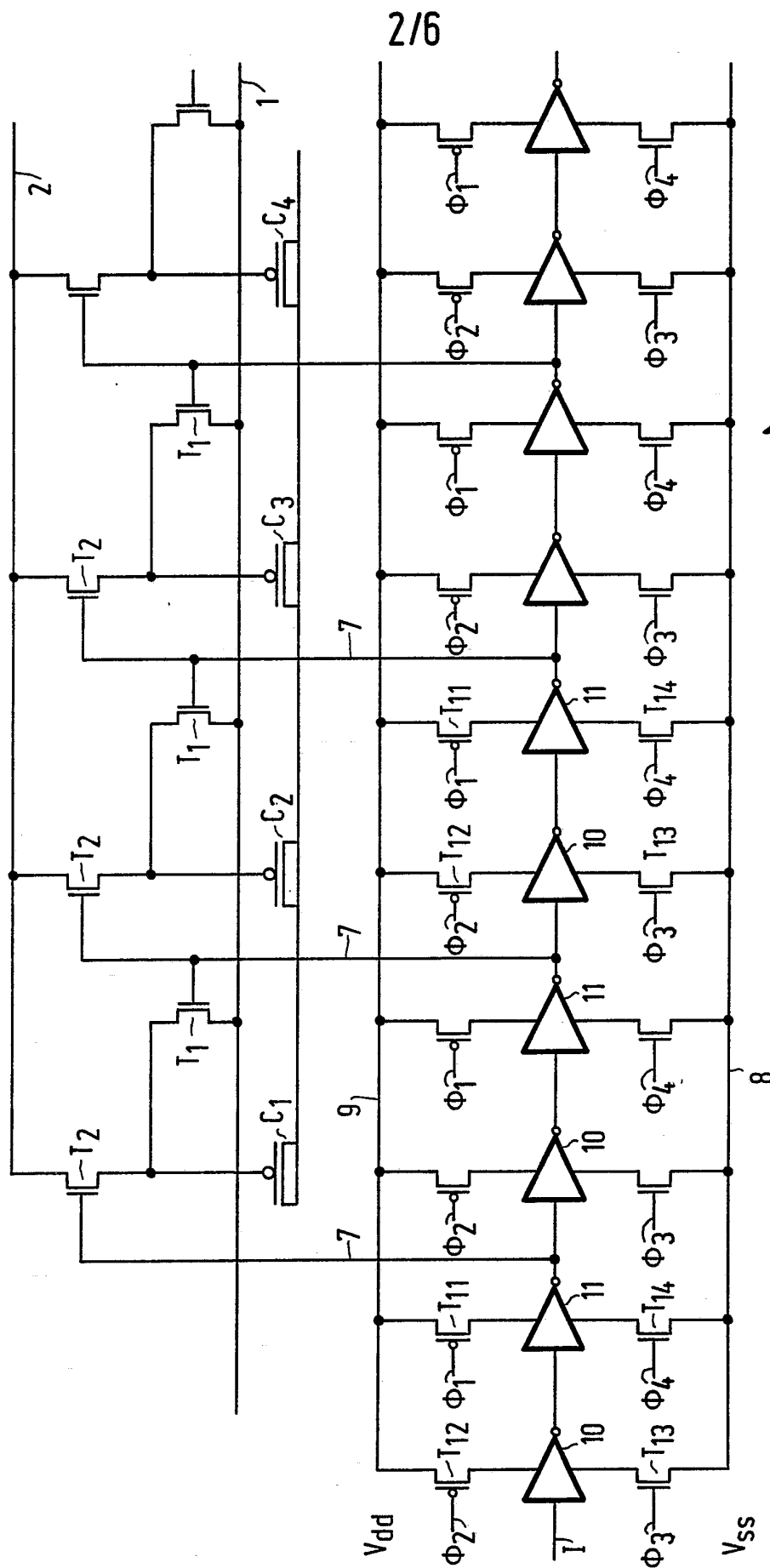


FIG.2

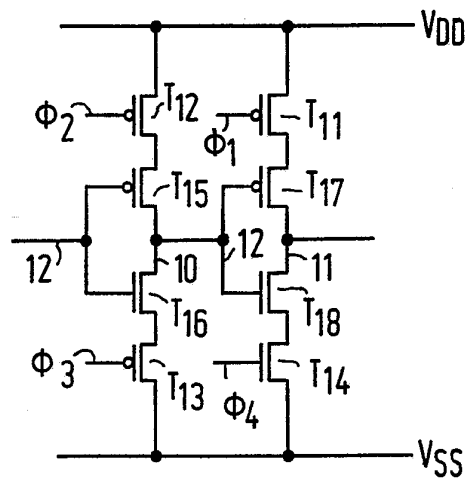


FIG. 3

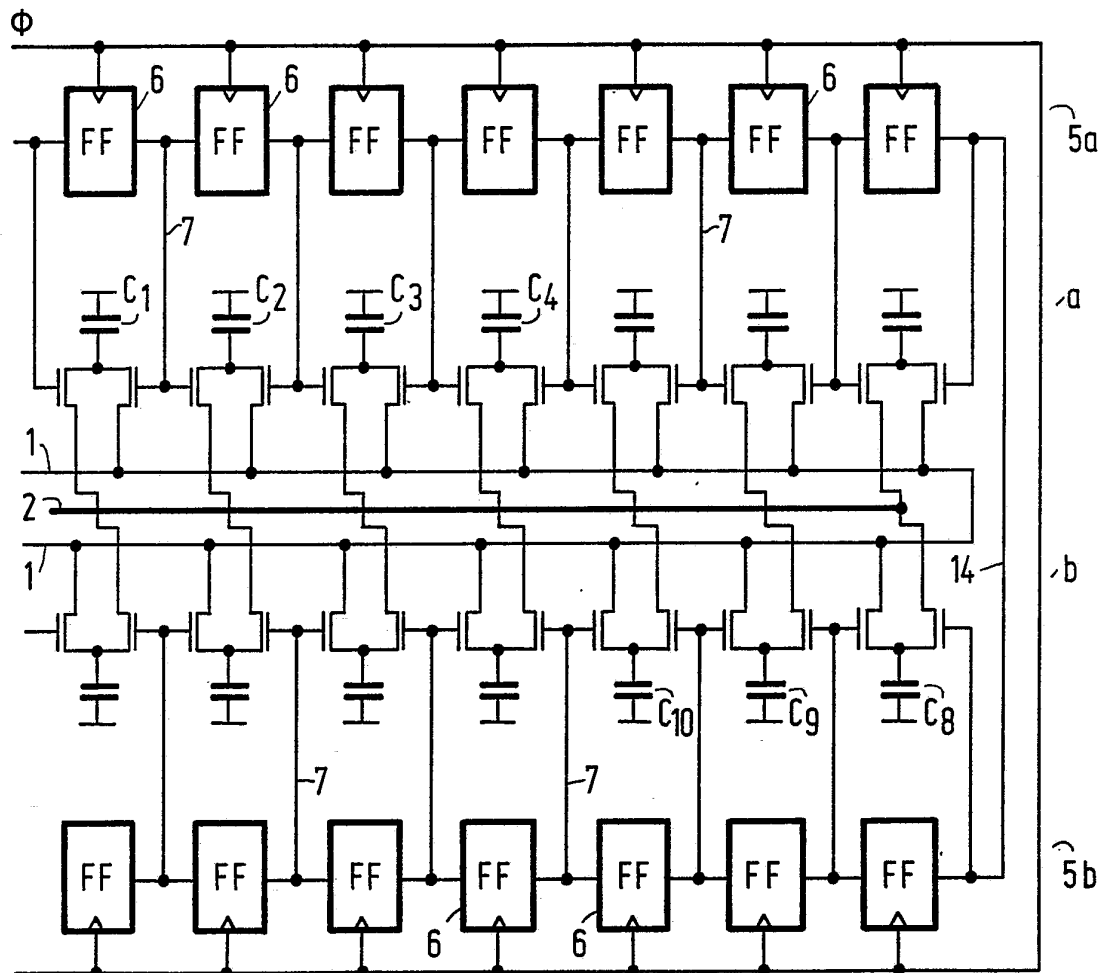


FIG.4

8900363.

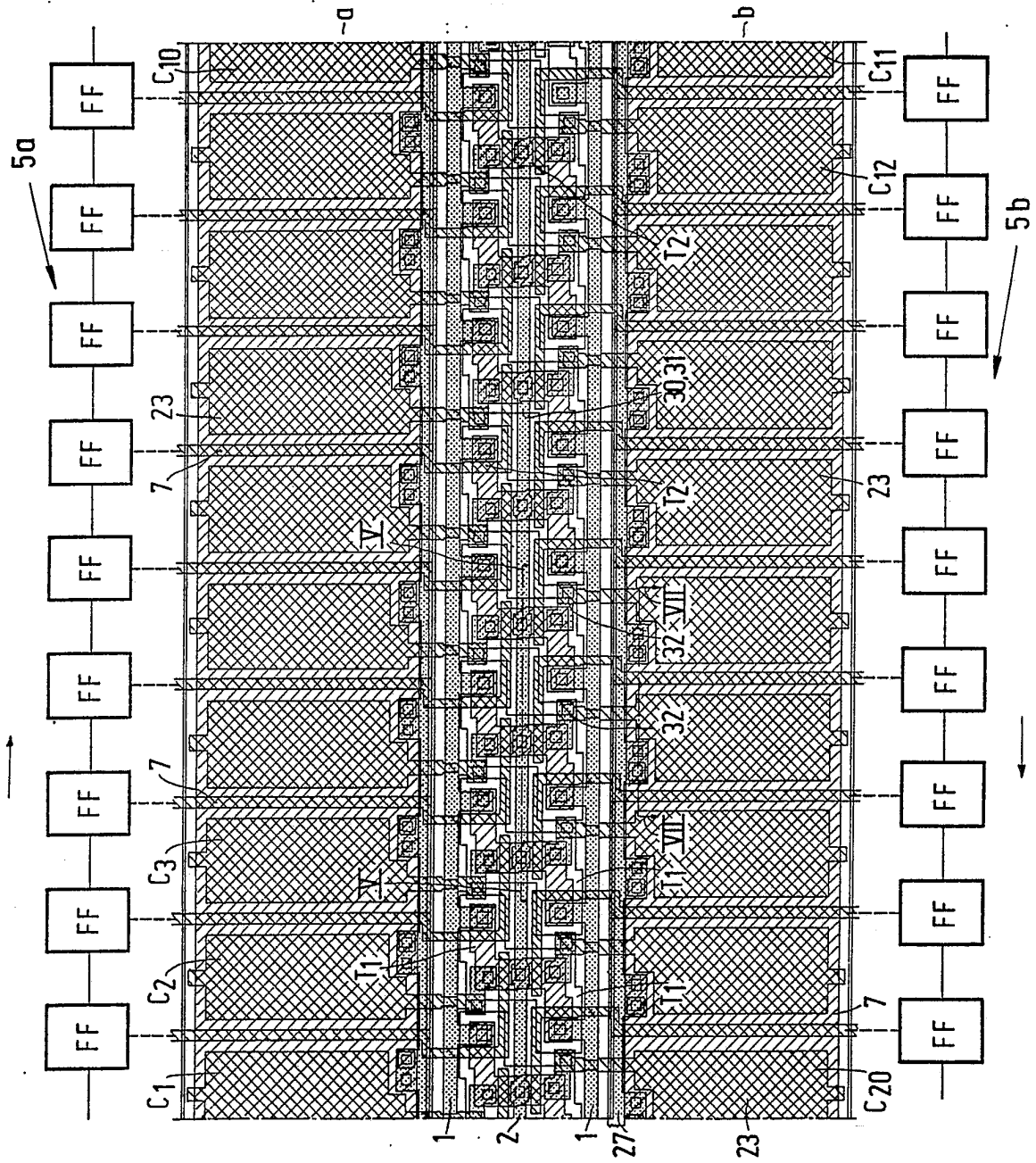


FIG. 5

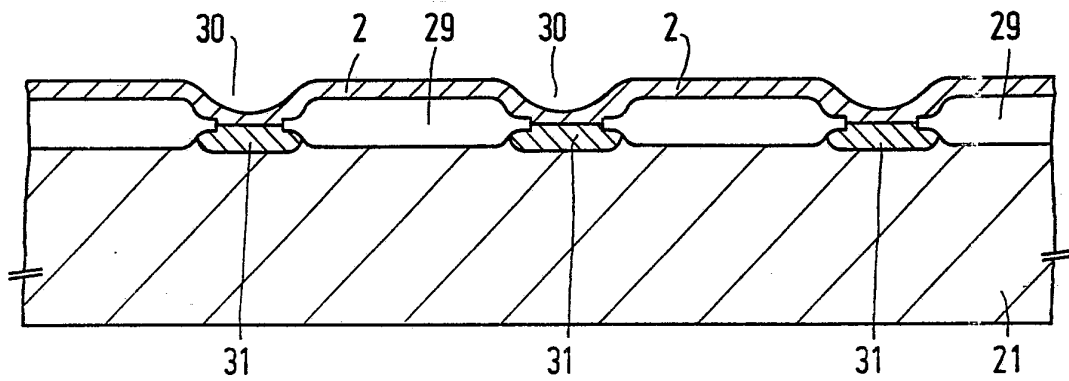


FIG.6

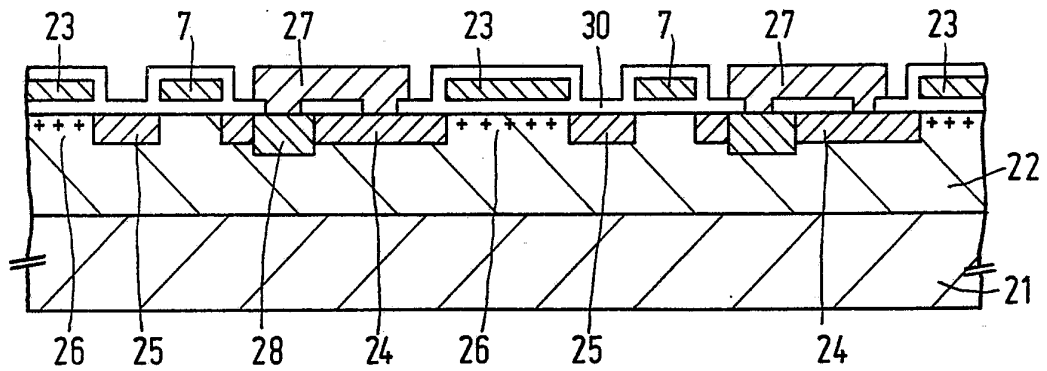


FIG.7

6/6

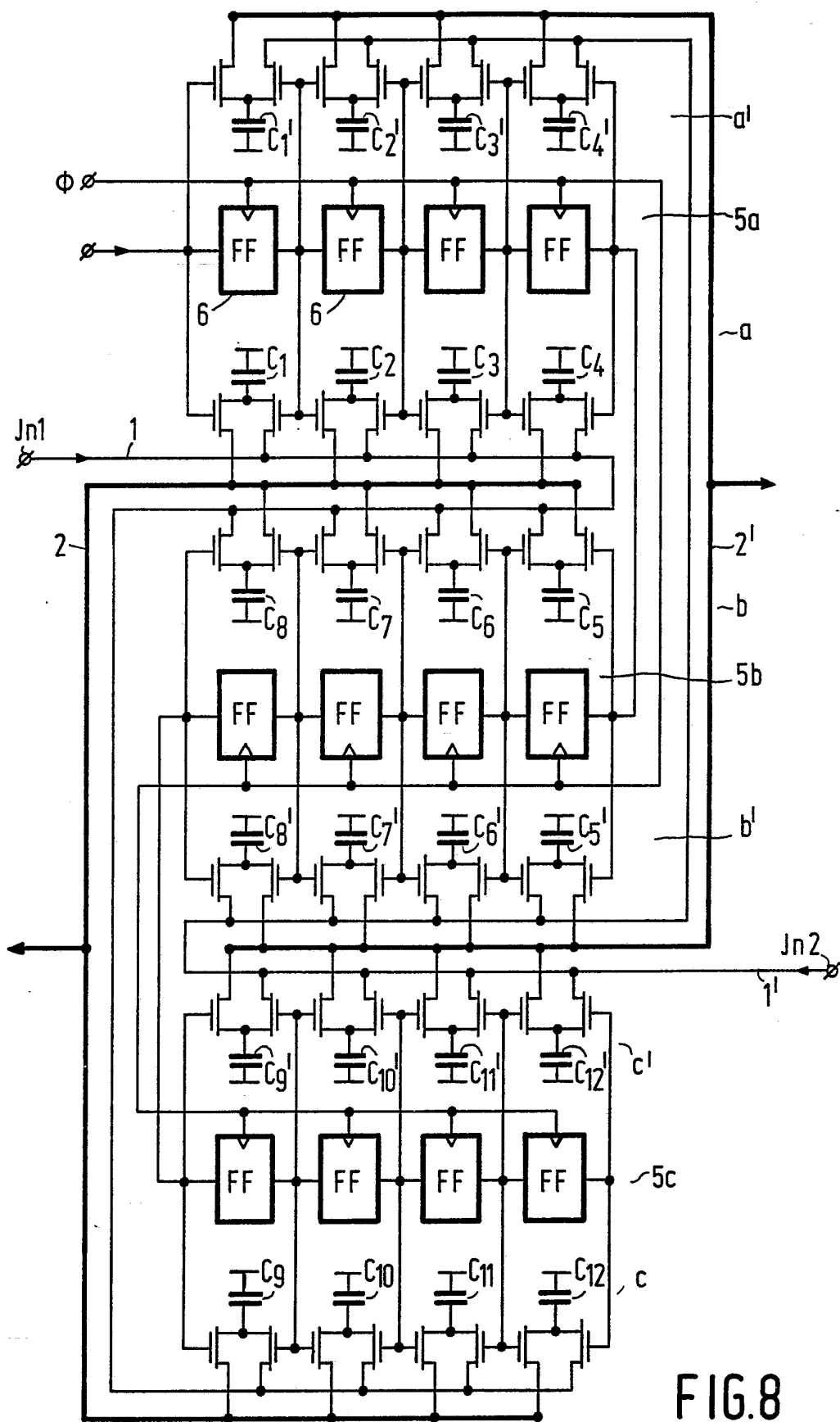


FIG.8

8900363.