(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116264228 A
(43)申请公布日 2023.06.16

(21)申请号 202211419148.X

(22)申请日 2022.11.14

(30)优先权数据
17/551,022 2021.12.14 US

(71)申请人 英特尔公司
地址 美国加利福尼亚

(72)发明人 L•P•古勒尔 C•H•华莱士 T•加尼

(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 邬少俊

(51)Int.Cl.
H01L 27/088(2006.01)
H01L 27/092(2006.01)
H01L 27/06(2006.01)
H01L 21/762(2006.01)
H01L 21/8238(2006.01)
H01L 29/06(2006.01)
H01L 29/423(2006.01)
H01L 29/78(2006.01)

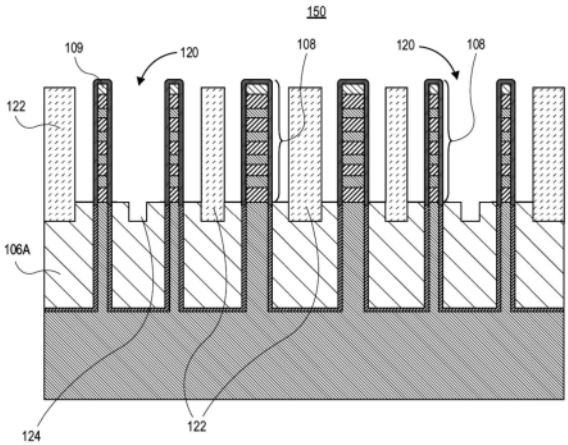
权利要求书2页 说明书21页 附图22页

(54)发明名称

具有电介质锚定物空隙的集成电路结构

(57)摘要

描述了具有电介质锚定物空隙的集成电路结构以及制作具有电介质锚定物空隙的集成电路结构的方法。例如,一种集成电路结构包括位于浅沟槽隔离(STI)结构中的子鳍状物。多条水平堆叠的纳米线位于该子鳍状物之上。栅极电介质材料层包围所述水平堆叠的纳米线。栅电极结构位于栅极电介质材料层之上。电介质锚定物与所述多条水平堆叠的纳米线横向隔开,并且凹陷到该STI结构的第一部分中。位于所述多条水平堆叠的纳米线的与该电介质锚定物相对的一侧上的该STI结构的第二部分具有位于其中的沟槽。电介质栅极插塞位于该电介质锚定物上。



CN 116264228 A

1.一种集成电路结构,包括:

位于浅沟槽隔离(STI)结构中的子鳍状物;

位于所述子鳍状物之上的多条水平堆叠的纳米线;

包围所述水平堆叠的纳米线的栅极电介质材料层;

位于所述栅极电介质材料层之上的栅电极结构;

与所述多条水平堆叠的纳米线横向隔开并且凹陷到所述STI结构的第一部分中的电介质锚定物,其中,所述STI结构的位于所述多条水平堆叠的纳米线的与所述电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽;以及

位于所述电介质锚定物上的电介质栅极插塞。

2.根据权利要求1所述的集成电路结构,其中,所述电介质锚定物具有位于所述多条水平堆叠的纳米线的最上表面下方的最上表面。

3.根据权利要求1或2所述的集成电路结构,其中,所述电介质栅极插塞在垂直方向上相对于所述电介质锚定物偏移。

4.根据权利要求1或2所述的集成电路结构,其中,所述栅极电介质材料层是高k栅极电介质层,并且其中,所述栅电极结构包括功函数金属层和导电栅极填充材料。

5.根据权利要求1或2所述的集成电路结构,其中,所述栅极电介质材料层不沿着所述电介质栅极插塞的侧面,并且其中,所述栅电极结构与所述电介质栅极插塞的侧面接触。

6.一种集成电路结构,包括:

具有突出到浅沟槽隔离(STI)结构上方的部分的鳍状物;

位于所述鳍状物的突出部分之上的栅极电介质材料层;

位于所述栅极电介质材料层之上的栅电极结构;

与所述鳍状物横向隔开并且凹陷到所述STI结构的第一部分中的电介质锚定物,其中,所述STI结构的位于所述鳍状物的与所述电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽;以及

位于所述电介质锚定物上的电介质栅极插塞。

7.根据权利要求6所述的集成电路结构,其中,所述电介质锚定物具有位于所述鳍状物的最上表面下方的最上表面。

8.根据权利要求6或7所述的集成电路结构,其中,所述电介质栅极插塞在垂直方向上相对于所述电介质锚定物偏移。

9.根据权利要求6或7所述的集成电路结构,其中,所述栅极电介质材料层是高k栅极电介质层,并且其中,所述栅电极结构包括功函数金属层和导电栅极填充材料。

10.根据权利要求6或7所述的集成电路结构,其中,所述栅极电介质材料层不沿着所述电介质栅极插塞的侧面,并且其中,所述栅电极结构与所述电介质栅极插塞的侧面接触。

11.一种计算装置,包括:

板;以及

耦接至所述板的部件,所述部件包括集成电路结构,所述集成电路结构包括:

位于浅沟槽隔离(STI)结构中的子鳍状物;

位于所述子鳍状物之上的多条水平堆叠的纳米线;

包围所述水平堆叠的纳米线的栅极电介质材料层;

位于所述栅极电介质材料层之上的栅电极结构;

与所述多条水平堆叠的纳米线横向隔开并且凹陷到所述STI结构的第一部分中的电介质锚定物,其中,所述STI结构的位于所述多条水平堆叠的纳米线的与所述电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽;以及

位于所述电介质锚定物上的电介质栅极插塞。

12.根据权利要求11所述的计算装置,还包括:

耦接至所述板的存储器。

13.根据权利要求11或12所述的计算装置,还包括:

耦接至所述板的通信芯片。

14.根据权利要求11或12所述的计算装置,其中,所述部件是封装的集成电路管芯。

15.根据权利要求11或12所述的计算装置,其中,所述部件选自由处理器、通信芯片和数字信号处理器组成的组。

16.一种计算装置,包括:

板;以及

耦接至所述板的部件,所述部件包括集成电路结构,所述集成电路结构包括:

具有突出到浅沟槽隔离(STI)结构上方的部分的鳍状物;

位于所述鳍状物的突出部分之上的栅极电介质材料层;

位于所述栅极电介质材料层之上的栅电极结构;

与所述鳍状物横向隔开并且凹陷到所述STI结构的第一部分中的电介质锚定物,其中,所述STI结构的位于所述鳍状物的与所述电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽;以及

位于所述电介质锚定物上的电介质栅极插塞。

17.根据权利要求16所述的计算装置,还包括:

耦接至所述板的存储器。

18.根据权利要求16或17所述的计算装置,还包括:

耦接至所述板的通信芯片。

19.根据权利要求16或17所述的计算装置,其中,所述部件是封装的集成电路管芯。

20.根据权利要求16或17所述的计算装置,其中,所述部件选自由处理器、通信芯片和数字信号处理器组成的组。

具有电介质锚定物空隙的集成电路结构

技术领域

[0001] 本公开的实施例属于集成电路结构和处理的领域，并且具体而言属于具有电介质锚定物空隙的集成电路结构以及制作具有电介质锚定物空隙的集成电路结构的方法的领域。

背景技术

[0002] 对于过去的几十年而言，集成电路中的特征的缩放已经成为了持续增长的半导体工业背后的推动力。缩放到越来越小的特征使得能够在半导体芯片的有限芯片面积上实现提高密度的功能单元。例如，缩小晶体管尺寸允许将更高数量的存储器或逻辑器件结合到芯片上，从而制造出具有提高的容量的产品。但是，不断追求更高的容量并非不存在问题。优化每个器件的性能的必要性变得越来越重要。

[0003] 在集成电路器件的制造中，随着器件尺寸持续缩小，多栅极晶体管(例如三栅极晶体管)变得越来越占据主导地位。在常规工艺中，三栅极晶体管一般制作在体块硅衬底上或者制作在绝缘体上硅衬底上。在一些实例中，优选使用体块硅衬底，因为其成本较低，而且其能够实现复杂度较低的三栅极制作工艺。另一方面，在微电子器件尺寸缩小到10纳米(nm)节点下方时维持迁移率提高和短沟道控制为器件制作带来了挑战。用于制作器件的纳米线提供了提高的短沟道控制。

[0004] 然而，多栅极晶体管和纳米线晶体管的缩放并非没有任何后果。随着这些微电子电路系统的基本构建块的外形尺寸的降低以及在给定区域中制造的基本构建块的绝对数量的增大，有关用于对这些构建块进行图案化的光刻工艺的限制也变得难以克服。具体而言，在半导体堆叠体中图案化出的特征的最小尺寸(临界尺寸)与这样的特征之间的间隔这两者之间可能存在权衡。

附图说明

[0005] 图1A-1F示出了表示根据本公开的实施例的使用选择性电介质锚定物去除来制作集成电路结构的方法中的各种操作的截面图。

[0006] 图2A-2C示出了表示根据本公开的实施例的制作具有着落在电介质锚定物上的金属栅极插塞的集成电路结构的方法中的各种操作的截面图。

[0007] 图3示出了根据本公开的实施例的具有着落在电介质锚定物上的金属栅极插塞的集成电路结构的截面图。

[0008] 图4示出了根据本公开的另一实施例的具有着落在电介质锚定物上的金属栅极插塞的另一集成电路结构的截面图。

[0009] 图5示出了具有纳米线和切割金属栅极电介质插塞的集成电路结构的截面图。

[0010] 图6示出了根据本公开的实施例的具有纳米线和切割金属栅极电介质插塞的集成电路结构的截面图。

[0011] 图7A-7J示出了根据本公开的实施例的制作栅极全环绕集成电路结构的方法中的

各种操作的截面图。

[0012] 图8示出了根据本公开的实施例的非平面集成电路结构的沿栅极线截取的截面图。

[0013] 图9示出了对于无栅极切口着落结构架构的穿过纳米线和鳍状物截取的截面图。

[0014] 图10示出了根据本公开的实施例的栅极切口着落结构架构的截面图。

[0015] 图11A示出了根据本公开的实施例的基于纳米线的集成电路结构的三维截面图。

[0016] 图11B示出了根据本公开的实施例的图11A的基于纳米线的集成电路结构的沿a-a'轴截取的截面源极或漏极视图。

[0017] 图11C示出了根据本公开的实施例的图11A的基于纳米线的集成电路结构的沿b-b'轴截取的截面沟道视图。

[0018] 图12示出了根据本公开的实施例的一种实施方式的计算装置。

[0019] 图13示出了包括本公开的一个或多个实施例的内插器。

具体实施方式

[0020] 描述了具有电介质锚定物空隙的集成电路结构以及制作具有电介质锚定物空隙的集成电路结构的方法。在下方描述中，阐述了许多具体细节，例如，具体的集成和材料体系，以便提供对本公开的实施例的透彻理解。对本领域技术人员将显而易见的是可以在没有这些具体细节的情况下实践本公开的实施例。在其他情况下，没有详细描述众所周知的特征，例如，集成电路设计布局，从而避免对本公开的实施例造成不必要的模糊。此外，应当认识到，附图中所示的各种实施例只是例示性的表示，并且未必是按比例绘制的。

[0021] 下方描述中还仅出于参考的目的使用了某些术语，因此这些术语并非意图进行限制。例如，诸如“上部”、“下部”、“上方”和“下方”的术语是指所参考的附图中的方向。诸如“正面”、“背面”、“后面”和“侧面”的术语描述部件的部分在一致但任意的参照系内的取向和/或位置，通过参考描述所论述部件的文字和相关的附图可以清楚地了解这些取向和/或位置。此类术语可以包括上面具体提及的词语、它们的衍生词语以及类似意义的词语。

[0022] 本文描述的实施例可以涉及前段制程(FEOL)半导体处理和结构。FEOL是集成电路(IC)制作的第一部分，在该制作部分中，在半导体衬底或半导体层中图案化出各个器件(例如，晶体管、电容器、电阻器等)。FEOL一般涵盖直至(但不包括)金属互连层的沉积的所有操作。在紧随最后的FEOL操作之后，结果通常是具有隔离开的晶体管(例如，没有任何导线)的晶圆。

[0023] 本文描述的实施例可以涉及后段制程(BEOL)半导体处理和结构。BEOL是IC制作的第二部分，其中，将利用晶圆上的布线(例如，一个或多个金属化层)对各个器件(例如，晶体管、电容器、电阻器等)进行互连。BEOL包括用于芯片到封装的连接的接触部、绝缘层(电介质)、金属层级和接合部位。在制作阶段的BEOL部分中，形成接触部(焊盘)、互连导线、过孔和电介质结构。对于现代化的IC工艺而言，可以在BEOL中添加10个以上的金属层。

[0024] 下文描述的实施例可以适用于FEOL处理和结构、BEOL处理和结构或者既适用于FEOL处理和结构又适用于BEOL处理和结构。具体而言，尽管示例性处理方案可以是使用FEOL处理情境进行例示的，但是这样的方案同样可以适用于BEOL处理。类似地，尽管示例性处理方案可以是使用BEOL处理情境进行例示的，但是这样的方案同样可以适用于FEOL处

理。

[0025] 本文描述的一个或多个实施例涉及用以提高栅极端到端工艺裕量的自对准锚定物的形成。本文描述的一个或多个实施例涉及这种锚定物中的某些锚定物的选择性去除。本文描述的一个或多个实施例涉及具有带有降低的高宽比的切割栅极(例如,相对较短的切口/插塞)的集成电路结构。本文描述的一个或多个实施例涉及具有用于栅极端到端隔离的切割的功函数金属的集成电路结构。本文描述的一个或多个实施例涉及具有用于栅极端到端隔离的切割的功函数金属的栅极全环绕器件。应当认识到,除非另行指出,否则本文对纳米线的提及可以指示纳米线或纳米带。本文描述的一个或多个实施例涉及具有用于栅极端到端隔离的切割的功函数金属的FinFET结构。

[0026] 为提供背景,高高宽比的栅极插塞蚀刻可能因更小的端帽和窄的端到端设计要求而非常困难。现有技术方案要求提高的工艺能力和控制以支持先进的技术定义,但是这可能需要蚀刻/工具创新。对于蚀刻化学制剂而言,高高宽比蚀刻可能从根本上有挑战性。

[0027] 根据本公开的一个或多个实施例,描述了沟道之间的或者要着落的端到端插塞中的自对准锚定物(壁)的形成。本文描述的实施例可以适用于:(i)金属栅极沉积之前的端到端插塞蚀刻;和/或(ii)金属栅极沉积之后的端到端插塞蚀刻。可以通过实施一个或多个实施例来放宽对端到端插塞蚀刻工艺的要求,从而确保更好的工艺控制和更高的成品率。栅极中的鳍状物剖面的制程结束时的TEM可以揭示栅极插塞之下的自对准壁或者锚定物的实施。在一个实施例中,锚定物仅位于栅极内部。在一个实施例中,栅极间隔体和接触轨不具有相关联的锚定物。

[0028] 为提供背景,将锚定物仅置于预期的位置上可能是有利的。在实施例中,在选定位置上使用硬掩模层来阻挡锚定物间隔体沉积。

[0029] 作为一种示例性处理方案,图1A-1F示出了表示根据本公开的实施例的使用选择性电介质锚定物去除来制作集成电路结构的方法中的各种操作的截面图。应当认识到,所描述和例示的实施例还可以适用于替代纳米线堆叠体的鳍状物结构。

[0030] 参考图1A,描绘了起始结构100的鳍状物剖面。起始结构100包括衬底102(例如,硅衬底),其具有穿过隔离结构106(例如氧化硅或氧化硅隔离结构)突出的子鳍状物104。钝化层(例如,氮化硅层)可以包括在隔离结构106和子鳍状物104之间,如图所示。鳍状物108形成在子鳍状物104中的对应子鳍状物上。在一个实施例中,每一鳍状物108包括多条纳米线110,例如硅纳米线。每一鳍状物108还包括与所述多条纳米线110交替的牺牲材料112,例如,硅锗。在具体实施例中,每一鳍状物108还包括电介质帽109,例如氮化硅帽,如图所示。可以沿每一鳍状物108的顶部和侧面包括钝化层107(例如,氧化硅钝化层),仍然如图所示。再次参考图1A,执行锚定物间隔体沉积,以限定端帽特征。在特定实施例中,形成与鳍状物108共形的牺牲间隔体材料114,例如,氧化硅或者二氧化硅材料。

[0031] 参考图1B,其示出了在锚定物间隔体回蚀刻之后的鳍状物剖面。对牺牲间隔体材料114进行各向异性蚀刻,以形成图案化的牺牲间隔体材料部分114A。牺牲间隔体材料部分114A中的每者位于鳍状物108中的对应鳍状物之上。在一个实施例中,蚀刻工艺形成进入隔离结构106的沟槽,以形成图案化的隔离结构106A,如图所示。再次参考图1b,将锚定物阻挡硬掩模材料116(例如,基于碳的硬掩模材料)图案化为保留在鳍状物108中的选定鳍状物之间。

[0032] 参考图1C,其示出了在用于锚定物形成的材料填充之后的鳍状物剖面。在相邻的图案化的牺牲间隔体材料部分114A之间(例如,通过沉积和平面化工艺)形成硬掩模材料118,例如,氮氧化硅或氮化硅材料。然而,包括锚定物阻挡硬掩模材料116的位置阻挡牺牲硬掩模材料118的填充。

[0033] 参考图1D,其示出了锚定物形成之后的鳍状物剖面。(例如,通过回蚀刻工艺)使硬掩模材料118凹陷,以形成凹陷的硬掩模材料118A。

[0034] 参考图1E,从图1D的结构去除锚定物阻挡硬掩模材料116。锚定物阻挡硬掩模材料116的去除形成了锚定物空隙120(例如,在曾阻挡锚定物形成的位置)。

[0035] 参考图1F,从图1E的结构去除图案化的牺牲间隔体材料部分114A。图案化的牺牲间隔体材料部分114A的去除形成了锚定物122,并且留下了锚定物空隙120。在一个实施例中,在每一锚定物空隙120的位置上,沟槽124保留在图案化的隔离结构106A的顶表面内,如图所示。每一锚定物122可以被视为凹陷到对应的图案化的隔离结构106A的部分中。

[0036] 应当认识到,对图1F的结构的进一步处理可以包括虚设栅极形成、栅极间隔体形成、纳米线释放和永久性栅极结构的形成。在一个方面中,在完成栅极电介质和功函数金属沉积和图案化之后实施金属栅极切割工艺。金属栅极工艺可以着落在突出的栅极切口着落结构或电介质锚定物上,从而相对于贯穿栅极堆叠体的整个高度的栅极切口降低栅极切口深度。作为示例,图2A-2C示出了表示根据本公开的实施例的制作具有着落在电介质锚定物上的金属栅极插塞的集成电路结构的方法中的各种操作的截面图。应当认识到,所描述和例示的实施例还可以适用于替代纳米线堆叠体的鳍状物结构。

[0037] 参考图2A,图1F和图2A之间的处理可以包括虚设栅极图案化,例如,多晶硅虚设栅极图案化。沿虚设栅极的侧面形成栅极间隔体,例如,氮化硅栅极间隔体。虚设栅极的去除显露出栅极间隔体222(示出了进入页面中的一个,并且应当理解另一栅极间隔体位于该页面之外)。在图2A的视图中,描绘了鳍状物208连同电介质锚定物230。

[0038] 参考图2B,在沟道区域中(栅极之下)从鳍状物208去除牺牲材料,以释放纳米线210。之后,在释放的纳米线210上并且有可能在电介质锚定物230上形成栅极电介质材料232,例如,高k栅极电介质材料,如图所示。

[0039] 参考图2C,其示出了在金属栅极沉积和端到端插塞蚀刻之后的栅极中的鳍状物剖面。在图2B的结构上形成栅电极结构234,例如,由含有金属的层构成的堆叠体。应当认识到,图2B所示的栅极间隔体222将位于栅电极结构234的任一侧上(即,在页面之内和之外)。之后,在栅电极结构234中制作有可能进入到栅极电介质材料232中的栅极切口236,以提供结构250。

[0040] 接下来的处理可以涉及填充栅极切口236,以形成栅极插塞,例如,以提供着落在电介质锚定物上的金属栅极插塞。在一个实施例中,对着落在电介质锚定物上的栅极插塞的描述是指包括形成于电介质锚定物上的栅极电介质层(例如,232)上或者进入该栅极电介质层中的栅极插塞的结构。在另一实施例中,对着落在电介质锚定物上的栅极插塞的描述是指包括被形成为与电介质锚定物直接接触的栅极插塞的结构。在后一种实施例的一个示例中,栅极插塞被形成为完全穿过电介质锚定物上的栅极电介质层(例如,232)。在后一种实施例的另一个示例中,在电介质锚定物上不形成栅极电介质层。

[0041] 在另一方面中,栅极插塞可以是对准的(例如,图3)或者可以不是自对准的(例如,

图4)。在任一种情况下,在实施例中,锚定物都位于两个晶体管的中间。

[0042] 在一个示例中,图3示出了根据本公开的实施例的具有着落在电介质锚定物上的金属栅极插塞的集成电路结构的截面图。应当认识到,所描述和例示的实施例还可以适用于替代纳米线堆叠体的鳍状物结构。

[0043] 参考图3,集成电路结构300包括具有位于隔离结构306中的子鳍状物304的衬底302。纳米线312的堆叠体位于子鳍状物304中的每者之上。栅极电介质层314围绕纳米线312的堆叠体。电介质锚定物310位于纳米线312的两个堆叠体之间。栅极电介质层314可以进一步位于电介质锚定物310上,如图所示。栅电极316位于栅极电介质层314之上。栅极切割插塞318位于栅电极316的两个部分之间。在一个实施例中,栅极切割插塞318与电介质锚定物310垂直对准,如图所示。

[0044] 在实施例中,电介质锚定物310具有位于隔离结构306的最上表面下方的最底表面。在其他实施例中,电介质锚定物310具有位于纳米线312的堆叠体的最上表面下方的最上表面。在其他实施例中,电介质锚定物310具有与纳米线312的堆叠体的最上表面共平面或者位于纳米线312的堆叠体的最上表面上方的最上表面。

[0045] 在另一示例中,图4示出了根据本公开的另一实施例的具有着落在电介质锚定物上的金属栅极插塞的另一集成电路结构的截面图。应当认识到,所描述和例示的实施例还可以适用于替代纳米线堆叠体的鳍状物结构。

[0046] 参考图4,集成电路结构400包括具有位于隔离结构406中的子鳍状物404的衬底402。纳米线412的堆叠体位于子鳍状物404中的每者之上。栅极电介质层414围绕纳米线412的堆叠体。电介质锚定物410位于纳米线412的两个堆叠体之间。栅极电介质层414可以进一步位于电介质锚定物410上,如图所示。栅电极416位于栅极电介质层414之上。栅极切割插塞418位于栅电极416的两个部分之间。在一个实施例中,栅极切割插塞418不与电介质锚定物410垂直对准(即相对于电介质锚定物410存在偏移),如图所示。

[0047] 在实施例中,电介质锚定物410具有位于隔离结构406的最上表面下方的最底表面。在其他实施例中,电介质锚定物410具有位于纳米线412的堆叠体的最上表面下方的最上表面。在其他实施例中,电介质锚定物410具有与纳米线412的堆叠体的最上表面共平面或者位于纳米线412的堆叠体的最上表面上方的最上表面。

[0048] 再次参考图3和图4,根据本公开的实施例,集成电路结构300或400包括位于浅沟槽隔离(STI)结构306或406中的子鳍状物304或404。多条水平堆叠的纳米线312或412位于子鳍状物304或404之上。栅极电介质材料层314或414包围水平堆叠的纳米线。栅电极结构316或416位于栅极电介质材料层314或414之上。电介质锚定物310或410与所述多条水平堆叠的纳米线312或412横向隔开。在一个实施例中,电介质锚定物310或410具有位于STI结构306或406的最上表面下方的最底表面,如图3和图4中所示。电介质栅极插塞318或418位于电介质锚定物310或410上。

[0049] 在实施例中,电介质锚定物310或410具有位于所述多条水平堆叠的纳米线312或412的最上表面下方的最上表面,如图3和图4中所示。在其他实施例中,电介质锚定物310或410具有与所述多条水平堆叠的纳米线312或412的最上表面共平面或者位于所述多条水平堆叠的纳米线312或412的最上表面上方的最上表面。

[0050] 在实施例中,电介质栅极插塞318在垂直方向上设置在电介质锚定物310上,如图3

中所示。在另一个实施例中，电介质栅极插塞418在垂直方向上相对于电介质锚定物410发生偏移，如图4所示。

[0051] 在实施例中，栅极电介质材料层314或414是高k栅极电介质层。在实施例中，栅电极结构316或416包括功函数金属层和导电栅极填充材料。

[0052] 在实施例中，栅极电介质材料层314或414不沿电介质栅极插塞318或418的侧面，如图3和图4中所示。在一个此类实施例中，栅电极结构316或416与电介质栅极插塞318或418的侧面接触，如图3和图4中所示。

[0053] 在另一方面中，实施本文描述的方案的优点可以包括用于栅极隔离的降低深度的栅极切口。实施本文描述的方案的优点还可以包括所谓的“后插塞”方案，其结果是不在栅极插塞侧壁上沉积栅极电介质层(例如，高k栅极电介质层)，从而有效地省出了额外的空间用于功函数金属沉积。作为对照，在常规的所谓的“先插塞”方案期间，金属栅极填充材料可能在插塞与鳍状物之间夹断。在后一种方案中，用于金属填充的空间可能因插塞错误配准的原因而更窄，并且可能在金属填充期间导致空隙。在本文描述的实施例中，使用“后插塞”方案，功函数金属沉积可以是无缝的(例如，无空隙的)。

[0054] 根据本公开的一个或多个实施例，一种集成电路结构具有在电介质栅极插塞与栅极金属之间的干净界面。应当认识到，很多实施例可以得益于本文描述的方案，例如后插塞方案。例如，可以针对FinFET器件实施金属栅极切割。可以针对栅极全环绕(GAA)器件实施金属栅极切割方案。

[0055] 作为不包括栅极切口着落结构的对比示例，图5示出了具有纳米线和切割金属栅极电介质插塞的集成电路结构的截面图。

[0056] 参考图5，集成电路结构550包括具有突出到浅沟槽隔离(STI)结构554上方的部分的子鳍状物552。多条水平堆叠的纳米线555位于子鳍状物552之上。栅极电介质材料层556(例如，高k栅极电介质层)位于子鳍状物552的突出部分之上，位于STI结构554之上并且包围水平堆叠的纳米线555。应当认识到，尽管未示出，但是子鳍状物552的氧化部分可以位于子鳍状物552的突出部分与栅极电介质材料层556之间，并且该氧化部分可以位于水平堆叠的纳米线555与栅极电介质材料层556之间，并且可以与栅极电介质材料层556包括在一起，以形成栅极电介质结构。导电栅极层558(例如，功函数金属层)位于栅极电介质材料层556之上，并且可以直接位于栅极电介质材料层556上，如图所示。导电栅极填充材料560位于导电栅极层558之上，并且可以直接位于导电栅极层558上，如图所示。电介质栅极帽562位于导电栅极填充材料560上。电介质栅极插塞564与子鳍状物552和所述多条水平堆叠的纳米线555横向隔开，并且位于STI结构554上但不穿过STI结构554。然而，栅极电介质材料层556和导电栅极层558并不沿着电介质栅极插塞564的侧面。相反，导电栅极填充材料560与电介质栅极插塞564的侧面接触。结果，电介质栅极插塞564与子鳍状物552和多条水平堆叠的纳米线555的组合之间的区域包括仅一层的栅极电介质材料层556和仅一层的导电栅极层558，从而缓解了结构550的这种紧密区域中的空间限制。

[0057] 再次参考图5，在实施例中，电介质栅极插塞564是在形成栅极电介质材料层556、导电栅极层558和导电栅极填充材料560之后形成的。结果，栅极电介质材料层556和导电栅极层558并不沿着电介质栅极插塞564的侧面。在实施例中，电介质栅极插塞564具有与电介质栅极帽562的最上表面共平面的最上表面，如图所示。在另一个未示出的实施例中，不包

括电介质栅极帽562，并且电介质栅极插塞564具有与导电栅极填充材料560的最上表面共平面的最上表面，例如，沿着平面580。

[0058] 对照图5，作为包括栅极切口着落结构的示例，图6示出了根据本公开的实施例的具有纳米线和切割金属栅极电介质插塞的集成电路结构的截面图。

[0059] 参考图6，集成电路结构650包括具有突出到浅沟槽隔离(STI)结构654上方的部分的子鳍状物652。多条水平堆叠的纳米线655位于子鳍状物652之上。栅极端帽结构653(例如，自对准栅极端帽结构)位于STI结构654上但不穿过STI结构654，并且与子鳍状物652和多条水平堆叠的纳米线655横向隔开。栅极电介质材料层656(例如，高k栅极电介质层)位于子鳍状物652的突出部分之上，位于STI结构654之上，沿栅极端帽结构653的侧面，并且包围水平堆叠的纳米线655。应当认识到，尽管未示出，但是子鳍状物652的氧化部分可以位于子鳍状物652的突出部分与栅极电介质材料层656之间，并且该氧化部分可以位于水平堆叠的纳米线655与栅极电介质材料层656之间，并且可以与栅极电介质材料层656包括到在一起，以形成栅极电介质结构。导电栅极层658(例如，功函数金属层)位于栅极电介质材料层656之上，并且可以直接位于栅极电介质材料层656上，如图所示。导电栅极填充材料660位于导电栅极层658之上，并且可以直接位于导电栅极层658上，如图所示。电介质栅极帽662位于导电栅极填充材料660上。电介质栅极插塞664位于栅极端帽结构653上。然而，栅极电介质材料层656和导电栅极层658并不沿着电介质栅极插塞664的侧面。相反，导电栅极填充材料660与电介质栅极插塞664的侧面接触。

[0060] 再次参考图6，在实施例中，电介质栅极插塞664是在形成栅极电介质材料层656、导电栅极层658和导电栅极填充材料660之后形成的。结果，栅极电介质材料层656和导电栅极层658不沿电介质栅极插塞664的侧面形成。在实施例中，电介质栅极插塞664具有与电介质栅极帽662的最上表面共平面的最上表面，如图所示。在另一个未示出的实施例中，不包括电介质栅极帽662，并且电介质栅极插塞664具有与导电栅极填充材料660的最上表面共平面的最上表面，例如，沿着平面680。应当认识到，根据一个实施例，栅极端帽结构653被描绘为具有位于STI结构654的最上表面上的最底表面。在其他实施例中，栅极端帽结构653具有位于STI结构654的最上表面下方的最底表面，例如，上文联系图2、图3和图4所述。

[0061] 在实施例中，金属功函数可以是：(a)NMOS和PMOS中的相同金属系，(b)NMOS和PMOS之间的不同金属系，和/或(c)单一材料或者多层金属(例如：W、TiN、TixAlyCz、TaN、Mo、MoN)。在实施例中，金属切割蚀刻化学制剂包括含有氯的或者含有氟的蚀刻剂连同提供钝化的可能的额外的含碳或含硅成分。

[0062] 应当认识到，本文描述的实施例还可以包括其他实施方式，诸如具有各种宽度、厚度和/或材料(包括但不限于Si和SiGe)的纳米线和/或纳米带。例如，可以使用III-V族材料。

[0063] 应当认识到，在特定实施例中，纳米线或纳米带或者牺牲居间层可以由硅构成。如通篇所用，可以使用硅层描述由相当高的量(如果非全部的话)的硅构成的硅材料。然而，应当认识到，实际上100％的纯Si可能难以形成，因而可能包括微小百分比的碳、锗或锡。这样的杂质可能在Si的沉积期间作为不可避免的杂质或成分而被包括，或者可能在沉积后处理期间在扩散时“污染”Si。照此，本文描述的针对硅层的实施例可以包括含有相对较小量(例如，“杂质”水平)的非Si原子或物类(例如Ge、C或Sn)的硅层。应当认识到，如本文所述的硅

层可以是无掺杂的或可以掺杂有诸如硼、磷或砷的掺杂剂原子。

[0064] 应当认识到，在特定实施例中，纳米线或纳米带或者牺牲居间层可以由硅锗构成。如通篇所用，硅锗层可以用于描述由硅和锗两者的相当大部分(例如，两者的至少5%)构成的硅锗材料。在一些实施例中，锗的量大于硅的量。在特定实施例中，硅锗层包括大约60%的锗和大约40%的硅($Si_{40}Ge_{60}$)。在其他实施例中，硅的量大于锗的量。在特定实施例中，硅锗层包括大约30%的锗和大约70%的硅($Si_{70}Ge_{30}$)。应当认识到，实际上，100%的纯硅锗(一般称为SiGe)可能难以形成，因此，可以包括微小百分比的碳或锡。这样的杂质可以在SiGe的沉积期间作为不可避免的杂质或成分而被包括，或者可以在沉积后处理期间在扩散时“污染”SiGe。照此，本文描述的针对硅锗层的实施例可以包括含有相对较小量(例如，“杂质”水平)的非Ge并且非Si的原子或物类(例如碳或锡)的硅锗层。应当认识到，本文描述的硅锗层可以是非掺杂的，或者可以使用诸如硼、磷或砷的掺杂剂原子对其进行掺杂。

[0065] 下文将描述各种器件和处理方案，所述处理方案可以用于制作可以与包括着落在电介质锚定物上的金属栅极插塞的结构和/或包括电介质锚定物空隙的结构集成的器件。应当认识到，示例性实施例未必需要所有的所描述特征，或者可以包括比所描述的更多的特征。例如，可以通过替换栅极沟槽执行纳米线释放处理。下文将描述这样的释放工艺的示例。此外，在又一方面当中，由于图案化的复杂性的原因，后段(BE)互连缩放可能导致较低的性能和较高的制造成本。可以实施本文描述的实施例以实现用于纳米线晶体管的正面和背面互连集成。本文描述的实施例可以提供一种实现相对较宽的互连间距的方案。结果可以是提高的产品性能和更低的图案化成本。可以通过对实施例的实施来实现具有低功率和高性能的缩放的纳米线或纳米带晶体管的鲁棒的功能性。

[0066] 本文描述的一个或多个实施例针对使用部分源极或漏极(SD)和非对称沟槽接触部(TCN)深度的用于纳米线或纳米带晶体管的定向双重外延(EPI)连接。在实施例中，一种集成电路结构是通过形成纳米线/纳米带晶体管的部分地被SD外延部填充的源极-漏极开口而制作的。用导电材料填充所述开口的其余部分。位于源极或漏极侧之一上的深沟槽的形成实现了与背面互连层级的直接接触。

[0067] 作为用于制作具有栅极全环绕集成电路结构的栅极全环绕器件的示例性工艺流，图7A-7J示出了根据本公开的实施例的制作栅极全环绕集成电路结构的方法中的各种操作的截面图。

[0068] 参考图7A，一种制作集成电路结构的方法包括形成起始堆叠体，其包括位于鳍状物702(例如，硅鳍状物)上方的交替的牺牲层704和纳米线706。纳米线706可以被称为硅纳米线的垂直布置。保护帽708可以形成于交替的牺牲层704和纳米线706上方，如图所示。驰豫缓冲层752和缺陷修改层750可以形成于交替的牺牲层704和纳米线706的下面，仍然如图所示。

[0069] 参考图7B，栅极堆叠体710形成于水平纳米线706的垂直布置之上。之后，通过去除牺牲层704的部分以提供凹陷的牺牲层704’和腔穴712，由此释放水平纳米线706的垂直布置的部分，如图7C中所示。

[0070] 应当认识到，可以将图7C的结构制作完成，而无需首先执行下文描述的深蚀刻和非对称接触部处理。在任一种情况下(例如，有或没有非对称接触部处理)，在实施例中，制作工艺都涉及提供具有可以是垂直分立的源极或漏极结构的外延小块的栅极全环绕集成

电路结构的工艺方案的使用。

[0071] 参考图7D,上部栅极间隔体714形成于栅极结构710的侧壁处。腔穴间隔体716形成于上部栅极间隔体714下面的腔穴712中。之后任选执行深沟槽接触部蚀刻,以形成沟槽718并且形成凹陷的纳米线706'。还可以存在图案化的驰豫缓冲层752'和图案化的缺陷修改层750',如图所示。

[0072] 之后,在沟槽718中形成牺牲材料720,如图7E中所示。在其他工艺方案中,可以使用隔离的沟槽底部或硅沟槽底部。

[0073] 参考图7F,在水平纳米线706'的垂直布置的第一端处形成第一外延源极或漏极结构(例如,左手特征722)。在水平纳米线706'的垂直布置的第二端处形成第二外延源极或漏极结构(例如,右手特征722)。在实施例中,如图所示,外延源极或漏极结构722是垂直分立的源极或漏极结构,并且可以被称为外延小块。

[0074] 之后,在栅电极710的侧面处并与源极或漏极结构722相邻地形成层间电介质(ILD)材料724,如图7G所示。参考图7H,使用替换栅极工艺形成永久性栅极电介质728和永久性栅电极726。之后,去除ILD材料724,如图7I中所示。之后,从源极漏极位置之一(例如,右手侧)去除牺牲材料720以形成沟槽732,但不从源极漏极位置中的另一者去除牺牲材料720,由此形成了沟槽730。

[0075] 参考图7J,形成耦接到第一外延源极或漏极结构(例如,左手特征722)的第一导电接触结构734。形成耦接到第二外延源极或漏极结构(例如,右手特征722)的第二导电接触结构736。第二导电接触结构736沿鳍状物702形成得比第一导电接触结构734更深。在实施例中,尽管图7J中未示出,但是该方法还包括在鳍状物702的底部处形成第二导电接触结构736的暴露表面。导电接触部可以包括接触电阻降低层和主要接触电极层,其中,示例可以包括Ti、Ni、Co(其用于前者,以及W、Ru、Co用于后者)。

[0076] 在实施例中,第二导电接触结构736沿鳍状物702比第一导电接触结构734更深,如图所示。在一个这样的实施例中,第一导电接触结构734不沿着鳍状物702,如图所示。在未示出的另一个这样的实施例中,第一导电接触结构734部分地沿着鳍状物702。

[0077] 在实施例中,第二导电接触结构736沿着整个的鳍状物702。在实施例中,尽管未示出,但是在通过背面衬底去除工艺暴露鳍状物702的底部的情况下,第二导电接触结构736在鳍状物702的底部处具有暴露表面。

[0078] 在实施例中,图7J的结构或者图7A-7J的相关结构可以是与包括着落在电介质锚定物上的金属栅极插塞的结构和/或包括电介质锚定物空隙的结构(例如,联系图1A-1F、图2A-2C、图3、图4和图6描述的)相结合而形成的。

[0079] 在另一方面中,为了能够触及到一对非对称源极接触结构和漏极接触结构的两个导电接触结构,可以使用正面结构的背面显露制作方案来制作本文描述的集成电路结构。在一些示例性实施例中,晶体管或者其他器件结构的背面显露需要晶圆级背面处理。与常规TSV类型的技术形成对照的是,本文所述的对晶体管的背面显露可以是在器件单元的密度上执行的,乃至是在器件的子区域内执行的。此外,可以执行对晶体管的背面的这种显露以基本上去除曾在正面器件处理期间在上面设置器件层的施主衬底的全部。因而,在紧随晶体管的背面显露之后,器件单元中的半导体的厚度有可能仅为几十或者几百纳米的情况下,数微米深的TSV变得没有必要。

[0080] 本文描述的显露技术可以实现从“自底向上”器件制作向“中心向外”制作的范式转变,其中,“中心”是在正面制作中采用、从背面显露、并且继而在背面制作中再次采用的任何层。对器件结构的正面和所显露的背面的处理可以解决在主要依赖于正面处理时与制作3D IC相关联的挑战中的很多挑战。

[0081] 例如,可以采用晶体管的背面显露方案来去除施主-受主衬底组件的载体层和居间层的至少部分。该工艺流开始于输入施主-受主衬底组件。对施主-受主衬底中的载体层的厚度进行抛光(例如,CMP),和/或用湿法或干法(例如,等离子体)蚀刻工艺对其进行蚀刻。可以采用已知适用于载体层的成分的任何研磨、抛光和/或湿法/干法蚀刻工艺。例如,在载体层为IV族半导体(例如,硅)的情况下,可以采用已知适用于对半导体进行减薄的CMP浆剂。类似地,还可以采用已知适用于对IV族半导体进行减薄的任何湿法蚀刻剂或者等离子体蚀刻工艺。

[0082] 在一些实施例中,在上述操作之前沿基本上平行于该居间层的破裂面劈裂载体层。所述劈裂或者破裂工艺可以用于去除该载体层的作为大块体的相当大的部分,从而缩短去除载体层所需的抛光或蚀刻时间。例如,在载体层的厚度为400-900μm的情况下,可以通过实践已知有助于晶圆级破裂的任何毯式注入而劈掉100-700μm。在一些示例性实施例中,将轻元素(例如,H、He或Li)注入到载体层内的希望取得破裂面的均匀目标深度上。在紧随这样的劈裂工艺之后,可以对施主-受主衬底组件中剩余的载体层厚度进行抛光或蚀刻,从而将其完全去除。替代性地,在不使载体层破裂的情况下,可以采用抛光和/或蚀刻操作去除载体层的更大厚度。

[0083] 接下来,检测居间层的暴露。使用所述检测来识别出施主衬底的背面表面已经被推进到接近器件层时的点。可以实践已知适于检测载体层和居间层所采用的材料之间的过渡的任何终点检测技术。在一些实施例中,一种或多种终点标准是基于检测在抛光或蚀刻的执行期间施主衬底的背面表面的光学吸收或发射的变化。在一些其他实施例中,终点标准与在施主衬底背面表面的抛光或蚀刻期间的副产物的光学吸收或发射的变化相关联。例如,与载体层蚀刻副产物相关联的吸收或发射波长可以作为载体层和居间层的不同成分的函数而变化。在其他实施例中,终点标准与施主衬底的背面表面的抛光或蚀刻的副产物中的物类的质量变化相关联。例如,可以通过四极质谱分析仪对处理的副产物进行采样,并且物类质量的变化可以与载体层和居间层的不同成分相关。在另一个示例性实施例中,终点标准与施主衬底的背面表面与和施主衬底的背面表面接触的抛光表面之间的摩擦力的变化相关联。

[0084] 在去除工艺相对于居间层对载体层具有选择性的情况下可以增强对居间层的检测,因为可以通过载体层和居间层之间的蚀刻速率差量来缓解载体去除工艺中的非均匀性。如果研磨、抛光和/或蚀刻操作以充分低于载体层的去除速率的速率去除居间层,那么甚至可以跳过检测。如果不采用终点标准,那么在居间层的厚度对于所述蚀刻选择性而言足够的情况下,预定的固定持续时间的研磨、抛光和/或蚀刻操作可以停止在居间层材料上。在一些示例中,载体蚀刻速率:居间层蚀刻速率为3:1-10:1或更高。

[0085] 一旦暴露居间层,就可以去除居间层的至少部分。例如,可以去除居间层的一个或多个组分层。例如,可以通过抛光均匀地去除居间层的厚度。替代地,可以用掩模蚀刻或者毯式蚀刻工艺去除居间层的厚度。所述工艺可以采用与减薄载体所用的相同的抛光或蚀刻

工艺,或者可以是具有截然不同的工艺参数的截然不同的工艺。例如,在居间层为载体去除工艺提供蚀刻停止部时,后一操作可以采用相对于器件层的去除而言有利于居间层的去除的不同抛光或蚀刻工艺。在要去除不到几百纳米的居间层厚度的情况下,所述去除工艺可以相对较慢,可以针对跨越晶圆的不均匀性受到优化,并且与用于去除载体层的工艺相比可以受到更加精确的控制。所用的CMP工艺可以(例如)采用在半导体(例如,硅)和电介质材料(例如,SiO)之间提供非常高的选择性(例如,100:1-300:1或更高)的浆剂,其中所述电介质材料包围器件层并且嵌入在居间层内,以作为(例如)相邻器件区域之间的电隔离。

[0086] 对于通过完全去除居间层而显露器件层的实施例而言,背面处理可以在器件层或者其中的具体器件区域的暴露的背面上开始进行。在一些实施例中,背面器件层处理包括贯穿该器件层的设置在居间层与先前制作于该器件层中的器件区域(例如,源极或漏极区域)之间的厚度所做的进一步抛光或者湿法/干法蚀刻。

[0087] 在用湿法/等离子体蚀刻使载体层、居间层或者器件层背面凹陷的一些实施例中,这样的蚀刻可以是图案化蚀刻或者材料选择性蚀刻,其向器件层背面表面赋予显著的非平面性或形貌。如下文进一步所述,图案化可以在器件单元内(即,“单元内”图案化)或者可以跨越器件单元(即,“单元间”图案化)。在一些图案化蚀刻实施例中,采用居间层的至少部分厚度作为背面器件层图案化的硬掩模。因而,掩模蚀刻工艺可以作为对应的掩模器件层蚀刻的开端。

[0088] 上文描述的处理方案可以得到施主-受主衬底组件,其包括具有居间层的背面、器件层的背面和/或器件层内的一个或多个半导体区域的背面、和/或所显露的正面金属化部的IC器件。之后,可以在下游处理期间执行对这些显露区域中的任何区域的额外背面处理。

[0089] 应当认识到,对于接下来的处理操作,可以按照相同或类似的形式使用由上述示例性处理方案得到的结构,以完成器件制作,例如,PMOS和/或NMOS器件制作。作为所完成的器件的示例,图8示出了根据本公开的实施例的非平面集成电路结构的沿栅极线截取的截面图。

[0090] 参考图8,半导体结构或器件800包括位于沟槽隔离区域806内的非平面有源区域(例如,包括突出的鳍状物部分804和子鳍状物区域805的鳍状物结构)。在实施例中,替代实心的鳍状物,将非平面有源区域划分成位于子鳍状物区域805上方的纳米线(例如纳米线804A和804B),如虚线所表示的。在任一种情况下,为了便于描述非平面集成电路结构800,下文将非平面有源区域804称为突出的鳍状物部分。在实施例中,子鳍状物区域805还包括驰豫缓冲层842和缺陷修改层840,如图所示。

[0091] 栅极线808设置在非平面有源区域的突出部分804之上(在适用情况下,包括包围纳米线804A和804B)以及沟槽隔离区域806的部分之上。如图所示,栅极线808包括栅电极850和栅极电介质层852。在一个实施例中,栅极线808还可以包括电介质帽盖层854。从这一角度还可以看到栅极接触部814和上覆栅极接触过孔816连同上覆金属互连860,它们全部设置在层间电介质堆叠体或层870中。从图8的角度还可以看出,在一个实施例中,栅极接触部814设置在沟槽隔离区域806之上,但不设置在非平面有源区域之上。在另一实施例中,栅极接触部814位于非平面有源区域之上。

[0092] 在实施例中,半导体结构或器件800是非平面器件,例如但不限于FinFET器件、三栅极器件、纳米带器件或者纳米线器件。在这样的实施例中,对应的半导电沟道区域由三维

主体构成或者形成于三维主体中。在一个这样的实施例中，栅极线808的栅电极堆叠体至少包围三维主体的顶表面和一对侧壁。

[0093] 而且，如图8所示，在实施例中，界面880存在于突出的鳍状物部分804与子鳍状物区域805之间。界面880可以是掺杂的子鳍状物区域805与轻掺杂或无掺杂的上部鳍状物部分804之间的过渡区域。在一个这样的实施例中，每一鳍状物为大约10纳米宽或不到10纳米宽，并且子鳍状物掺杂剂任选是在子鳍状物位置上从相邻的固态掺杂层供应的。在特定的此类实施例中，每一鳍状物小于10纳米宽。

[0094] 尽管图8中未示出，但是应当认识到，突出的鳍状物部分804的源极或漏极区域或者与突出的鳍状物部分804相邻的源极或漏极区域位于栅极线808的两侧，即，进出页面。在一个实施例中，去除突出的鳍状物部分804的位于源极或漏极位置上的材料，并且例如通过外延沉积将其替换为另一种半导体材料，以形成外延源极或漏极结构。源极或漏极区域可以延伸到沟槽隔离区域806的电介质层的高度下方，即，延伸到子鳍状物区域805中。根据本公开的实施例，受到更重的掺杂的子鳍状物区域，即，鳍状物的位于界面880下方的掺杂部分抑制通过体块半导体鳍状物的这一部分的源极到漏极泄漏。在实施例中，源极区域和漏极区域具有相关联的非对称源极接触结构和漏极接触结构，如上文联系图7J所述。

[0095] 再次参考图8，在实施例中，鳍状物804/805(以及可能的纳米线804A和804B)由晶体硅锗层构成，其可以掺杂有载荷子，例如但不限于磷、砷、硼、镓或其组合。

[0096] 在实施例中，沟槽隔离区域806和本文通篇所述的沟槽隔离区域(沟槽隔离结构或沟槽隔离层)可以由如下材料构成，所述材料适于将永久性栅极结构的部分与下层体块衬底最终电隔离或对永久性栅极结构的部分与下层体块衬底的隔离有贡献，或者适于将形成于下层体块衬底内的有源区域隔离(例如，将鳍状物有源区域隔离)。例如，在一个实施例中，沟槽隔离区域806由电介质材料构成，所述电介质材料例如但不限于二氧化硅、氮氧化硅、氮化硅或者掺碳氮化硅。

[0097] 栅极线808可以由包括栅极电介质层852和栅电极层850的栅电极堆叠体构成。在实施例中，栅电极堆叠体的栅电极由金属栅极构成，并且栅极电介质层由高k材料构成。例如，在一个实施例中，栅极电介质层852由诸如但不限于氧化铪、氮氧化铪、硅酸铪、氧化镧、氧化锆、硅酸锆、氧化钽、钛酸锶钡、钛酸钡、钛酸锶、氧化钇、氧化铝、氧化铅钪钽、铌酸锌铅或其组合的材料构成。此外，栅极电介质层852的部分可以包括由衬底鳍状物804的顶部的几个层形成的原生氧化物层。在实施例中，栅极电介质层852由顶部高k部分以及由半导体材料的氧化物构成的下部部分构成。在一个实施例中，栅极电介质层852由氧化铪的顶部部分以及二氧化硅或氮氧化硅的底部部分构成。在一些实施方式中，栅极电介质的一部分是“U”形结构，该U形结构包括基本平行于衬底表面的底部部分以及基本垂直于衬底顶表面的两个侧壁部分。

[0098] 在一个实施例中，栅电极层850由金属层构成，所述金属层例如但不限于金属氮化物、金属碳化物、金属硅化物、金属铝化物、铪、锆、钛、钽、铝、钌、钯、铂、钴、镍或者导电金属氧化物。在具体的实施例中，栅电极层850由形成于金属功函数设定层上方的非功函数设定填充材料构成。栅电极层850可以由P型功函数金属或者N型功函数金属组成，具体取决于晶体管将是PMOS晶体管还是NMOS晶体管。在一些实施方式中，栅电极层850可以由两个或更多金属层的堆叠体组成，其中，一个或多个金属层是功函数金属层，并且至少一个金属层是导

电填充层。对于PMOS晶体管而言，可以用于栅电极的金属包括但不限于钌、钯、铂、钴、镍、钨和导电金属氧化物(例如，氧化钌)。P型金属层将使得能够形成功函数介于大约4.9eV和大约5.2eV之间的PMOS栅电极。对于NMOS晶体管而言，可以用于栅电极的金属包括但不限于铪、锆、钛、钽、铝、这些金属的合金以及这些金属的碳化物，例如碳化铪、碳化锆、碳化钛、碳化钽和碳化铝。N型金属层将使得能够形成功函数介于大约3.9eV和大约4.2eV之间的NMOS栅电极。在一些实施方式中，栅电极可以由“U”形结构组成，该结构包括基本上平行于衬底的表面的底部部分以及基本上垂直于衬底的顶表面的两个侧壁部分。在另一种实施方式中，形成栅电极的金属层中的至少一者可以简单地是基本上平行于衬底的顶表面的平面层，并且不包括基本上垂直于衬底的顶表面的侧壁部分。在本公开的其他实施方式中，栅电极可以由U形结构和平面非U形结构的组合组成。例如，栅电极可以由在一个或多个平面非U形层顶部形成的一个或多个U形金属层组成。

[0099] 与栅电极堆叠体相关联的间隔体可以由适于最终使永久性栅极结构与相邻导电接触部(例如，自对准接触部)电隔离或者对永久性栅极结构与相邻导电接触部(例如，自对准接触部)的隔离有贡献的材料构成。例如，在一个实施例中，间隔体由电介质材料构成，所述电介质材料例如但不限于二氧化硅、氮氧化硅、氮化硅或者掺碳氮化硅。

[0100] 栅极接触部814和上覆栅极接触过孔816可以由导电材料构成。在实施例中，所述接触部或过孔中的一者或多者由金属物类构成。所述金属物类可以是诸如钨、镍或钴的纯金属，或者可以是诸如金属-金属合金或者金属-半导体合金(例如，硅化物材料)的合金。

[0101] 在实施例中(尽管未示出)，形成了基本上与现有的栅极图案808完美对准的接触图案，同时消除了对具有极为严格的配准预算的光刻步骤的使用。在实施例中，接触图案是垂直对称接触图案，或者是非对称接触图案，例如联系图7J所述的。在其他实施例中，所有的接触部都是正面连接的，并且不是非对称的。在一个这样的实施例中，自对准方案使得能够使用具有固有的高选择性的湿法蚀刻(例如，对比常规实施的干法或等离子体蚀刻)来生成接触开口。在实施例中，通过利用现有的栅极图案结合接触插塞光刻操作来形成接触图案。在一个此类实施例中，该方案能够消除如常规方案中所使用的用以生成接触图案的其他严格的光刻操作的必要性。在实施例中，沟槽接触网格不单独受到图案化，而是形成于多晶硅(栅极)线之间。例如，在一个此类实施例中，沟槽接触网格是在栅极格栅图案化之后但是在栅极格栅切割之前形成的。

[0102] 在实施例中，提供结构800涉及通过替换栅极工艺制作栅极堆叠体结构808。在此类方案中，可以去除诸如多晶硅或者氮化硅柱状材料的虚设栅极材料，并将其替换为永久性栅电极材料。在一个此类实施例中，还在该工艺中形成永久性栅极电介质层，这与通过较早处理来执行该层的形成相反。在实施例中，通过干法蚀刻或者湿法蚀刻工艺去除虚设栅极。在一个实施例中，虚设栅极由多晶硅或者非晶硅构成，并且使用干法蚀刻工艺(包括使用SF_6)被去除。在另一实施例中，虚设栅极由多晶硅或者非晶硅构成，并且使用湿法蚀刻工艺(包括使用水溶NH_4OH或者四甲基氢氧化铵)被去除。在一个实施例中，虚设栅极由氮化硅构成，并且使用包括水溶磷酸的湿法蚀刻被去除。

[0103] 再次参考图8，半导体结构或器件800的布置将栅极接触部置于隔离区域之上。这样的布置可以被视为是对布局空间的低效使用。然而，在另一个实施例中，半导体器件具有与形成于有源区域之上(例如，形成于鳍状物805之上)并且与沟槽接触过孔形成于同一层

中的栅电极的部分发生接触的接触结构。

[0104] 在实施例中，图8的结构可以是与包括着落在电介质锚定物上的金属栅极插塞的结构和/或包括电介质锚定物空隙的结构(例如，联系图1A-1F、图2A-2C、图3、图4和图6描述的)结合形成的。

[0105] 应当认识到，并非需要实践上述工艺的所有方面才落入本公开实施例的实质和范围内。而且，文中描述的各个工艺可以用于制作一种或多种半导体器件。所述半导体器件可以是晶体管或类似器件。例如，在实施例中，半导体器件是用于逻辑单元或存储器的金属氧化物半导体(MOS)晶体管，或者是双极型晶体管。而且，在实施例中，半导体器件具有三维架构，例如，纳米线器件、纳米带器件、三栅极器件、独立存取双栅极器件或者FIN-FET。一个或多个实施例尤其可用于制作处于亚10纳米(10nm)技术节点上的半导体器件。

[0106] 在实施例中，如本说明书中通篇使用的，层间电介质(ILD)材料包括电介质或绝缘材料的层或者由电介质或绝缘材料的层构成。适当电介质材料的示例包括但不限于硅的氧化物(例如，二氧化硅(SiO_2))、掺杂的硅氧化物、氟化的硅氧化物、掺碳的硅氧化物、本领域已知的各种低k电介质材料及其组合。层间电介质材料可以通过例如化学气相沉积(CVD)、物理气相沉积(PDV)的常规技术或者通过其他沉积方法形成。

[0107] 在实施例中，还是如本说明书中通篇使用的，金属线或者互连线材料(以及过孔材料)由一种或多种金属或者其他导电结构构成。常见的示例是使用铜线和结构，其在铜和周围ILD材料之间可以包括或者不包括阻挡层。如本文所使用的，术语“金属”包括多种金属的合金、堆叠体以及其他组合。例如，金属互连线可以包括阻挡层(例如，包括Ta、TaN、Ti或TiN中的一者或多者的层)、不同金属或合金的堆叠体等。因而，互连线可以是单一材料层，或者可以由几个层形成，包括导电衬层以及填充层。可以使用诸如电镀、化学气相沉积或物理气相沉积的任何适当沉积工艺来形成互连线。在实施例中，互连线由诸如但不限于Cu、Al、Ti、Zr、Hf、V、Ru、Co、Ni、Pd、Pt、W、Ag、Au或其合金的导电材料构成。互连线在本领域有时被称为迹线、导线、线路、金属或者简称为互连。

[0108] 在实施例中，还是如本说明书中通篇使用的，硬掩模材料、帽盖层或插塞由不同于层间电介质材料的电介质材料构成。在一个实施例中，可以在不同的区域中使用不同的硬掩模、帽盖或插塞材料，以提供相对于彼此以及相对于下层的电介质层和金属层的不同的生长或蚀刻选择性。在一些实施例中，硬掩模层、帽盖层或插塞层包括硅的氮化物(例如，氮化硅)层或硅的氧化物层，或者包括其两者，或者包括其组合。其他适当材料可以包括基于碳的材料。可以根据特定实施方式使用本领域已知的其他硬掩模层、帽盖层或者插塞层。可以通过CVD、PVD或者通过其他沉积方法形成硬掩模层、帽盖层或插塞层。

[0109] 在实施例中，仍然如本说明书中通篇使用的，使用193nm沉浸式光刻(i193)或者EUV和/或EBDW光刻等执行光刻操作。可以使用正性或者负性抗蚀剂。在一个实施例中，光刻掩模是由形貌掩蔽部分、抗反射涂覆(ARC)层和光致抗蚀剂层构成的三层掩模。在特定的此类实施例中，形貌掩蔽部分是碳硬掩模(CHM)层，并且抗反射涂层是硅ARC层。

[0110] 在另一方面中，一个或多个实施例涉及通过栅极切口着落结构分开的相邻半导体结构或器件。特定实施例可以针对栅极切口着落结构架构中的通过栅极切口着落结构隔开的多宽度(多Wsi)纳米线和纳米带的集成。在实施例中，在前段工艺流程的栅极切口着落结构架构部分中集成具有多Wsi的纳米线/纳米带。这样的工艺流程可以涉及集成具有不同

Wsi的纳米线和纳米带，以提供具有低功率和高性能的下一代晶体管的鲁棒的功能性。可以嵌入相关联的外延源极或漏极区域(例如，去除纳米线的部分，并且之后执行源极或漏极(S/D)生长)。

[0111] 为了提供进一步的背景，栅极切口着落结构架构的优点可以包括能够实现更高的布局密度，并且尤其是实现扩散到扩散间隔的缩放。为了提供例示性比较，图9示出了对于无栅极切口着落结构架构的沿纳米线和鳍状物截取的截面图。图10示出了根据本公开的实施例的栅极切口着落结构架构的截面图。

[0112] 参考图9，集成电路结构900包括衬底902，衬底902具有在横向包围鳍状物904的下部部分的隔离结构908上方从衬底902突出一定的量906的鳍状物904。鳍状物的上部部分可以包括驰豫缓冲层922和缺陷修改层920，如图所示。对应的纳米线905位于鳍状物904之上。可以在集成电路结构900之上形成栅极结构，以制作器件。然而，可以通过增大鳍状物904/纳米线905对之间的间隔而容纳这样的栅极结构中的中断。

[0113] 作为对照，参考图10，集成电路结构1050包括衬底1052，衬底1052具有在横向包围鳍状物1054的下部部分的隔离结构1058上方从衬底1052突出一定的量1056的鳍状物1054。鳍状物的上部部分可以包括驰豫缓冲层1072和缺陷修改层1070，如图所示。对应的纳米线1055位于鳍状物1054之上。隔离的栅极切口着落结构1060包括在隔离结构1058上，并且位于相邻的鳍状物1054/纳米线1055对之间。隔离的栅极切口着落结构1060与最近的鳍状物1054/纳米线1055对之间的距离定义了栅极端帽间隔1062。可以在集成电路结构1050之上、在隔离的栅极切口着落结构之间形成栅极结构，以制作器件。这样的栅极结构中的中断可以是通过对栅极进行切割并且着落在栅极切口着落结构上而施加的。根据本公开的实施例，与图10相关联的结构的制作工艺涉及使用提供具有外延源极或漏极结构的栅极全包围集成电路结构的工艺方案。在实施例中，图10的结构可以是与包括着落在电介质锚定物上的金属栅极插塞的结构和/或包括电介质锚定物空隙的结构(例如，联系图1A-1F、图2A-2C、图3、图4和图6描述的)结合形成的。

[0114] 栅极切口着落结构处理方案涉及形成自对准到鳍状物的栅极/沟槽接触部端帽，而无需额外的长度来应对掩模未配准的问题。因而，可以实施实施例以实现晶体管布局面积的缩小。本文描述的实施例可以涉及栅极切口着落结构以及被形成为着落在这样的栅极切口着落结构上的切口和插塞的制作。

[0115] 在实施例中，如通篇所述，栅极切口着落结构可以由适于最终使永久性栅极结构的部分相互电隔离或者对永久性栅极结构的部分彼此的隔离有贡献的一种或多种材料构成。示例性材料或材料组合包括单一材料结构，例如二氧化硅、氮氧化硅、氮化硅或者掺碳氮化硅。其他示例性材料或材料组合包括多层堆叠体，该多层堆叠体具有二氧化硅、氮氧化硅、氮化硅或者掺碳氮化硅的下部部分以及较高介电常数材料(例如氧化铪)的上部部分。

[0116] 为了强调具有三条垂直布置的纳米线的示例性集成电路结构，图11A示出了根据本公开的实施例的基于纳米线的集成电路结构的三维截面图。图11B示出了图11A的基于纳米线的集成电路结构的沿a-a'轴截取的截面源极或漏极视图。图11C示出了图11A的基于纳米线的集成电路结构的沿b-b'轴截取的截面沟道视图。

[0117] 参考图11A，集成电路结构1100包括位于衬底1102上方的一条或多条垂直堆叠的纳米线(1104组)。在实施例中，驰豫缓冲层1102C、缺陷修改层1102B和下部衬底部分1102A

包括在衬底1102中，如图所示。出于例示的目的，为了强调纳米线部分的原因，位于最底部纳米线下方并且由衬底1102形成的任选的鳍状物未被描绘。本文的实施例既以单线器件为目标，又以多线器件为目标。作为示例，出于例示的目的，示出了具有纳米线1104A、1104B和1104C的基于三条纳米线的器件。为了便于描述，将纳米线1104A用作示例，其中，描述的重点将放在这些纳米线中的一条上。应当认识到，在描述一条纳米线的属性的地方，基于多条纳米线的实施例可以针对所述纳米线中的每者具有相同或基本相同的属性。

[0118] 纳米线1104中的每者包括位于纳米线中的沟道区域1106。沟道区域1106具有长度(L)。参考图11C，沟道区域还具有与该长度(L)正交的周长(Pc)。参考图11A和图11C两者，栅电极堆叠体1108包围沟道区域1106中的每者的整个周长(Pc)。栅电极堆叠体1108包括栅电极连同位于沟道区域1106与栅电极(未示出)之间的栅极电介质层。在实施例中，沟道区域是分立的，因为其完全被栅电极堆叠体1108包围，而没有诸如下层衬底材料或者上覆沟道制作材料的任何居间材料。相应地，在具有多条纳米线1104的实施例中，纳米线的沟道区域1106也是相对于彼此分立的。

[0119] 参考图11A和图11B两者，集成电路结构1100包括一对非分立的源极或漏极区域1110/1112。该对非分立的源极或漏极区域1110/1112位于多条垂直堆叠的纳米线1104的沟道区域1106的两侧上。此外，该对非分立的源极或漏极区域1110/1112与多条垂直堆叠的纳米线1104的沟道区域1106毗邻。在一个此类实施例中(未示出)，该对非分立的源极或漏极区域1110/1112对于沟道区域1106是直接垂直毗连的，因为外延生长发生在延伸超出沟道区域1106的纳米线部分上及其之间，其中，纳米线端部被示为位于源极或漏极结构内。在另一个实施例中，如图11A中所示，该对非分立的源极或漏极区域1110/1112对于沟道区域1106是间接垂直毗邻的，因为它们形成于纳米线的端部处而不形成于纳米线之间。

[0120] 在实施例中，如图所示，源极或漏极区域1110/1112是非分立的，因为没有用于纳米线1104的每一沟道区域1106的单独且分立的源极或漏极区域。相应地，在具有多条纳米线1104的实施例中，纳米线的源极或漏极区域1110/1112是全局的或者一体化的源极或漏极区域，这与每一纳米线有分立的源极或漏极区域形成了对比。也就是说，从对于多条(在这一情况为3条)纳米线1104(以及更具体地不止一个分立沟道区域1106)而言使用单个一体化特征作为源极或漏极区域的意义上来讲，非分立的源极或漏极区域1110/1112是全局的。在一个实施例中，从与分立沟道区域1106的长度正交的截面角度来看，该对非分立的源极或漏极区域1110/1112中的每者具有大致矩形的形状，该形状具有底部的收窄部分和顶部的尖顶部分，如图11B所示。然而，在其他实施例中，纳米线的源极或漏极区域1110/1112是相对较大但仍然分立的非垂直融合的外延结构，例如联系图7A-7J描述的小块。

[0121] 根据本公开的实施例，如图11A和图11B所示，集成电路结构1100还包括一对接触部1114，每一接触部1114位于该对非分立的源极或漏极区域1110/1112之一上。在一个此类实施例中，从垂直意义上来讲，每一接触部1114完全包围相应的非分立的源极或漏极区域1110/1112。在另一方面中，非分立的源极或漏极区域1110/1112并非整个周长都可被触及以与接触部1114发生接触，并且因而接触部1114仅局部地包围非分立的源极或漏极区域1110/1112，如图11B中所示。在未示出的对照实施例中，非分立的源极或漏极区域1110/1112的整个周长(沿a-a’轴截取)被接触部1114包围。

[0122] 再次参考图11A，在实施例中，集成电路结构1100还包括一对间隔体1116。如图所

示，该对间隔体1116的外侧部分可以与非分立的源极或漏极区域1110/1112的部分重叠，从而提供非分立的源极或漏极区域1110/1112的位于该对间隔体1116下面的“嵌入”部分。仍然如图所示，非分立的源极或漏极区域1110/1112的嵌入部分可以不在整个的该对间隔体1116下面延伸。

[0123] 衬底1102可以由适用于集成电路结构制造的材料构成。在一个实施例中，衬底1102包括由材料的单晶构成的下部体块衬底，所述材料可以包括但不限于硅、锗、硅锗、锗锡、硅锗锡或者III-V族化合物半导体材料。由可以包括但不限于二氧化硅、氮化硅或者氮氧化硅的材料构成的上部绝缘体层位于下部体块衬底上。因而，结构1100是由起始的绝缘体上半导体衬底制作的。替代地，结构1100直接由体块衬底形成，并且使用本地氧化形成电绝缘部分，以替代上文描述的上部绝缘体层。在另一替代实施例中，结构1100直接由体块衬底形成，并且使用掺杂在其上形成电隔离的有源区域(例如，纳米线)。在一个这样的实施例中，第一纳米线(即，接近衬底)具有Ω-FET型结构的形式。

[0124] 在实施例中，纳米线1104的尺寸可以被设定为线或带，如下文所述，并且可以具有方形的拐角或者圆化的拐角。在实施例中，纳米线1104由诸如但不限于硅、锗或其组合的材料构成。在一个此类实施例中，纳米线是单晶的。例如，对于硅纳米线1104而言，单晶纳米线可以基于(100)全局取向，例如，具有处于z方向上的<100>平面。如下文所述，也可以考虑其他取向。在实施例中，从截面的角度来看，纳米线1104的外形尺寸处于纳米量级上。例如，在具体实施例中，纳米线1104的最小外形尺寸小于大约20纳米。在实施例中，纳米线1104由应变材料构成，尤其是在沟道区域1106中。

[0125] 参考图11C，在实施例中，沟道区域1106中的每者具有宽度(Wc)和高度(Hc)，宽度(Wc)大致与高度(Hc)相同。也就是说，在两种情况下，沟道区域1106的截面轮廓都是方形的，或者如果拐角是圆化的，则该截面轮廓是圆形的。在另一方面中，沟道区域的宽度和高度未必相同，例如，如本文通篇所述的纳米带的情况。

[0126] 在实施例中，如通篇所述，一种集成电路结构包括非平面器件，例如但不限于具有对应的一个或多个上覆纳米线结构的FinFET或三栅极器件。在此类实施例中，对应的半导电沟道区域由三维主体构成或者形成于三维主体中，其中，一个或多个分立的纳米线沟道部分覆在三维主体上面。在一个此类实施例中，栅极结构至少包围三维主体的顶表面和一对侧壁，并且进一步包围一个或多个分立的纳米线沟道部分中的每者。

[0127] 在实施例中，图11A-11C的结构可以是与包括着落在电介质锚定物上的金属栅极插塞的结构和/或包括电介质锚定物空隙的结构(例如，联系图1A-1F、图2A-2C、图3、图4和图6描述的)结合形成的。

[0128] 在实施例中，如通篇所述，下层衬底可以由能够承受制造工艺并且电荷能够在其中迁移的半导体材料构成。在实施例中，衬底是由晶体硅、硅/锗或锗层构成的体块衬底，其掺杂有诸如但不限于磷、砷、硼、镓或其组合的载荷子，以形成有源区域。在一个实施例中，体块衬底中的硅原子的浓度大于97％。在另一个实施例中，体块衬底由生长在截然不同的晶体衬底的顶上的外延层构成，例如，生长在掺硼体块硅单晶衬底的顶上的硅外延层。替代地，体块衬底可以由III-V族材料构成。在实施例中，体块衬底由诸如但不限于氮化镓、磷化镓、砷化镓、磷化铟、锑化铟、砷化镓铟、砷化镓铝、磷化镓铟或其组合的III-V族材料构成。在一个实施例中，体块衬底由III-V族材料构成，并且载荷子掺杂剂杂质原子是诸如但不限

于碳、硅、锗、氧、硫、硒或碲的杂质原子。

[0129] 本文公开的实施例可以用于制造很宽范围的各种各样不同类型的集成电路和/或微电子器件。此类集成电路的示例包括但不限于处理器、芯片组部件、图形处理器、数字信号处理器和微控制器等。在其他实施例中，可以制造半导体存储器。此外，集成电路或者其他微电子器件可以用在很宽范围的各种各样的本领域已知的电子装置中。例如，在计算机系统(例如，台式机、膝上型电脑、服务器)、蜂窝电话、个人电子产品等中。集成电路可以与系统中的总线和其他部件耦接。例如，处理器可以通过一条或多条总线耦接至存储器、芯片组等。处理器、存储器和芯片组中的每者有可能是使用本文公开的方案制造的。

[0130] 图12示出了根据本公开实施例的一种实施方式的计算装置1200。计算装置1200包括板1202。板1202可以包括若干部件，这些部件包括但不限于处理器1204以及至少一个通信芯片1206。处理器1204物理及电耦接至板1202。在一些实施方式中，至少一个通信芯片1206也物理及电耦接至板1202。在其他实施方式中，通信芯片1206是处理器1204的部分。

[0131] 取决于其应用，计算装置1200可以包括可以或可以不物理和电耦接至板1202的其他部件。这些其他部件包括但不限于易失性存储器(例如，DRAM)、非易失性存储器(例如，ROM)、闪速存储器、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)装置、罗盘、盖格计数器、加速度计、陀螺仪、扬声器、相机和大容量存储装置(例如硬盘驱动器、紧致盘(CD)、数字通用盘(DVD)等)。

[0132] 通信芯片1206能够实现用于向和从计算装置1200传输数据的无线通信。术语“无线”及其派生词可以用来描述通过使用经调制的电磁辐射通过非固态介质传送数据的电路、装置、系统、方法、技术、通信信道等。该术语并不暗示相关联的装置不包括任何导线，尽管在一些实施例中它们可能不包括。通信芯片1206可以实施很多无线标准或协议中的任何无线标准或协议，其包括但不限于Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、它们的衍生产物以及任何其他被称为3G、4G、5G和更高代的无线协议。计算装置1200可以包括多个通信芯片1206。例如，第一通信芯片1206可以专用于较短程的无线通信，例如Wi-Fi和蓝牙，并且第二通信芯片1206可以专用于较长程的无线通信，例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO及其他。

[0133] 计算装置1200的处理器1204包括封装于处理器1204内的集成电路管芯。处理器1204的集成电路管芯可以包括根据本公开的实施例的实施方式构建的一个或多个结构，例如，具有电介质锚定物和/或电介质锚定物空隙的栅极全环绕集成电路结构。术语“处理器”可以指处理来自寄存器和/或存储器的电子数据以将该电子数据变换成可以存储于寄存器和/或存储器中的其他电子数据的任何装置或装置的部分。

[0134] 通信芯片1206也包括封装于通信芯片1206内的集成电路管芯。通信芯片1206的集成电路管芯可以包括根据本公开的实施例的实施方式构建的一个或多个结构，例如，具有电介质锚定物和/或电介质锚定物空隙的栅极全环绕集成电路结构。

[0135] 在其他实施方式中，计算装置1200内容纳的另一部件可以包含集成电路管芯，其包括根据本公开的实施例的实施方式构建的一个或多个结构，例如，具有电介质锚定物和/或电介质锚定物空隙的栅极全环绕集成电路结构。

[0136] 在各种实施方式中，计算装置1200可以是膝上型电脑、上网本、笔记本、超级本、智能电话、平板电脑、个人数字助理(PDA)、超级移动PC、手机、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字相机、便携式音乐播放器或数字视频录像机。在其他实施方式中，计算装置1200可以是任何其他处理数据的电子装置。

[0137] 图13示出了包括本公开的一个或多个实施例的内插器1300。内插器1300是用于将第一衬底1302桥接至第二衬底1304的居间衬底。第一衬底1302可以是(例如)集成电路管芯。第二衬底1304可以是(例如)存储器模块、计算机母板或者另一集成电路管芯。一般而言，内插器1300的目的是将连接扩展至更宽的间距或者将连接重新路由至不同连接。例如，内插器1300可以将集成电路管芯耦接至球栅阵列(BGA)1306，而该球栅阵列接下来可以耦接至第二衬底1304。在一些实施例中，第一和第二衬底1302/1304附接至内插器1300的相对侧。在其他实施例中，第一和第二衬底1302/1304附接至内插器1300的同一侧。并且在其他实施例中，三个或更多衬底通过内插器1300而互连。

[0138] 内插器1300可以由环氧树脂、玻璃纤维强化环氧树脂、陶瓷材料或者诸如聚酰亚胺的聚合物材料形成。在其他实施方式中，内插器1300可以由交替的刚性或柔性材料形成，所述材料可以包括与上文描述的用在半导体衬底中的材料相同的材料，例如，硅、锗以及其他III-V族和IV族材料。

[0139] 内插器1300可以包括金属互连1308和过孔1310，过孔1310包括但不限于穿硅过孔(TSV)1312。内插器1300还可以包括嵌入式器件1314，所述嵌入式器件既包括无源器件，又包括有源器件。这样的器件包括但不限于电容器、解耦电容器、电阻器、电感器、熔断器、二极管、变压器、传感器和静电放电(ESD)器件。还可以在内插器1300上形成诸如射频(RF)器件、功率放大器、功率管理器件、天线、阵列、传感器和MEMS器件的更为复杂的器件。根据本公开的实施例，本文公开的设备或工艺可以用于内插器1300的制作或者内插器1300中包括的部件的制作。

[0140] 因而，本公开的实施例包括具有电介质锚定物空隙的集成电路结构以及制作具有电介质锚定物空隙的集成电路结构的方法。

[0141] 上文对所例示的本公开的实施例的实施方式的描述(包括摘要中描述的内容)并非意在进行穷举或者使本公开局限于所公开的确切形式。尽管文中出于举例说明的目的描述了本公开的具体实施方式和示例，但是在本公开的范围内可能存在各种等价修改，这是相关领域技术人员将认识到的。

[0142] 根据上文的详细描述可以对本公开做出这些修改。不应将下述权利要求中使用的措辞解释为使本公开局限于说明书和权利要求书中公开的具体的实施方式。相反，本公开的范围将完全由下述权利要求决定，应当根据权利要求解释所确立的原则对权利要求加以解释。

[0143] 示例性实施例1：一种集成电路结构包括位于浅沟槽隔离(STI)结构中的子鳍状物。多条水平堆叠的纳米线位于该子鳍状物之上。栅极电介质材料层包围所述水平堆叠的纳米线。栅电极结构位于栅极电介质材料层之上。电介质锚定物与所述多条水平堆叠的纳米线横向隔开，并且凹陷到该STI结构的第一部分中。该STI结构的位于所述多条水平堆叠的纳米线的与该电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽。电介质栅极插塞位于该电介质锚定物上。

[0144] 示例性实施例2:示例性实施例1的集成电路结构,其中,该电介质锚定物具有位于所述多条水平堆叠的纳米线的最上表面下方的最上表面。

[0145] 示例性实施例3:示例性实施例1或2的集成电路结构,其中,该电介质栅极插塞在垂直方向上相对于该电介质锚定物偏移。

[0146] 示例性实施例4:示例性实施例1、2或3的集成电路结构,其中,栅极电介质材料层是高k栅极电介质层,并且其中,栅电极结构包括功函数金属层和导电栅极填充材料。

[0147] 示例性实施例5:示例性实施例1、2、3或4的集成电路结构,其中,栅极电介质材料层不沿着电介质栅极插塞的侧面,并且其中,栅电极结构与电介质栅极插塞的侧面接触。

[0148] 示例性实施例6:一种集成电路结构包括具有突出到浅沟槽隔离(STI)结构上方的部分的鳍状物。栅极电介质材料层位于鳍状物的突出部分之上。栅电极结构位于栅极电介质材料层之上。电介质锚定物与该鳍状物横向隔开,并且凹陷到该STI结构的第一部分中。该STI结构的位于该鳍状物的与该电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽。电介质栅极插塞位于该电介质锚定物上。

[0149] 示例性实施例7:示例性实施例6的集成电路结构,其中,该电介质锚定物具有位于该鳍状物的最上表面下方的最上表面。

[0150] 示例性实施例8:示例性实施例6或7的集成电路结构,其中,该电介质栅极插塞在垂直方向上相对于该电介质锚定物存在偏移。

[0151] 示例性实施例9:示例性实施例6、7或8的集成电路结构,其中,栅极电介质材料层是高k栅极电介质层,并且其中,栅电极结构包括功函数金属层和导电栅极填充材料。

[0152] 示例性实施例10:示例性实施例6、7、8或9的集成电路结构,其中,栅极电介质材料层不沿着电介质栅极插塞的侧面,并且其中,栅电极结构与电介质栅极插塞的侧面接触。

[0153] 示例性实施例11:一种计算装置包括板以及耦接至该板的部件。该部件包括集成电路结构,该集成电路结构包括位于浅沟槽隔离(STI)结构中的子鳍状物。多条水平堆叠的纳米线位于该子鳍状物之上。栅极电介质材料层包围所述水平堆叠的纳米线。栅电极结构位于栅极电介质材料层之上。电介质锚定物与所述多条水平堆叠的纳米线横向隔开,并且凹陷到该STI结构的第一部分中。该STI结构的位于所述多条水平堆叠的纳米线的与该电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽。电介质栅极插塞位于该电介质锚定物上。

[0154] 示例性实施例12:示例性实施例11的计算装置,还包括耦接至该板的存储器。

[0155] 示例性实施例13:示例性实施例11或12的计算装置,还包括耦接至该板的通信芯片。

[0156] 示例性实施例14:示例性实施例11、12或13的计算装置,其中,该部件是封装的集成电路管芯。

[0157] 示例性实施例15:示例性实施例11、12、13或14的计算装置,其中,该部件选自由处理器、通信芯片和数字信号处理器组成的组。

[0158] 示例性实施例16:一种计算装置包括板以及耦接至该板的部件。该部件包括集成电路结构,该集成电路结构包括具有突出到浅沟槽隔离(STI)结构上方的部分的鳍状物。栅极电介质材料层位于鳍状物的突出部分之上。栅电极结构位于栅极电介质材料层之上。电介质锚定物与该鳍状物横向隔开,并且凹陷到该STI结构的第一部分中。该STI结构的位于

该鳍状物的与该电介质锚定物相对的一侧上的第二部分具有位于其中的沟槽。电介质栅极插塞位于该电介质锚定物上。

[0159] 示例性实施例17:示例性实施例16的计算装置,还包括耦接至该板的存储器。

[0160] 示例性实施例18:示例性实施例16或17的计算装置,还包括耦接至该板的通信芯片。

[0161] 示例性实施例19:示例性实施例16、17或18的计算装置,其中,该部件是封装的集成电路管芯。

[0162] 示例性实施例20:示例性实施例16、17、18或19的计算装置,其中,该部件选自由处理器、通信芯片和数字信号处理器组成的组。

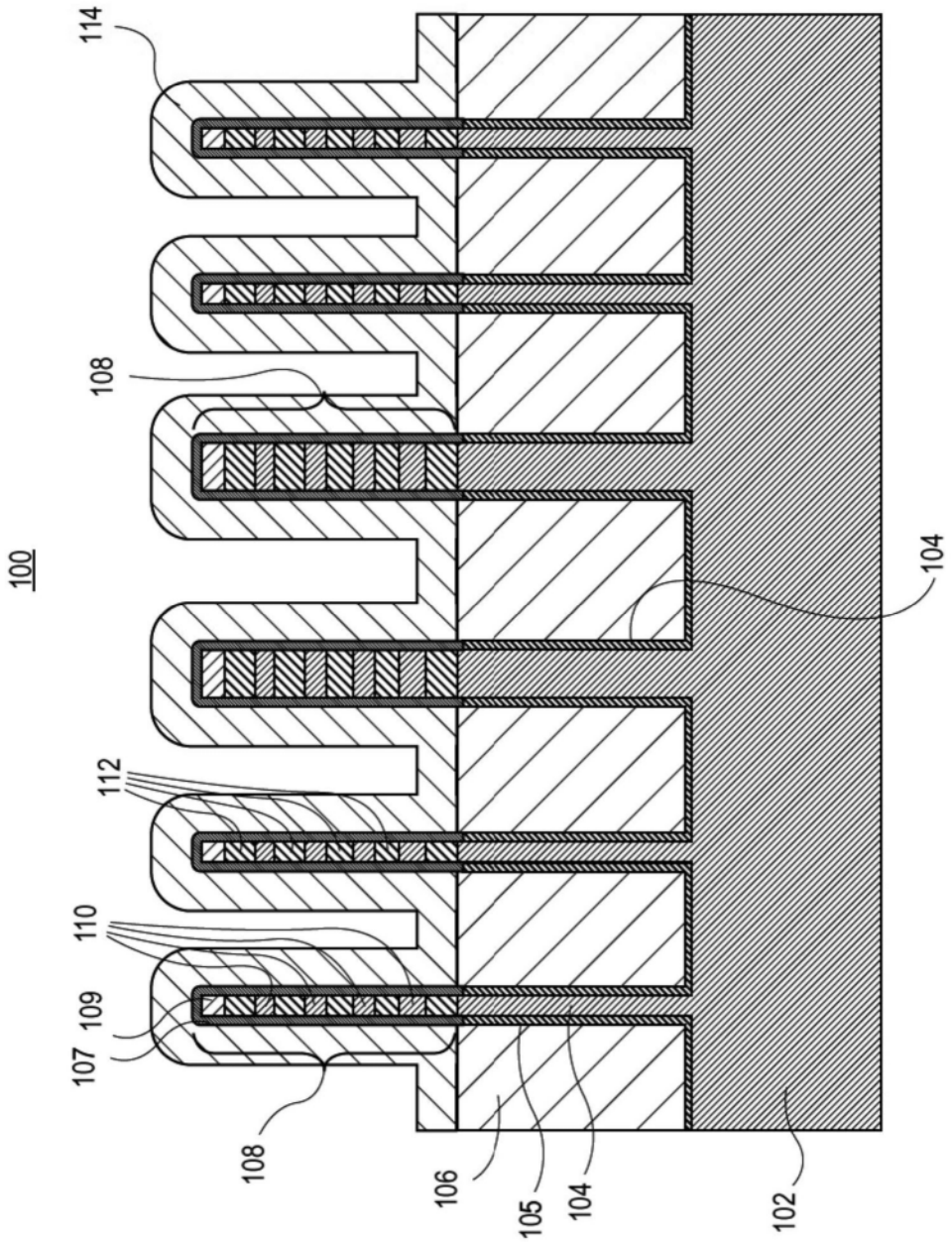


图1A

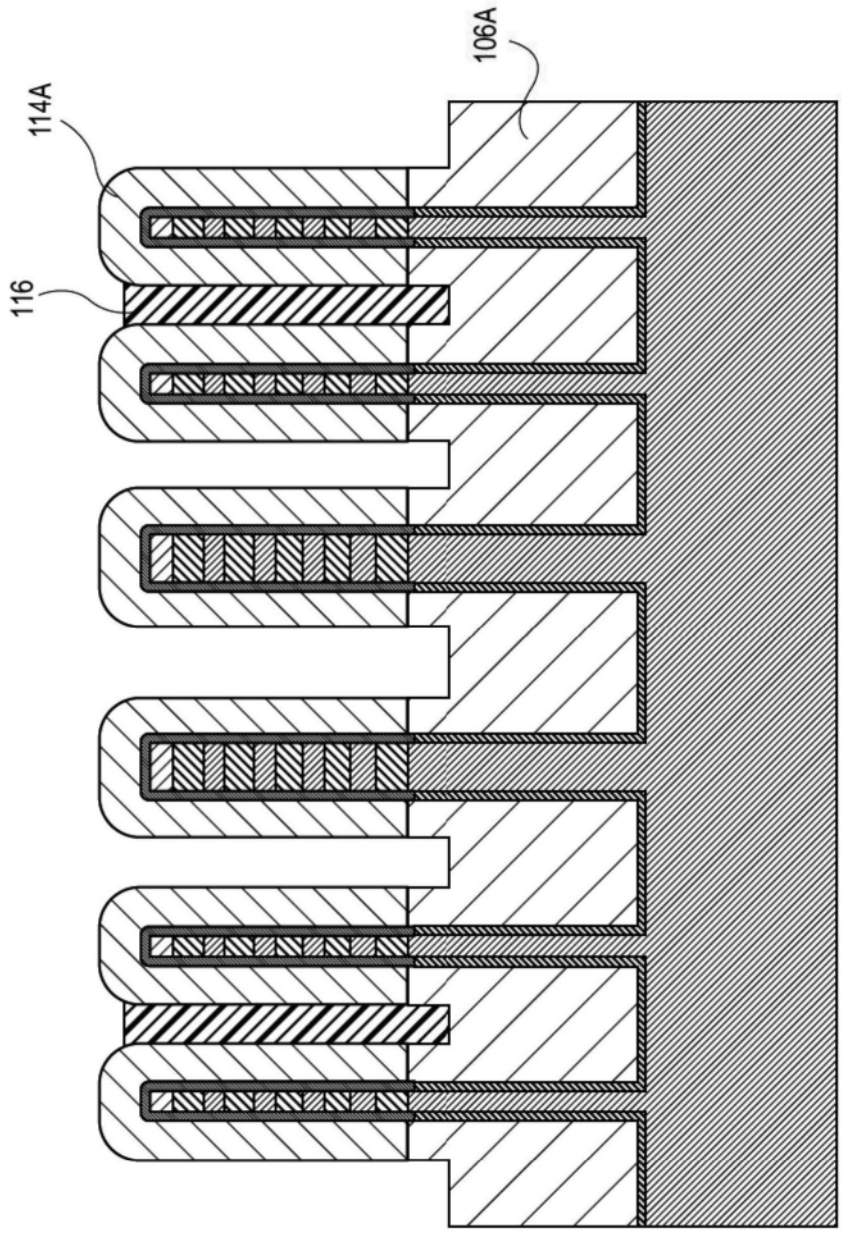


图1B

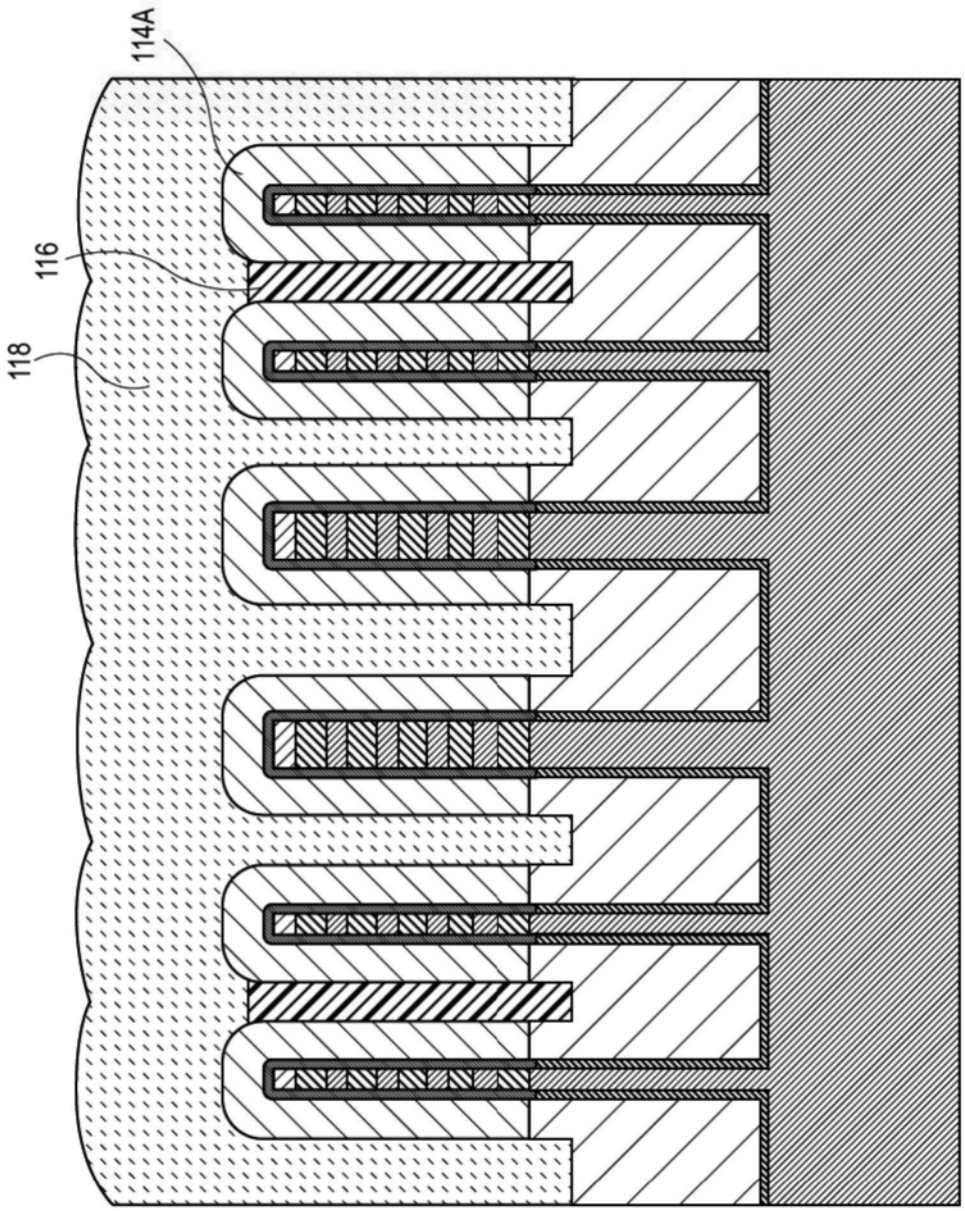


图1C

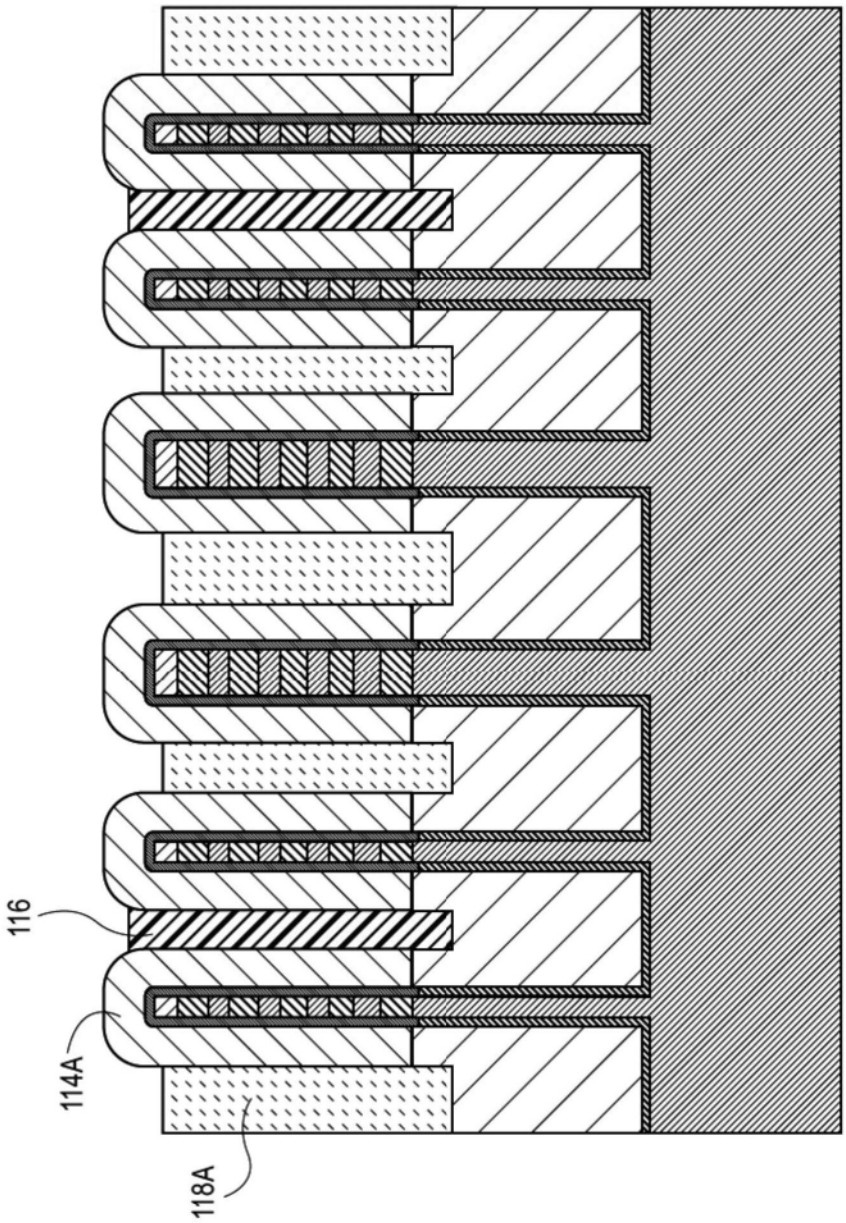


图1D

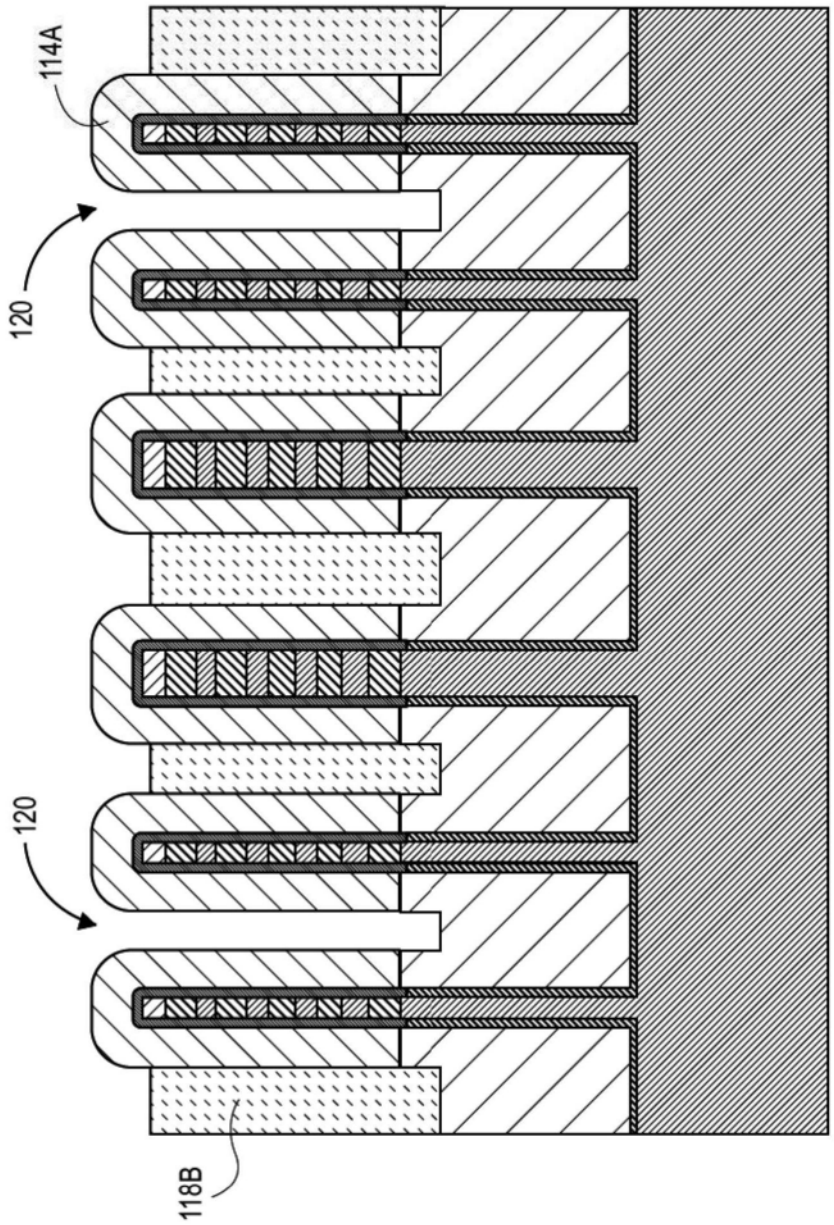


图1E

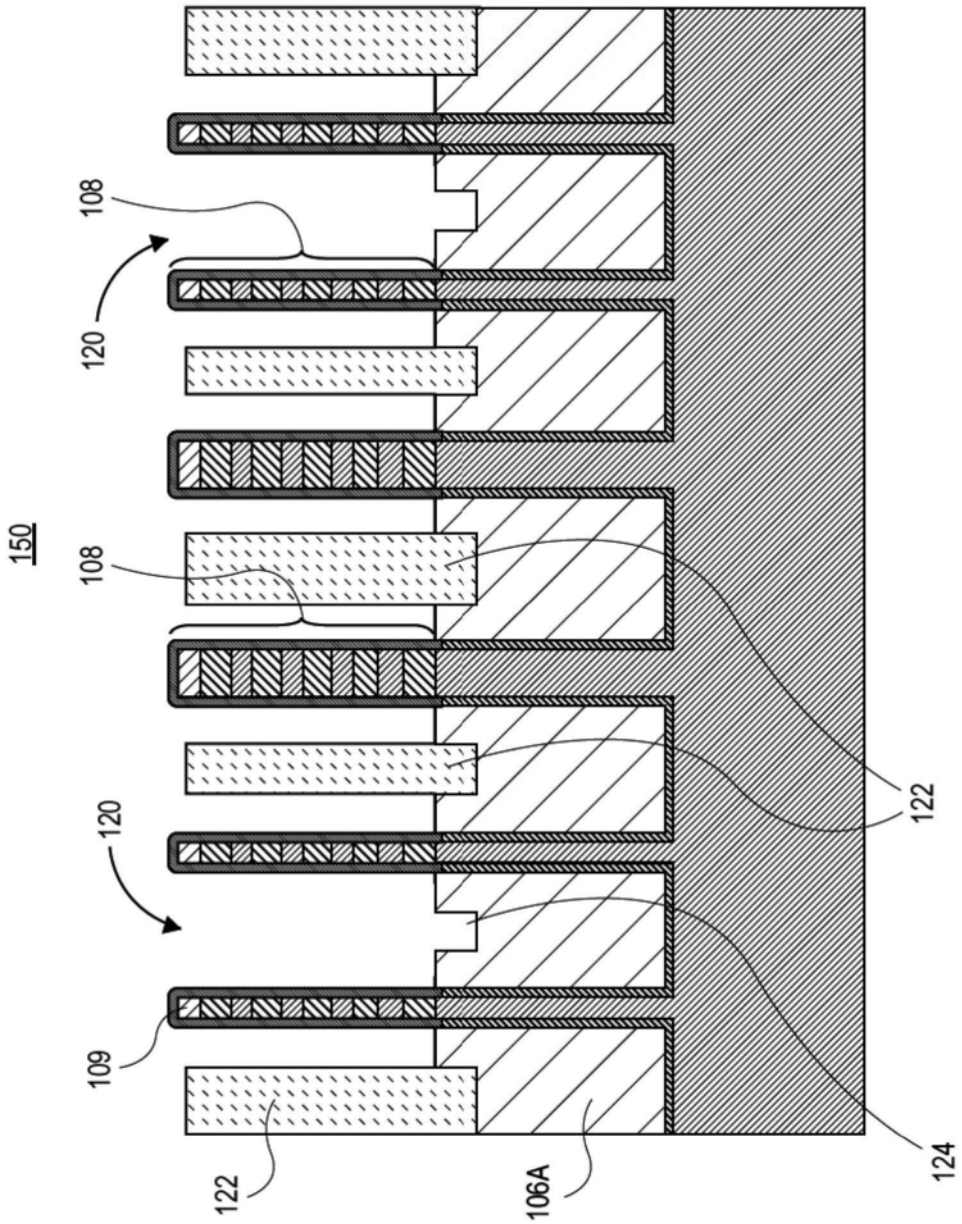


图1F

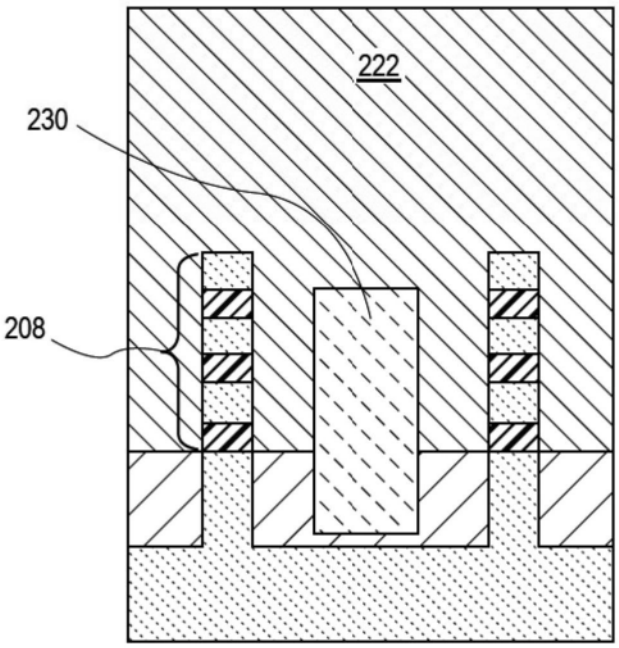


图2A

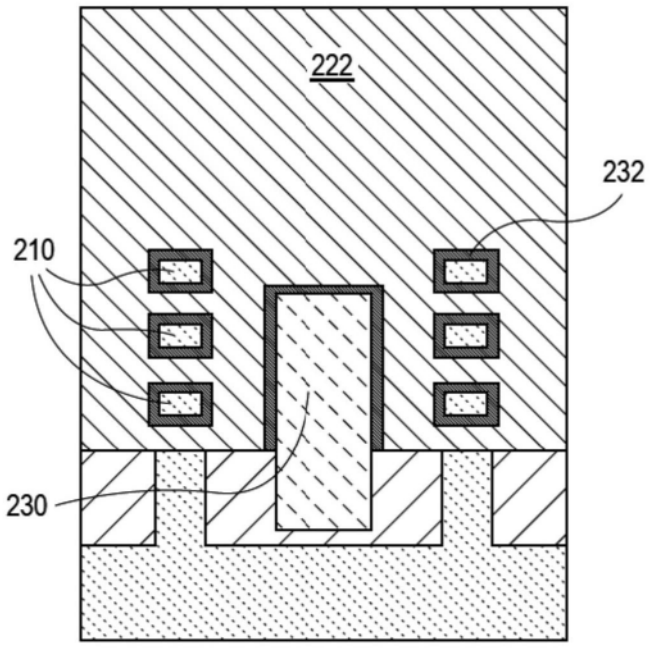


图2B

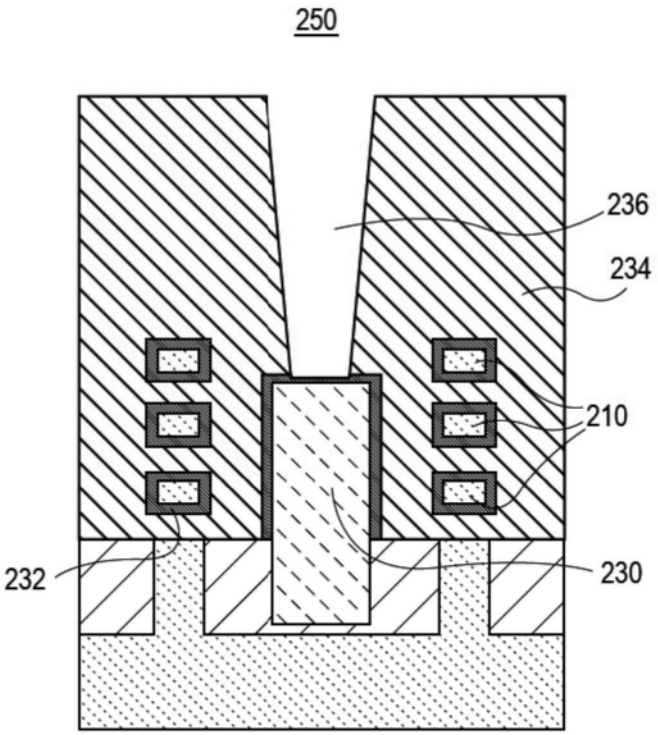


图2C

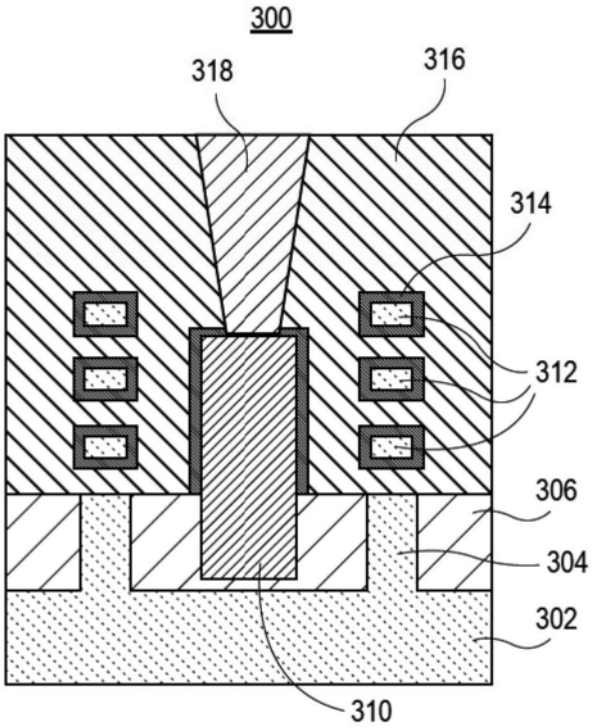


图3

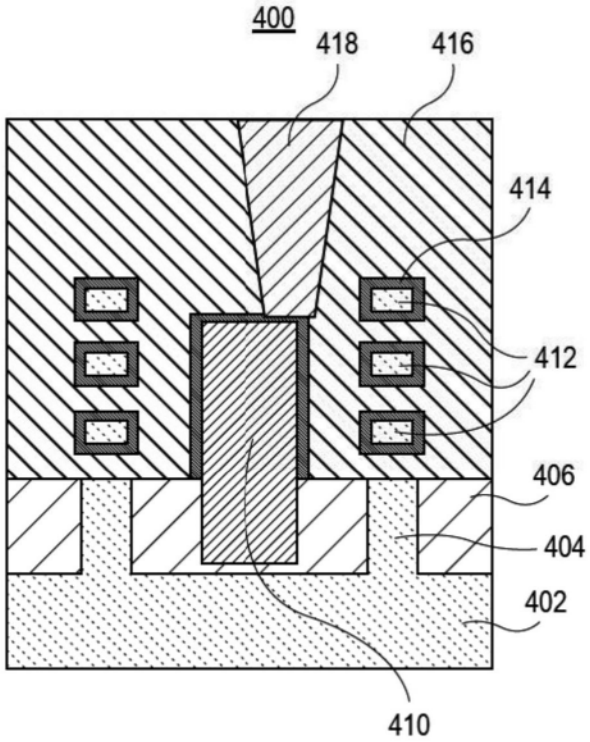

400
418
416
414
412
406
404
402
410

图4

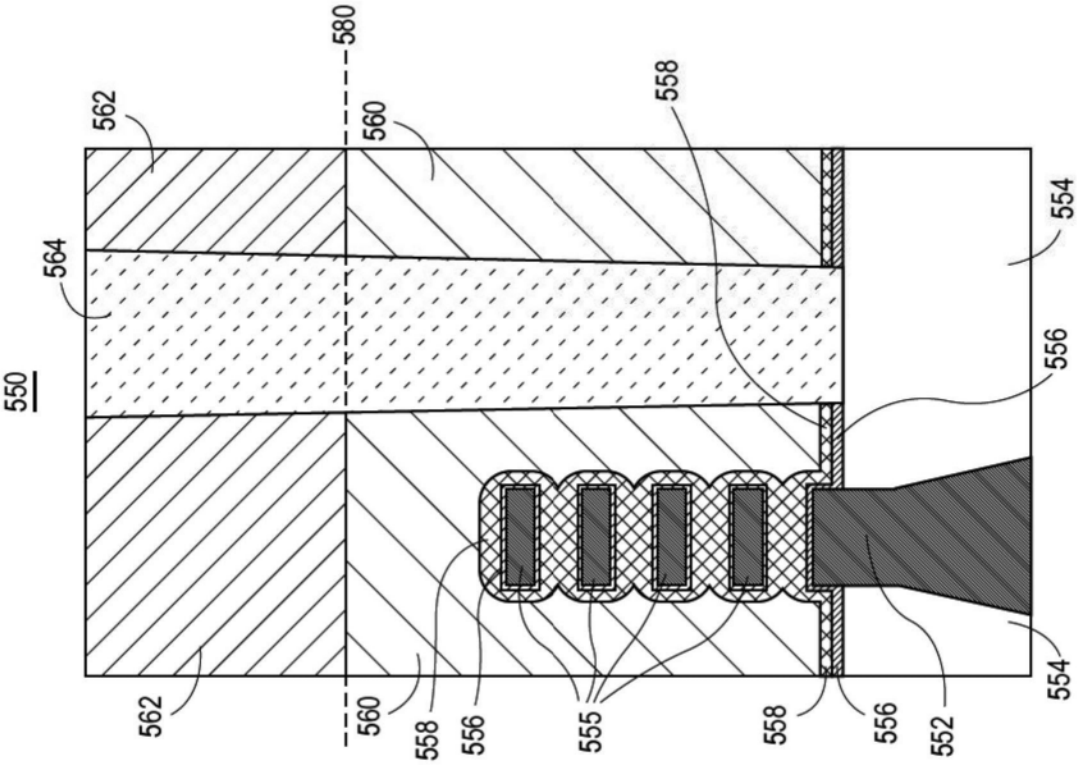

580
562
560
558
554
564
556
550
562
560
558
556
555
558
556
552
554

图5

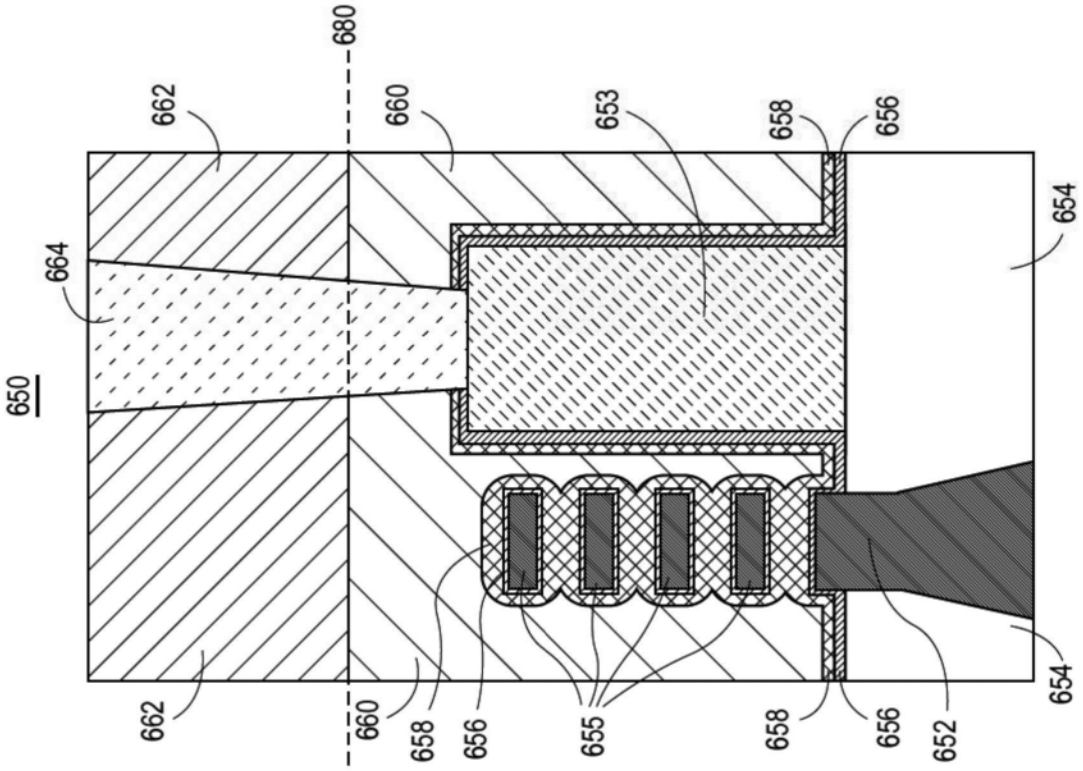

680
662
660
653
658
656
654
664
650
662
660
658
656
655
658
656
652
654

图6

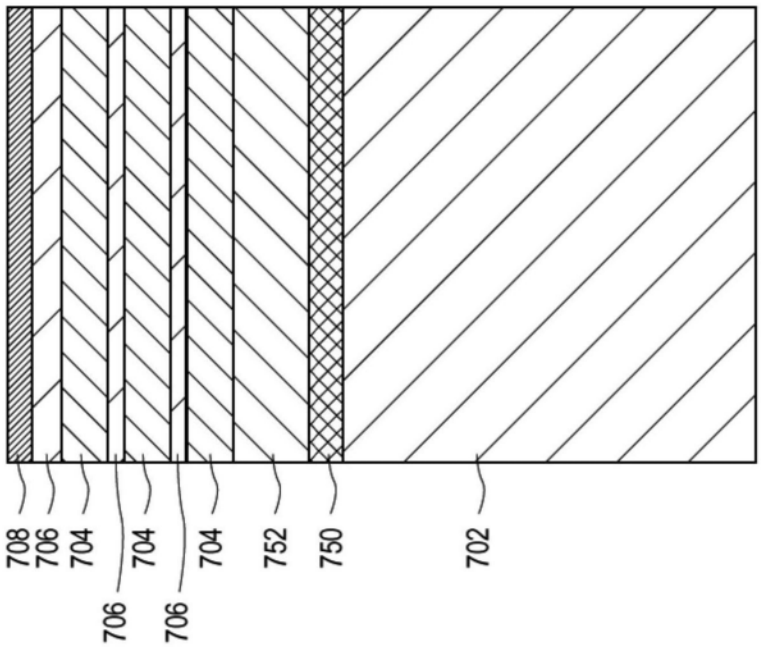

708
706
704
706
704
704
752
750
702

图7A

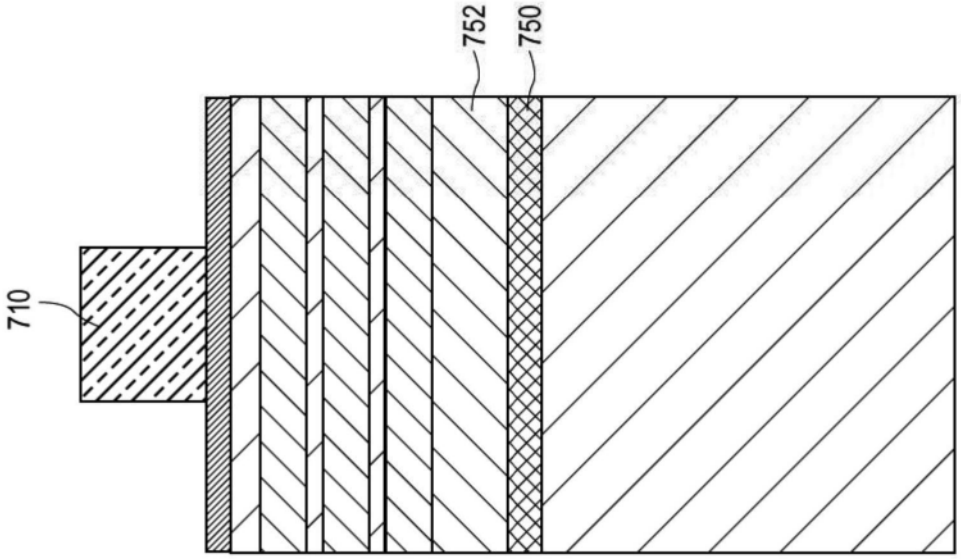


图7B

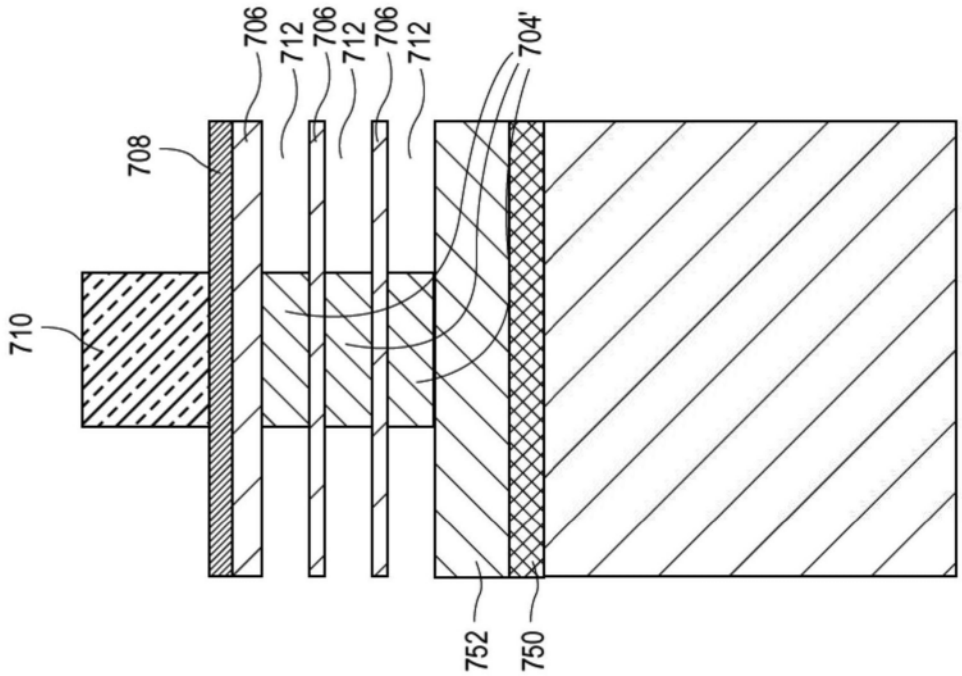


图7C

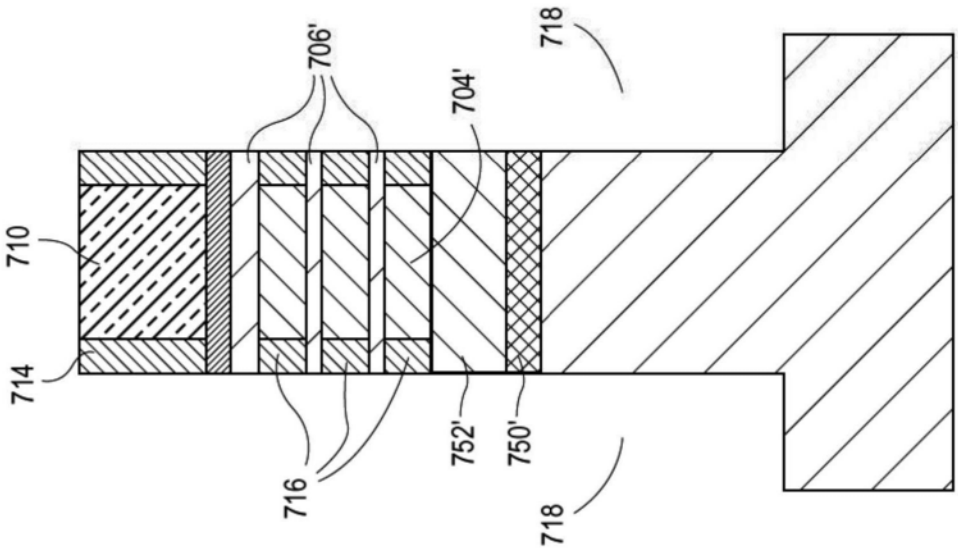


图7D

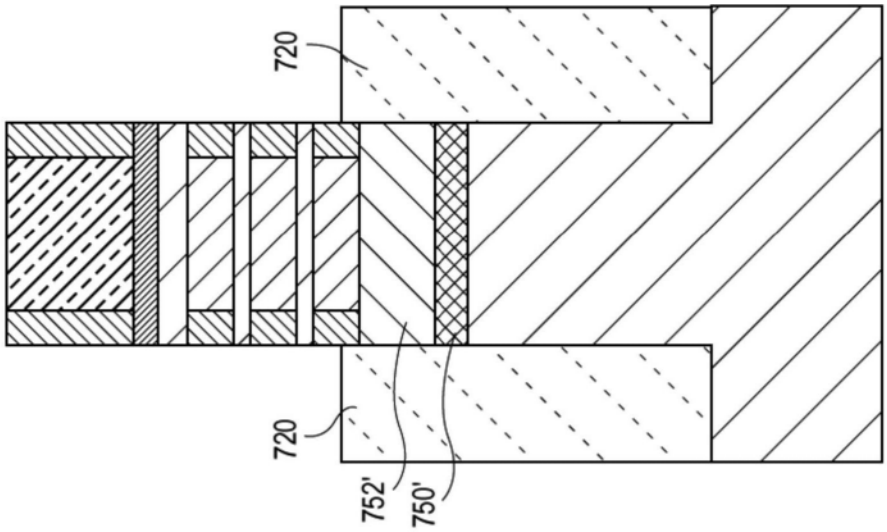


图7E

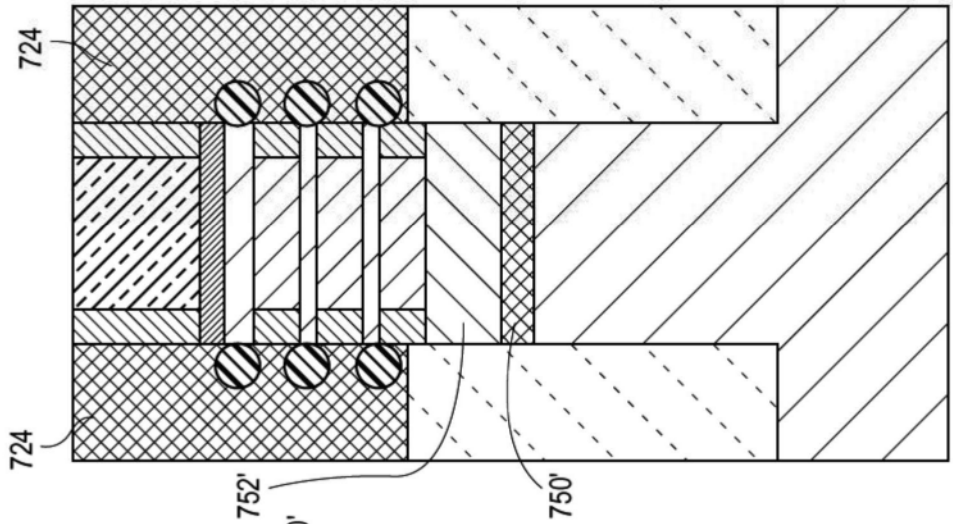


图7G

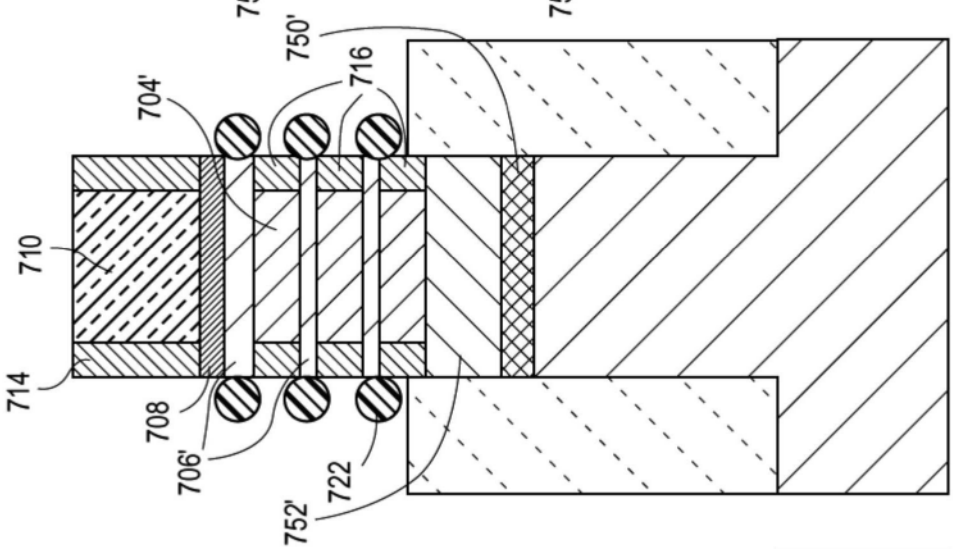


图7F

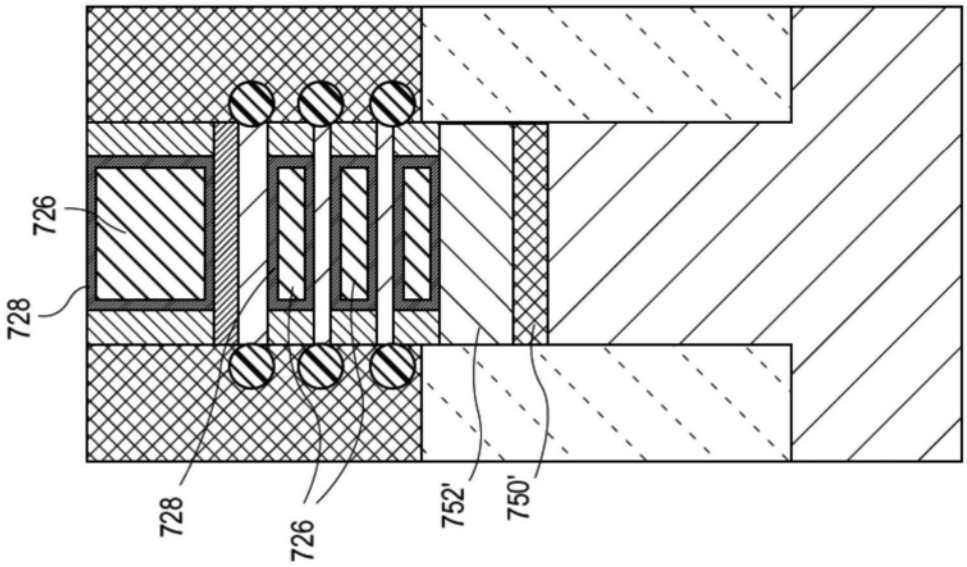


图7H

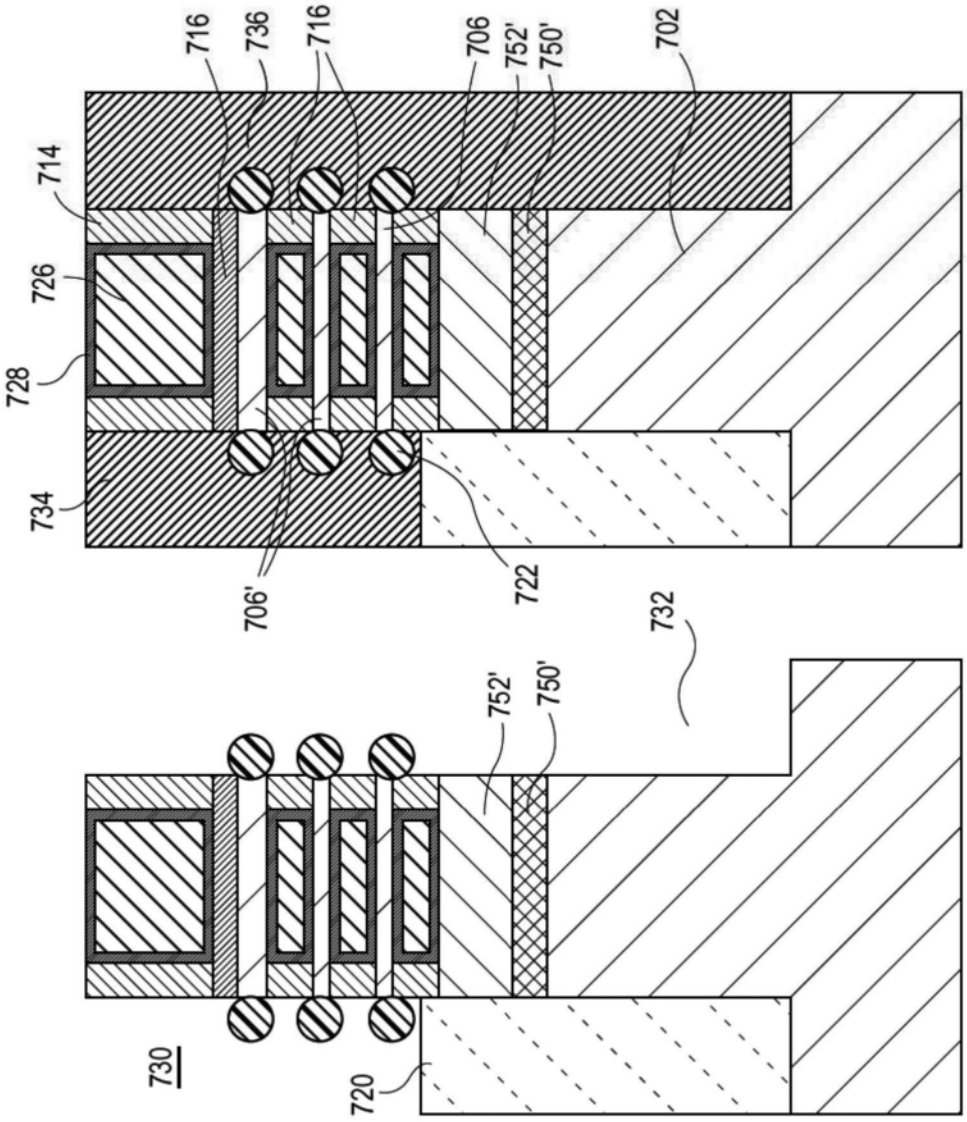

716
736
716
706
752'
750'
702
714
726
728
734
706'
722
732
752'
750'
730
720

图7J

图7I

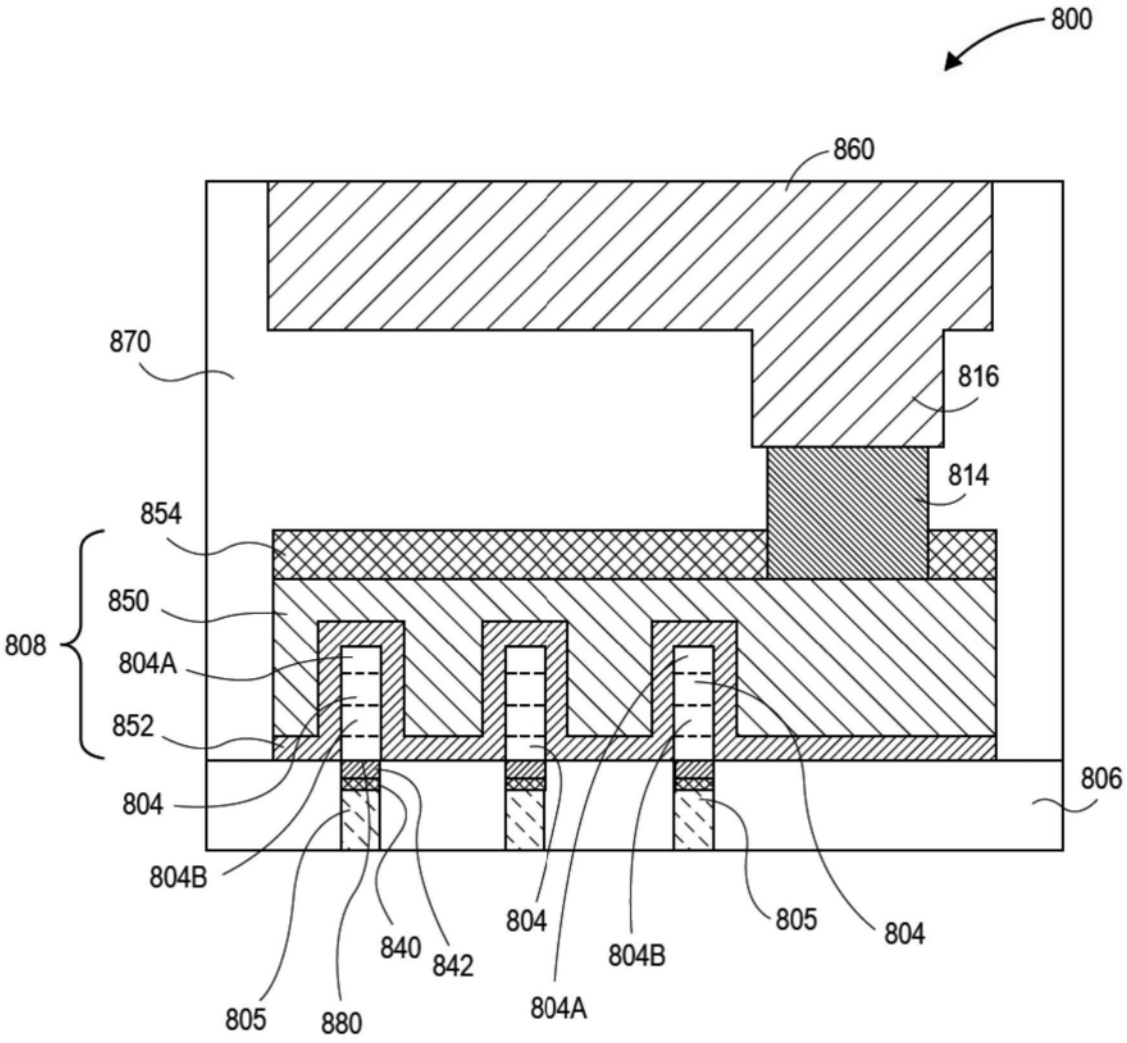

800
860
870
816
814
854
850
808
804A
852
804
806
804B
805
840
842
880
804
804B
804A
805
804

图8

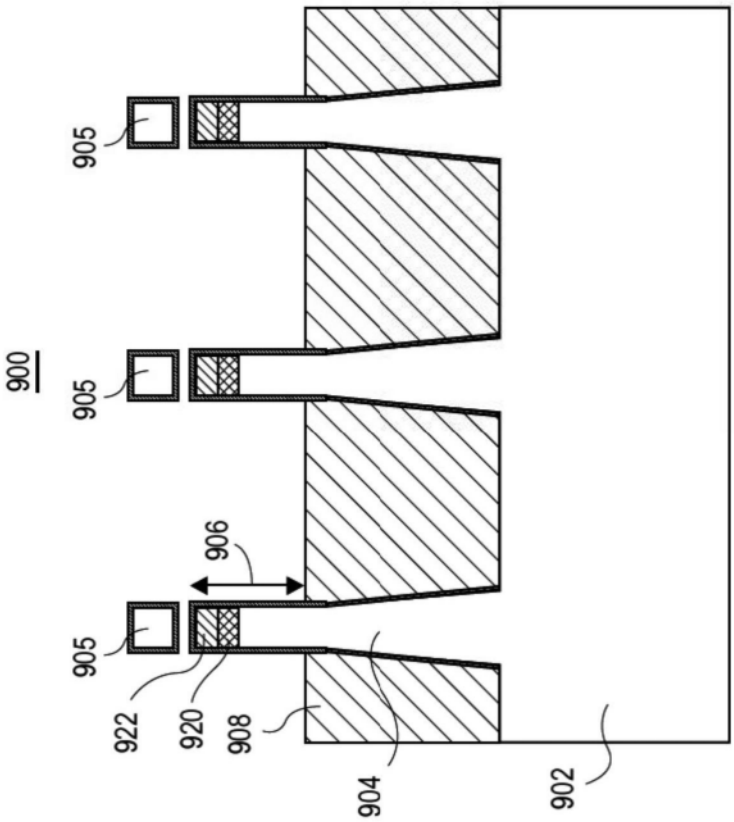


图9

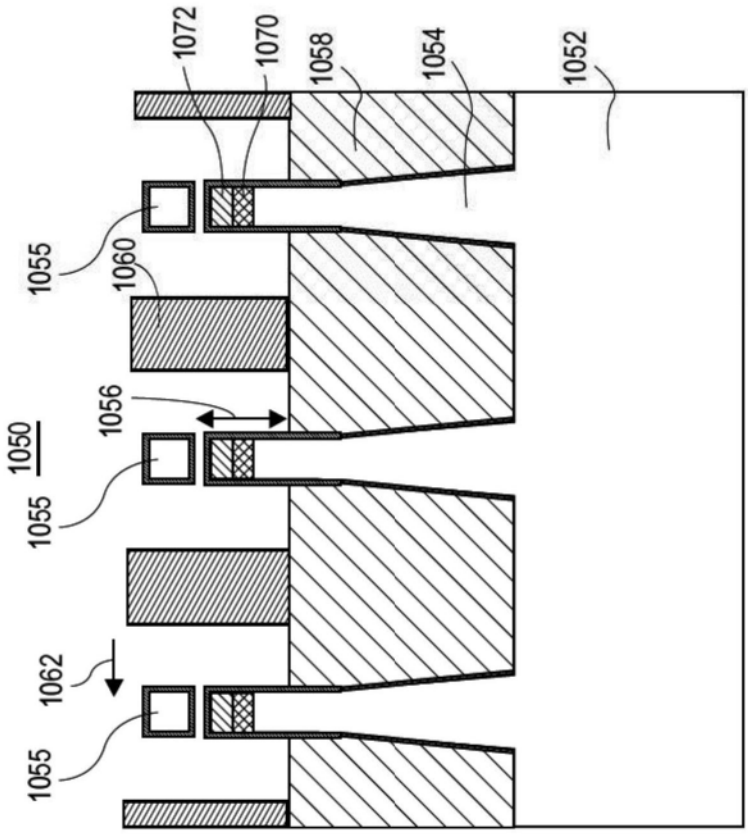


图10

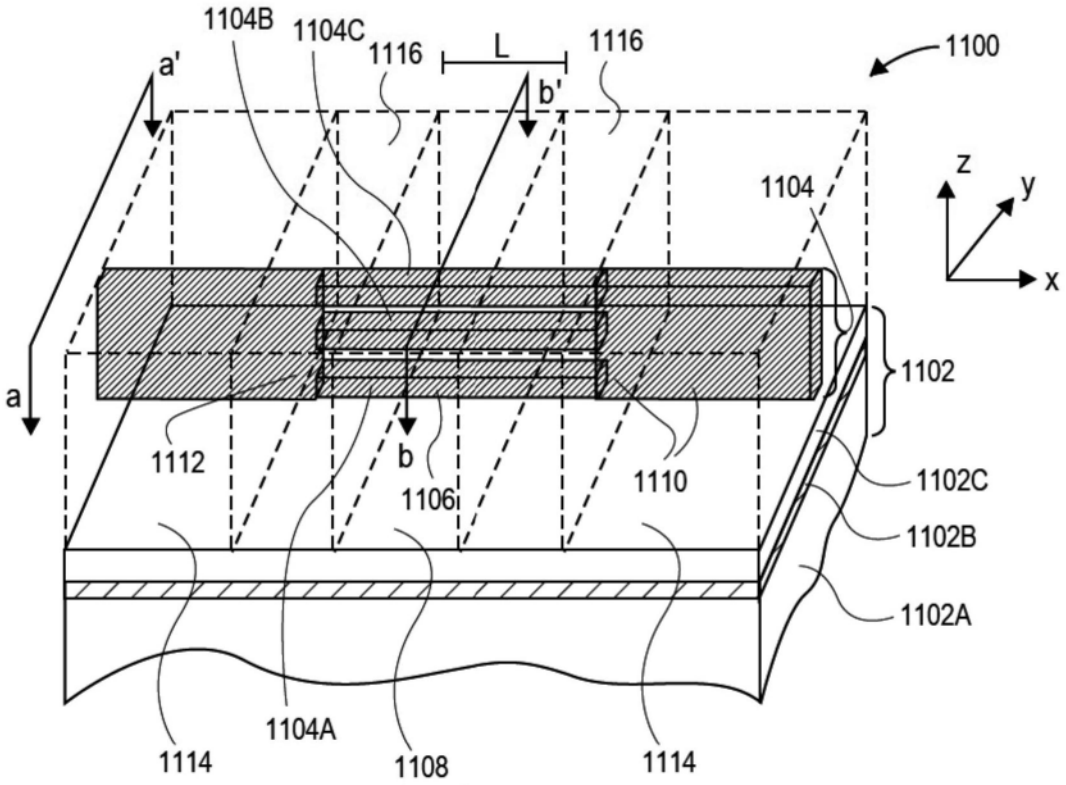

1104B
1104C
1116
L
1116
1100
a'
b'
z
y
x
1104
a
1102
1112
b
1106
1110
1102C
1102B
1102A
1114
1104A
1108
1114

图11A

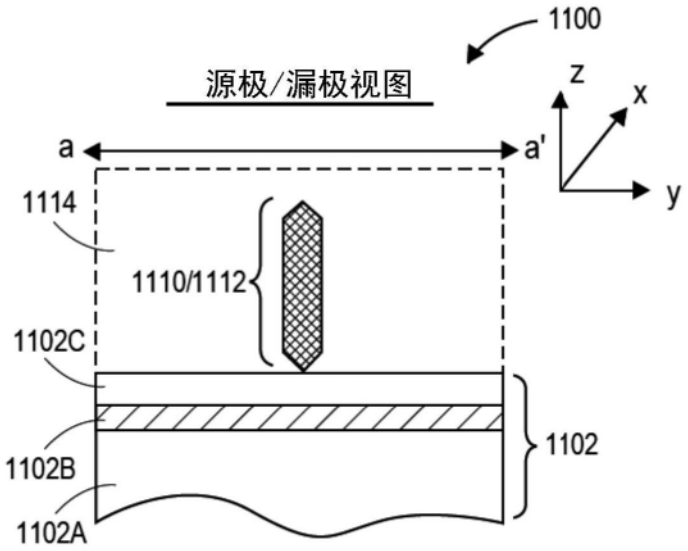

1100
源极/漏极视图
z
x
y
a
a'
1114
1110/1112
1102C
1102B
1102A
1102

图11B

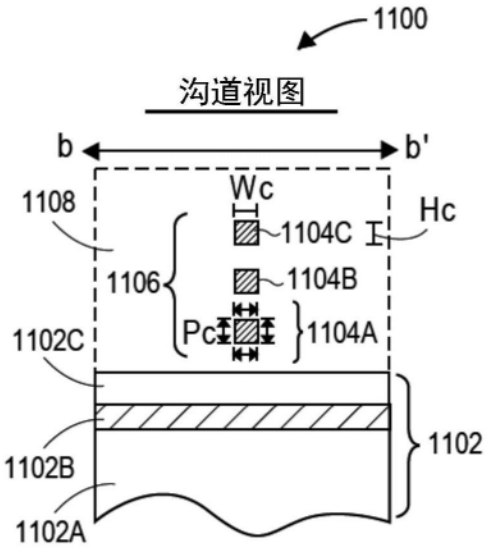

1100
沟道视图
b
b'
Wc
Hc
1108
1104C
1106
1104B
Pc
1104A
1102C
1102
1102B
1102A

图11C

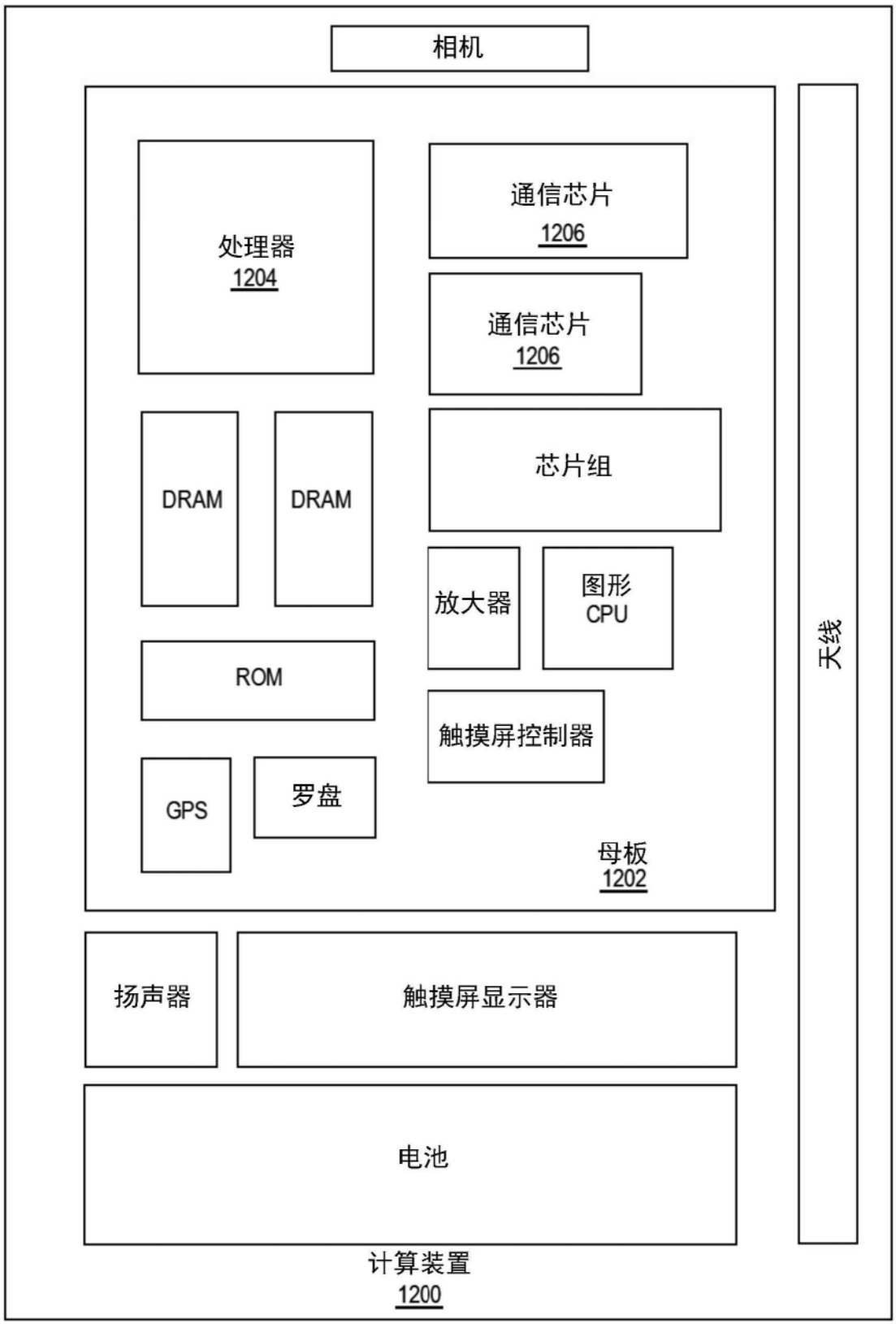

相机
处理器
1204
通信芯片
1206
通信芯片
1206
DRAM
DRAM
芯片组
放大器
图形
CPU
ROM
触摸屏控制器
GPS
罗盘
母板
1202
天线
扬声器
触摸屏显示器
电池
计算装置
1200

图12

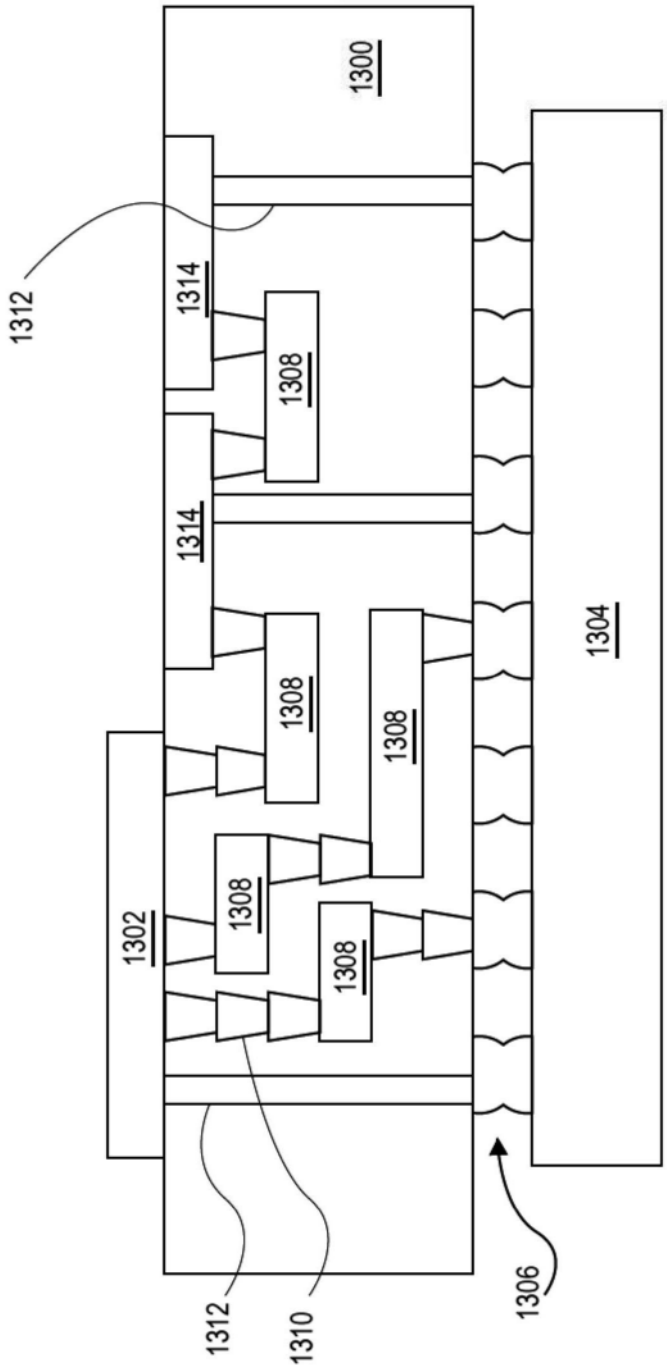

1300
1312
1314
1308
1314
1308
1308
1304
1302
1308
1308
1312
1310
1306

图13