

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 29 日(29.11.2012)



(10) 国際公開番号

WO 2012/160802 A1

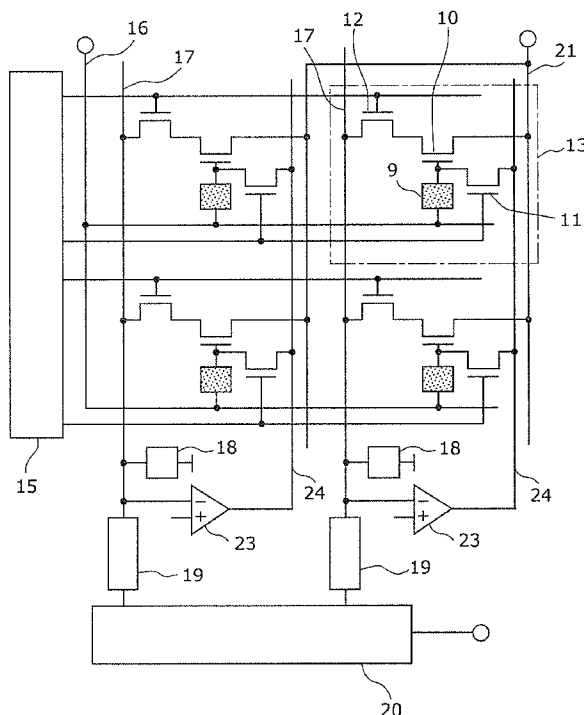
- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003314
- (22) 国際出願日: 2012 年 5 月 21 日(21.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-116403 2011 年 5 月 24 日(24.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0
6 番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 松長 誠之
(MATSUNAGA, Yoshiyuki).
- (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 0 号タナカ・イトーピア新大阪ビル 6 階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SOLID-STATE IMAGE CAPTURE DEVICE

(54) 発明の名称: 固体撮像装置

[図1]



(57) Abstract: A unit pixel cell (13) comprises: a photoelectric conversion film (6); a transparent electrode (7); a pixel electrode (5); an amplifier transistor (10); a reset transistor (11); and an element separator STI (27) and a leak suppression region (28) which are formed within a silicon substrate (1) between the amplifier transistor (10) and the reset transistor (11) and which electrically separate the amplifier transistor (10) and the reset transistor (11). The reset transistor (11) is connected to a gate electrode (3A) and the pixel electrode (5), and further comprises a drain region which is formed within the silicon substrate (1) which is between the gate electrode (3A) and the element separator STI (27) and the leak suppression region (28). The width of a depletion layer which is formed with a pn bond between the drain region and the silicon substrate (1) upon the surface of the silicon substrate (1) is narrower than the width of a depletion layer which is formed with a pn bond between the drain region and the silicon substrate (1) within the silicon substrate (1).

(57) 要約:

[続葉有]

WO 2012/160802 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

単位画素セル (13) は、光電変換膜 (6)、透明電極 (7)、画素電極 (5)、増幅トランジスタ (10)、リセットトランジスタ (11)、増幅トランジスタ (10) とリセットトランジスタ (11) との間のシリコン基板 (1) 内に形成され、増幅トランジスタ (10) とリセットトランジスタ (11) とを電氣的に分離する素子分離 STI (27) 及びリーク抑圧領域 (28) とを有し、リセットトランジスタ (11) は、ゲート電極 (3A) と、画素電極 (5) と接続され、ゲート電極 (3A) と素子分離 STI (27) 及びリーク抑圧領域 (28) との間のシリコン基板 (1) 内に形成されたドレイン領域とを有し、シリコン基板 (1) の表面におけるドレイン領域とシリコン基板 (1) との間の p-n 接合で形成される空乏層の幅は、シリコン基板 (1) の内部におけるドレイン領域とシリコン基板 (1) との間の p-n 接合で形成される空乏層の幅より狭い。

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本発明は、固体撮像装置に関し、特に積層型の固体撮像装置に関する。

背景技術

[0002] 近年、結晶シリコンからなる半導体基板の内部にフォトダイオード（光電変換部）が設けられた、CCD（Charge Coupled Device）又はMOS（Metal Oxide Semiconductor）を走査回路とするCCD型又はMOS型の固体撮像装置（イメージセンサ）の単位画素セルの微細化が急速に進んでいる。2000年ごろには3 μm であったセルサイズ（単位画素セルのサイズ）は、2007年には2 μm 以下となった。2010年には1.4 μm のセルサイズのものが製品化される予定で、このペースでセルの微細化が進むと、ここ数年で1 μm 以下のセルサイズが要求される勢いである。

[0003] しかし、1 μm 以下のセルサイズを実現するには2つの大きな問題が存在する。一つ目は結晶シリコンの光吸収係数が小さいことにより生じるものであり、二つ目は取り扱い信号量に関わるものである。

[0004] 一つ目の問題について詳細に述べると、結晶シリコンの光吸収係数は光の波長に依存するが、イメージセンサの感度を決める波長550 nm近傍の緑色の光をほぼ100%吸収し光電変換するには3.5 μm の厚さの結晶シリコンが必要である。従って、半導体基板の内部に形成するフォトダイオードの深さを3.5 μm 程度として信号電荷を光電変換し収集する必要がある。しかしながら、平面的なセルサイズが1 μm で深さが3.5 μm 程度のフォトダイオードの形成は非常に困難である。仮に深さが3.5 μm 程度のフォトダイオードを形成できたとしても斜めに入射する光が隣接する単位画素セルのフォトダイオードに入射するという問題が発生するおそれが高い。斜めに入射する光が隣接する単位画素セルのフォトダイオードに入射すると、混色（クロストーク）が生じるため、カラーの固体撮像装置では大きな問題で

ある。一方、混色を防ぐためにフォトダイオードを $3.5\mu\text{m}$ より浅く形成すると緑の光吸収効率が劣化しイメージセンサの感度が劣化する。単位画素セルの微細化ではセルサイズが小さくなるに従って1つの単位画素セルの感度が劣化するので、これに加えて光吸収効率が劣化することは致命的である。この混色問題は程度の差はあるにせよ $3.5\mu\text{m}$ の深さが必要ならセルサイズが $3.5\mu\text{m}$ 程度以下の単位画素セルでは問題である。

[0005] 2つ目の問題について述べると、取り扱い信号量は、ほとんどすべての結晶シリコンのイメージセンサに用いられているフォトダイオード構造である埋め込みフォトダイオードの飽和電荷量で決まっている。埋め込みフォトダイオードは、内部に蓄積された信号電荷をほぼ100%すべて隣接する電荷検出部に転送できる（完全転送）という長所がある。よって、電荷転送に関わる雑音がほとんど発生しないため、イメージセンサにはこの埋め込みフォトダイオードが広く用いられている。しかし、埋め込みフォトダイオードでは、この完全転送を実現するためにフォトダイオードの単位面積あたりの容量を大きくできない。このため、単位画素セルの微細化に伴い飽和電荷の減少が問題となってくる。コンパクトデジタルカメラでは、1つの単位画素セルあたり10000電子の飽和電子数が必要であったが、単位画素セルのサイズが $1.4\mu\text{m}$ 付近になると、5000電子数程度が限界である。デジタル信号処理技術による雑音抑圧処理等により画像を作ることにより、飽和電子数の減少に対応しているが、自然な再生画像を得ることは困難である。さらに、高級な一眼レフカメラの場合には、1つの単位画素セルあたり30000電子程度の飽和電子数が必要と言われている。

[0006] なお、結晶シリコン基板を用いたMOS型イメージセンサで、半導体基板を薄く削ることにより画素回路のある表面側ではなく裏面側から光を入射させる構造が検討され、単位画素セルの微細化に有効とされている。しかし、この構造でも、画素回路を構成する配線等により入射する光が妨げられにくくなるという長所はあるが、上述の2つの問題は全く解決できない。

[0007] この2つの問題を解決する構造として、特許文献1、2及び3に示される

積層型のイメージセンサがある。積層型のイメージセンサは、画素回路が形成された半導体基板（結晶シリコン）の上に絶縁膜を介して光電変換膜が積層された構成を有している。このため、光電変換膜に光吸収係数の大きな材料を選択することが可能となり、前述の一つ目の問題が解決できる。例えばアモルファスシリコンを光電変換膜に用いると、波長550nmの緑色の光は0.4 μ mの厚さでほとんど吸収することができる。つまり、結晶シリコンの約1桁小さい厚さで緑色の光を吸収することができる。結晶シリコンの吸収係数が低いことのほうが特殊で、これは半導体のバンドギャップでの電子の遷移が間接遷移であることに起因している。また、埋め込みフォトダイオードを使わないので、光電変換部の容量を大きくとることができ、飽和電荷を大きくすることができる。さらに、電荷を完全転送しないため付加容量を積極的に付加することも可能であり、微細化された単位画素セルでも十分な大きさの容量が実現でき、2つ目の問題も解決できる。DRAM（ダイナミックランダムアクセスメモリ）のスタックセルのような構造をとることも可能である。

先行技術文献

特許文献

[0008] 特許文献1：特公昭58-050030号公報

特許文献2：米国特許第6730914号明細書

特許文献3：特開平3-135175号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、積層型のイメージセンサの課題は、シリコン基板には光電変換膜で光電変換された信号電荷を伝送するコンタクトが電氣的に接触するpn接合部が形成されるが、このpn接合部のリーク電流が大きいことである。リーク電流を小さくするために特許文献1及び2のようにpn接合の逆バイアス電圧を0V近傍に設定する方法があるが、この方法は広くイメージ

センサに使われている埋め込みフォトダイオードに比ベリーク電流の抑圧に不十分である。リーク電流による電荷は光電変換された信号電荷と区別がつかないため、雑音となり、イメージセンサの性能を劣化させる。つまり、雑音が増加するため、信号雑音比（S N比）が劣化し結果的に感度が劣化する。

[0010] 特に、半導体基板の表面における p n 接合部、つまり半導体基板の表面と p n 接合面とが交差する箇所に形成される空乏層では、バンドギャップ内にエネルギー準位が形成され易く、そのエネルギー準位を介して電流が流れ易い。従って、半導体基板の表面の p n 接合部ではリーク電流が発生し易い。

[0011] 例えば、特許文献 3 のイメージセンサは、図 19 に示されるように、半導体基板上に光電変換膜 101、透明電極 102、画素電極 103 及び絶縁膜 104 が形成されており、半導体基板内にはトランジスタ等を構成する複数の不純物領域が形成されている。そして、この複数の不純物領域のうちのコンタクト 107 と接続された p 型不純物領域 105 と、不純物領域 105 と接する n 型不純物領域 106 とは、半導体基板の表面において p n 接合部を形成する。従って、特許文献 3 のイメージセンサでは、この半導体基板の表面の p n 接合部によりリーク電流が発生し易い。

[0012] そこで本発明は、かかる問題に鑑み、リーク電流が小さい積層型の固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0013] 上記目的を達成するために、本発明の一態様に係る固体撮像装置は、第 1 導電型の半導体基板と、前記半導体基板に 2 次元状に配置された複数の単位画素セルとを備え、前記単位画素セルは、前記半導体基板の上方に形成され、入射光を光電変換する光電変換膜と、前記光電変換膜の上方に形成された透明電極と、前記半導体基板と前記光電変換膜との間に形成された画素電極と、前記半導体基板内に形成されたトランジスタであって、前記画素電極と接続された第 1 ゲート電極を有し、前記画素電極の電位に応じた信号電圧を出力する増幅トランジスタと、前記半導体基板内に形成されたトランジスタ

であって、前記第1ゲート電極の電位をリセットするリセットトランジスタと、前記増幅トランジスタと前記リセットトランジスタとの間の前記半導体基板内に形成され、前記増幅トランジスタと前記リセットトランジスタとを電氣的に分離する第1分離領域とを有し、前記リセットトランジスタは、第2ゲート電極と、前記画素電極と接続され、前記第2ゲート電極と前記第1分離領域との間の前記半導体基板内に形成された第2導電型のソース領域又はドレイン領域とを有し、前記半導体基板の表面における前記ソース領域又はドレイン領域とその周囲の領域との間の第1pn接合で形成される空乏層の幅は、前記半導体基板の内部における前記ソース領域又はドレイン領域とその周囲の領域との間の第2pn接合で形成される空乏層の幅より狭いことを特徴とする。

[0014] 本態様によれば、半導体基板の表面のpn接合部で形成される空乏層の幅が他の空乏層と比べて狭くなるため、半導体基板の表面のpn接合部によるリーク電流を低減することができる。

[0015] ここで、前記第1分離領域は、前記半導体基板内に形成された、前記半導体基板よりも高不純物濃度の第1導電型の領域であり、前記固体撮像装置は、さらに、隣り合う2つの前記単位画素セルの間の前記半導体基板内に形成されたトレンチで構成され、前記隣り合う2つの前記単位画素セルを電氣的に分離する第2分離領域を備えてもよい。

[0016] 本態様によれば、単位画素セル内の素子分離はpn接合により構成され、不純物領域のみにより単位画素セル内の素子分離が実現される。従って、半導体基板にトレンチを形成し、トレンチ内に酸化膜を埋め込んで素子分離を構成するSTI（STI：Shallow Trench Isolation）構造と比較して、半導体基板を掘り込むストレスにより発生するリーク電流を抑えることができる。

[0017] また、前記リセットトランジスタは、さらに、前記第2ゲート電極の下方向の前記半導体基板内に形成され、前記半導体基板よりも高不純物濃度の第1導電型のチャネル領域を有してもよい。

- [0018] また、前記リセットトランジスタの閾値電圧は、前記増幅トランジスタの閾値電圧より高くてもよい。
- [0019] 本態様によれば、リセットトランジスタの閾値電圧は高いため、チャンネル領域を高不純物濃度とし、ソース領域又はドレイン領域の第2ゲート電極側のp n接合部で形成される空乏層の広がりを抑えることができる。
- [0020] また、前記第2ゲート電極は、前記リセットトランジスタがオフ状態のとき、前記半導体基板の電位に対して負電位とされていてもよい。
- [0021] 本態様によれば、負電位が印加された第2ゲート電極の下方の半導体基板には正孔がたまり、これによりソース領域又はドレイン領域の第2ゲート電極側のp n接合部で形成される空乏層が狭められる。その結果、半導体基板の表面のp n接合部によるリーク電流を低減することができる。
- [0022] また、前記ソース領域又はドレイン領域は、前記画素電極と接続されたコンタクト領域と、前記コンタクト領域よりも低不純物濃度の領域であり、前記コンタクト領域と接するエクステンション領域とから構成され、前記エクステンション領域は、前記第1分離領域と前記コンタクト領域との間に位置し、前記単位画素セルは、さらに、前記エクステンション領域と前記第1分離領域との間の前記半導体基板内に形成され、前記エクステンション領域及び前記第1分離領域と接する第1導電型のリーク抑圧領域を有し、前記第1p n接合は、前記エクステンション領域の前記第1分離領域側の端部と前記リーク抑圧領域との間に形成され、前記リーク抑圧領域の不純物濃度は、前記半導体基板の不純物濃度より高く、前記エクステンション領域の不純物濃度より低くてもよい。
- [0023] 本態様によれば、ソース領域又はドレイン領域の第1分離領域側のp n接合部で形成される空乏層について、半導体基板の表面における幅が狭められるため、半導体基板の表面のp n接合部によるリーク電流を低減することができる。また、ソース領域又はドレイン領域の横に半導体基板より高不純物濃度のリーク抑圧領域が設けられるため、リーク電流をさらに低減することができる。このとき、p n接合部は、低不純物濃度のエクステンション領域

により形成されるため、空乏層の幅を狭めるためにリーク抑圧領域とエクステンション領域との距離を狭めて重ねた場合でも p n 接合部のブレイクダウンは抑えられる。

[0024] また、前記ソース領域又はドレイン領域は、前記画素電極と接続されたコンタクト領域と、前記コンタクト領域よりも低不純物濃度の領域であり、前記コンタクト領域と接するエクステンション領域とから構成され、前記エクステンション領域は、前記コンタクト領域と前記第 2 ゲート電極との間に位置し、前記第 1 p n 接合は、前記コンタクト領域の前記第 1 分離領域側の端部と前記半導体基板との間に形成され、前記単位画素セルは、さらに、前記コンタクト領域と前記第 1 分離領域との間の前記半導体基板内に形成され、前記コンタクト領域と間をおいて位置し、前記第 1 分離領域と接する第 1 導電型のリーク抑圧領域を有し、前記リーク抑圧領域の不純物濃度は、前記半導体基板の不純物濃度より高く、前記エクステンション領域の不純物濃度より低くてもよい。

[0025] 本態様によれば、コンタクト領域とリーク抑圧領域とを接しさせることなく、間の距離を縮めることで、ソース領域又はドレイン領域の第 1 分離領域側の p n 接合部で形成される空乏層について、半導体基板の表面における幅が狭められるため、半導体基板の表面の p n 接合部によるリーク電流を低減することができる。また、ソース領域又はドレイン領域の横に半導体基板より高不純物濃度のリーク抑圧領域が設けられるため、リーク電流をさらに低減することができる。このとき、p n 接合部は、高不純物濃度のコンタクト領域により形成されるが、コンタクト領域はリーク抑圧領域と接しないため、p n 接合部のブレイクダウンは抑えられる。

[0026] また、前記リーク抑圧領域と前記コンタクト領域との間の距離は、0.1 μm より大きくてもよい。

[0027] 本態様によれば、ソース領域又はドレイン領域の第 1 分離領域側の p n 接合部のブレイクダウンを高確率で抑えることができる。

[0028] また、前記第 1 分離領域は、前記半導体基板内に形成されたトレンチで構

成されてもよい。

[0029] 本態様によれば、単位画素セル内の素子分離はトレンチにより構成されるため、単位画素セル内の素子分離を高精度で実現できる。

[0030] また、前記第1分離領域は、前記半導体基板内に形成された、前記半導体基板よりも高不純物濃度の第1導電型の領域であり、前記固体撮像装置は、さらに、隣り合う2つの前記単位画素セルの間の前記半導体基板内に形成されたトレンチで構成され、前記隣り合う2つの前記単位画素セルを電氣的に分離する第2分離領域を備えてもよい。

[0031] 本態様によれば、単位画素セル内の素子分離はp-n接合により構成され、不純物領域のみにより単位画素セル内の素子分離が実現される。従って、半導体基板にトレンチを形成し、トレンチ内に酸化膜を埋め込んで素子分離を構成するSTI構造と比較して、半導体基板を掘り込むストレスにより発生するリーク電流を抑えることができる。

発明の効果

[0032] 本発明によれば、リーク電流が小さく、雑音が小さいS/N比の大きい高性能の積層型の固体撮像装置が実現できる。

図面の簡単な説明

[0033] [図1]図1は、本発明の第1の実施形態に係る固体撮像装置の構成を示す回路図である。

[図2]図2は、同実施形態に係る固体撮像装置における1つの単位画素セルの概略構造を示す断面図である。

[図3]図3は、同実施形態に係る単位画素セルの電位（図2のX-Y線に沿った部分における電位）を示す図である。

[図4]図4は、同実施形態に係る4つの単位画素セルの構成を示す平面図である。

[図5]図5は、同実施形態に係る単位画素セルの断面図（図4のW-Z線に沿った部分における断面図）である。

[図6]図6は、エクステンション領域とリーク抑圧領域との間の距離とリーク

電流との関係を示す図である。

[図7]図7は、本発明の第2の実施形態に係る固体撮像装置における単位画素セルの断面図である。

[図8]図8は、本発明の第3の実施形態に係る固体撮像装置における単位画素セルの断面図である。

[図9]図9は、本発明の第4の実施形態に係る固体撮像装置における単位画素セルの断面図である。

[図10]図10は、コンタクト領域とリーク抑圧領域との間の距離とリーク電流との関係を示す図である。

[図11]図11は、素子分離STIとリーク抑圧領域との間の距離とリーク電流との関係を示す図である。

[図12]図12は、同実施形態に係る固体撮像装置の製造方法（コンタクト領域の形成方法）を説明するための断面図である。

[図13]図13は、本発明の第5の実施形態に係る固体撮像装置における単位画素セルの断面図である。

[図14]図14は、本発明の第6の実施形態に係る固体撮像装置における単位画素セルの構成を示す平面図である。

[図15]図15は、同実施形態に係る固体撮像装置における単位画素セルの断面図（図14のW-Z線に沿った部分における断面図）である。

[図16]図16は、本発明の第7の実施形態に係る固体撮像装置における単位画素セルの断面図である。

[図17]図17は、同実施形態に係る固体撮像装置の変形例における単位画素セルの断面図である。

[図18]図18は、同実施形態に係る固体撮像装置の変形例における単位画素セルの構成を示す平面図である。

[図19]図19は、特許文献3のイメージセンサの断面図である。

発明を実施するための形態

[0034] 以下、本発明の実施の形態における固体撮像装置について、図面を参照し

ながら説明する。

[0035] なお、図面において、実質的に同一の構成、動作、および効果を表す要素については、同一の符号を付す。また、以下において記述される数値は、すべて本発明を具体的に説明するために例示するものであり、本発明は例示された数値に制限されない。さらに、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。

[0036] (第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る固体撮像装置の構成を示す回路図である。

[0037] この固体撮像装置は、積層型の固体撮像装置であって、半導体基板と、半導体基板に 2 次元状に配置された複数の単位画素セル 13 から構成される感光領域と、単位画素セル 13 を順次駆動し信号を取り出す駆動回路部とを備える。

[0038] 駆動回路部は、垂直走査部（行走査回路）15、光電変換膜制御線 16、垂直信号線（垂直信号線配線）17、負荷部 18、カラム信号処理部（行信号蓄積部）19、水平信号読み出し部（列走査回路）20、電源配線（ソースフォロア電源）21、差動増幅器（フィードバックアンプ）23 及びフィードバック線 24 から構成される。

[0039] 単位画素セル 13 は、光電変換膜部 9 と、増幅トランジスタ 10 と、リセットトランジスタ 11 と、アドレストランジスタ（行選択トランジスタ）12 とを有する。

[0040] 光電変換膜部 9 は、入射光を光電変換し、入射光の光量に応じた信号電荷を生成及び蓄積する。増幅トランジスタ 10 は、光電変換膜部 9 で生成された信号電荷量に応じた信号電圧を出力する。リセットトランジスタ 11 は、光電変換膜部 9、言い換えると増幅トランジスタ 10 のゲート電極の電位をリセット（初期化）する。アドレストランジスタ 12 は、所定行の単位画素セル 13 から垂直信号線 17 に信号電圧を選択的に出力させる。

- [0041] 垂直走査部 15 は、アドレストランジスタ 12 のゲート電極にアドレストランジスタ 12 のオンオフを制御する行選択信号を印加することで、垂直方向（列方向）に単位画素セル 13 の行を走査し、垂直信号線 17 に信号電圧を出力させる単位画素セル 13 の行を選択する。垂直走査部 15 は、リセットトランジスタ 11 のゲート電極にリセットトランジスタ 11 のオンオフを制御するリセット信号を印加することで、リセット動作を行わせる単位画素セル 13 の行を選択する。
- [0042] 光電変換膜制御線 16 は、全ての単位画素セル 13 に共通に接続され、全ての光電変換膜部 9 に同じ正の定電圧を印加する。
- [0043] 垂直信号線 17 は、単位画素セル 13 の列に対応して設けられ、対応する列の単位画素セル 13 のアドレストランジスタ 12 のソース領域に接続され、列方向に配されて信号電圧を列方向（垂直方向）に伝達する。
- [0044] 負荷部 18 は、各垂直信号線 17 に対応して設けられ、対応する垂直信号線 17 に接続されている。負荷部 18 は、増幅トランジスタ 10 と共にソースフォロア回路を構成している。
- [0045] カラム信号処理部 19 は、相関 2 重サンプリングに代表される雑音抑圧信号処理及び A/D 変換（アナログーデジタル変換）等を行う。カラム信号処理部 19 は、各垂直信号線 17 に対応して設けられ、対応する垂直信号線 17 に接続されている。
- [0046] 水平信号読み出し部 20 は、水平方向（行方向）に配された複数のカラム信号処理部 19 の信号を順次水平共通信号線（図外）に読み出す。
- [0047] 電源配線 21 は、増幅トランジスタ 10 のドレイン領域に接続され、単位画素セル 13 の配列領域（感光領域）で垂直方向（図 1 の紙面の上下方向）に配線される。これは、単位画素セル 13 が列ごとにアドレスされるため、ドレイン配線を列方向（垂直方向）に配線すると、一列の画素駆動電流がすべて一本に配線に流れて電圧降下が大きくなるためである。電源配線 21 は、全ての単位画素セル 13 の増幅トランジスタ 10 に共通にソースフォロア電源電圧を印加している。

- [0048] 差動増幅器 23 は、単位画素セル 13 の列に対応して設けられている。差動増幅器 23 の出力はリセットトランジスタ 11 のドレイン領域に接続されており、アドレストランジスタ 12 とリセットトランジスタ 11 とが導通状態にある時、アドレストランジスタ 12 の出力を受け取り、増幅トランジスタ 10 のゲート電位が一定のフィードバック電圧（差動増幅器 23 の出力電圧）になるように、フィードバック動作する。この時、差動増幅器 23 の出力電圧は、0 V 又は 0 V 近傍の正電圧となる。
- [0049] フィードバック線 24 は、単位画素セル 13 の列に対応して設けられ、差動増幅器 23 の出力を対応する列の単位画素セル 13 にフィードバックする。
- [0050] 上記構造を有する固体撮像装置では、垂直走査部 15 により選択された行の単位画素セル 13 において、光電変換膜部 9 で光電変換された信号電荷が増幅トランジスタ 10 で増幅されアドレストランジスタ 12 を介して垂直信号線 17 に出力される。そして、出力された信号はカラム信号処理部 19 に電気信号として蓄積された後、水平信号読み出し部 20 で選択され出力される。その後、信号を出力した単位画素セル 13 内の信号電荷はリセットトランジスタ 11 をオンすることにより排出される。その際、リセットトランジスタ 11 から kTC 雑音と呼ばれる大きな熱雑音が発生する。この雑音はリセットトランジスタ 11 をオフし信号電荷の蓄積を始めるときも残留する。従って、この雑音を抑えるために、垂直信号線 17 の出力を差動増幅器 23 で反転増幅し、反転増幅された信号をフィードバック線 24 を介しリセットトランジスタ 11 のドレイン領域にフィードバックする。こうすることによりリセットトランジスタ 11 で発生する雑音を負帰還制御により抑圧できる。リセットトランジスタ 11 のドレイン領域にフィードバックするのは雑音の交流成分であり、直流成分は上述のように 0 V 近傍の正電圧である。
- [0051] 図 2 は本実施形態に係る固体撮像装置における 1 つの単位画素セル 13 の概略構造を示す断面図である。
- [0052] 単位画素セル 13 は、半導体基板としての p 型シリコン基板 1 内に形成さ

れた3つのトランジスタつまりアドレスタランジスタ12、増幅トランジスタ10及びリセットトランジスタ11からなる画素回路と、素子分離領域42と、シリコン基板1上に順次積層された層間絶縁膜14、画素電極5、光電変換膜6及び透明電極7からなる光電変換膜部9とを有する。

[0053] 単位画素セル13では、シリコン基板1内に形成されたn型不純物領域10A及び10Bと、シリコン基板1上に形成されたゲート電極3Aとからリセットトランジスタ11が形成されている。同様に、シリコン基板1内に形成されたn型不純物領域10C及び10Dと、シリコン基板1上に形成されたゲート電極3Bとから増幅トランジスタ10が形成されている。さらに、シリコン基板1内に形成されたn型不純物領域10D及び10Eと、シリコン基板1上に形成されたゲート電極3Cとからアドレスタランジスタ12が形成されている。

[0054] 素子分離領域42は、シリコン基板1内に形成された増幅トランジスタ10とリセットトランジスタ11との間のシリコン基板1内に形成され、増幅トランジスタ10とリセットトランジスタ11とを電氣的に分離する。

[0055] 不純物領域10Aはリセットトランジスタ11のソース領域として機能し、不純物領域10Bはリセットトランジスタ11のドレイン領域として機能している。本実施形態のセンサでは、信号電荷として正孔を用いるので、信号電荷として電子を用いるセンサとはソース／ドレインが逆になる。不純物領域10Cは増幅トランジスタ10のドレイン領域として機能している。不純物領域10Dは増幅トランジスタ10のソース領域及びアドレスタランジスタ12のドレイン領域として機能し、不純物領域10Eはアドレスタランジスタ12のソース領域として機能している。

[0056] 例えば、シリコン基板1の不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ であり、n型不純物領域10A、10B、10C、10D及び10Eの不純物濃度は $1 \times 10^{20} \sim 10^{22} \text{ cm}^{-3}$ であり、ゲート電極3A、3B及び3C下方のゲート絶縁膜の膜厚は6.5～10nmである。

[0057] 光電変換膜6は、アモルファスシリコン等からなり、シリコン基板1の上

方に形成され、入射光を光電変換する。画素電極 5 は、光電変換膜 6 のシリコン基板 1 側の面上つまりシリコン基板 1 と光電変換膜 6 との間に形成され、光電変換膜 6 と接し、光電変換膜 6 で発生した信号電荷を収集する。透明電極 7 は、光電変換膜 6 のシリコン基板 1 側の面と反対側の面上つまり光電変換膜 6 の上方に形成され、光電変換膜 6 の信号電荷を画素電極 5 に読み出すために、透明電極 7 には、光電変換膜制御線 16 を介して光電変換膜 6 に正の定電圧が印加される。

[0058] 増幅トランジスタ 10 は、シリコン基板 1 内の画素電極 5 の下方に形成された MOS トランジスタであって、画素電極 5 と接続されたゲート電極 3B を有し、画素電極 5 の電位に応じた信号電圧を出力する。

[0059] リセットトランジスタ 11 は、シリコン基板 1 内の画素電極 5 の下方に形成された MOS トランジスタである。リセットトランジスタ 11 は、ゲート電極 3A と、画素電極 5 と接続され、ゲート電極 3A と素子分離領域 42 との間のシリコン基板 1 内に形成されたドレイン領域（不純物領域 10B）を有し、増幅トランジスタ 10 のゲート電極 3B の電位をリセット電圧（フィードバック電圧）にリセットする。

[0060] アドレストランジスタ 12 は、シリコン基板 1 内の画素電極 5 の下方に形成された MOS トランジスタであって、増幅トランジスタ 10 と垂直信号線 17 との間に設けられ、単位画素セル 13 から垂直信号線 17 に信号電圧を出力させる。なお、アドレストランジスタ 12 は、増幅トランジスタ 10 のソース領域と垂直信号線 17 との間に挿入されているが、増幅トランジスタ 10 のドレイン領域と電源配線 21 との間に挿入されてもよい。

[0061] 画素電極 5 は、コンタクトを介して増幅トランジスタ 10 のゲート電極 3B とリセットトランジスタ 11 のドレイン領域（ n 型不純物領域 10B）に接続されている。画素電極 5 と接続された n 型不純物領域 10B とシリコン基板 1 との間の p n 接合は信号電荷を蓄積する寄生ダイオード（蓄積ダイオード）を形成する。

[0062] 図 3 は、単位画素セル 13 の電位（図 2 の X-Y 線に沿った部分における

電位)を示す図である。

[0063] 透明電極 7 には正電圧が印加されており、信号がない状態（リセットされている状態）においては、蓄積ダイオードである n 型不純物領域 10B の電位は若干逆バイアスのかかったほぼ 0 V である。このとき、透明電極 7 の正電圧により画素電極 5 及び n 型不純物領域 10B の電位がプラス方向に引っ張られるため、この状態で n 型不純物領域 10B を 0 V 近傍の低電位にすると、n 型不純物領域 10B にバイアス電荷が注入される。従って、n 型不純物領域 10B の電位は、0.1 V 程度以上でかつ低い逆バイアスが適切である。0 V 近傍にする理由は、蓄積ダイオードとシリコン基板 1 との間に流れる逆方向リーク電流（暗電流）を小さくするためである。

[0064] 透明電極 7 の上方から入射した光は透明電極 7 を通過して光電変換膜 6 に入射し、ここで電子正孔対に変換される。変換された電子正孔対のうちの電子は透明電極 7 側に移送され透明電極 7 に接続された電源配線 21 に流れる。一方、正孔は蓄積ダイオード（n 型不純物領域 10B）側に移送されここに蓄積される。このため、蓄積ダイオードの電位は＋方向に変化し、蓄積ダイオードとシリコン基板 1 との間に電圧が加わる。このとき、蓄積ダイオードとシリコン基板 1 との間に流れる逆方向リーク電流（暗電流）が流れ雑音となるが、信号がある状態では雑音は目立ちにくくなるので問題にならない。

[0065] 蓄積ダイオードに蓄積された正孔により＋側に変化した電圧は増幅トランジスタ 10 のゲート電極 3B に伝達され、増幅トランジスタ 10 により増幅された信号はアドレストランジスタ 12 を通過し単位画素セル 13 外部つまり垂直信号線 17 に出力される。その後、蓄積ダイオードに蓄積された信号電荷はリセットトランジスタ 11 をオンすることにより排出される。このとき、透明電極 7 に印加されている電圧より低い電圧にリセットされる。

[0066] 図 4 は、単位画素セル 13 の構成を示す平面図である。

[0067] 単位画素セル 13 では、シリコン基板 1 に形成された第 1 の活性領域 22 内部に増幅トランジスタ 10 及びアドレストランジスタ 12 の活性領域が形

成され、シリコン基板 1 に形成された第 2 の活性領域 2 5 内部にリセットトランジスタ 1 1 の活性領域が形成されている。活性領域とはソース領域、ドレイン領域及びゲート領域（チャネル領域）を示す。

[0068] アドレストランジスタ 1 2 のソース領域には垂直信号線 1 7 が接続されており、増幅トランジスタ 1 0 のドレイン領域には電源配線 2 1 が接続されている。リセットトランジスタ 1 1 のドレイン領域と増幅トランジスタ 1 0 のゲート電極とは電氣的に接続され、シリコン基板 1 上に引き出されて画素電極 5 に接続されている。リセットトランジスタ 1 1 は、第 1 の活性領域 2 2 と電氣的に分離された第 2 の活性領域 2 5 に形成され、そのソース領域はフィードバック線 2 4 と接続されている。ここでリーク電流が問題となる領域はリセットトランジスタ 1 1 のドレイン領域を囲むリセットトランジスタドレイン周辺領域 2 6 である。

[0069] 第 2 の活性領域 2 5 と第 1 の活性領域 2 2 との間のシリコン基板 1 には、第 2 の活性領域 2 5 と第 1 の活性領域 2 2 とを電氣的に分離する素子分離 S T 1 が形成されている。

[0070] 図 5 は、単位画素セル 1 3 の断面図（図 4 の W-Z 線に沿った部分における断面図）である。

[0071] 単位画素セル 1 3 は、増幅トランジスタ 1 0 とリセットトランジスタ 1 1 との間のシリコン基板 1 内に形成されて素子分離領域 4 2 を構成する素子分離 S T 1 2 7 と、p 型リーク抑圧領域 2 8 と、n 型エクステンション領域 2 9 と、n 型コンタクト領域 3 1 とをシリコン基板 1 内に有する。

[0072] 素子分離 S T 1 2 7 は、シリコン基板 1 内に形成されたトレンチで構成され、増幅トランジスタ 1 0 とリセットトランジスタ 1 1 とを電氣的に分離する。

[0073] リーク抑圧領域 2 8 は、エクステンション領域 2 9 と素子分離 S T 1 2 7 との間のシリコン基板 1 内に形成されている。リーク抑圧領域 2 8 は、エクステンション領域 2 9 及び素子分離 S T 1 2 7 と接し、増幅トランジスタ 1 0 とリセットトランジスタ 1 1 とを電氣的に分離している。リーク抑圧領域

２８の不純物濃度は、シリコン基板１の不純物濃度より高く、エクステンション領域２９の不純物濃度より低い。

[0074] リセットトランジスタ１１のドレイン領域（不純物領域１０Ｂ）は、エクステンション領域２９と、配線コンタクト電極３０を介して画素電極５と電氣的に接続されたコンタクト領域３１とから構成されている。エクステンション領域２９は、素子分離ＳＴ１２７及びリーク抑圧領域２８とコンタクト領域３１との間に位置する、コンタクト領域３１よりも低不純物濃度の領域であり、コンタクト領域３１と接する。

[0075] リセットトランジスタ１１のドレイン領域の周囲は、シリコン基板１においてｐ型の領域であり、リセットトランジスタ１１のドレイン領域とその周辺の領域との間には点線で示す空乏層３２が存在する。この空乏層３２の部分でリーク電流が発生する。その中でもリーク電流が大きい部分は、シリコン基板１の表面と空乏層３２とが接している部分つまり素子分離空乏領域３３及びゲート下空乏領域３４の２箇所である。

[0076] 一般にリセットトランジスタ１１のドレイン領域を形成するエクステンション領域２９の不純物濃度は、コンタクト領域３１の不純物濃度よりは低いが、リーク抑圧領域２８の不純物濃度より高い。空乏層３２は低不純物濃度側に延びるため素子分離空乏領域３３はリーク抑圧領域２８側に延びている。従って、エクステンション領域２９とリーク抑圧領域２８との距離を縮めることにより素子分離空乏領域３３は小さくなりリーク電流が減少する。エクステンション領域２９の端部（素子分離ＳＴ１２７側の端部）とリーク抑圧領域２８の端部（ゲート電極３Ａ側の端部）との距離をＥＳ長３６とすると、ＥＳ長３６とリーク電流との関係は図６ようになる。図６に示されるように、ＥＳ長を短くしていくとリーク電流が小さくなり、０を過ぎてエクステンション領域２９とリーク抑圧領域２８とがオーバーラップしてもさらにリーク電流の少なくなる場所がある。エクステンション領域２９の不純物濃度が低い場合はこのようにオーバーラップさせてもリーク電流が少なくなる領域がある。それよりさらにオーバーラップを大きくするとｐｎ接合の

ブレークダウンによりリーク電流が急増する。

[0077] 従って、エクステンション領域 29 は、リーク電流を低減するため、リーク抑圧領域 28 と少なくとも接し、ブレークダウンが起こらない範囲で重なっている。よって、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（素子分離空乏領域 33 の p n 接合）で形成される空乏層 32 の幅は、シリコン基板 1 の内部におけるドレイン領域とその周囲の領域との間の p n 接合で形成される空乏層 32 の幅より狭くなっている。例えば、素子分離空乏領域 33 の空乏層 32 の幅は、エクステンション領域 29 の底部とシリコン基板 1 との間の p n 接合で形成される空乏層 32 の幅より狭くなっている。

[0078] ここで、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（素子分離空乏領域 33 の p n 接合）は、エクステンション領域 29 の端部（素子分離 S T I 27 側の端部）とリーク抑圧領域 28 の端部（ゲート電極 3 A 側の端部）との間に形成される。

[0079] 以上のように、本実施形態の固体撮像装置によれば、素子分離空乏領域 33 における p n 接合部で形成される空乏層 32 について、シリコン基板 1 の表面における幅が狭められるため、シリコン基板 1 の表面の p n 接合部によるリーク電流を低減することができる。

[0080] また、素子分離 S T I 27 及びリーク抑圧領域 28 の 2 つにより素子分離を行うため、リーク電流をさらに低減することができる。

[0081] （第 2 の実施形態）

図 7 は、本発明の第 2 の実施形態に係る固体撮像装置における単位画素セル 13 の断面図である。以下では、第 1 の実施形態の固体撮像装置と異なる点についてのみ述べる。

[0082] 本実施形態の固体撮像装置は、リセットトランジスタ 11 がオフ状態のとき、リセットトランジスタ 11 のゲート電極 3 A がシリコン基板 1 の電位に対して負電位とされているという点で第 1 の実施形態の固体撮像装置と異なる。

[0083] シリコン基板 1 のゲート電極 3 A の下方の領域は低不純物濃度のため、空乏層 3 2 はゲート下空乏領域 3 4 で素子分離空乏領域 3 3 より延びており、ここで発生するリーク電流は大きい。しかしながら、図 7 では、ゲート下空乏領域 3 4 で発生するリーク電流を抑圧するために、ゲート電極 3 A に負電位が印加されている。ゲート電極 3 A に負電位を印加するとゲート電極 3 A 下のシリコン基板 1 表面に正孔が誘起され、ゲート下空乏領域 3 4 の空乏層 3 2 が狭くなってリーク電流が小さくなる。リセットトランジスタ 1 1 はほとんどの期間オフ状態なのでオフ状態のとき負電位を印加することはリーク電流低減に非常に有効である。

[0084] 従って、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（ゲート下空乏領域 3 4 の p n 接合）で形成される空乏層 3 2 の幅は、シリコン基板 1 の内部におけるドレイン領域とその周囲の領域との間の p n 接合で形成される空乏層 3 2 の幅より狭くなっている。例えば、ゲート下空乏領域 3 4 の空乏層 3 2 の幅は、エクステンション領域 2 9 の底部とシリコン基板 1 との間の p n 接合で形成される空乏層 3 2 の幅より狭くなっている。

[0085] ここで、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（ゲート下空乏領域 3 4 の p n 接合）は、エクステンション領域 2 9 の端部（ゲート電極 3 A 側の端部）とシリコン基板 1 との間に形成される。

[0086] 以上のように、本実施形態の固体撮像装置によれば、負電位が印加されたゲート電極 3 A の下方のシリコン基板 1 には正孔がたまり、これによりゲート下空乏領域 3 4 の p n 接合部で形成される空乏層 3 2 の幅が狭められる。その結果、シリコン基板 1 の表面の p n 接合部によるリーク電流を低減することができる。

[0087] （第 3 の実施形態）

図 8 は、本発明の第 3 の実施形態に係る固体撮像装置における単位画素セル 1 3 の断面図である。以下では、第 1 の実施形態の固体撮像装置と異なる

点についてのみ述べる。

- [0088] 本実施形態の固体撮像装置は、リセットトランジスタ 11 がゲート電極 3 A の下方のシリコン基板 1 内に形成され、シリコン基板 1 よりも高不純物濃度の p 型のチャネル制御領域 37 をチャネル領域の一部として有するという点で第 1 の実施形態の固体撮像装置と異なる。
- [0089] 図 8 では、ゲート下空乏領域 34 の空乏層 32 を狭くするためにゲート電極 3 A の下にチャネル制御領域 37 が設けられる。この場合、リセットトランジスタ 11 の閾値電圧は、同じ単位画素セル 13 内の他のトランジスタつまり増幅トランジスタ 10 及びアドレストランジスタ 12 の閾値電圧より高くなるが、上述のようにリセットトランジスタ 11 のソース領域及びドレインは 0 V 近傍で動作させるため問題は発生しない。
- [0090] 従って、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（ゲート下空乏領域 34 の p n 接合）で形成される空乏層 32 の幅は、シリコン基板 1 の内部におけるドレイン領域とその周囲の領域との間の p n 接合で形成される空乏層 32 の幅より狭くなっている。例えば、ゲート下空乏領域 34 の空乏層 32 の幅は、エクステンション領域 29 の底部とシリコン基板 1 との間の p n 接合で形成される空乏層 32 の幅より狭くなっている。
- [0091] ここで、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（ゲート下空乏領域 34 の p n 接合）は、エクステンション領域 29 の端部（ゲート電極 3 A 側の端部）とゲート下空乏領域 34 又はシリコン基板 1 との間に形成される。
- [0092] 以上のように、本実施形態の固体撮像装置によれば、チャネル制御領域 37 によりゲート下空乏領域 34 の p n 接合部で形成される空乏層の広がりが抑えられる。その結果、シリコン基板 1 の表面の p n 接合部によるリーク電流を低減することができる。
- [0093] なお、本実施形態において、エクステンション領域 29 はゲート下空乏領域 34 と接していてもよいし、離れていてもよい。

[0094] (第4の実施形態)

図9は、本発明の第4の実施形態に係る固体撮像装置における単位画素セル13の断面図である。以下では、第2の実施形態の固体撮像装置と異なる点についてのみ述べる。

[0095] 本実施形態の固体撮像装置は、エクステンション領域29がコンタクト領域31とゲート電極3Aとの間に位置し、コンタクト領域31とリーク抑圧領域28との間には位置せず、シリコン基板1の表面におけるドレイン領域とその周囲の領域との間のpn接合（素子分離空乏領域33のpn接合）がコンタクト領域31の端部（素子分離ST127側の端部）とシリコン基板1との間に形成されているという点で第2の実施形態の固体撮像装置と異なる。

[0096] リーク抑圧領域28は、コンタクト領域31と素子分離ST127との間のシリコン基板1内に形成され、コンタクト領域31と間をおいて位置し、素子分離ST127と接している。

[0097] エクステンション領域29は、高濃度のコンタクト領域31の一部がゲート電極3A下に拡散していかないように設けた領域であるため、素子分離ST127側（図9では左方向）にコンタクト領域31から延出する必要はない。従って、図9ではエクステンション領域29の端部（素子分離ST127側の端部）がコンタクト領域31の内部に位置するようにエクステンション領域29が形成されている。こうすることによりエクステンション領域29及びコンタクト領域31から構成されるリセットトランジスタ11のドレイン領域自体の面積が小さくなりリーク電流が下がる。

[0098] このとき、コンタクト領域31の端部（素子分離ST127側の端部）とリーク抑圧領域28の端部（ゲート電極3A側の端部）との間の距離をCS長38とすると、CS長38とリーク電流との関係は図10ようになる。図10に示されるように、CS長38を短くしていくと素子分離空乏領域33が狭くなりリーク電流が減少するが、CS長38が0.1 μm 以下になるとpn接合のブレークダウンによりリーク電流が急激に増加する。従って、

コンタクト領域 31 とリーク抑圧領域 28 とはオーバーラップしないように間をおいて形成され、CS 長 38 を $0.1\ \mu\text{m}$ より大きく、例えば $0.15\ \mu\text{m}$ としてブレークダウンを高確率で抑えている。

[0099] また、素子分離 STI 27 の形成ではシリコン基板 1 を掘り込むため、大きなストレスが発生し、このストレスはリーク電流を増加させる。従って、図 11 に示されるように、図 9 の SS 長（素子分離 STI 27 の端部（ゲート電極 3A 側の端部）からリーク抑圧領域 28 の端部（ゲート電極 3A 側の端部）までの距離）41 を大きくしていくと、リーク電流が減少する。従って、SS 長 41 が大きくなるように、リーク抑圧領域 28 の形成位置が決められる。

[0100] 図 12 は、本実施形態に係る固体撮像装置の製造方法（コンタクト領域 31 の形成方法）を説明するための断面図である。

[0101] 図 12 では、配線コンタクト電極 30 を形成するためにシリコン基板 1 上のマスクに形成したコンタクトホール 39 を用いて、セルフアラインでコンタクト領域 31 形成のための n 型不純物のイオン注入を行っている。これにより、コンタクト領域 31 を小さく形成できる。また、イメージセンサを構成する他のトランジスタのコンタクト領域と別のマスク（イオン注入工程）でコンタクト領域 31 を形成できるためリーク電流が最小になるようにコンタクト領域 31 形成のイオン注入の条件を設定できる。

[0102] 以上のように、本実施形態の固体撮像装置によれば、コンタクト領域とリーク抑圧領域とを接しさせることなく、間の距離を縮めることができる。従って、素子分離空乏領域 33 における pn 接合部で形成される空乏層 32 について、シリコン基板 1 の表面における幅が狭めることができる。その結果、pn 接合のブレークダウンを抑えつつ、シリコン基板 1 の表面の pn 接合部によるリーク電流を低減することができる。

[0103] （第 5 の実施形態）

図 13 は、本発明の第 5 の実施形態に係る固体撮像装置における単位画素セル 13 の断面図である。以下では、第 4 の実施形態の固体撮像装置と異な

る点についてのみ述べる。

[0104] 本実施形態の固体撮像装置は、素子分離STI27及びリーク抑圧領域28の代わりにシリコン基板1内に形成されたシリコン基板1よりも高不純物濃度のp型の分離領域40で素子分離領域42を構成し、単位画素セル13においてリセットトランジスタ11を他のトランジスタから電氣的に分離しているという点で第4の実施形態の固体撮像装置と異なる。

[0105] STIの形成ではシリコン基板1を掘り込むため、大きなストレスが発生し、このストレスはリーク電流を増加させる。従って、図13では、STIではなく分離領域40のみでリセットトランジスタ11を素子分離して、つまり単位画素セル13のトランジスタを素子分離してリーク電流を減少させている。

[0106] このとき、単位画素セル13以外の周辺回路のトランジスタの素子分離にはSTIを用いている。

[0107] 以上のように、本実施形態の固体撮像装置によれば、単位画素セル13内の素子分離はpn接合により構成され、不純物領域のみ（pn接合による素子分離のみ）により単位画素セル13内の素子分離が実現される。従って、STI構造と比較して、シリコン基板1を掘り込むストレスにより発生するリーク電流を抑えることができる。その結果、リーク電流を低減することができる。

[0108] （第6の実施形態）

図14は、本発明の第6の実施形態に係る固体撮像装置における単位画素セル13の構成を示す平面図である。図15は、同固体撮像装置における単位画素セル13の断面図（図14のW-Z線に沿った部分における断面図）である。以下では、第1の実施形態の固体撮像装置と異なる点についてのみ述べる。

[0109] 本実施形態の固体撮像装置は、素子分離STI27及びリーク抑圧領域28の代わりにシリコン基板1内に形成されたシリコン基板1よりも高不純物濃度のp型の分離領域40で素子分離領域42を構成し、単位画素セル13

においてリセットトランジスタ 11 を他のトランジスタから電氣的に分離しているという点で第 1 の実施形態の固体撮像装置と異なる。

[0110] また、本実施形態の固体撮像装置は、隣り合う 2 つの単位画素セル 13 の間のシリコン基板 1 内に形成されたトレンチで構成され、隣り合う 2 つの単位画素セル 13 を電氣的に分離する素子分離 STI 47 をさらに備えるという点でも第 1 の実施形態の固体撮像装置と異なる。

[0111] 単位画素セル 13 の中でもリーク電流が特に問題となるリセットトランジスタ 11 のドレイン領域を囲むリセットトランジスタドレイン周辺領域 26 にのみ STI を形成しないで、つまり単位画素セル 13 内におけるリセットトランジスタ 11 の電氣的分離にのみ STI を用いないで、分離領域 40 で電氣的分離を行っている。そして、それ以外の素子分離は、素子分離 STI 47 により行っている。つまり、1 つの固体撮像装置の中で素子分離に STI による素子分離と不純物領域による素子分離を併用している。素子分離 STI 47 はトレンチで構成されている。

[0112] エクステンション領域 29 は、リーク電流を低減するため、分離領域 40 と少なくとも接し、ブレークダウンが起こらない範囲で重なっている。よって、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（素子分離空乏領域 33 の p n 接合）で形成される空乏層の幅は、シリコン基板 1 の内部におけるドレイン領域とその周囲の領域との間の p n 接合で形成される空乏層の幅より狭くなっている。例えば、素子分離空乏領域 33 の空乏層の幅は、エクステンション領域 29 の底部とシリコン基板 1 との間の p n 接合で形成される空乏層の幅より狭くなっている。

[0113] ここで、シリコン基板 1 の表面におけるドレイン領域とその周囲の領域との間の p n 接合（素子分離空乏領域 33 の p n 接合）は、エクステンション領域 29 の端部（分離領域 40 側の端部）と分離領域 40 との間に形成される。

[0114] 以上のように、本実施形態の固体撮像装置によれば、単位画素セル 13 内の素子分離は p n 接合により構成され、不純物領域のみにより単位画素セル

13内の素子分離が実現される。従って、STI構造と比較して、シリコン基板1を掘り込むストレスにより発生するリーク電流を抑えることができる。その結果、リーク電流を低減することができる。

(第7の実施形態)

図16は、本発明の第7の実施形態に係る固体撮像装置における単位画素セル13の断面図である。以下では、第2の実施形態の固体撮像装置と異なる点についてのみ述べる。

[0115] 本実施形態の固体撮像装置は、第5の実施形態と同様に、素子分離STI27及びリーク抑圧領域28の代わりにシリコン基板1内に形成されたシリコン基板1よりも高不純物濃度のp型の分離領域40で素子分離領域42を構成し、単位画素セル13においてリセットトランジスタ11を他のトランジスタから電氣的に分離しているという点で第2の実施形態の固体撮像装置と異なる。

[0116] また、図16より、本実施形態に係る固体撮像装置は、リーク電流を低減するため、単位画素セル13内において、画素電極5につながっている配線コンタクト電極30が接触するリセットトランジスタ11のドレイン領域に対し、リセットトランジスタ11のドレイン領域以外の他のソース領域又はドレイン領域を浅く形成している点でも第2の実施形態の固体撮像装置と異なる。具体的には、単位画素セル13内において、リセットトランジスタ11のドレイン領域以外のソース領域又はドレイン領域のコンタクト領域31Dを、リセットトランジスタ11のドレイン領域のコンタクト領域31より浅く形成し、リセットトランジスタ11のドレイン領域以外のソース領域又はドレイン領域のエクステンション領域29Dを、リセットトランジスタ11のドレイン領域のエクステンション領域29より浅く形成している点でも第2の実施形態の固体撮像装置と異なる。

[0117] さらに、図16より、本実施形態に係る固体撮像装置は、単位画素セル13内において、リセットトランジスタ11のドレイン領域のエクステンション領域29とこれに隣り合う分離領域40との間の距離53に対し、リセッ

トランジスタ 11 のドレイン領域以外の他のソース領域又はドレイン領域のエクステンション領域 29D とこれに隣り合う分離領域 40D との間の距離 53D が短くなっている点でも第 2 の実施形態の固体撮像装置と異なる。具体的には、リセットトランジスタ 11 のドレイン領域以外の他のソース領域又はドレイン領域のトランジスタコンタクト領域 31D 又はエクステンション領域 29D が分離領域 40D とオーバーラップして形成されている点でも第 2 の実施形態の固体撮像装置と異なる。

[0118] さらにまた、図 16 より、本実施形態に係る固体撮像装置は、単位画素セル 13 内において、リセットトランジスタ 11 のドレイン領域のエクステンション領域 29 に隣り合う分離領域 40 の幅 50 より、リセットトランジスタ 11 のドレイン領域以外の他のソース領域又はドレイン領域のエクステンション領域 29D に隣り合う分離領域 40D の幅 50D が狭くなっている点でも第 2 の実施形態の固体撮像装置と異なる。

[0119] このとき、リセットトランジスタ 11 のドレイン領域以外の他のソース領域又はドレイン領域としては、増幅トランジスタ 10 又はアドレストランジスタのソース領域又はドレイン領域があげられる。

[0120] 以上のように、本発明の実施形態に係る固体撮像装置は、単位画素セル 13 において微細サイズのトランジスタを用いた場合でも、シリコン基板 1 の界面とともにシリコン基板 1 の内部でも発生するリーク電流と、STI 構造によるシリコン基板 1 の内部へのストレスにより生じるリーク電流とを低減させることが出来る。

[0121] なお、本実施形態に係る固体撮像装置において、図 17 に示すように、シリコン基板 1 の下方にシリコン基板 1 と同一導電型の高濃度シリコン基板 1D を設けてもよい。これにより、シリコン基板 1 内部で発生するリーク電流を高濃度シリコン基板 1D に吸収させる構造を実現でき、リーク電流をさらに低減させることができる。

[0122] また、本実施形態に係る固体撮像装置において、図 17 に示すように、リーク電流が分離領域 40 の下方をすり抜けてくることのないように分離領域

40と同一導電型の深部分離拡散層52を設ける構造としてもよい。これにより、リーク電流をさらに低減させることができる。

[0123] また、図17の構成において、高濃度シリコン基板1Dとしてシリコン基板1と反対の導電型のものを用い、積極的にリーク電流を高濃度シリコン基板1Dで吸収させる構造とし、リーク電流をさらに低減させることもできる。この場合、シリコン基板1の抵抗が高くなりシリコン基板1の電位が不安定になるため、分離領域40又は41D内部に高濃度コンタクト拡散層51を形成し、これに金属電極で配線して、高濃度コンタクト拡散層51に一定電圧を印加することによりシリコン基板1の電位を安定化させることができる。

[0124] また、本実施形態に係る固体撮像装置において、図18に示すように、分離領域40をSTI構造のない拡散層のみで形成し、エクステンション領域29の幅60をエクステンション領域29Dの幅61より狭く形成してもよい。これにより、リーク電流にかかわるシリコン界面での空乏層の面積を小さくすることができ、リーク電流を低減することが出来る。

[0125] 以上、本発明の固体撮像装置について、実施の形態に基づいて説明したが、本発明は、これらの実施の形態に限定されるものではない。本発明の要旨を逸脱しない範囲内で当業者が思いつく各種変形を施したものも本発明の範囲内に含まれる。また、発明の趣旨を逸脱しない範囲で、複数の実施の形態における各構成要素を任意に組み合わせてもよい。

[0126] 例えば、素子分離空乏領域の空乏層の幅を狭める第1及び第4の実施形態に係る構成と、ゲート下空乏領域の空乏層の幅を狭める第2及び第3の実施形態に係る構成とを組み合わせ、素子分離空乏領域及びゲート下空乏領域の両方の空乏層の幅を狭めてもよい。また、不純物領域により素子分離領域を形成する第5～第7の実施形態に係る構成を第1～第4の実施形態に係る構成に適用してもよい。

[0127] また、上記実施形態において、第1導電型はp型であり、第2導電型はn型であるとした。例えば、シリコン基板の導電型はp型であり、画素回路の

各トランジスタはn-チャネル型であるとしたが、シリコン基板の導電型はn型であり、画素回路の各トランジスタはp-チャネル型でもかまわない。この場合は電圧電位の符号が逆になり、光電変換膜から読み出す信号電荷も正孔から電子に変わる。従って、リセットトランジスタのソース領域及びドレイン領域も逆になる。

[0128] また、上記実施形態において、画素回路を構成する各トランジスタはMOSトランジスタであるとしたが、電界効果トランジスタ（FET）であればこれに限られない。

[0129] また、上記実施形態において、p型半導体基板とはn型半導体基板内に形成されたp型ウェルも含めて意味する。

産業上の利用可能性

[0130] 本発明は、固体撮像装置に利用でき、特に高性能の小型の画像ピックアップ装置等に利用することができる。

符号の説明

- [0131]
- 1 シリコン基板
 - 3 A、3 B、3 C ゲート電極
 - 5、103 画素電極
 - 6、101 光電変換膜
 - 7、102 透明電極
 - 9 光電変換膜部
 - 10 増幅トランジスタ
 - 10 A、10 B、10 C、10 D、10 E、105、106 不純物領域
 - 11 リセットトランジスタ
 - 12 アドレストランジスタ
 - 13 単位画素セル
 - 14 層間絶縁膜
 - 15 垂直走査部

- 1 6 光電変換膜制御線
- 1 7 垂直信号線
- 1 8 負荷部
- 1 9 カラム信号処理部
- 2 0 水平信号読み出し部
- 2 1 電源配線
- 2 2 第 1 の活性領域
- 2 3 差動増幅器
- 2 4 フィードバック線
- 2 5 第 2 の活性領域
- 2 6 リセットトランジスタドレイン周辺領域
- 2 7、4 7 素子分離 S T I
- 2 8 リーク抑圧領域
- 2 9、2 9 D エクステンション領域
- 3 0 配線コンタクト電極
- 3 1、3 1 D コンタクト領域
- 3 2 空乏層
- 3 3 素子分離空乏領域
- 3 4 ゲート下空乏領域
- 3 6 E S 長
- 3 7 チャネル制御領域
- 3 8 C S 長
- 3 9 コンタクトホール
- 4 0、4 0 D 分離領域
- 4 1 S S 長
- 4 2 素子分離領域
- 5 0、5 0 D、6 0、6 1 幅
- 5 1 高濃度コンタクト拡散層

5 2 深部分離拡散層

5 3、5 3 D 距離

1 0 4 絶縁膜

1 0 7 コンタクト

請求の範囲

[請求項1]

第1導電型の半導体基板と、
前記半導体基板に2次元状に配置された複数の単位画素セルとを備え、
前記単位画素セルは、
前記半導体基板の上方に形成され、入射光を光電変換する光電変換膜と、
前記光電変換膜の上方に形成された透明電極と、
前記半導体基板と前記光電変換膜との間に形成された画素電極と、
前記半導体基板内に形成されたトランジスタであって、前記画素電極と接続された第1ゲート電極を有し、前記画素電極の電位に応じた信号電圧を出力する増幅トランジスタと、
前記半導体基板内に形成されたトランジスタであって、前記第1ゲート電極の電位をリセットするリセットトランジスタと、
前記増幅トランジスタと前記リセットトランジスタとの間の前記半導体基板内に形成され、前記増幅トランジスタと前記リセットトランジスタとを電氣的に分離する第1分離領域とを有し、
前記リセットトランジスタは、第2ゲート電極と、前記画素電極と接続され、前記第2ゲート電極と前記第1分離領域との間の前記半導体基板内に形成された第2導電型のソース領域又はドレイン領域とを有し、
前記半導体基板の表面における前記ソース領域又はドレイン領域とその周囲の領域との間の第1pn接合で形成される空乏層の幅は、前記半導体基板の内部における前記ソース領域又はドレイン領域とその周囲の領域との間の第2pn接合で形成される空乏層の幅より狭い
固体撮像装置。

[請求項2]

前記リセットトランジスタは、さらに、
前記第2ゲート電極の下方の前記半導体基板内に形成され、前記半

導体基板よりも高不純物濃度の第1導電型のチャネル領域を有する
請求項1に記載の固体撮像装置。

[請求項3] 前記リセットトランジスタの閾値電圧は、前記増幅トランジスタの
閾値電圧より高い

請求項2に記載の固体撮像装置。

[請求項4] 前記第2ゲート電極は、前記リセットトランジスタがオフ状態の
とき、前記半導体基板の電位に対して負電位とされている

請求項1に記載の固体撮像装置。

[請求項5] 前記ソース領域又はドレイン領域は、前記画素電極と接続されたコ
ンタクト領域と、前記コンタクト領域よりも低不純物濃度の領域であ
り、前記コンタクト領域と接するエクステンション領域とから構成さ
れ、

前記エクステンション領域は、前記第1分離領域と前記コンタクト
領域との間に位置し、

前記単位画素セルは、さらに、

前記エクステンション領域と前記第1分離領域との間の前記半導体
基板内に形成され、前記エクステンション領域及び前記第1分離領域
と接する第1導電型のリーク抑圧領域を有し、

前記第1pn接合は、前記エクステンション領域の前記第1分離領
域側の端部と前記リーク抑圧領域との間に形成され、

前記リーク抑圧領域の不純物濃度は、前記半導体基板の不純物濃度
より高く、前記エクステンション領域の不純物濃度より低い

請求項1に記載の固体撮像装置。

[請求項6] 前記ソース領域又はドレイン領域は、前記画素電極と接続されたコ
ンタクト領域と、前記コンタクト領域よりも低不純物濃度の領域であ
り、前記コンタクト領域と接するエクステンション領域とから構成さ
れ、

前記エクステンション領域は、前記コンタクト領域と前記第2ゲー

ト電極との間に位置し、

前記第1 p n 接合は、前記コンタクト領域の前記第1 分離領域側の端部と前記半導体基板との間に形成され、

前記単位画素セルは、さらに、

前記コンタクト領域と前記第1 分離領域との間の前記半導体基板内に形成され、前記コンタクト領域と間をおいて位置し、前記第1 分離領域と接する第1 導電型のリーク抑圧領域を有し、

前記リーク抑圧領域の不純物濃度は、前記半導体基板の不純物濃度より高く、前記エクステンション領域の不純物濃度より低い

請求項1 に記載の固体撮像装置。

[請求項7] 前記リーク抑圧領域と前記コンタクト領域との間の距離は、0. 1 μm より大きい

請求項6 に記載の固体撮像装置。

[請求項8] 前記第1 分離領域は、前記半導体基板内に形成されたトレンチで構成される

請求項1 に記載の固体撮像装置。

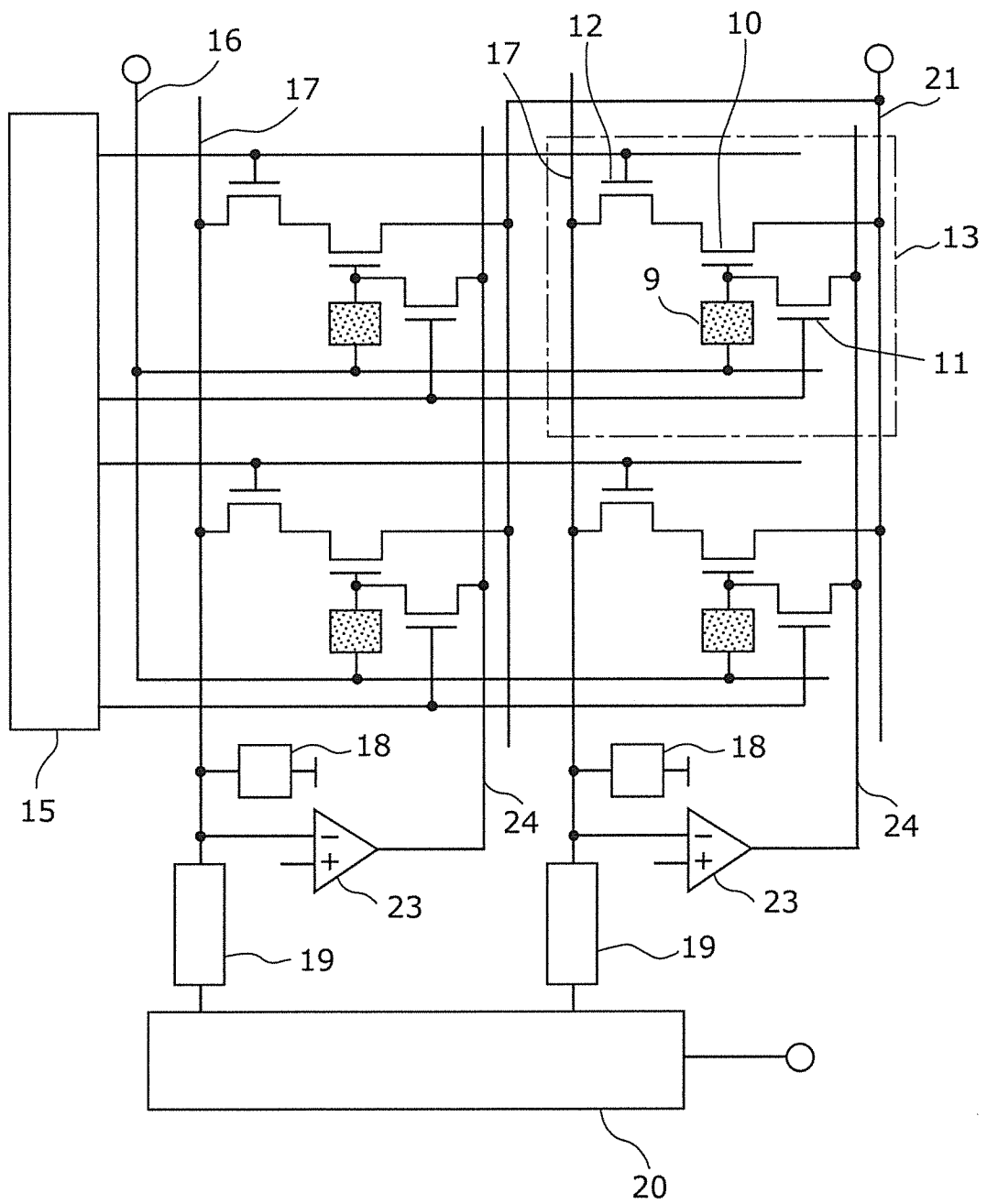
[請求項9] 前記第1 分離領域は、前記半導体基板内に形成された、前記半導体基板よりも高不純物濃度の第1 導電型の領域であり、

前記固体撮像装置は、さらに、

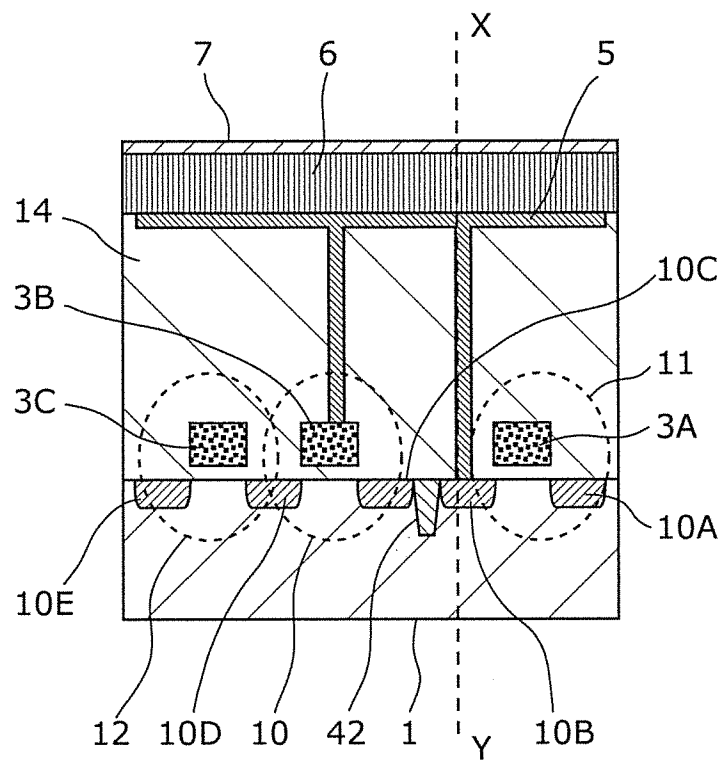
隣り合う2つの前記単位画素セルの間の前記半導体基板内に形成されたトレンチで構成され、前記隣り合う2つの前記単位画素セルを電氣的に分離する第2 分離領域を備える

請求項2 ～7 のいずれか1 項に記載の固体撮像装置。

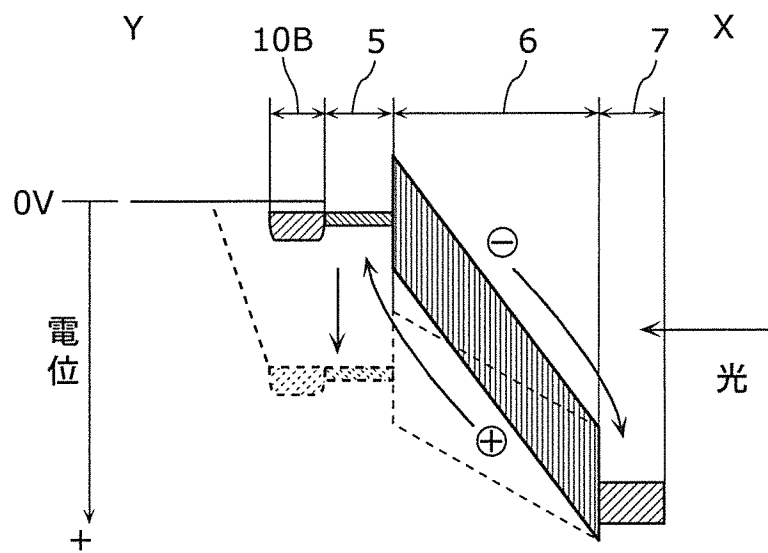
[図1]



[図2]



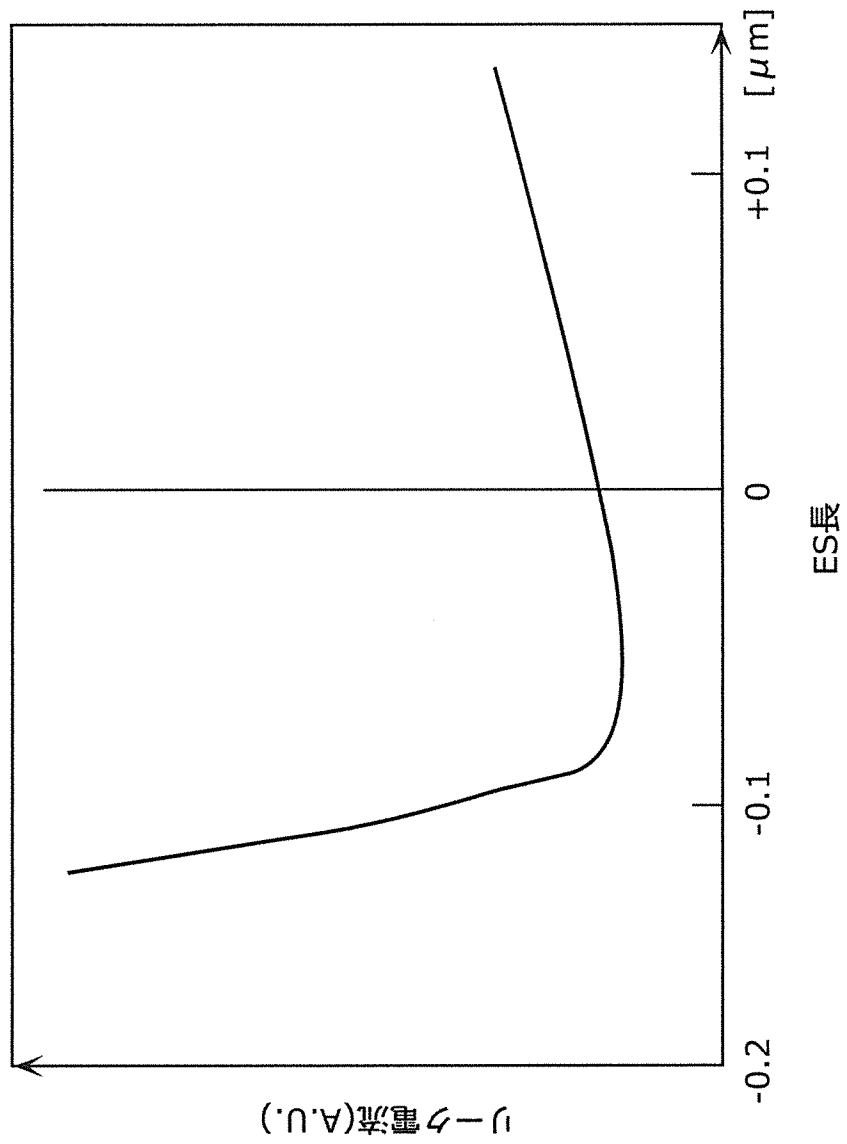
[図3]



[illegible]

A cross-sectional view of a semiconductor device in the W-Z plane. The device features a substrate 1 with a p⁻ region. A p⁺ region is formed on the left side. A central n⁺ region is shown, with a dashed line indicating its boundary. A vertical structure 30 is positioned on the right side of the n⁺ region. A textured region 3A is located on the far right. A dashed line 34 outlines a region on the right side. A horizontal line 36 is shown, with arrows indicating a width or distance. A vertical line 33 is shown, with arrows indicating a height or distance. A vertical line 28 is shown, with arrows indicating a width or distance. A vertical line 29 is shown, with arrows indicating a height or distance. A vertical line 32 is shown, with arrows indicating a width or distance. A vertical line 31 is shown, with arrows indicating a height or distance.

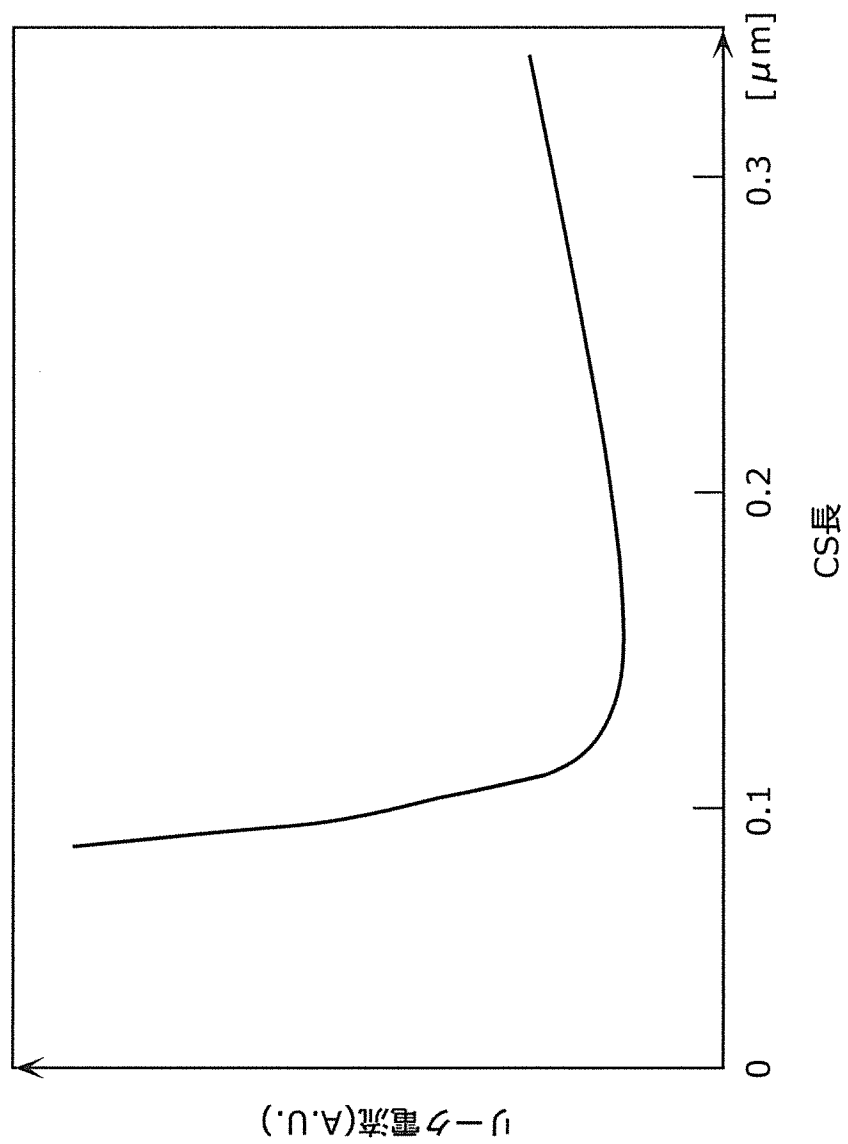
[図6]



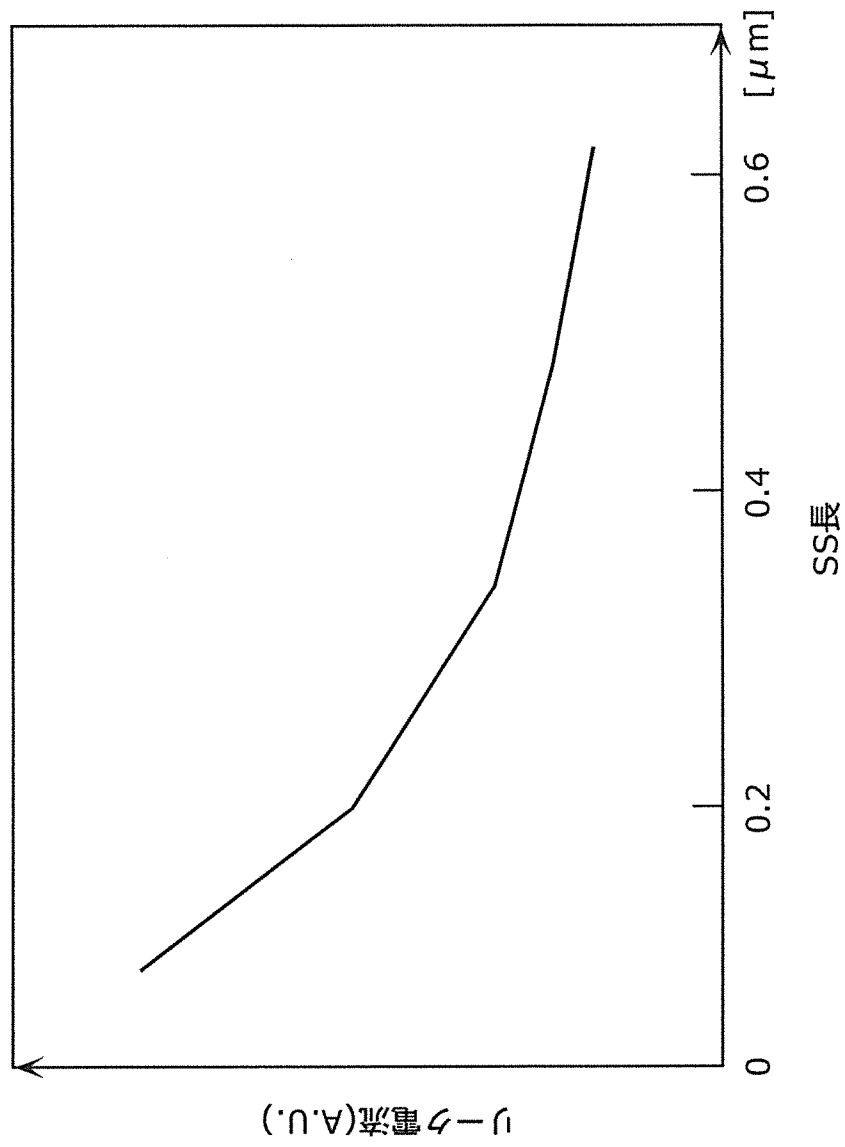
[illegible][illegible]

[illegible]

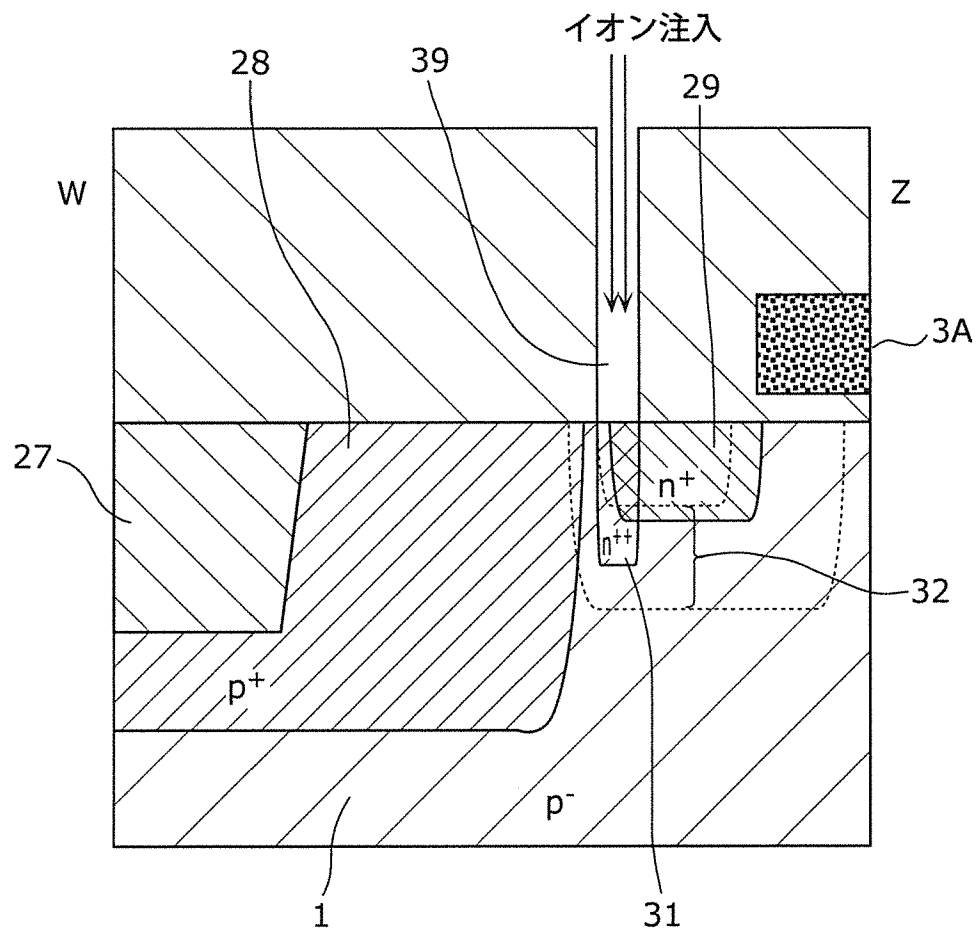
[図10]



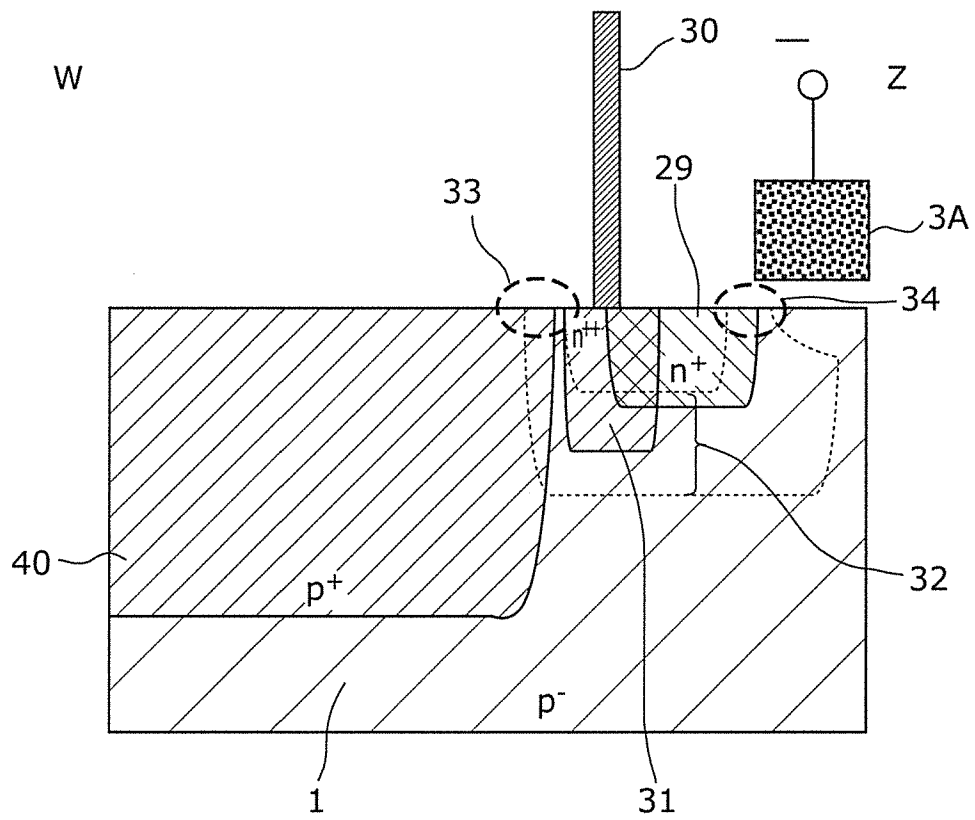
[図11]



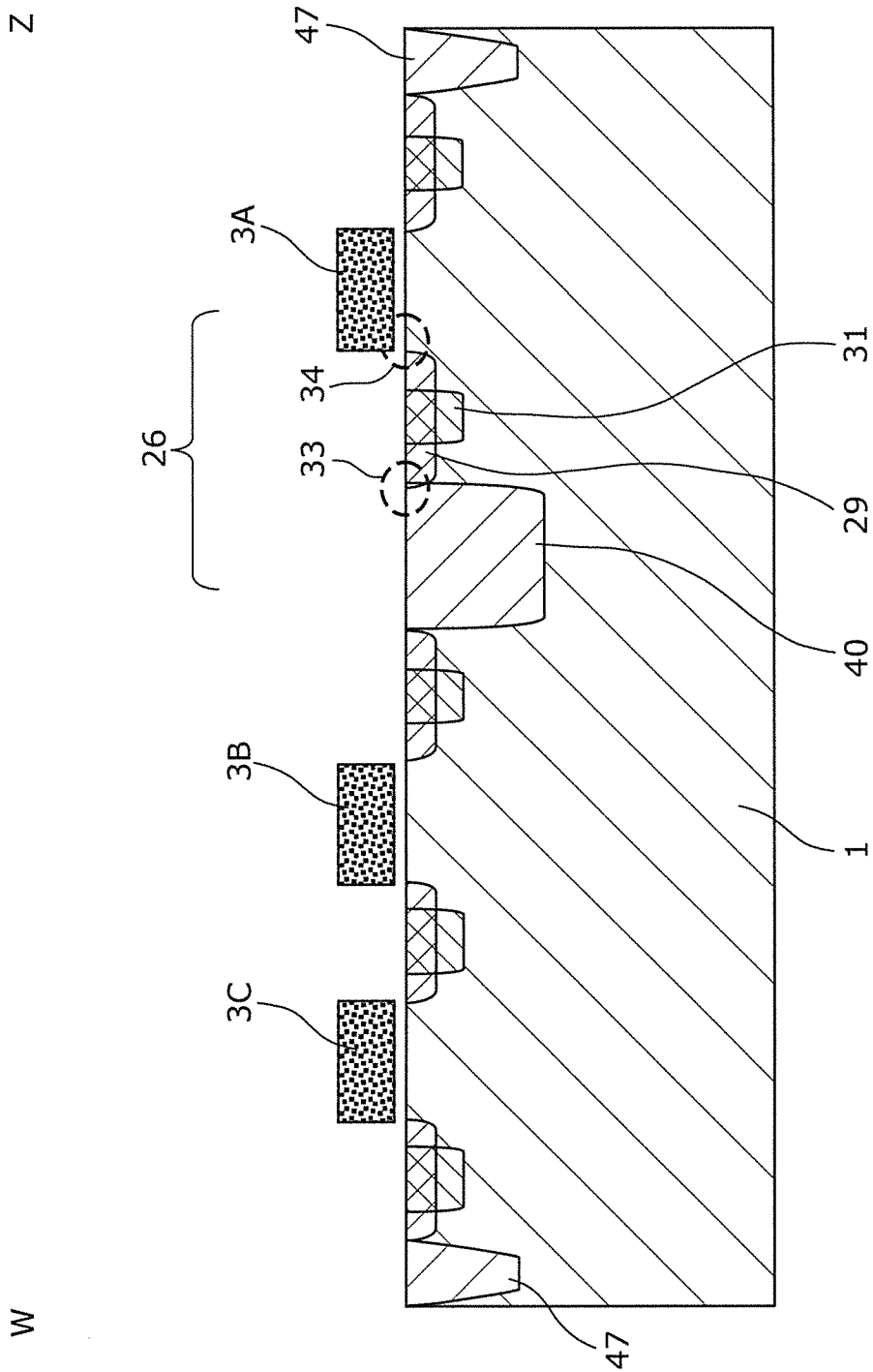
[図12]



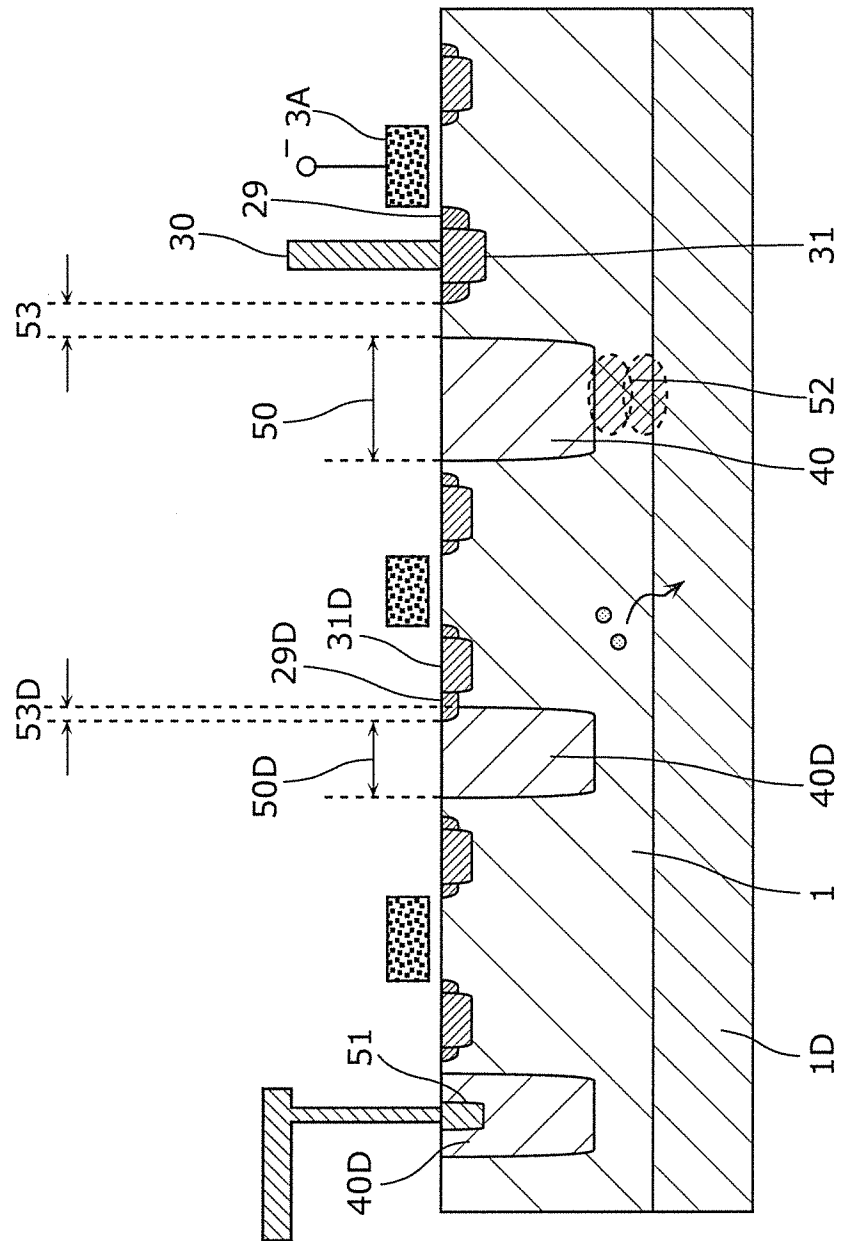
W



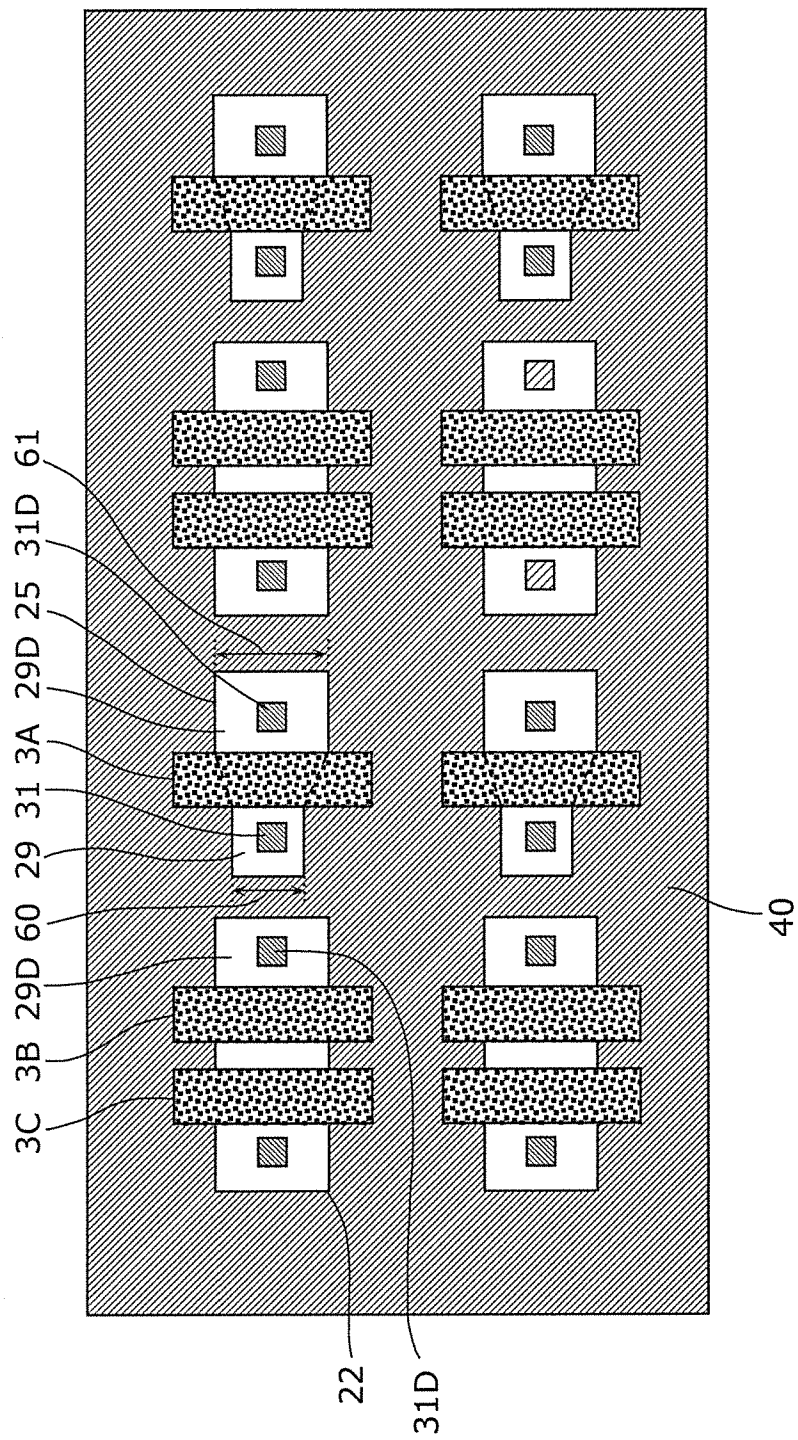
[図15]



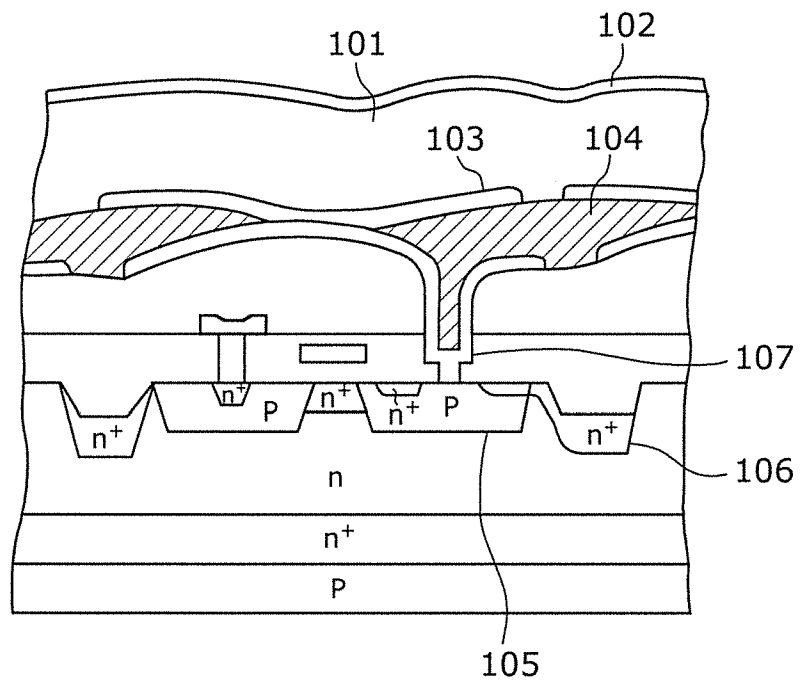
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003314

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L21/8234, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-061520 A (Fujifilm Corp.), 24 March 2011 (24.03.2011), paragraphs [0026] to [0030], [0042] to [0048]; fig. 3, 4 (Family: none)	1-9
Y	JP 2007-336306 A (Texas Instruments Japan Ltd.), 27 December 2007 (27.12.2007), paragraphs [0058] to [0060]; fig. 12 & US 2007/0278536 A1	1-3
Y	JP 2009-016690 A (Toshiba Corp.), 22 January 2009 (22.01.2009), paragraph [0031] & US 2009/0008686 A1	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2012 (04.06.12)Date of mailing of the international search report
12 June, 2012 (12.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003314

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-024907 A (Canon Inc.), 26 January 2006 (26.01.2006), paragraph [0009] & US 2005/0269604 A1 & US 2010/0020212 A1	5-9
Y	JP 2005-244096 A (Asahi Kasei Microsystems Co., Ltd.), 08 September 2005 (08.09.2005), paragraphs [0002], [0019] (Family: none)	5-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/146 (2006.01)i, H01L21/8234 (2006.01)i, H01L27/088 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/146, H01L21/8234, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-061520 A (富士フイルム株式会社) 2011.03.24, 段落【0026】 - 【0030】, 【0042】 - 【0048】, 【図 3】, 【図 4】 (ファミリーなし)	1-9
Y	JP 2007-336306 A (日本テキサス・インスツルメンツ株式会社) 2007.12.27, 段落【0058】 - 【0060】, 【図 12】 & US 2007/0278536 A1	1-3
Y	JP 2009-016690 A (株式会社東芝) 2009.01.22, 段落【0031】 & US 2009/0008686 A1	4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

多賀 和宏

5 0

4 4 5 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-024907 A (キヤノン株式会社) 2006. 01. 26, 段落【0009】 & US 2005/0269604 A1 & US 2010/0020212 A1	5-9
Y	JP 2005-244096 A (旭化成マイクロシステム株式会社) 2005. 09. 08, 段落【0002】 , 【0019】 (ファミリーなし)	5-9