

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☐ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2000/03/24；09/534,187

2.

3.

4.

5.

☐ 主張國際優先權（專利法第二十四條）：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2000/03/24；09/534,187

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明背景】

【發明領域】

本發明一般係關於電腦系統之領域，尤其，本發明係關於在一電腦系統中之節省功率消耗。

【先前技藝之說明】

由於更多系統變成可攜帶型，可攜帶型電源供電器(尤其是電池)也更加需要。隨著產業致力於最大化電池壽命，藉由處理器減少功率消耗也日益重要。甚至在固接式系統中，過度功率消耗會提高運作成本。另外，受愈來愈嚴格的治理需求及環境標準之影響而朝向於推動盡可能減少電腦系統之功率消耗。

因為典型的高性能系統通常會使用高速微處理器及協處理器，所以此類系統通常功率消耗極高。功率消耗極高的系統有可靠性及電池壽命方面的問題。例如，當微處理器消耗全部功率且以峰值性能運作時，一典型的高頻微處理器會迅速增加溫度。

然而，許多應用(例如，文書處理)因為典型的高性能微處理器的支援能力高於典型的文書處理器的需求，所以不需要微處理器以全部功率運作。因此，因為以全部功率操作不僅縮短電池壽命，而且還會影響整體系統可靠性，所以不需要使高性能系統在所有時間以全功率運作。

因此，使系統在所有時間以全功率運作係浪費。

【圖式簡單說明】

從下文中給定之詳細說明及從本發明各實施例的附圖將更完整瞭解本發明，然而，不應該限制本發明於特定實施例，其僅供解釋及瞭解之用。

圖 1 說明一以單一 PLL 為基礎之 CPU 系統之實施例。

圖 2 說明功率消耗狀態之一實施例之狀態圖。

圖 3 說明具有四個狀態之功率消耗狀態之一實施例之狀態圖。

圖 4 說明可以進入不同功率消耗狀態之一系統之方塊圖。

圖 5 說明一系統時脈之一實施例之方塊圖。

圖 6 說明用於在功率消耗狀態之間切換之一程序之時脈圖。

圖 7 說明切換功率消耗狀態之一程序之流程圖。

圖 8 說明從一高功率消耗狀態進入一低功率消耗狀態之一程序之流程圖。

【實施方式】

本發明說明一種用於節省系統功率消耗之方法及裝置。

為了徹底瞭解本發明，在下面之說明中，基於解說之目的而提出許多特定細節。然而，熟悉此項技術者應明白，在沒有這些特定細節情況下仍可實施本發明。在其它實例中，為避免混淆本發明，會以方塊圖形式來呈現熟知的結構及裝置。

接下來之詳細說明的某些部份係就有關電腦記憶體內的資料位元運算的演算法及符號表示來呈現。這些演算法說

明及表示可能是熟悉資料處理技術者使用的技術，用以將其作用的本質傳達給熟悉此項技術者。本文中的演算法通常被認為是導致期望結果之動作或操作的條理化序列。雖然不是必然，但是這些量通常採用能夠儲存、傳送、組合、比較及/或以其他方式操作之電氣或磁性信號的形式。主要係基於通用用法的因素，已證實將這些信號表示為位元、值、元件、符號、字元、術語、數字等等有時候非常方便。

但是應明白，這些及類似的術語與適當的實際量關聯，並且僅僅是套用至這些量的方便標籤。除非具體說明，否則在接下來的討論中，應明白在整份本發明中，利用如"處理"、"運算"、"計算"、"決定"或"顯示"等等之類的用語的討論係表示一電腦系統或類似電子計算裝置的動作及處理程序，用於操縱與轉換電腦系統之暫存器及記憶體內以實體(電子)量表示的資料成為在電腦系統記憶體或暫存器或如資訊儲存、傳輸或顯示裝置內以類似實體量表示的其他資料。

本發明也關於一種用於執行本文所述之運作之裝置。可以基於必要目的來特別建構本裝置，或其可以包含藉由儲存於電腦中之一電腦程式選擇性啟動或重新組態的一般用途電腦。此類電腦程式可儲存在一電腦可讀取儲存媒體中，例如(但不限於)包含軟碟片、光碟片、CD-ROM，及磁光碟片等任何類型之碟片、唯讀記憶體(ROMs)、隨機存取記憶體(RAMs)、EPROMs、EEPROMs、磁性或光學卡片，或適用於儲存電子指令之任何類型媒體，及各個媒體皆耦

合至一電腦系統匯流排。

本文中所提出的演算法及顯示本質上非關於任何特定電腦或其它裝置。依據本文講授的程式可配合各種一般用途電腦一起使用，或經證實便於建構更特殊化裝置，以執行所需要之方法及步驟。從接下來的說明可得知各種系統的必要結構。另外，未引用任何特定程式語言來說明本發明。應明白，可使用各種程式設計語言來實施如本文中所說明的本發明。

【概述】

本發明揭示一種使用多個功率消耗狀態來節省系統功率消耗之機制。在一實施例中，系統會依據應用所需的計算功率，在一高功率消耗狀態與一低功率消耗狀態之間動態轉換，這也稱為 Geyserville 轉換。例如，當中央處理單元("CPU")僅需要支援一簡單應用時，例如，一文書處理器，中央處理單元從一高功率消耗狀態轉換到一低功率消耗狀態。

在一替代實施例中，一單一相鎖迴路("PLL")係使用於產生供一 CPU、一圖形控制集線器("GCH")及一記憶體控制集線器("MCH")使用之多種時脈信號。在此實施例中，整合 PLL、CPU、GCH 及 MCH 於一積體電路("IC")中。在另一實施例中，CPU 係建構成以一種以上時脈頻率運作。在一替代實施例中，CPU 可以在一種以上電壓位準運作。

圖 1 說明一以單一 PLL 為基礎之 CPU 系統 100 之一實施例。電腦系統 100 包含一處理器 112、一時脈 130、一記憶

體 104、一記憶體控制器 150、一圖形控制器 152，及一輸入輸出("I/O")控制器 140。圖形控制器 152 係耦合於一顯示器 121。I/O 控制器 140 係耦合於一鍵盤 122、一硬複印裝置 124，及一游標控制裝置 123。

處理器 112 包含(但是不限於)一微處理器，例如，由本發明之公司受讓人之 Santa Clara, Calif 之 Intel 股份有限公司製造之一 Intel 結構微處理器。處理器 112 也可以係另一處理器，例如 PowerPC™、Alpha™ 等等。

在一實施例中，記憶體控制器 150 控制該記憶體 104，而記憶體 104 可以係一隨機存取記憶體(RAM)，或用於儲存資訊及指令之其它動態儲存裝置。記憶體 104 也可以用於在處理器 112 執行指令期間儲存暫時的變數或其它中間資訊。電腦系統 100 也可以包含一唯讀記憶體(ROM)，及／或用於儲存處理器 112 所使用之靜態資訊及指令之其它靜態儲存裝置。

圖形控制器 152 控制該顯示器 121(例如陰極射線管(CRT)或液晶顯示器(LCD))，該顯示器 121 耦合至一匯流排以為一電腦使用者顯示資訊。在一實施例中，I/O 控制器 140 係經由記憶體控制器 150 耦合於處理器 112。I/O 控制器 140 控制輸入及輸出裝置，例如鍵盤 122、游標控制裝置 123 及硬複印裝置 124。游標控制裝置 123 可能是一滑鼠、軌跡球、觸控板、筆，或游標方向鍵，用於將方向資訊及命令選擇傳達給處理器 112，及用於控制在顯示器 121 上之游標移動。

硬複印裝置 124 可用於將指令、資料或其它資訊列印在一媒體（例如，紙張、底片或類似類型之媒體）上。另外，也可將視需要將一聲音記錄與播放裝置（例如喇叭及／或麥克風）耦合於 I／O 控制器 140，做為連接電腦系統 100 的音訊介面。時脈 130 係使用於將各種時脈信號提供給不同元件，例如處理器 112、記憶體控制器 150 等等。

在一實施例中，可以整合處理器 112、圖形控制器 152 及記憶體控制器 150 於一單一晶片上。在另一實施例中，可以整合處理器 112、圖形控制器 152、I／O 控制器 140，及記憶體控制器 150 於一單一晶片上。注意，在本發明中可以使用系統 100 之任何或所有元件及相關硬體。然而，可以瞭解電腦系統之其它組態包含該等裝置之一部份或全部。

圖 2 係說明功率消耗狀態之一實施例之一狀態圖 200。狀態圖 200 包含一高功率狀態 202 及一低功率狀態 204。高功率狀態 202 指示高時脈頻率及高操作電壓，而低功率狀態 204 指示低時脈頻率及低操作電壓。例如，高功率狀態 202 利用 1.8 伏特(v)操作電壓以 700 百萬赫茲(MHz)運作，而低功率狀態 204 利用 1.3v 操作電壓以 400 MHz 運作。在一實施例中，為節省功率消耗，一系統或一 CPU 根據應用所需之計算功率，而動態轉換於高功率狀態 202 與低功率狀態 204 之間。

在另一實施例中，一系統動態切換於高功率狀態 202 與低功率狀態 204 之間而不需要使用者介入。例如，會在按

鍵敲擊之間發生高功率狀態 202 與低功率狀態 204 間之多重轉換。在一實施例中，在高功率狀態 202 期間，CPU 消耗全部功率且能夠執行全部功能。然而，在一實施例中，在低功率狀態 204 期間，CPU 消耗較低功率且僅能執行部份功能。注意，高功率狀態 202 的功率消耗為低功率狀態 204 的功率消耗之雙倍或三倍。

可以依據電壓及頻率來計算功率消耗。功率消耗之數學方程式如下所示，

$$P \propto CV^2f$$

其中 P 表示功率，及 C 代表一常數。而且，V 表示電壓，f 表示頻率。例如，如果高功率狀態 202 使用 1.8v 以 700 MHz 運作，則高功率狀態的功率消耗 P_H 為

$$P_H \propto CV^2f = C \times (1.8)^2 \times 700 = 2268C$$

如果低功率狀態 204 使用 1.3v 以 400 MHz 運作，則低功率狀態之功率消耗 P_L 為

$$P_L \propto CV^2f = C \times (1.3)^2 \times 400 = 676C。$$

因此， P_H 消耗之功率為 P_L 消耗之功率三倍之多。

圖 3 係說明具有四個狀態之功率消耗狀態實施例之狀態圖 300。狀態圖 300 包含 C0 302、C1 304、C2 306 及 C3 308 狀態。可以增加額外的狀態，但是對瞭解本發明，它們係不重要。

在一實施例中，C0 302 狀態係一啟用中功率消耗狀態，其中 CPU 執行全部功能消耗全部功率。在 C0 302 狀態期間，不採用用於省電之電力管理。在一實施例中，C1 304

狀態係一自動暫停功率消耗狀態，其中會執行用於省電之進階電力管理("APM")。執行於 C1 304 狀態之 CPU 的功率消耗通常低於執行於 C0 302 狀態之 CPU 的功率消耗。例如，在 C1 304 狀態期間，通常不會執行指令且指令快取記憶體通常為空的。

在一實施例中，C2 306 狀態係一授予停止功率消耗狀態，其中在 C2 306 狀態的功率消耗低於 C0 302 狀態或 C1 304 狀態之功率消耗。例如，在 C2 306 狀態期間，可以停止 CPU 之時脈信號。在另一實施例中，CPU 被局部停機。例如，CPU 之主要部分被停機，而 CPU 用於監視前端匯流排之偵測部分仍然處於啟用中狀態。若要進入 C2 306 狀態，CPU 可以在 C1 304 狀態或 C0 302 狀態下。同樣，C2 306 狀態可直接轉變至 C0 302 狀態，而不需要先進入 C1 304 狀態。

在一實施例中，C3 308 狀態係名為睡眠狀態，其中一系統之部份元件(包含 CPU)被停機。在本實施例中，CPU 係被完全停機，因而可在 C3 308 狀態改變時脈頻率。在一實施例中，若要進入 C3 308 狀態，CPU 係建構成會在進入 C3 308 狀態之前先進入 C2 306 狀態。在一替代實施例中，CPU 可以從 C0 302 狀態直接切換到 C3 308 狀態。

圖 4 係說明可以進入不同功率消耗狀態之一系統之方塊圖 400。方塊圖 400 包含一時脈裝置 420、一處理單元("PU")401、記憶體裝置 422，及一輸入輸出控制集線器("ICH")416。PU 401 進一步包含一 CPU402、一 PLL404、

一圖形控制集線器("GCH")406、一記憶體控制集線器("MCH")408、一記憶體介面("MI")410，及一輸入／輸出("I／O")介面 412。在方塊圖 400 中可以增加其它方塊圖或裝置，但是與瞭解本發明無關。

在一實施例中，時脈裝置 420 將時脈信號提供給各種裝置，包含 PU 401。在另一實施例中，時脈裝置 420 提供多個時脈頻率以促進多重功率消耗狀態。例如，時脈裝置 420 在高功率消耗狀態時將 700MHz 時脈信號提供到 PU 401，而時脈裝置 420 在低功率消耗狀態時將 400MHz 時脈信號提供到 PU 401。在又一實施例中，時脈裝置 420 將時脈信號提供到記憶體 422。

在一實施例中，記憶體 422 包含多個高性能記憶組。在一實施例中，記憶體 422 可使用高性能 DRAMs("直接隨機存取記憶體")，例如，RambusTM DRAM("RDRAM")。在一替代實施例中，記憶體 422 可使用高速 SRAM(靜態隨機存取記憶體)。

在一實施例中，ICH 416 控制介於 PU 401 與外部裝置(例如，主記憶體、系統匯流排，及各種輸入裝置)之間的資料異動。在本實施例中，ICH 416 不會在功率消耗狀態之間轉換。I／O 介面 412 係用於介於 PU 401 與 ICH 416 之間的通信。在一實施例中，I／O 介面 412 包含所屬的 PLL 裝置，以至於在 PLL 404 停止提供時脈信號時，I／O 介面 412 係仍然可以繼續監視在 PU 401 與 ICH 416 之間的通訊流量。PLL 404 接收來自時脈裝置 420 之時脈信號，及將時脈

信號重新分配給一些元件，包含 CPU 402、GCH 406 及 MCH 408。在一實施例中，在 C3 狀態期間，可以停止從 PLL 404 到 CPU 402 之時脈信號以節省功率。當時脈信號停止時，CPU 402 停止執行，這通常會節省功率消耗。在一實施例中，一旦 CPU 402 停止執行，可藉由新時脈信號繼續執行。在一實施例中，來自 PLL 404 之新時脈信號可以具有不同之時脈頻率，例如較慢速之時脈頻率，俾使節省功率消耗。在另一實施例中，PLL 404 可停止供電給 CPU 402，接著使用不同電壓位準供電。

在一實施例中，GCH 406 接收來自 PLL 404 之時脈信號並且控制圖形實現。在一實施例中，MCH 408 也接收來自 PLL 404 之時脈信號，並且經由 MI 410 來控制記憶體存取。在一實施例中，修改 MI 410 成為記憶體 422 中使用之特定記憶體。例如，如果在記憶體 422 中使用 RDRAM，MI 410 可以係一 RambusTM ASIC 單元("RAC")，其係使用於在 PU 401 與 RDRAM 之間的通信。在一實施例中，PU 401 被整合成一單一積體電路("IC")以節省功率消耗。

在一實施例中，在運作過程中，在 C3 狀態期間會停止供電給 PLL 404。一旦停止供電給 PLL 404，PLL 404 暫停 PU 401 中之時脈分配。在暫停來自 PLL 404 之時脈信號之後，如 CPU 402、GCH 406 與 MCH 408 之類的各種元件被停機。一旦暫停 CPU 402，接著可使用一較低時脈頻率使 CPU 402 繼續運作，其可以需要較少功率運作。

圖 5 係說明一時脈組態實施例之方塊圖 500。在一實施

例中，方塊圖 500 包含一時脈產生器 504、一直接 Rambus™ 時脈產生器 ("DRCG") 508、RDRAM 530 及一時脈分配器 520。DRCG 508 進一步包含一 PLL 502，及一相位對準器 510。時脈分配器 520 也包含一 PLL 522 及一相位對準器 512。方塊圖 500 中可以增加額外方塊圖，但是對瞭解本發明它們係不重要。

在一實施例中，時脈產生器 504 分別經由時脈匯流排 544、546 將時脈信號傳送到 PLL 502 及 PLL 522。在一實施例中，PLL 502 係用於將時脈信號分配給 DRCG 508，而 DRCG 508 進一步將時脈信號分配給 RDRAM 530。為在 DRCG 508 與時脈分配器 520 之間調節時脈信號，相位對準器 510 及 512 係用於同步化時脈信號。

在一實施例中，在運作過程中，在 C3 狀態期間，藉由從時脈產生器 504 到 DRCG 508 之時脈匯流排 544 所載送的參考時脈係處於作用中狀況。然而，相位對準器 512 被暫停以使時脈分配器 520 停止分配時脈信號。在一實施例中，當時脈產生器暫停將時脈分配給 RDRAM 530 時，RDRAM 530 仍然接收來自 DRCG 508 之時脈信號，其係使用於記憶體更新。在頻率及電壓轉變之後，相位對準器 510 及 512 繼續運作並且可以進入一新功率消耗狀態。

圖 6 係說明用於在功率消耗狀態之間切換之一程序(例如一 Geyserville 轉變)之時序圖 600。時序圖 600 說明從一高功率消耗狀態或 C0 狀態轉變為一低功率消耗狀態或 C3 狀態之 Geyserville 轉變。

在一實施例中，CPU 將一 Geyserville 轉變要求寫入至用於起始一 Geyserville 轉變之 Geyserville 控制暫存器。在時脈週期 670，當 CPU 在 CPU 前端匯流排("FSB")601 上發出 Geyserville 寫入("GWt")640 時，FSB 偵測被鎖定且 GWt 640 被傳遞到集線器介面 604。MCH 在集線器介面上接收 GWt 624 之後，GWt 624 被傳遞到 ICH，其加入一 Geyserville 轉變序列。接著，在時脈週期 671，在 CPU FSB 601 上發出一停止 CPU 時脈，並且在集線器介面 604 上發出一移至 Geyserville("Go_Gy")626 之信號。

在 Go_Gy 626 處於作用中狀況之後，發生從 C0 狀態 660 到 C2 狀態 662 之轉變。在時脈週期 672，執行一維護程序 607。在一實施例中，維護程序 607 執行溫度和電流校準、記憶體更新，及電流校準。執行維護程序 607 之後，在集線器介面 604 上起始一認可 Geyserville("Ack_Gy")628 之指令。

在集線器介面 604 上發出 Ack_Gy 628 之後，MCH 傳送一允許訊息以執行 Geyserville 轉變。在時脈週期 673，停止相位偵測器或對準器之輸出。在一實施例中，DRCG 回授路徑係維持在運作狀態。接著在時脈週期 673 終止之前發生頻率及電壓轉變。在電壓轉變之後(其所需轉變時間較頻率轉變久)，匯流排比率將改變。在匯流排比率改變之後，FSB 偵測被致能。在時脈週期 674，裝置從停止供電狀態轉變成為暫停狀態。

圖 7 係說明切換功率消耗位準之程序之流程圖 700。一

程序從開始步驟開始，及進行到步驟 702。在步驟 702，程序使 PLL 暫停提供一第一時脈頻率。在步驟 702 之後，程序進行到步驟 704。在步驟 704，程序暫停 CPU。在步驟 704 之後，程序進行到步驟 706，其中程序暫停 GCH。在步驟 706 之後，程序進行到步驟 708。在步驟 708，程序使 PLL 以一第二時脈頻率繼續運作。在步驟 708 之後，程序進行到步驟 710，其中程序回應第二時脈頻率而使 CPU 繼續運作。在步驟 710 之後，程序於終止步驟終止。

圖 8 係說明從一高功率消耗位準進入一低功率消耗位準之一程序之流程圖 800。一程序從開始步驟開始，及進行到步驟 802。在步驟 802，程序起始一轉變並鎖定 FSB 偵測。在步驟 802 之後，程序移動到步驟 804，其中程序開始轉變序列。在步驟 804 之後，程序進行到步驟 806。在步驟 806，程序執行溫度及電流校準、記憶體更新及校準廣播。在步驟 806 之後，程序進行到步驟 808，其中程序離開暫停狀態或 C2 狀態。在步驟 808 之後，程序進行到步驟 812。在步驟 812，程序暫停相位對準器之輸出。在步驟 812 之後，程序進行到步驟 814，其中程序開始頻率及電壓轉變。在步驟 814 之後，程序進行到步驟 816。在步驟 816，程序等待轉變完成。在步驟 816 之後，程序進行到步驟 818，其中程序致能 FSB 偵測。在步驟 818 之後，程序進行到步驟 820，其中程序進入暫停狀態，或 C2 狀態。在步驟 820 之後，程序終止。

在前面之詳細說明中，已經參考其中之特定例示實施例

說明本發明之方法及裝置。然而，應瞭解可以在不離開本發明之廣泛精神及範圍下，完成一些修改及改變。本發明之說明書及圖式因此應視為闡釋性，而非限制性。

因此，本發明揭示用於節省功率消耗之一方法及一系統。

【圖式元件符號說明】

100	電腦系統
104、422	記憶體
112	處理器
121	顯示器
122	鍵盤
123	游標控制裝置
124	硬複印裝置
130	時脈
140、416	I/O 控制器
150	記憶體控制器
152	圖形控制器
200、300	狀態圖
202	高電力狀態
204	低電力狀態
400、500	方塊圖
402	中央處理單元
404、502、522	相鎖迴路
406	圖形控制集線器
408	記憶體控制集線器

410	記憶體介面
412	I/O 介面
420	時脈裝置
504	時脈產生器
508	DIRECT RAMBUS™ 時脈產生器
510、512	相位調整器
520	時脈分配器
530	Rambus™ 動態隨機存取記憶體
544、546	時脈匯流排
600	時脈圖
601	前端匯流排
604	集線器介面
607	維護程序
624、640	Geyserville 寫入
626	操作 Geyserville
628	確認 Geyserville
670、671、672、673、374	時脈循環
700、800	流程圖
702、704、706、708、710、 802、804、806、808、812、 814、816、818、820	步驟

伍、中文發明摘要：

本發明提供一種積體電路，其包含一中央處理單元 (CPU)、一圖形控制集線器 (GCH)、一記憶體控制集線器 (MCH)，及一相鎖迴路 (PLL)。GCH、MCH，及 PLL 係耦合於 CPU。MCH 控制記憶體執行。PLL 係建構以允許 CPU 在一種以上之功率消耗狀態運作。

陸、英文發明摘要：

An integrated circuit contains a central processing unit ("CPU"), a graphic control hub ("GCH"), a memory control hub ("MCH"), and a phase lock loop ("PLL"). The GCH, MCH, and PLL are coupled to the CPU. The MCH controls memory transactions. The PLL is configured to allow the CPU to operate at more than one power consumption states.

柒、指定代表圖：

(一)本案指定代表圖為：第()圖。

(二)本代表圖之元件代表符號簡單說明：

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種用於控制系統功率與性能之積體電路，其包含：
 - 一中央處理單元("CPU")；
 - 一圖形控制集線器("GCH")，其耦合於該 CPU；
 - 一記憶體控制集線器("MCH")，其耦合於該 CPU，及係建構以控制記憶體轉變；及
 - 一相鎖迴路("PLL")，其耦合於該 CPU，及係建構以允許該 CPU 以一種以上耗電量狀態下運作。
2. 如申請專利範圍第 1 項之積體電路，其中該 CPU 係建構以一種以上時脈頻率運作，以節省功率消耗。
3. 如申請專利範圍第 1 項之積體電路，其中該 PLL 提供一種以上時脈頻率。
4. 如申請專利範圍第 1 項之積體電路，其進一步包含：
 - 一記憶體介面，其耦合於該 MCH，並被建構以與各種外部記憶體裝置通信；及
 - 一輸入輸出("I/O")介面，其耦合於 MCH，並被建構以控制 I/O 通信量。
5. 如申請專利範圍第 1 項之積體電路，其中該積體電路係進一步耦合於一 I/O 控制器及一時脈裝置。
6. 如申請專利範圍第 1 項之積體電路，其中該 CPU 能夠以一種以上電壓位準運作，以回應來自該 PLL 之時脈信號。
7. 如申請專利範圍第 1 項之積體電路，其中該 MCH 能夠以一種以上頻率模式運作，以回應來自該 PLL 之時脈

信號。

8. 如申請專利範圍第 1 項之積體電路，其中該 MCH 能夠以一種以上電壓位準運作，以回應來自該 PLL 之時脈信號。
9. 如申請專利範圍第 1 項之積體電路，其中該 GCH 能夠以一種以上頻率模式運作，以回應來自該 PLL 之時脈信號。
10. 如申請專利範圍第 1 項之積體電路，其中該 GCH 能夠以一種以上電壓位準運作，以回應來自該 PLL 之時脈信號。
11. 如申請專利範圍第 1 項之積體電路，其中該 MCH 控制 RambusTM 動態隨機存取記憶體("RDRAM")。
12. 一種用於控制系統功率與性能之方法，其包含：
 - 使內嵌在一積體電路("IC")中的一相鎖迴路("PLL")暫停提供一第一時脈頻率；
 - 使內嵌在該 IC 中的一中央處理單元("CPU")暫停執行，以回應 PLL 之該暫停；
 - 使內嵌在該 IC 中的一圖形控制集線器("GCH")暫停執行，以回應 PLL 之該暫停；
 - 使該 PLL 繼續運作以提供一第二時脈頻率；及
 - 使該 CPU 繼續運作以回應該第二時脈頻率。
13. 如申請專利範圍第 12 項之方法，其進一步包含：
 - 使內嵌在該 IC 中的一記憶體控制集線器("MCH")暫停執行，以回應 PLL 之該暫停；及

使該 MCH 繼續運作以回應該第二時脈頻率。

14. 如申請專利範圍第 12 項之方法，其中該暫停 PLL 進一步包含進入暫停狀態以回應溫度及電流校準之結果。

15. 一種用於控制系統功率與性能之方法，其包含：

使內嵌在一積體電路("IC")中的一相鎖迴路("PLL")暫停提供一第一電壓位準；

暫停內嵌在該 IC 中的一中央處理單元("CPU")，以回應 PLL 之該暫停；

使該 PLL 繼續運作以提供一第二電壓位準；及

使該 CPU 繼續運作以回應該第二電壓位準。

16. 如申請專利範圍第 15 項之方法，其進一步包含：

使內嵌在該 IC 中的一記憶體控制集線器("MCH")暫停執行，以回應 PLL 之該暫停；及

使該 MCH 繼續運作以回應該第二電壓位準。

17. 如申請專利範圍第 15 項之方法，其中該暫停 PLL 進一步包含進入暫停狀態以回應溫度及電流校準之結果。

18. 如申請專利範圍第 15 項之方法，其進一步包含：

使內嵌在該 IC 中的一圖形控制集線器("GCH")暫停執行，以回應 PLL 之該暫停；及

使該 GCH 繼續運作以回應該第二電壓位準。

19. 一種用於控制系統功率與性能之裝置，其包含：

一中央處理單元("CPU")，其被配置在一積體電路("IC")上；

一圖形控制集線器("GCH")，其被配置在該 IC 上並

且耦合於該 CPU，用於影像處理；

一記憶體控制集線器("MCH")，其被配置在該 IC 上並且耦合於該 CPU，用於控制資料處理；

一相鎖迴路("PLL")，其被配置在該 IC 上並且耦合於該 CPU，該 PLL 被建構以切換該 CPU 以數種時脈頻率之一運作。

20. 如申請專利範圍第 19 項之裝置，其中該 PLL 被進一步建構來切換該 CPU，俾使以數種電壓位準之一運作以節省功率消耗。

21. 如申請專利範圍第 19 項之裝置，其中該 PLL 被進一步建構來切換該 GCH，俾使以數種電壓位準之一運作以節省功率消耗。

22. 如申請專利範圍第 19 項之裝置，其中該 PLL 被進一步建構來切換該 GCH，俾使以數種時脈頻率之一運作以節省功率消耗。

23. 如申請專利範圍第 19 項之裝置，其中該 PLL 被進一步建構來切換該 MCH，俾使以數種電壓位準之一運作以節省功率消耗。

24. 如申請專利範圍第 19 項之裝置，其中該 PLL 被進一步建構來切換該 MCH，俾使以數種時脈頻率之一運作以節省功率消耗。

圖式

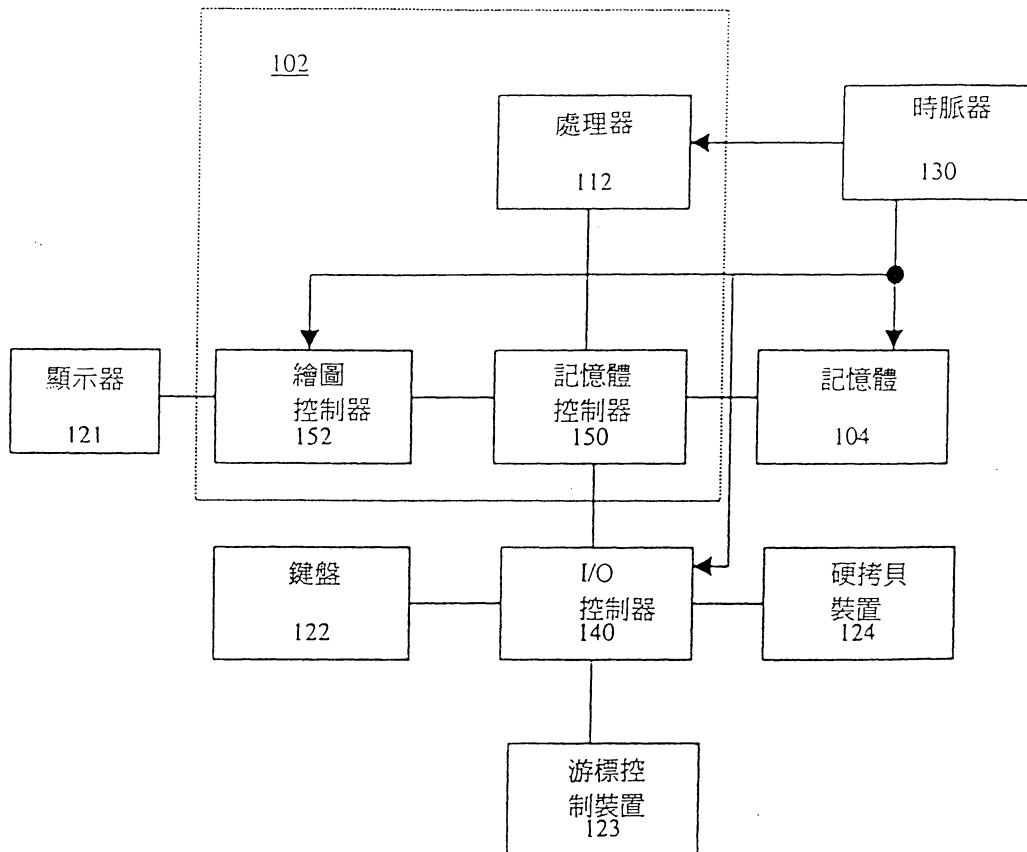
100

圖 1

圖式

200

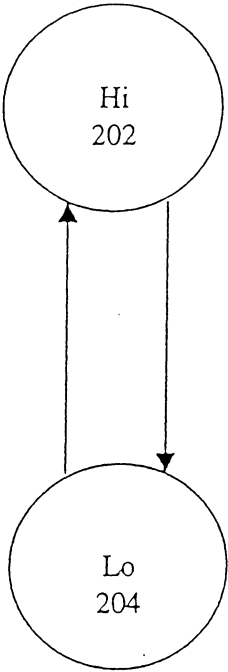


圖2

圖式

300

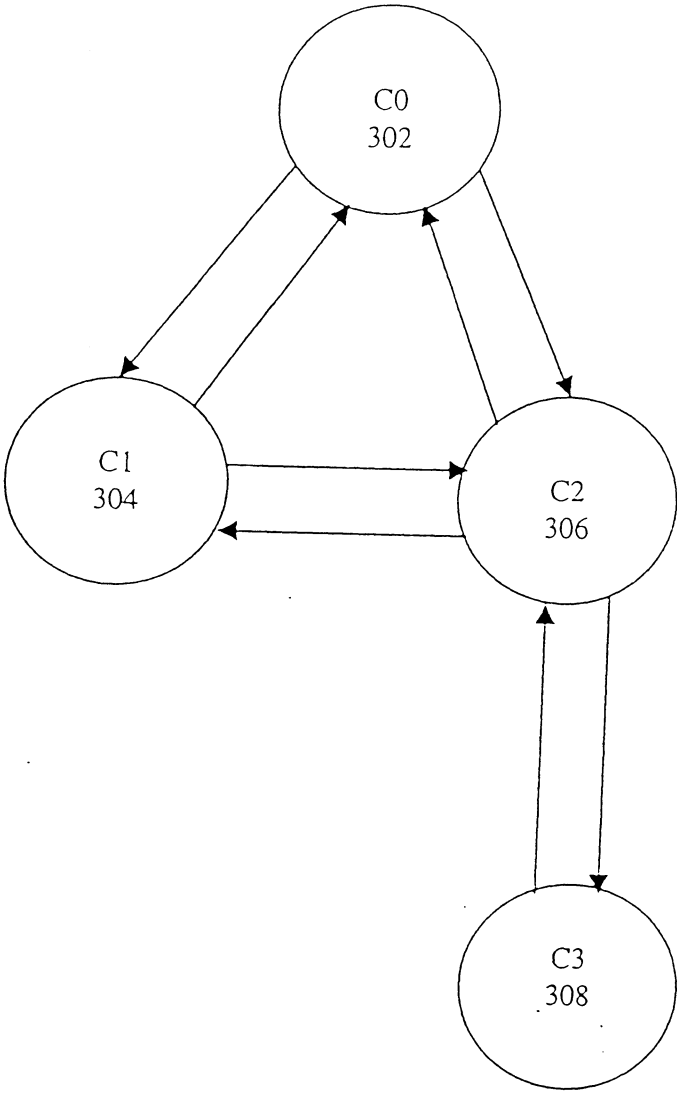


圖3

圖式

400

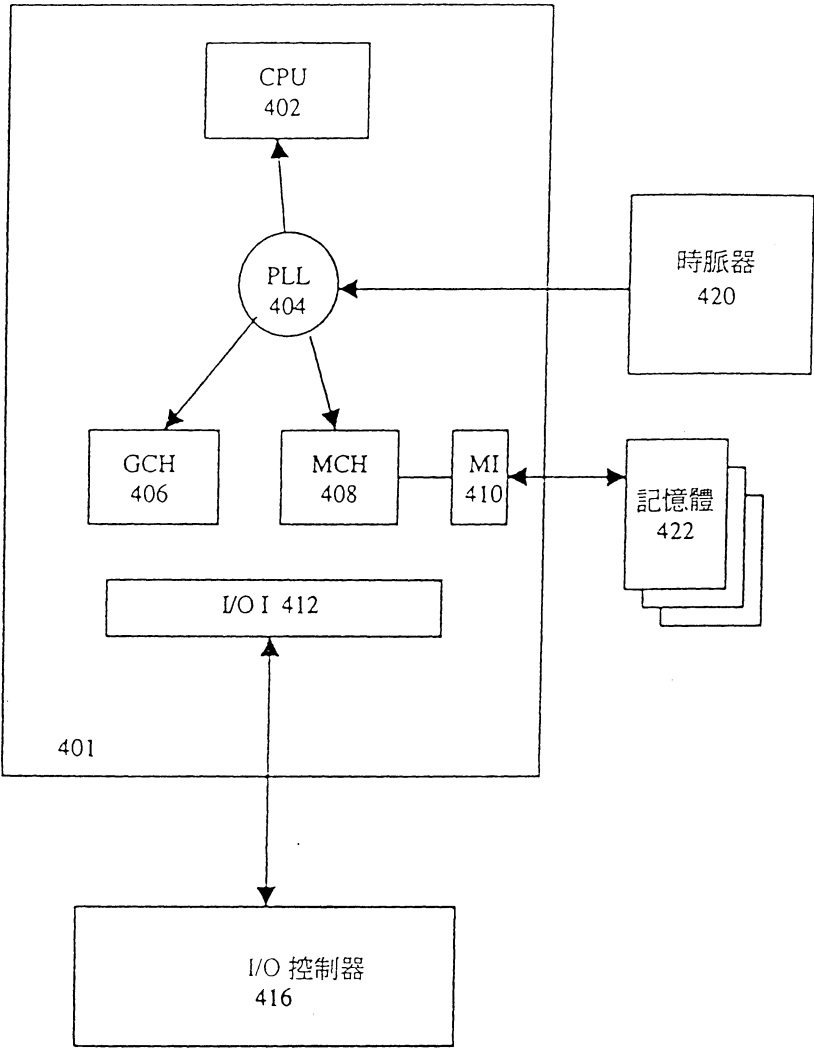


圖4

圖式

500

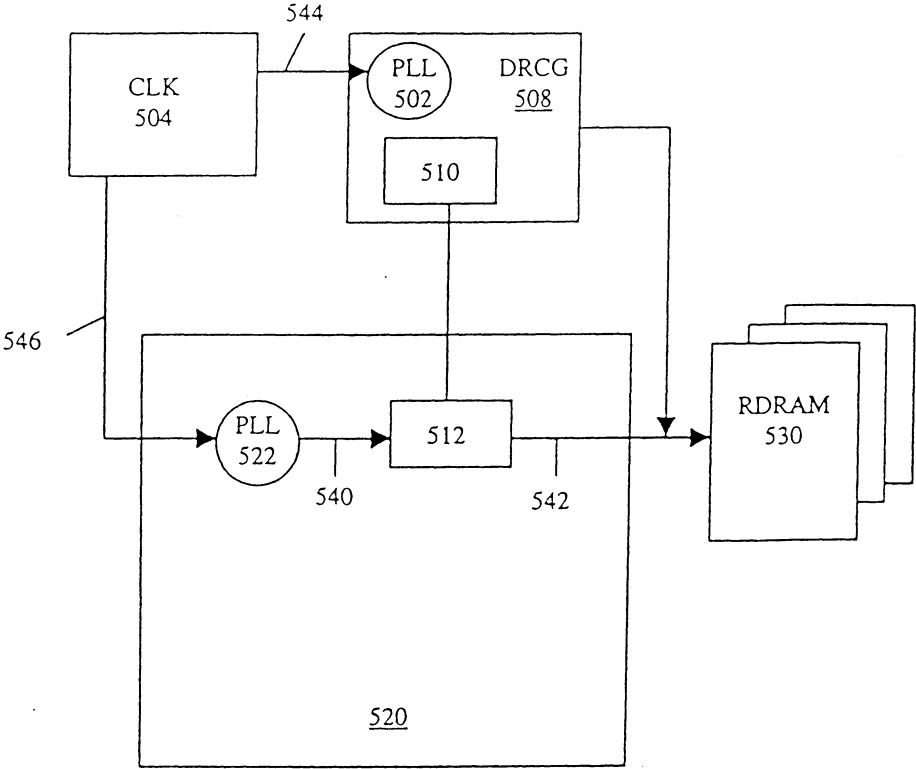


圖5

圖式

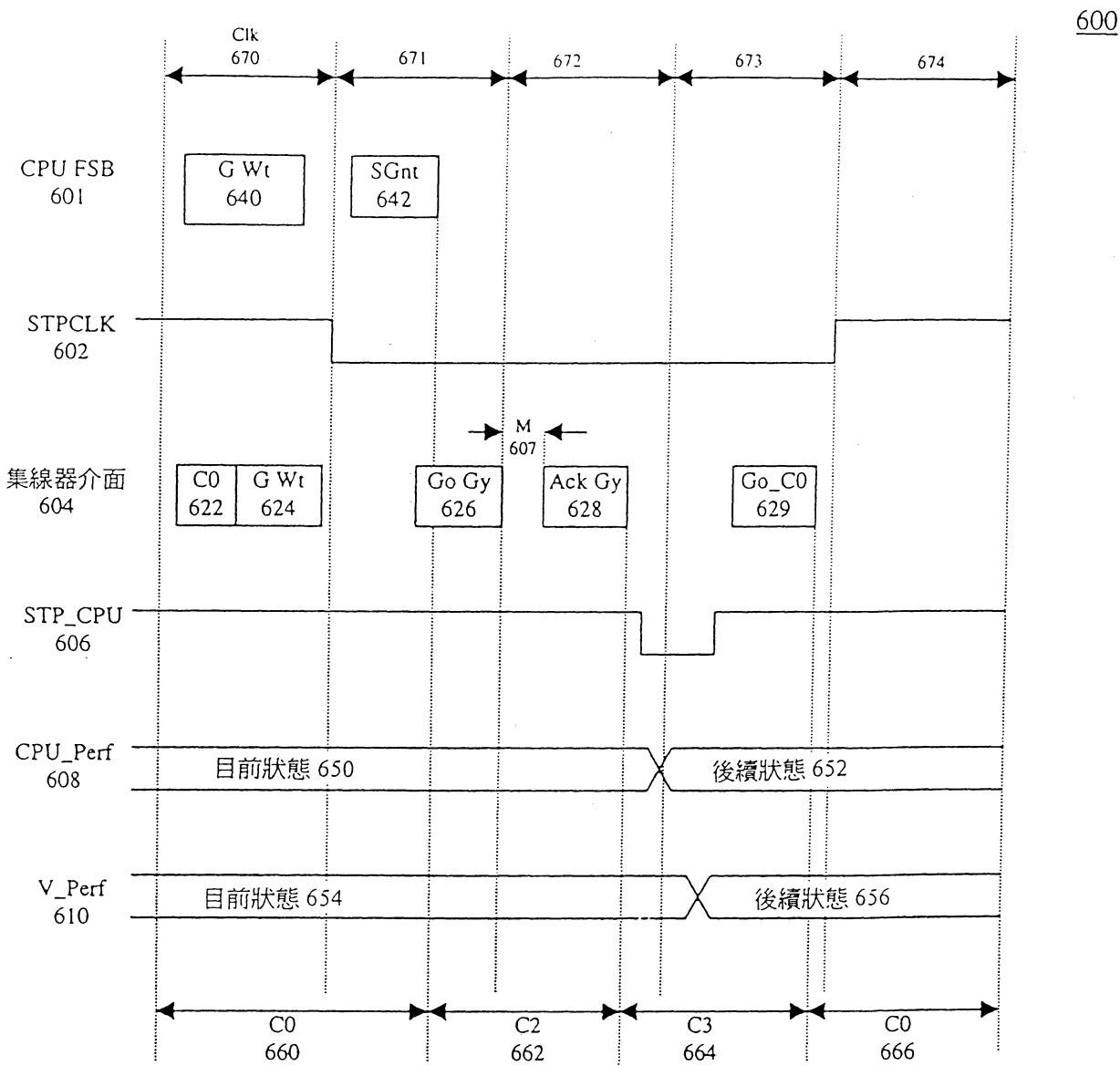


圖6

圖式

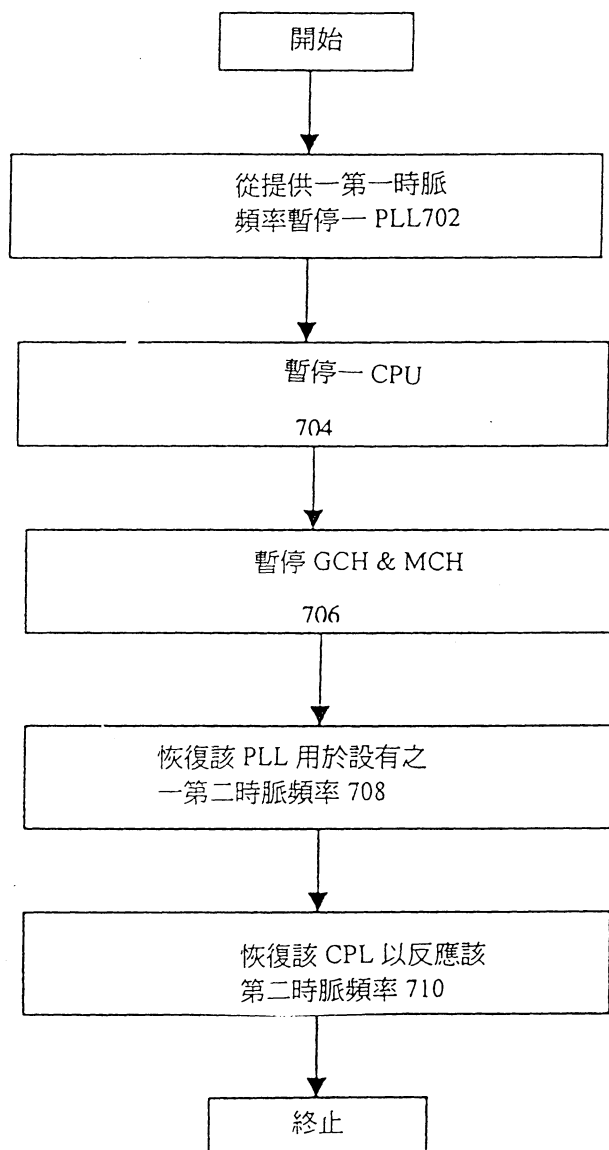
700

圖 7

圖式

800

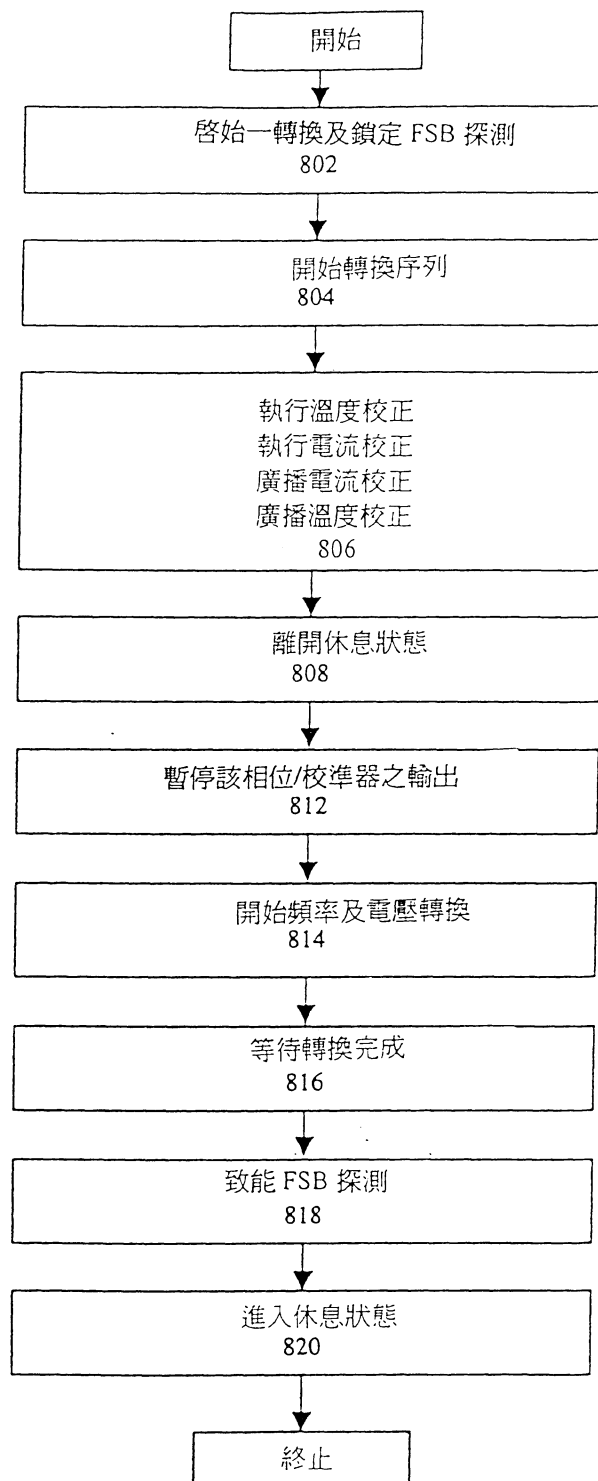
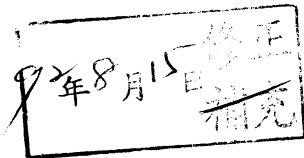


圖 8

公告本

I238932



發明專利說明書

中文說明書替換本(92年8月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：090105138

※申請日期：90.3.6

※IPC 分類：G06F1/32

壹、發明名稱：(中文/英文)

單一相鎖迴路處理器系統中控制處理器功率及性能之方法及裝置
METHOD AND APPARATUS TO CONTROL PROCESSOR POWER
AND PERFORMANCE FOR SINGLE PHASE LOCK LOOP (PLL)
PROCESSOR SYSTEMS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司 INTEL CORPORATION

代表人：(中文/英文)

F. 湯姆士. 當烈二世 F. THOMAS DUNLAP, JR.

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路 2200 號
2200 MISSION COLLEGE BOULEVARD, SANTA CLARA,
CALIFORNIA 95052, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 2 人)

姓名：(中文/英文)

1. 周尚守 SUNG-SOO CHO

2. 沙奇特 詹 SATCHIT JAIN

住居所地址：(中文/英文)

1. 美國加州桑尼維爾市傑斯柏路 1521 號

1521 JASPER DRIVE, SUNNYVALE, CALIFORNIA 94087, U.S.A.

2. 美國加州聖荷西市紅莓路 558 號

558 CRIMSONBERRY WAY, SAN JOSE, CALIFORNIA 95128, U.S.A.

國籍：(中文/英文)

1. 美國 U.S.A.

2. 印度 INDONESIA