

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-281274

(P2007-281274A)

(43) 公開日 平成19年10月25日(2007. 10. 25)

(51) Int. Cl.		F I		テーマコード (参考)
H O 1 L 23/48	(2006. 01)	H O 1 L 23/48	G	5 F O 4 7
H O 1 L 25/07	(2006. 01)	H O 1 L 25/04	C	
H O 1 L 25/18	(2006. 01)	H O 1 L 21/52	C	
H O 1 L 21/52	(2006. 01)			

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2006-107161 (P2006-107161)	(71) 出願人	000004260
(22) 出願日	平成18年4月10日 (2006. 4. 10)		株式会社デンソー
			愛知県刈谷市昭和町 1 丁目 1 番地
		(74) 代理人	100100022
			弁理士 伊藤 洋二
		(74) 代理人	100108198
			弁理士 三浦 高広
		(74) 代理人	100111578
			弁理士 水野 史博
		(72) 発明者	石野 寛
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内
		F ターム (参考)	5F047 AA02 BA05 BA06 BA19

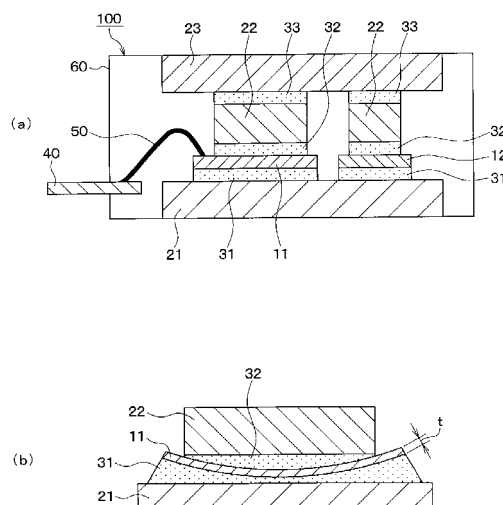
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 第1のリードとターミナルとの間に半導体素子を挟み込み、半導体素子とその上下の導体部材とをはんだ接続してなる半導体装置において、はんだリフロー時に下側となる第1のはんだと半導体素子の端部との濡れ性を向上させる。

【解決手段】 各半導体素子11、12と第1のリード21との間には、第1のはんだ31が介在しており、この第1のはんだ31を介して、各半導体素子11、12と第1のリード21とがはんだ接続され、各半導体素子11、12の上には、第2のはんだ32を介して、それぞれ第2の導体部材としてのターミナル22が搭載され、第2のはんだ32によりはんだ接続されており、第1のはんだ31の凝固点T1は第2のはんだ32の凝固点T2よりも低い。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の導体部材 (21) の上に第 1 のはんだ (31) を介して半導体素子 (11、12) を搭載し、この半導体素子 (11、12) の上に第 2 のはんだ (32) を介して第 2 の導体部材 (22) を搭載した状態で、前記第 1 および第 2 のはんだ (31、32) をリフローさせることにより、前記半導体素子 (11、12) と前記両導体部材 (21、22) とをはんだ接続するようにした半導体装置において、

前記第 1 のはんだ (31) の凝固点が、前記第 2 のはんだ (32) の凝固点よりも低いことを特徴とする半導体装置。

【請求項 2】

前記半導体素子 (11、12) の厚さは 150 μm 以内であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の導体部材 (22) の上に第 3 のはんだ (33) を介して第 3 の導体部材 (23) がはんだ接続されており、

前記第 3 のはんだ (33) の凝固点は、前記第 1 のはんだ (31) の凝固点および前記第 2 のはんだ (32) の凝固点よりも低いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 の導体部材 (21) の上面のうち前記半導体素子 (11、12) の端部が重なる部位には、突起 (21a) が設けられていることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第 1 の導体部材と第 2 の導体部材との間に半導体素子を介在させ、半導体素子とその上下の導体部材とをはんだ接続してなる半導体装置に関する。

【背景技術】

【0002】

従来より、この種の半導体装置としては、第 1 の導体部材の上に第 1 のはんだを介して半導体素子を搭載し、この半導体素子の上に第 2 のはんだを介して第 2 の導体部材を搭載した状態で、第 1 および第 2 のはんだをリフローさせることにより、半導体素子とその上下の導体部材とをはんだ接続するようにした半導体装置が提案されている（例えば、特許文献 1 参照）。

【0003】

このものによれば、半導体素子の両面から放熱がなされるため、半導体素子として IGBT、パワー MOSFET、パワートランジスタなどのパワー素子を採用することができる。

【特許文献 1】特開 2001-274177 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ここで、半導体素子となるパワー素子としては、オン抵抗やスイッチング特性などの点から薄型化する傾向にある。このような状況において、本発明者の検討によれば、以下のような問題が生じることがわかった。

【0005】

図 9 は、この問題点を説明するための概略断面図であり、本発明者が従来の半導体装置に基づいて試作した半導体装置の要部を示す図である。第 1 の導体部材 21 の上に第 1 のはんだ 31 を介して半導体素子 11 が接続され、この半導体素子 11 の上に第 2 のはんだ 32 を介して第 2 の導体部材 22 が接続されている。

10

20

30

40

50

【0006】

ここで、半導体素子11は、図示しないけれども、通常シリコン基板を本体とし、その上にA1などの配線が形成され、この配線の上にNiなどの電極が形成されているものである。

【0007】

図9に示されるように、薄いパワー素子などの半導体素子11を用いる場合、はんだ接合時に、半導体素子11内のバイメタル効果により生じる熱応力により半導体素子11が大きく反る。すると、この半導体素子11の反りによって、半導体素子11の端部は、その下側に位置する第1のはんだ31から離れる形となり、この端部にて第1のはんだ31の濡れ不良が起こる。

10

【0008】

ここで、はんだ31が半導体素子11の全面に濡れないということは、半導体素子11の放熱面積が小さくなることを意味し、ひいては設計値よりも熱抵抗が大きくなり、期待される放熱が行えなくなるという問題を引き起こす。

【0009】

本発明は、上記問題に鑑みてなされたものであり、第1の導体部材と第2の導体部材との間に半導体素子を挟み込み、半導体素子とその上下の導体部材とをはんだ接続してなる半導体装置において、はんだリフロー時に下側となる第1のはんだと半導体素子の端部との濡れ性を向上させることを目的とする。

【課題を解決するための手段】

20

【0010】

上記目的を達成するため、上記図9に示される問題について検討を行った。その結果、次に述べるようなメカニズムを推定するに至った。

【0011】

従来の工程では、上記図9に示される半導体素子11の上下のはんだ31、32は同一材料であり、これらはんだ31、32の凝固点以上においては、半導体素子11内のSiなどの基板とA1、Niなどの電極材料との間に熱応力による半導体素子11の反りが生じる。

【0012】

また、はんだ31、32の凝固点以上の温度においては、第2の導体部材22の荷重が作り出す力F1は、はんだ31、32を押し上げようとする2つの力F2、F3に分散される。

30

【0013】

ここで、はんだ31、32が凝固点以上の場合において、液状のはんだ31、32がスポンジ効果をもたらすため、半導体素子11を押し下げ第1のはんだ31の濡れを押し進めようとする力F3が、弱くなり、その結果、半導体素子11の端部とその下の第1のはんだ31との濡れが不十分になる。また、このスポンジ効果は、第2のはんだ32が厚いほど顕著に現れるため、反り量が大きいほどその影響は大きくなる。

【0014】

本発明は、このような検討結果に基づいて創出されたものであり、半導体素子(11、12)の下側の第1のはんだ(31)の凝固点が、上側の第2のはんだ(32)の凝固点よりも低いことを特徴とする。

40

【0015】

それによれば、はんだ接合時、半導体素子(11、12)の上下の両はんだ(31、32)はリフローされて液状となり、次に、凝固点の高い上側の第2のはんだ(32)が凝固するため、半導体素子(11、12)の反りが抑制されるとともに上側の第2の導体部材(22)からの荷重は、第2のはんだ(32)で分散されることなく、半導体素子(11、12)に加わる。そのため、はんだリフロー時に下側となる第1のはんだ(31)と半導体素子(11、12)の端部との濡れ性を向上させることができる。

【0016】

50

また、半導体素子（１１、１２）の厚さが１５０μm以内である場合に、半導体素子（１１、１２）において上記の反りが生じやすいため、本発明の有効性が高まる。

【００１７】

また、このような構成においては、第２の導体部材（２２）の上に第３のはんだ（３３）を介して、第３の導体部材（２３）をはんだ接続した場合、第３のはんだ（３３）の凝固点を、第１のはんだ（３１）の凝固点および第２のはんだ（３２）の凝固点よりも低いものにできる。

【００１８】

それによれば、第２の導体部材（２２）の上に第３のはんだ（３３）を介して第３の導体部材（２３）をはんだ接続する場合、第１のはんだ（３１）および第２のはんだ（３２）が溶けることが防止される。 10

【００１９】

また、このような構成において、第１の導体部材（２１）の上面のうち半導体素子（１１、１２）の端部が重なる部位に、突起（２１ａ）を設けることが好ましい。

【００２０】

それによれば、第１の導体部材（２１）の上に第１のはんだ（３１）を配設したときに、この突起（２１ａ）によって第１のはんだ（３１）が盛り上がった状態となることから、半導体素子（１１、１２）の端部に位置する第１のはんだ（３１）の厚みを稼ぐことができるため、半導体素子（１１、１２）と第１のはんだ（３１）との濡れ性の向上のためには好ましい。 20

【００２１】

なお、特許請求の範囲およびこの欄で記載した各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示す一例である。

【発明を実施するための最良の形態】

【００２２】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分には、説明の簡略化を図るべく、図中、同一符号を付してある。

【００２３】

図１は、本発明の実施形態に係る半導体装置１００の概略断面図であり、（ａ）は装置１００の全体概略断面図、（ｂ）は装置１００の要部、すなわちＩＧＢＴ素子１１近傍の概略断面図である。なお、本実施形態では、ダイオード１２についても図１（ｂ）と同様の構成である。 30

【００２４】

図１に示されるように、本半導体装置１００は、ＩＧＢＴ（Insulated Gate Bipolar Transistor）素子１１と、ダイオード１２とを備える。本実施形態では、これらＩＧＢＴ素子１１及びダイオード１２が、ペアで回路を構成しており、本発明でいう半導体素子に相当する。

【００２５】

ここにおいて、ＩＧＢＴ素子１１およびダイオード１２は、その厚さ t （図１（ｂ）参照）が１５０μm以下と薄いものである。そして、これら半導体素子１１、１２は、第１の導体部材としての第１のリード２１の内面すなわち第１のリード２１の上に搭載されている。 40

【００２６】

この第１のリード２１は、たとえば銅などの金属に代表される導電性材料よりなる板状のものである。図１（ａ）に示されるように、各半導体素子１１、１２と第１のリード２１との間には、第１のはんだ３１が介在しており、この第１のはんだ３１を介して、各半導体素子１１、１２と第１のリード２１とがはんだ接続されている。

【００２７】

また、各半導体素子１１、１２の上には、第２のはんだ３２を介して、それぞれ第２の 50

導体部材としてのターミナル 2 2 が搭載され、第 2 のはんだ 3 2 によりはんだ接続されている。

【0028】

このターミナル 2 2 は、例えば銅などの金属に代表される導電性材料よりなるブロック状のものである。さらに、各ターミナル 2 2 の上には、第 3 のはんだ 3 3 を介して、例えば板状の銅などよりなる第 2 のリード 2 3 が接合されている。なお、本例では、第 1 のリード 2 1 は、I G B T 素子のコレクタ側のリードであり、第 2 のリード 2 2 はエミッタ側のリードである。

【0029】

ここで、本実施形態の半導体装置 1 0 0 において、第 1 のはんだ 3 1 の凝固点 T_1 は第 2 のはんだ 3 2 の凝固点 T_2 よりも低くなっており、さらに、第 3 のはんだ 3 3 の凝固点 T_3 は、第 1 のはんだ 3 1 の凝固点 T_1 および第 2 のはんだ 3 2 の凝固点 T_2 よりも低いものとなっている。

【0030】

つまり、第 1 のはんだ 3 1 の凝固点 T_1 、第 2 のはんだ 3 2 の凝固点 T_2 、第 3 のはんだ 3 3 の凝固点 T_3 の間には、 $T_2 > T_1 > T_3$ という凝固点の関係がある。これら各はんだ 3 1 ~ 3 3 については、従来よりあるはんだ材料を採用でき、これらはんだ材料の中から当該凝固点の関係を満たすように、選択すればよい。なお、本実施形態の各はんだ 3 1 ~ 3 3 の具体的な材質については、後述する。

【0031】

また、この半導体装置 1 0 0 においては、外部の部材と電氣的に接続するための外部リード 4 0 が備えられており、この外部リード 4 0 と I G B T 素子 1 1 とは、A u や A l 等のボンディングワイヤ 5 0 により結線され、電氣的に接続されている。

【0032】

また、上記のように組み付けられた各部材 1 1 ~ 5 0 は、例えばエポキシ樹脂等よりなるモールド樹脂 6 0 により、包み込まれるように封止されており、外部環境から保護されている。また、両リード 2 1、2 3 の外面は、モールド樹脂 6 0 より露出しており、放熱面となっている。

【0033】

こうして、本半導体装置 1 0 0 では、両半導体素子 1 1、1 2 により回路が構成され、また、両リード 2 1、2 3 は電極としての機能も有する。従って、半導体素子 1 1、1 2 と外部との信号のやり取りは、各リード 2 1、2 3、ボンディングワイヤ 5 0 及び外部リード 4 0 を介して行われる。

【0034】

また、両リード 2 1、2 3 は、半導体素子 1 1、1 2 の放熱を図る放熱部材としても機能し、例えば、図示しないが、両リード 2 1、2 3 の外面に、絶縁部材を介して冷却部材を配置する等により、放熱を促進するようになっている。

【0035】

次に、本実施形態における半導体装置 1 0 0 の製造方法を説明する。図 2 (a) ~ (e) は、本製造方法を上記図 1 に沿った断面にて示す工程図である。なお、図 2 では、半導体素子 1 1、1 2 のうち I G B T 素子 1 1 を示しているが、ダイオード 1 2 についても同様である。

【0036】

まず、図 2 (a) に示されるように、第 1 のリード 2 1 の上に第 1 のはんだ 3 1 を介して半導体素子 1 1、1 2 を搭載し、この半導体素子 1 1、1 2 の上に第 2 のはんだ 3 2 を介してターミナル 2 2 を搭載する。ここで、各はんだ 3 1、3 2 としては、はんだ箔やはんだペーストなどを採用できる。

【0037】

次に、このものを炉などに投入し、各はんだ 3 1、3 2 のリフローを行う。図 3 は、本製造方法に採用される、はんだリフロー工程における温度プロファイルの一例を示す図で

10

20

30

40

50

ある。

【0038】

このはんだリフロー工程では、まず、図3に示されるように、第1のはんだ31の凝固点T1および第2のはんだ32の凝固点T2よりも高い温度まで、温度を上昇させ、これら第1および第2のはんだ31、32をリフローさせ、液状とする。このときピーク温度をTpとする。このピーク温度Tpは、例えば、第2のはんだ32の凝固点T2よりも20～60℃に設定することが望ましい。

【0039】

次に、図3に示されるように、ピーク温度Tpから温度を降下させ、第2のはんだ32の凝固点T2よりも低く且つ第1のはんだ31の凝固点T1よりも高い状態とする。この状態において、図2(b)に示されるように、半導体素子11、12の上側に位置する第2のはんだ32が凝固し、半導体素子11、12とターミナル22とが第2のはんだ32を介して固着する。

10

【0040】

次に、図3に示されるように、温度をさらに降下させ、第1のはんだ31の凝固点T1よりも低い状態とする。この状態において、図2(c)に示されるように、第2のはんだ32が凝固したままの状態、半導体素子11、12の下側に位置する第1のはんだ31が凝固し、半導体素子11、12と第1のリード21とが第1のはんだ31を介して固着する。

【0041】

20

また、図2(a)～(c)に示されるように、当該はんだリフロー工程においては、上述したように、半導体素子11、12は、当該半導体素子11、12内のバイメタル効果により生じる熱応力により、反った状態となり、この状態で、上下の導体部材21、22とはんだ接続される。

【0042】

なお、図3では、ピーク温度Tpからの温度の下降パターンが破線の場合と実線の場合との2パターン示されているが、本実施形態においては、どちらのパターンを採用してもよい。ただし、実線で示されるパターン2のように、凝固点T2からその下の凝固点T1への降温速度が緩やかな方が好ましい。

【0043】

30

このようにして、図2(c)に示されるように、第1のリード21とターミナル22との間に半導体素子11、12がはんだ接続された状態で挟み込まれたワーク110ができる。

【0044】

続いて、図2(d)に示されるように、このワーク110を、ターミナル22側を下方に位置させた状態で、第3のはんだ33を介して、第3の導体部材としての第2のリード23の上に搭載する。この第3のはんだ33としても、はんだ箔やはんだペーストなどを採用できる。

【0045】

次に、図2(e)に示されるように、第3のはんだ33をリフローさせることにより、ターミナル22と第2のリード23とを、第3のはんだ33を介して固着させる。こうして、ワーク110と第2のリード23とはんだ接続が完了する。

40

【0046】

ここで、上述したように、第3のはんだ33の凝固点T3は、第1のはんだ31の凝固点T1および第2のはんだ32の凝固点T2よりも低いため、第3のはんだ33のリフロー温度は、当該第3のはんだ33の凝固点T3よりも高く且つ第1のはんだ31の凝固点T1よりも低い温度とする。

【0047】

それにより、第3のはんだ33のリフロー工程では、第1のはんだ31および第2のはんだ32は溶融せずに固着状態を維持したまま、第3のはんだ33によるリフロー・固着

50

がなされる。

【0048】

こうして、各導体部材21～23および半導体素子11、12がこれら各部間に介在するはんだ31～33を介して接合されたはんだ接合体ができあがる。続いて、本実施形態では、当該はんだ接合体を、モールド樹脂60にて封止することにより、上記図1に示される半導体装置100ができあがる。

【0049】

なお、外部リード40とのボンディングワイヤ50による接続は、上記製造工程における適時に行えばよいが、例えば、上記ワーク110を形成した後であって第2のリード23とのはんだ接続を行う前に、当該ワーク110におけるIGBT素子11に対して行えばよい。 10

【0050】

このように、本実施形態の半導体装置100は、第1のリード21の上に第1のはんだ31を介して半導体素子11、12を搭載し、この半導体素子11、12の上に第2のはんだ32を介してターミナル22を搭載した状態で、第1および第2のはんだ31、32をリフローさせることにより、半導体素子11、12とその上下の両導体部材21、22とをはんだ接続するようにしたものである。

【0051】

そして、かかる半導体装置100においては、第2のはんだ32の凝固点T2が第1のはんだ31の凝固点T1よりも高いため、上記第1および第2のはんだ31、32の接合時に次のような作用が発揮される。 20

【0052】

上記製造方法の第1および第2のはんだ31、32の接合工程では、ピーク温度Tpにおいて、半導体素子11、12の反りが最も小さい状態にある。また、このピーク温度Tpにおいて、半導体素子11、12の上下に位置する第1および第2のはんだ31、32ともに液状である。

【0053】

これを、高凝固点側である第2のはんだ32の凝固点T2まで下げることによって、半導体素子11、12の反りが小さい状態で、第2のはんだ32と半導体素子11、12とを固着させることのできるため、従来に比べて、半導体素子11、12の反りを抑制することができる。 30

【0054】

さらに、上記図3において温度が凝固点T2と凝固点T1の間では、半導体素子11、12の反りが小さい状態を維持したまま、低凝固点側である第1のはんだ31の濡れを上げることができる。

【0055】

これは、半導体素子11、12と第2のはんだ32とターミナル22とが固着して一体化しているため、従来構造の第2のはんだ32に存在していた横方向へ分散する力F2（図9参照）をほぼゼロにすることが可能となることによる。

【0056】

そして、この効果により従来問題となっていた第2のはんだ32におけるスポンジ効果無くすることができ、上側のターミナル22からの荷重F1は、第2のはんだ32にて分散されることなく、半導体素子11、12に加わる（図2（c）参照）。 40

【0057】

そのため、半導体素子11、12を押し下げ第1のはんだ31の濡れを押し進めようとする力が、従来に比べて弱まることなく、第1のはんだ31に加わる。その結果、第1のはんだ31と半導体素子11、12の端部との濡れ性を向上させることができる。

【0058】

なお、これらのことから、上記図3において温度の下降パターンは、破線で示される急峻なパターン1よりも実線で示される緩やかなパターン2の方が好ましい。また、温度が 50

凝固点 T 2 と凝固点 T 1 の間では、第 1 のはんだ 3 1 の濡れ性を広げるような荷重を別途加えてもよい。

【0059】

また、本実施形態では、上述したように、ターミナル 2 2 と第 2 のリード 2 3 とを接続する第 3 のはんだ 3 3 の凝固点 T 3 を、第 1 および第 2 のはんだ 3 1、3 2 の凝固点 T 1、T 2 よりも低いものとしているため、第 1 および第 2 のはんだ 3 1、3 2 を溶融させずに第 3 のはんだ 3 3 による固着がなされる。

【0060】

そのため、上記した効果、すなわち、第 1 のはんだ 3 1 および第 2 のはんだ 3 2 による半導体素子 1 1、1 2 の反りの抑制および第 1 のはんだ 3 1 の濡れの確保という効果を、維持したまま、つまり、第 1 および第 2 のはんだ 3 1、3 2 の形状を崩さずに、第 3 のはんだ 3 3 による接続が可能となる。

【0061】

本実施形態のように、第 1 のはんだ 3 1 の凝固点 T 1 の方が第 2 のはんだ 3 2 の凝固点 T 2 よりも低い構成とする場合、具体的に、各はんだ 3 1、3 2 の凝固点は、本半導体装置 1 0 0 に用いる半導体素子 1 1、1 2 に発生する反りの状態を考慮して設計する。この設計の一例について述べる。

【0062】

本発明者は、半導体素子としての I G B T 素子 1 1 について F E M（有限要素法）解析を行い、当該 I G B T 素子 1 1 の温度とその反り量との関係を求めた。図 4 は、この解析に用いた I G B T 素子 1 1 のモデルを示す図であり、（a）は当該モデルの斜視図、（b）は当該モデルの部分的な断面図である。

【0063】

I G B T 素子 1 1 のモデルとしては、図 4（a）に示されるように、表面積が $13\text{ mm} \times 13\text{ mm}$ の矩形状のモデルチップ 1 1 を用いた。このチップ 1 1 は、図 4（b）に示されるように、一般的な I G B T 素子 1 1 と同様に、S i よりなる基板 1 1 a の表面上に A l よりなる配線 1 1 b、さらに、その配線 1 1 b の上に N i よりなる電極 1 1 c が設けられた構成とした。

【0064】

ここで、基板 1 1 a の厚さ t_a （つまり、S i 厚）は、50、100、150 μm の 3 水準とし、配線 1 1 b の厚さ t_b は 4 μm とし、電極 1 1 c の厚さ t_c は 3、4、5 μm の 3 水準とし、I G B T 素子 1 1 の温度を変えたときの当該素子の反り量を解析した。ここで、反り量は、最も反りの大きい素子端部における Z 方向（素子の厚さ t 方向）の変位量である。

【0065】

なお、ここでは、A l よりなる配線 1 1 b の塑性変形は無いものとし、N i よりなる電極 1 1 c としては、一番応力がかかり反りが大きくなる純金属よりなるものを用いた場合として、解析を行った。また、基板 1 1 a の裏面電極は薄いため、その影響は実質的に無いものとした。

【0066】

図 5、図 6、図 7 は、この図 4 に示されるモデルチップ 1 1 を用いた半導体素子 1 1 における温度と反り量との関係についての解析結果を示す図であり、それぞれ基板 1 1 a の厚さ t_a （S i 厚）としては、図 5 は 50 μm の場合、図 6 は 100 μm の場合、図 7 は 150 μm の場合を示す。

【0067】

ここで、反り量は、ピーク温度からの反り量の差である。また、図 5～図 7 においては、各温度にて各 N i 電極 1 1 c の厚さ 3 μm 、4 μm 、5 μm に対する反り量が示されているが、この反り量とともに、各温度における各反り量の最大値と最小値との差を、反りばらつきとして示してある。

【0068】

図5～図7からわかるように、280℃をピーク温度とした時、この280℃から温度を下げていくと、各材料の熱膨張係数差に準じ反り量が大きくなっていき、また、反りばらつきも大きくなっていく。また、実質的にIGBT素子11の厚さに相当する基板11aの厚さが150μmから、100μm、50μmと薄くなるにつれて、これら反り量および反りばらつきが大きくなっていく。

【0069】

つまり、本発明者の検討によれば、半導体素子11、12の厚さが、少なくとも150μm以下の範囲は、その反りが問題となる程度の範囲にあるといえる。

【0070】

そして、図5～図7に示されるように、基板11aの厚さが最も薄い50μmの場合において、反り量および反りばらつきともに最も大きく、IGBT素子11内に発生するバイメタル効果よる応力を最も受けることがわかる。 10

【0071】

本実施形態の構造は、高凝固点側の第2のはんだ32を固着させることで半導体素子11、12の反りの抑制を行うが、この第2のはんだ32と低凝固点側の第1のはんだ31との凝固点の差が大きすぎると、半導体素子11、12に発生する熱応力が第2のはんだ32に加わって、はんだ剥れが生じたり、また、半導体素子11、12にかかる残留応力が大きくなるため、上記凝固点の差を限定する必要がある。

【0072】

この図4に示されるようなモデルを用いた場合、半導体素子の温度間における反り量の差は、実用的には40μm以下が望ましい。また、反りばらつきについては、実用上、20μm以下が望ましい。これらの値は、たとえば製造上の歩留まり等を考慮して決められる仕様値である。 20

【0073】

このような仕様値を満足するという観点から、図5～図7の各図において、第1および第2のはんだ31、32の両凝固点T1、T2の差に相当する望ましい温度範囲の一例をΔTとして示してある。もちろん、これらの温度範囲ΔTは一例であり、上記温度間での反り量の差が40μm以下、反りばらつきが20μm以下ならば、これに限定されるものではない。

【0074】

図5～図7に示されているΔTの例に基づいて述べると、仮に240℃に凝固点があるはんだ材を、高凝固点側の第2のはんだ32として用いる場合には、低凝固点側の第1のはんだ31は、基板11aの厚さが50μmでは、200℃までの凝固点を持つものを用い（図5参照）、基板11aの厚さが100μmでは、180℃までの凝固点を持つものを用い（図6参照）、基板11aの厚さが150μmでは、140℃までの凝固点を持つものを用いればよい（図7参照）。 30

【0075】

そして、この範囲内において、第1のはんだ31として、極力低い凝固点のものを選ぶことで、本実施形態の効果がよりよく得られる。このようにして、本実施形態では、半導体素子11、12の反り量を考慮して、第1のはんだ31および第2のはんだ32を選定 40

【0076】

本実施形態における上記はんだ31、32を選定するうえでの具体的なはんだ材を、以下に示す。共晶ハンダとしては、Snを主成分としてAg、Cu、Ni、In、Bi、Sb、Au、Pb、Znなどを混ぜ合わせたものがあるが、代表例として以下のようなものが挙げられる。凝固点毎に分類して示す。

【0077】

280℃帯：Auを主成分としたもの。例えば、SnAu80など。

【0078】

230℃帯：Sbなどを織り交ぜたもの。例えば、SnCu2.0Sb0.8Ag0. 50

2、SnSb₅、Sn、SnCu_{0.7}など。

【0079】

220℃帯：SnAgCu組成を元にするもの。例えば、SnAg_{2.5}Cu_{0.8}Sb_{0.5}、SnAg_{4.0}Cu_{0.5}、SnAg_{3.9}Cu_{0.6}、SnAg_{3.5}、SnAg_{2.5}Bi_{1.0}Cu_{0.5}、SnAg_{3.0}Cu_{0.5}、SnAg_{3.8}Cu_{0.7}、SnAg_{3.5}Cu_{0.7}、SnAg_{2.0}Bi_{3.0}Cu_{0.75}、SnAg_{3.5}Cu_{0.9}など。

【0080】

210℃帯：SnAgベースにIn、Biを混ぜたもの。例えば、SnIn_{4.0}Ag_{3.5}Bi_{0.5}、SnAg_{3.4}Bi_{4.8}、SnBi_{7.5}Ag_{2.0}など。

【0081】

200℃帯：SnAgベースにIn、Bi、Znを混ぜたもの。例えば、SnIn_{8.0}Ag_{3.5}Bi_{0.5}、SnZn₉ SnZn₈Bi₃など。

【0082】

180℃帯：SnAgベースに多量のInを混ぜたもの。例えば、SnIn₂₀Ag_{2.8}や従来のSnPb₃₇など。

【0083】

140℃帯：Snベースに多量のBiを混ぜたもの。例えば、SnBi₅₇Ag₁、SnBi₅₈など。

【0084】

また、共晶はんだでなくとも、その組成を変えたα固溶体、β固溶体を用いたときその粘度から半導体素子11、12の反り抑制に同様の効果を得られるものであればそれでもよい。

【0085】

(他の実施形態)

図8(a)は、本発明の他の実施形態にかかる半導体装置の要部の概略断面構成を示す図であり、図8(b)は(a)に示される構成の形成方法を示す概略断面図である。なお、この図8(a)において、図示しない部分は上記第1実施形態の半導体装置と同様である。

【0086】

図8(a)に示されるように、第1の導体部材である第1のリード21の上面のうちIGBT素子11の端部が重なる部位に、突起21aを設ける。なお、この突起21aは、ダイオード12側の部位についても同様に設けてよい。

【0087】

この突起21aは、図8(b)に示されるように、第1のリード21の上面のうちIGBT素子11の端部が重なる部位に、治具Kによりプレス加工を行うことにより形成することができる。

【0088】

このプレス加工により、溝部21bが形成されるとともに、溝部21bを挟んで左右に突起が発生し、一方の突起21aがIGBT素子11の端部が重なる部位に位置するようにする。

【0089】

この突起21aによれば、第1のリード21の上に第1のはんだ31を配設したときに、この突起21aによって第1のはんだ31が盛り上がった状態となる。そのため、IGBT素子11の端部に位置する第1のはんだ31の厚みを稼ぐことができ、IGBT素子11と第1のはんだ31との濡れ性の向上が期待できる。

【0090】

また、図8の場合、はんだ接合時には、第1のはんだ31のうちの過剰分は、溝部21bに吸収されて、それ以上濡れ広がるのを抑制できるため、過剰なはんだがIGBT素子11の上面まで回り込んで短絡などを引き起こすのを防止できる。

10

20

30

40

50

【0091】

ここで、突起21aの高さh（図8（b）参照）は、IGBT素子11の反り量と同等以下が望ましく、溝部21bの長さは、IGBT素子11の反りばらつきにより想定される過剰ハンダ量を考慮して求めればよい。

【0092】

また、上記実施形態では、IGBT素子11とダイオード12の両方について、上記図1（b）に示したような、はんだ31、32の構成を採用したが、IGBT素子11のみ、またはダイオード12のみが上記のはんだ構成でもよい。

【0093】

また、上記実施形態では、半導体素子は複数個設けられたものであったが、複数個の場合、上記したIGBT素子とダイオードとの組合せに限定されるものではなく、例えばパワートランジスタ素子であってもよい。また、半導体素子は複数個ではなく、1個であってもよい。

【0094】

さらに、上記実施形態では、半導体装置はモールド樹脂60で封止されていたが、モールド樹脂で封止されていないものでもよい。具体的には、上記図1（a）においてモールド樹脂60を省略した構成のものであってもよい。

【0095】

また、半導体装置としては、第1の導体部材と第2の導体部材との間に半導体素子を挟み込み、半導体素子とその上下の導体部材とをはんだ接続してなるものであればよく、さらに第3の導体部材および第3のはんだがないものであってもよい。

【0096】

例えば、上記図1（a）において、ターミナル22および第3のはんだ33を省略し、半導体素子11、12を第2のはんだ32を介して直接、第2のリード23に接続してもよく、この場合には、第2のリード23が第2の導体部材として構成される。

【図面の簡単な説明】

【0097】

【図1】本発明の実施形態に係る半導体装置を示す図であり、（a）は全体概略断面図、（b）は要部概略断面図である。

【図2】上記実施形態に係る半導体装置の製造方法を示す工程図である。

【図3】図2に示される製造方法に採用される、はんだリフローの温度プロファイルの一例を示す図である。

【図4】本発明者の行った解析に用いた半導体素子のモデルを示す図であり、（a）は斜視図、（b）は断面図である。

【図5】図4に示されるモデルを用いた半導体素子における温度と反り量との関係について、Si厚が50μmの場合の解析結果を示す図である。

【図6】図4に示されるモデルを用いた半導体素子における温度と反り量との関係について、Si厚が100μmの場合の解析結果を示す図である。

【図7】図4に示されるモデルを用いた半導体素子における温度と反り量との関係について、Si厚が150μmの場合の解析結果を示す図である。

【図8】本発明の他の実施形態を示す図である。

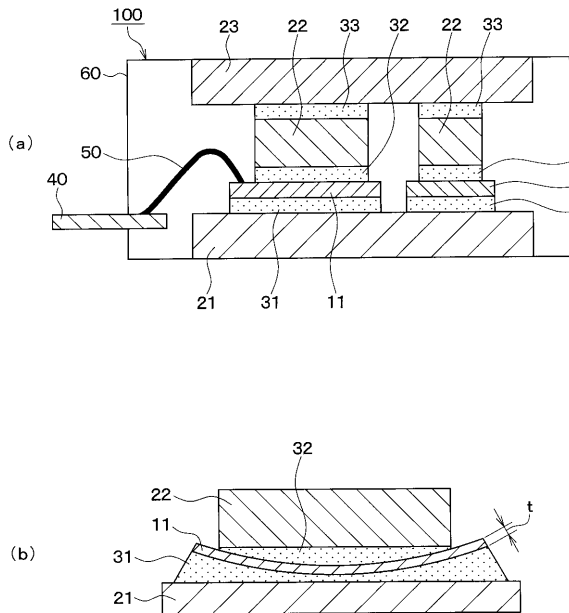
【図9】本発明者の試作品としての半導体装置の要部を示す概略断面図である。

【符号の説明】

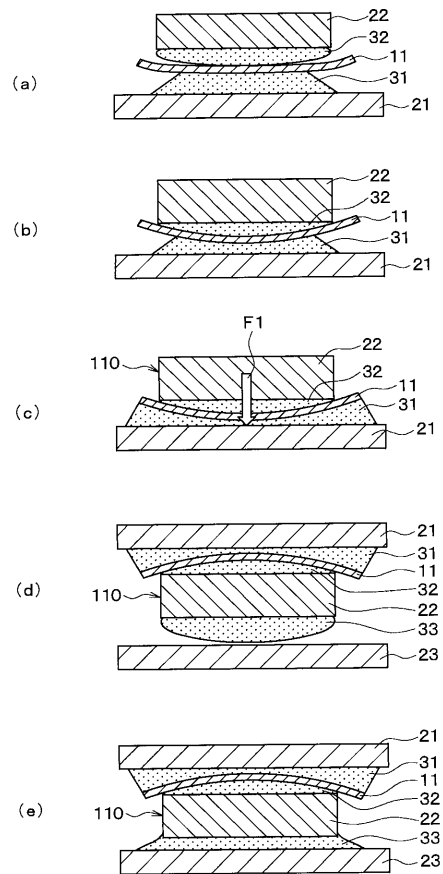
【0098】

- 11…半導体素子としてのIGBT素子、12…半導体素子としてのダイオード、
- 21…第1の導体部材としての第1のリード、21a…突起、
- 22…第2の導体部材としてのターミナル、
- 23…第3の導体部材としての第3のリード、
- 31…第1のはんだ、32…第2のはんだ、33…第3のはんだ。

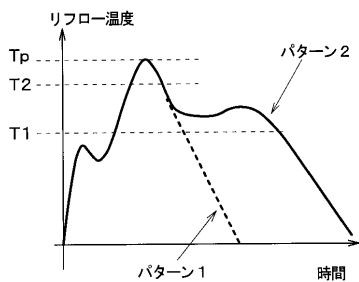
【図 1】



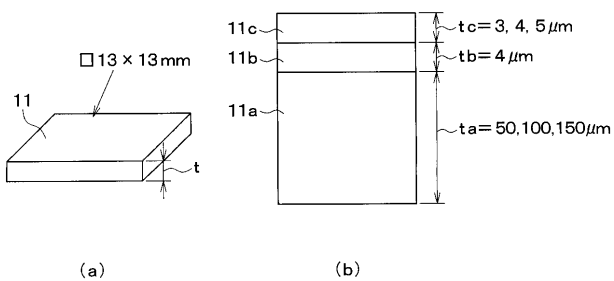
【図 2】



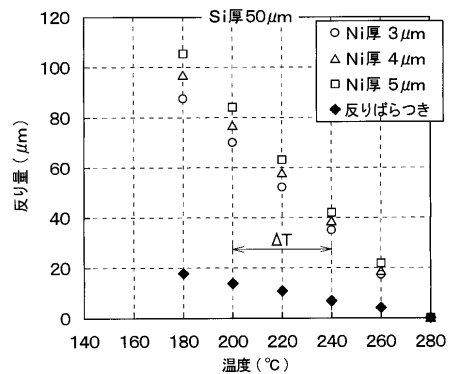
【図 3】



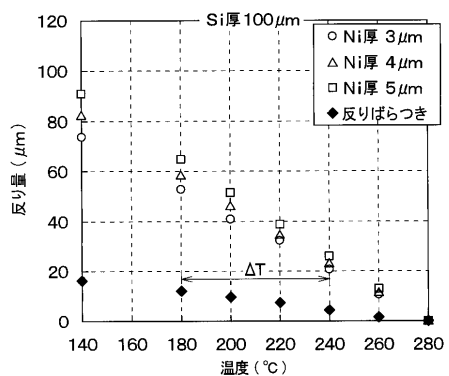
【図 4】



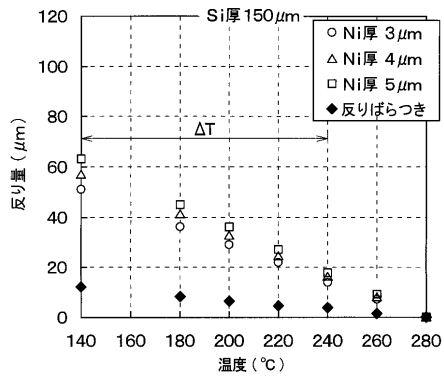
【図 5】



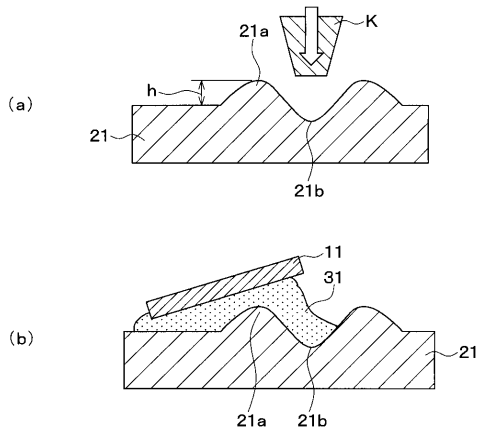
【図 6】



【図 7】



【図 8】



【図 9】

