



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0027046
(43) 공개일자 2020년03월11일

- (51) 국제특허분류(Int. Cl.)
G11C 5/06 (2006.01) G11C 7/18 (2006.01)
- (52) CPC특허분류
G11C 5/063 (2013.01)
G11C 7/18 (2013.01)
- (21) 출원번호 10-2020-7006113
- (22) 출원일자(국제) 2018년08월21일
심사청구일자 2020년03월02일
- (85) 번역문제출일자 2020년03월02일
- (86) 국제출원번호 PCT/US2018/047377
- (87) 국제공개번호 WO 2019/046051
국제공개일자 2019년03월07일
- (30) 우선권주장
15/691,055 2017년08월30일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
베데스치, 페르디난도
이탈리아 20853 비아소노 비아 포르타 디아르놀포 6
디 빈첸초, 움베르토
이탈리아 24042 카프리아테 산 게르바시오 비아 로마 40
비메르카티, 다니엘
미국 95762 캘리포니아주 엘도라도 힐스 오로피노 드라이브 7090
- (74) 대리인
양영준, 백만기

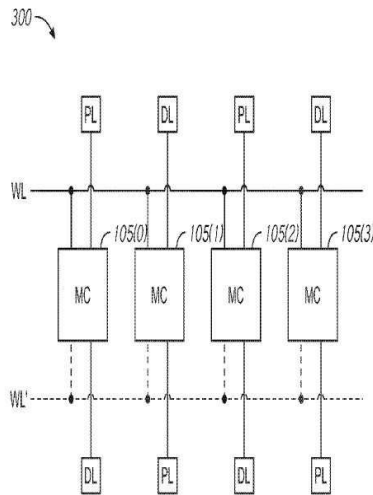
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **차폐 메모리 아키텍처를 위한 장치 및 방법**

(57) 요약

플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는 제1 메모리 셀, 및 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는 제2 메모리 셀을 포함하는 메모리를 위한 장치 및 방법이 제공되고, 제2 메모리 셀의 디지털 라인은 제1 메모리 셀의 플레이트 라인과 인접해있다.

대표도 - 도3



명세서

청구범위

청구항 1

장치로서,

플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는 제1 메모리 셀; 및

디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는 제2 메모리 셀을 포함하되,

상기 제2 메모리 셀의 상기 디지털 라인은 상기 제1 메모리 셀의 상기 플레이트 라인과 인접한, 장치.

청구항 2

제1항에 있어서, 상기 제1 메모리 셀의 상기 디지털 라인은 상기 제2 메모리 셀의 상기 플레이트 라인과 인접한, 장치.

청구항 3

제1항에 있어서,

플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는 제3 메모리 셀을 더 포함하되,

상기 제2 메모리 셀의 상기 디지털 라인은 상기 제3 메모리 셀의 상기 플레이트 라인과 인접한, 장치.

청구항 4

제3항에 있어서,

메모리 셀의 제1 층; 및

상기 제1 메모리 셀, 상기 제2 메모리 셀, 및 상기 제3 메모리 셀을 포함하는 메모리 셀의 제2 층을 더 포함하는, 장치.

청구항 5

제4항에 있어서,

상기 메모리 셀의 제1 층에 포함된 제4 메모리 셀을 더 포함하되, 상기 제4 메모리 셀은 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하고,

상기 제4 메모리 셀의 상기 디지털 라인과 상기 제2 메모리 셀의 상기 디지털 라인은 공유된 디지털 라인으로 결합되는, 장치.

청구항 6

제4항에 있어서,

상기 메모리 셀의 제1 층에 포함된 제4 메모리 셀을 더 포함하되, 상기 제4 메모리 셀은 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하고,

상기 제2 메모리 셀의 상기 디지털 라인은 상기 제4 메모리 셀의 상기 플레이트 라인과 인접한, 장치.

청구항 7

제1항에 있어서, 상기 제1 메모리 셀의 상기 제1 저장 컴포넌트의 상기 제1 단부는 제1 선택 컴포넌트를 통해

상기 플레이트 라인에 연결되는, 장치.

청구항 8

제7항에 있어서, 상기 제1 메모리 셀의 상기 제1 저장 컴포넌트의 상기 제2 단부는 제2 선택 컴포넌트를 통해 상기 디지털 라인에 연결되는, 장치.

청구항 9

제1항에 있어서, 상기 제1 저장 컴포넌트와 상기 제2 저장 컴포넌트는 유전성 커패시터인, 장치.

청구항 10

제1항에 있어서, 상기 제1 저장 컴포넌트와 상기 제2 저장 컴포넌트는 강유전성 커패시터인, 장치.

청구항 11

장치로서,

메모리 셀의 제1 층;

상기 메모리 셀의 제1 층의 아래에 있는 메모리 셀의 제2 층;

상기 메모리 셀의 제1 층에 포함된 제1 메모리 셀로서, 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는, 상기 제1 메모리 셀; 및

상기 메모리 셀의 제2 층에 포함된 제2 메모리 셀로서, 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는, 상기 제2 메모리 셀을 포함하되,

상기 제1 메모리 셀의 상기 디지털 라인과 상기 제2 메모리 셀의 상기 디지털 라인은 공유된 디지털 라인으로 결합되는, 장치.

청구항 12

제11항에 있어서,

상기 메모리 셀의 제1 층에 포함된 제3 메모리 셀로서, 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는, 상기 제3 메모리 셀; 및

상기 메모리 셀의 제2 층에 포함된 제4 메모리 셀로서, 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는, 상기 제4 메모리 셀을 포함하되,

상기 제3 메모리 셀의 상기 플레이트 라인과 상기 제4 메모리 셀의 상기 플레이트 라인은 공유된 플레이트 라인으로 결합되고; 그리고

상기 제1 메모리 셀과 상기 제2 메모리 셀의 상기 공유된 디지털 라인은 상기 제3 플레이트 라인과 상기 제4 플레이트 라인의 상기 공유된 플레이트 라인과 인접한, 장치.

청구항 13

제12항에 있어서,

상기 메모리 셀의 제1 층에 포함된 제5 메모리 셀로서, 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는, 상기 제5 메모리 셀; 및

상기 메모리 셀의 제2 층에 포함된 제6 메모리 셀로서, 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는, 상기 제6 메모리 셀을 포함하되,

상기 제5 메모리 셀의 상기 플레이트 라인과 상기 제6 메모리 셀의 상기 플레이트 라인은 공유된 플레이트 라인으로 결합되고; 그리고

상기 제1 메모리 셀과 상기 제2 메모리 셀의 상기 공유된 디지털 라인은 상기 제5 플레이트 라인과 상기 제6 플레이트 라인의 상기 공유된 플레이트 라인과 인접한, 장치.

청구항 14

제11항에 있어서,

상기 제1 메모리 셀의 상기 저장 컴포넌트의 제2 단부는 제1 선택 컴포넌트를 통해 상기 디지털 라인에 연결되고; 그리고

상기 제2 메모리 셀의 상기 저장 컴포넌트의 제2 단부는 제2 선택 컴포넌트를 통해 상기 플레이트 라인에 연결되는, 장치.

청구항 15

제14항에 있어서,

상기 제1 메모리 셀의 상기 저장 컴포넌트의 제1 단부는 제3 선택 컴포넌트를 통해 상기 플레이트 라인에 연결되고; 그리고

상기 제2 메모리 셀의 상기 저장 컴포넌트의 제1 단부는 제4 선택 컴포넌트를 통해 상기 디지털 라인에 연결되는, 장치.

청구항 16

장치로서,

제1 메모리 층;

상기 제1 메모리 층의 아래에 있는 제2 메모리 층;

상기 제1 메모리 층 내 제1 저장 컴포넌트 및 상기 제2 메모리 층 내 제2 저장 컴포넌트를 포함하는 메모리 셀을 포함하되,

상기 제1 저장 컴포넌트는 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 포함하고;

상기 제2 저장 컴포넌트는 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 포함하고; 그리고

상기 제1 저장 컴포넌트의 상기 디지털 라인은 상기 제2 저장 컴포넌트의 상기 플레이트 라인과 인접한, 장치.

청구항 17

제16항에 있어서, 상기 메모리 셀은 제1 메모리 셀이고, 상기 장치는,

상기 제1 메모리 층 내 제1 저장 컴포넌트 및 상기 제2 메모리 층 내 제2 저장 컴포넌트를 포함하는 제2 메모리 셀을 더 포함하되,

상기 제2 메모리 셀의 상기 제1 저장 컴포넌트는 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 포함하고;

상기 제2 메모리 셀의 상기 제2 저장 컴포넌트는 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 포함하고; 그리고

상기 제1 메모리 셀의 상기 제1 저장 컴포넌트의 상기 디지털 라인은 상기 제2 메모리 셀의 상기 제1 저장 컴포넌트의 상기 플레이트 라인과 인접한, 장치.

청구항 18

제17항에 있어서,

상기 제1 메모리 층 내 제1 저장 컴포넌트 및 상기 제2 메모리 층 내 제2 저장 컴포넌트를 포함하는 제3 메모리 셀을 더 포함하되,

상기 제3 메모리 셀의 상기 제1 저장 컴포넌트는 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 포함하고;

상기 제3 메모리 셀의 상기 제2 저장 컴포넌트는 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제 2 단부를 포함하고; 그리고

상기 제1 메모리 셀의 상기 제1 저장 컴포넌트의 상기 디지털 라인은 상기 제3 메모리 셀의 상기 제1 저장 컴포넌트의 상기 플레이트 라인과 인접한, 장치.

청구항 19

제16항에 있어서,

상기 제1 저장 컴포넌트의 제2 단부는 제1 선택 컴포넌트를 통해 상기 디지털 라인에 연결되고; 그리고

상기 제2 저장 컴포넌트의 제2 단부는 제2 선택 컴포넌트를 통해 상기 디지털 라인에 연결되는, 장치.

청구항 20

제19항에 있어서,

상기 제2 저장 컴포넌트의 제1 단부는 제3 선택 컴포넌트를 통해 상기 플레이트 라인에 연결되고; 그리고

상기 제2 저장 컴포넌트의 제1 단부는 제4 선택 컴포넌트를 통해 상기 플레이트 라인에 연결되는, 장치.

발명의 설명

기술 분야

배경 기술

- [0001] 메모리 디바이스는 정보를 다양한 전자 디바이스, 예컨대, 컴퓨터, 무선 통신 디바이스, 카메라, 디지털 디스플레이 등에 저장하도록 폭넓게 사용된다. 정보는 메모리 디바이스의 상이한 상태를 프로그래밍함으로써 저장된다. 예를 들어, 이진 디바이스는 종종 논리 "1" 또는 논리 "0"으로 표기되는, 2가지 상태를 갖는다. 다른 시스템에서, 2개보다 많은 상태가 저장될 수도 있다. 저장된 정보에 액세스하기 위해서, 전자 디바이스는 메모리 디바이스 내 저장된 정보를 판독, 또는 감지할 수도 있다. 정보를 저장하기 위해서, 전자 디바이스는 메모리 디바이스 내 상태를 기입, 또는 프로그래밍할 수도 있다.
- [0002] 랜덤 액세스 메모리(random access memory: RAM), 판독 전용 메모리(read only memory: ROM), 동적 RAM(dynamic RAM: DRAM), 동기식 동적 RAM(synchronous dynamic RAM: SDRAM), 강유전성 RAM(ferroelectric RAM: FeRAM), 자기 RAM(magnetic RAM: MRAM), 저항성 RAM(resistive RAM: RRAM), 플래시 메모리, 및 다른 것들을 포함하는, 다양한 유형의 메모리 디바이스가 존재한다. 메모리 디바이스는 휘발성 또는 비휘발성일 수도 있다. 비휘발성 메모리, 예를 들어, 플래시 메모리는 외부 전력원의 부재시에도 연장된 시간 기간 동안 데이터를 저장할 수 있다. 휘발성 메모리 디바이스, 예를 들어, DRAM은 이들이 외부 전력원에 의해 주기적으로 리프레시되지 않는다면 시간에 걸쳐 저장된 상태를 손실할 수도 있다. 이진 메모리 디바이스는 예를 들어, 충전된 또는 방전된 커패시터를 포함할 수도 있다. 그러나, 충전된 커패시터는 누설 전류를 통해 시간에 걸쳐 방전될 수도 있어서, 저장된 정보의 손실을 발생시킨다. 휘발성 메모리의 특정한 특징은 성능 이점, 예컨대, 더 빠른 판독 속도 또는 기입 속도를 제공할 수도 있고, 반면에 휘발성 메모리의 특징, 예컨대, 주기적인 리프레시 없이 데이터를 저장하는 능력은 유리할 수도 있다.
- [0003] 메모리 디바이스는 보통 메모리 디바이스의 셀에 대한 액세스를 가능하게 하는 전압 라인, 예컨대, 플레이트 라인 및 감지 라인을 포함한다. 플레이트 라인은 일반적으로 메모리 셀과 연관된 저장 컴포넌트, 예를 들어, 커패시터에 전압을 제공한다. 플레이트 라인의 전압은 메모리 액세스 작동 동안 더 또는 덜 일정할 수도 있다. 감지 라인이 또한 저장 컴포넌트에 연결되고 그리고 일반적으로 메모리 셀로부터 판독되거나 또는 메모리 셀에 기입되는 논리값을 나타내는 전압을 저장하도록 구성된다. 플레이트 라인과 대조적으로, 감지 라인의 전압은 일반적으로 액세스된 메모리 셀에 의해 저장된 데이터에 따라 메모리 액세스 작동 동안 가변된다.
- [0004] 종래의 메모리 어레이는 감지 라인에 존재하는 변화되는 전압에 기인하여 라인 간에 전기적 간섭을 생성할 수도

있다. 간섭은 본 명세서에서 "프린징(fringing)"으로서 지칭될 수도 있고 그리고 신호 왜곡 및 후속의 데이터 오류를 발생시킬 수도 있다. 이 프린징 효과 및 관련된 신호 왜곡 및 데이터 오류를 방지하는 것이 기술에서 필요하다.

발명의 내용

[0005] 차폐 메모리 아키텍처를 위한 장치 및 방법이 개시된다. 본 개시내용의 양상에서, 장치는 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하고, 그리고 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함하는 제2 메모리 셀을 포함한다. 제2 메모리 셀의 디지털 라인은 제1 메모리 셀의 플레이트 라인과 인접해있다.

[0006] 본 개시내용의 또 다른 양상에서, 장치는 메모리 셀의 제1 층 및 메모리 셀의 제1 층의 아래에 있는 메모리 셀의 제2 층을 포함한다. 장치는 메모리 셀의 제1 층에 포함된 제1 메모리 셀 및 메모리 셀의 제2 층에 포함된 제2 메모리 셀을 더 포함한다. 제1 메모리 셀은 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함한다. 제2 메모리 셀은 디지털 라인에 연결된 제1 단부 및 플레이트 라인에 연결된 제2 단부를 가진 저장 컴포넌트를 포함한다. 제1 메모리 셀의 디지털 라인과 제2 메모리 셀의 디지털 라인은 공유된 디지털 라인으로 결합된다.

[0007] 본 개시내용의 또 다른 양상에서, 장치는 제1 메모리 층 및 제1 메모리 층의 아래에 있는 제2 메모리 층을 포함한다. 장치는 제1 메모리 층 내 제1 저장 컴포넌트 및 제2 메모리 층 내 제2 저장 컴포넌트를 포함하는 메모리 셀을 더 포함한다. 제1 저장 컴포넌트는 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 포함하고 그리고 제2 저장 컴포넌트는 플레이트 라인에 연결된 제1 단부 및 디지털 라인에 연결된 제2 단부를 포함한다. 제1 저장 컴포넌트의 디지털 라인은 제2 저장 컴포넌트의 플레이트 라인과 인접해있다.

도면의 간단한 설명

- [0008] 도 1은 본 개시내용의 다양한 실시형태에 따른, 예시적인 메모리 어레이의 블록도.
- 도 2a는 본 개시내용의 실시형태에 따른, 메모리 셀의 열을 포함하는 예시적인 회로의 개략도.
- 도 2b는 본 개시내용의 실시형태에 따른, 감지 컴포넌트의 개략도.
- 도 3은 본 개시내용의 실시형태에 따른, 메모리 셀의 단일의 행을 포함하는 예시적인 회로에 대한 일반적인 회로 구성의 개략도.
- 도 4a 및 도 4b는 도 3의 일반적인 회로 구성의 더 구체적인 회로 구현예의 도면.
- 도 4c 및 도 4d는 본 개시내용의 실시형태에 따른, 메모리 셀을 나타내는 메모리 어레이의 일부의 단면측 뷰를 도시하는 도면.
- 도 5는 본 개시내용의 실시형태에 따른, 메모리 셀의 2개의 행의 적층된 구성을 포함하는 예시적인 회로에 대한 일반적인 회로 구성의 개략도.
- 도 6a 내지 도 6c는 도 5의 일반적인 회로 구성의 더 구체적인 회로 구현예의 도면.
- 도 7은 본 개시내용의 실시형태에 따른, 메모리의 블록도.
- 도 8은 본 개시내용의 실시형태에 따른, 셀의 2개의 행의 적층된 구성을 포함하는 예시적인 회로에 대한 일반적인 회로 구성의 개략도.
- 도 9a 내지 도 9c는 도 8의 일반적인 회로 구성의 더 구체적인 회로 구현예의 도면.
- 도 10은 본 개시내용의 다양한 실시형태에 따른, 메모리를 지원하는 메모리 어레이를 포함하는 메모리의 일부의 블록도.
- 도 11은 본 개시내용의 다양한 실시형태에 따른, 강유전성 메모리를 지원하는 시스템을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 본 개시내용은 일반적으로 라인 간에 유리한 차폐를 제공하는 신호 라인의 배열을 포함하는 메모리 아키텍처에 관한 것이다. 본 명세서에서 개시된 신호 라인의 배열은 일반적으로 메모리 내 플레이트 라인과 감지 라인의 교

번하는 패턴을 포함한다. 본 명세서에서 더 상세히 설명되는 바와 같이, 플레이트 라인은 일반적으로 메모리 셀과 연관된 저장 컴포넌트, 예를 들어, 커패시터에 전압을 제공한다. 플레이트 라인의 전압은 메모리 액세스 작동 동안 더 또는 덜 일정할 수도 있다. 감지 라인이 또한 저장 컴포넌트에 연결되고 그리고 일반적으로 메모리 셀로부터 판독되거나 또는 메모리 셀에 기입되는 논리값을 나타내는 전압을 저장하도록 구성된다. 플레이트 라인과 대조적으로, 감지 라인의 전압은 일반적으로 액세스된 메모리 셀에 의해 저장된 데이터에 따라 메모리 액세스 작동 동안 가변된다.

[0010] 본 개시내용의 실시형태에 따른 플레이트 라인과 감지 라인의 교번하는 패턴은 일반적으로 감지 라인이 서로 인접한 종래의 배열을 방지한다. 이러한 종래의 배열의 예는 셀의 동일한 측면 또는 영역을 따라 라우팅되는 (routed) 감지 라인을 모두 갖는 인접한 메모리 셀을 포함한다. 감지 라인의 이러한 인접은 감지 라인에 존재하는 변화되는 전압에 기인하여 라인 간에 전기적 간섭을 초래할 수도 있다. 이 전기적 간섭은 아주 근접한 인접한 라인 간의 연결로부터 발생된다. 간섭은 본 명세서에서 "프린징"으로서 지칭될 수도 있고 그리고 신호 왜곡 및 후속의 데이터 오류를 발생시킬 수도 있다. 플레이트 라인과 감지 라인을 교번함으로써, 본 실시형태는 프린징 효과에 영향 받을 수도 있는 데이터를 운반하는 라인(감지 라인)과 인접하거나 또는 그렇지 않으면 근처에 있는 더 많거나 또는 더 적은 일정한 전압을 가진 라인(플레이트 라인)을 라우팅한다. 플레이트 라인의 일정한 전압은 바람직하지 않은 프린징 효과를 감소 또는 방지하는 차폐를 감지 라인에 제공한다.

[0011] 본 개시내용은 상이한 메모리 회로 구성 및 토폴로지의 맥락에서 플레이트 라인과 신호 라인의 교번하는 패턴을 설명한다. 일부 실시형태는 1개의 전압을 저장하여 1개의 논리값을 나타내도록 구성되는 "단일-단부형(single-ended)" 메모리 셀을 참조하여 설명된다. 다른 실시형태는 2개의 상보성 전압을 저장하여 1개의 논리값을 나타내도록 구성되는 "차동" 메모리 셀을 참조하여 설명된다. 일부 실시형태는 모든 메모리 셀이 동일한 기하학적 평면에 더 또는 덜 배치되는 "평면의" 메모리 아키텍처를 참조하여 설명된다. 다른 실시형태는 메모리 셀이 서로의 상단에 적층되는 상이한 평면에 대해 배열되는 "3-차원" 메모리 아키텍처를 참조하여 설명된다.

[0012] 특정한 상세사항은 본 개시내용의 실시형태의 충분한 이해를 제공하도록 아래에 제시된다. 그러나, 본 개시내용의 실시형태가 이 특정한 상세사항 없이 실행될 수도 있다는 것이 당업자에게 분명할 것이다. 게다가, 본 명세서에서 설명된 본 개시내용의 특정한 실시형태는 실시예로서 제공되고 그리고 본 개시내용의 범위를 이 특정한 실시형태로 제한하도록 사용되지 않아야 한다. 다른 경우에, 잘 알려진 회로, 제어 신호, 타이밍 프로토콜, 및 소프트웨어 작업은 본 개시내용을 불필요하게 모호하게 하는 것을 방지하도록 상세히 도시되지 않았다.

[0013] 도 1은 본 개시내용의 다양한 실시형태에 따른, 차폐 메모리 아키텍처를 지원하는 예시적인 메모리 어레이(100)를 예시한다. 메모리 어레이(100)는 또한 전자 메모리 장치로서 지칭될 수도 있다. 메모리 어레이(100)는 상이한 상태를 저장하도록 프로그램 가능한 메모리 셀(105)을 포함한다. 각각의 상태는 상이한 논리값을 나타낼 수도 있다. 예를 들어, 2가지 상태를 저장하는 메모리에 대해, 논리값은 논리 0 및 논리 1로서 표기될 수도 있다. 일부 경우에, 메모리 셀(105)은 2개 초과인 논리값을 저장하도록 구성된다. 메모리 셀(105)은 프로그램 가능한 상태를 나타내는 전하를 저장하기 위한 복수의 커패시터를 포함할 수도 있다. 예를 들어, 충전된 커패시터 및 미충전된 커패시터는 2개의 논리값을 나타낼 수도 있다.

[0014] 작동, 예컨대, 판독 및 기입은 적합한 액세스 라인(110) 및 감지 라인(115)을 활성화 또는 선택함으로써 메모리 셀(105)에서 수행될 수도 있다. 액세스 라인(110)은 또한 워드 라인(110)으로서 지칭될 수도 있고 그리고 감지 라인은 또한 디지털 라인으로서 지칭될 수도 있다. 워드 라인(110) 또는 디지털 라인(115)을 활성화 또는 선택하는 것은 전압을 각각의 라인에 인가하는 것을 포함할 수도 있다. 워드 라인(110) 및 디지털 라인(115)은 전도성 재료로 이루어진다. 예를 들어, 워드 라인(110) 및 디지털 라인(115)은 금속(예컨대, 구리, 알루미늄, 금, 텅스텐 등), 금속 합금, 도핑된 반도체, 다른 전도성 재료 등으로 이루어질 수도 있다. 도 1의 실시예에 따르면, 메모리 셀(105)의 각각의 행은 워드 라인(WL)으로서 또한 지칭되는, 적어도 하나의 워드 라인(110)에 연결된다. 일부 실시형태에서, 메모리 셀(105)은 워드 라인(WL')으로서 또한 지칭되는, 제2 워드 라인(100)에 연결된다. 메모리 셀(105)의 각각의 열은 디지털 라인(DL)으로서 또한 지칭되는, 적어도 하나의 디지털 라인(115)에 연결된다. 메모리 셀(105)의 각각의 열은 또한 디지털 라인(DL')으로서 또한 지칭되는, 제2 디지털 라인(115)에 연결될 수도 있다. 각각의 워드 라인(110) 및 디지털 라인(115)을 활성화(예를 들어, 전압을 워드 라인(110) 또는 디지털 라인(115)에 인가)함으로써, 메모리 셀(105)은 이들의 교차 지점에서 액세스될 수도 있다. 메모리 셀(105)에 액세스하는 것은 메모리 셀(105)을 판독하거나 또는 메모리 셀에 기입하는 것을 포함할 수도 있다. 워드 라인(110)과 디지털 라인(115)의 교차 지점은 메모리 셀의 어드레스로서 지칭될 수도 있다.

[0015] 일부 아키텍처에서, 셀의 논리 저장 디바이스, 예를 들어, 커패시터는 선택 컴포넌트에 의해 디지털 라인으로부

터 전기적으로 절연될 수도 있다. 워드 라인(110)은 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있다. 예를 들어, 선택 컴포넌트는 트랜지스터일 수도 있고 그리고 워드 라인(들)(110)은 트랜지스터(들)의 게이트에 연결될 수도 있다. 일부 실시형태에서, 셀은 1개의 워드 라인(WL)에 연결되는 1개의 트랜지스터를 포함할 수도 있다. 다른 실시형태에서, 셀은 제1 워드 라인(WL)에 연결된 제1 트랜지스터 및 제2 워드 라인(WL')에 연결된 제2 트랜지스터를 포함할 수도 있다. 워드 라인(110)을 활성화시키는 것은 메모리 셀(105)의 커패시터와 대응하는 디지털 라인(115) 간에 전기적 연결 또는 폐회로를 발생시킨다. 그래서 디지털 라인은 메모리 셀(105)을 판독하거나 또는 메모리 셀에 기입하도록 액세스될 수도 있다.

[0016] 메모리 셀(105)에 액세스하는 것은 행 디코더(120) 및 열 디코더(130)를 통해 제어될 수도 있다. 일부 실시예에서, 행 디코더(120)는 메모리 제어기(140)로부터 행 어드레스를 수신하고 그리고 수신된 행 어드레스에 기초하여 적합한 워드 라인(110)을 활성화시킨다. 유사하게, 열 디코더(130)는 메모리 제어기(140)로부터 열 어드레스를 수신하고 그리고 적합한 디지털 라인(115)을 활성화시킨다. 예를 들어, 메모리 어레이(100)는 다수의 워드 라인(110), 및 다수의 디지털 라인(115)을 포함할 수도 있다. 따라서, 워드 라인(110) 및 디지털 라인(115)을 활성화시킴으로써, 이들의 교차 지점에서 메모리 셀(105)에 액세스될 수도 있다.

[0017] 액세스할 때, 메모리 셀(105)이 판독되거나, 또는 감지 컴포넌트(125)에 의해 감지되어 메모리 셀(105)의 저장된 상태를 결정할 수도 있다. 예를 들어, 메모리 셀(105)에 액세스한 후, 메모리 셀(105)의 커패시터는 대응하는 디지털 라인(115)에서 방전될 수도 있다. 커패시터를 방전하는 것은 바이어싱, 또는 전압을 커패시터에 인가하는 것에 기초할 수도 있다. 1개의 선택 컴포넌트(트랜지스터)를 가진 실시형태에서, 셀 커패시터(들)의 방전은 디지털 라인(DL)의 전압의 변화를 유발할 수도 있고, 감지 컴포넌트(125)의 전압이 기준 전압(미도시)과 비교되어 메모리 셀(105)의 저장된 상태를 결정할 수도 있다. 예를 들어, 디지털 라인(DL)이 기준 전압보다 더 높은 전압을 갖는다면, 감지 컴포넌트(125)는 메모리 셀(105) 내 저장된 상태가 논리 1이라고 결정할 수도 있고 그 역도 가능하다. 2개의 선택 컴포넌트(트랜지스터)를 가진 실시형태에서, 셀 커패시터(들)의 방전이 디지털 라인(DL 및 DL')의 전압의 변화를 유발할 수도 있고, 이어서 이 전압이 감지 컴포넌트(125)에 의해 서로 비교되어 메모리 셀(105)의 저장된 상태를 결정할 수도 있다. 예를 들어, 제1 디지털 라인(DL)이 제2 디지털 라인(DL')보다 더 높은 전압을 갖는다면, 감지 컴포넌트(125)는 메모리 셀(105) 내 저장된 상태가 논리 1이라고 결정할 수도 있고 그 역도 가능하다.

[0018] 감지 컴포넌트(125)는 증폭된 차의 래칭(latching)을 포함할 수도 있는, 신호의 차를 검출(예를 들어, 비교)하고 그리고 이를 증폭시키도록 다양한 트랜지스터 또는 증폭기를 포함할 수도 있다. 별개의 감지 컴포넌트(125)에는 각각의 제1 디지털 라인(DL)이 제공될 수도 있다. 메모리 셀당 2개의 선택 컴포넌트를 가진 실시형태에서, 각각의 제1 디지털 라인(DL)은 별개의 감지 컴포넌트에 대한 연결에서 제2 DL'과 쌍을 이룬다. 그래서 메모리 셀(105)의 검출된 논리 상태는 출력(135)으로서 열 디코더(130)를 통해 출력될 수도 있다.

[0019] 메모리 셀(105)은 관련된 워드 라인(110) 및 디지털 라인(115)을 활성화시킴으로써, 프로그래밍 또는 기입될 수도 있다. 위에서 논의된 바와 같이, 워드 라인(110)을 활성화시키는 것은 메모리 셀(105)의 대응하는 행을 이들의 각각의 디지털 라인(115)에 연결시킨다. 워드 라인(110)이 활성화되는 동안 관련된 디지털 라인(115)을 제어함으로써, 메모리 셀(105)이 기입될 수도 있다-예를 들어, 논리값이 메모리 셀(105)에 저장될 수도 있다-. 열 디코더(130)는 메모리 셀(105)에 기입될, 데이터, 예를 들어 입력(135)을 수용할 수도 있다. 메모리 셀(105)은 전압을 커패시터에 걸쳐 인가함으로써 기입될 수도 있다. 이 과정은 아래에 더 상세히 논의된다.

[0020] 일부 메모리 아키텍처에서, 메모리 셀(105)에 액세스하는 것은 저장된 논리 상태를 열화 또는 파괴시킬 수도 있고, 그리고 재기입(예를 들어, 복원) 작동이 수행되어 원래의 논리 상태를 메모리 셀(105)로 복귀시킬 수도 있다. 예를 들어, 커패시터가 감지 작동 동안 부분적으로 또는 완전히 방전되어, 저장된 논리 상태를 변질시킬 수도 있다. 그래서 논리 상태는 감지 작동 후에 재기입될 수도 있다. 부가적으로, 워드 라인(110)을 활성화시키는 것은 행에서 모든 메모리 셀의 방전을 발생시킬 수도 있다. 따라서, 행에서 수개의 또는 모든 메모리 셀(105)이 재기입되어야 할 수도 있다.

[0021] 메모리 제어기(140)는 다양한 컴포넌트, 예컨대, 행 디코더(120), 열 디코더(130), 및 감지 컴포넌트(125)를 통해 메모리 셀(105)의 작동(예를 들어, 판독, 기입, 복원 등)을 제어할 수도 있다. 메모리 제어기(140)가 행 및 열 어드레스 신호를 생성하여 목적하는 워드 라인(110) 및 디지털 라인(115)을 활성화시킬 수도 있다. 메모리 제어기(140)는 또한 메모리 어레이(100)의 작동 동안 사용되는 다양한 전압 전위를 생성 및 제어할 수도 있다. 일반적으로, 본 명세서에서 논의되는 인가된 전압의 진폭, 형상, 또는 지속기간이 조정 또는 가변될 수도 있고 그리고 메모리 어레이(100)를 작동시키기 위한 다양한 작동에 대해 상이할 수도 있다. 게다가, 메모리 어레이

(100) 내 하나의, 다수의, 또는 모든 메모리 셀(105)이 동시에 액세스될 수도 있다. 예를 들어, 메모리 어레이 (100)의 다수의 또는 모든 셀은 모든 메모리 셀(105), 또는 메모리 셀(105)의 군이 단일의 논리 상태로 설정되는 재설정 작동 동안 동시에 액세스될 수도 있다.

[0022] 메모리 어레이의 메모리 셀(105)은 강유전성 메모리 셀 또는 유전성 메모리 셀일 수도 있다. 강유전성 메모리 셀은 전력이 꺼졌을 때 정보를 유지하는, 비휘발성 랜덤-액세스 메모리(non-volatile random-access memory: NVRAM) 셀로서 구성될 수도 있다. 유전성 메모리 셀은 전력이 인가되는 한 데이터를 유지하는, 동적 랜덤-액세스 메모리 셀(dynamic random-access memory: DRAM) 셀로서 구성될 수도 있다. 본 명세서에서 또한 NVRAM 메모리 셀로서 지칭되는 강유전성 메모리 셀은 마주보는 커패시터 플레이트 사이에 배치된 강유전체 재료를 가진 하나 이상의 커패시터를 포함할 수도 있다. 강유전성 커패시터의 전하의 상이한 레벨은 상이한 논리값을 나타낼 수도 있다. 본 명세서에서 또한 DRAM 메모리 셀로서 지칭되는 유전성 메모리 셀은 마주보는 커패시터 플레이트 사이에 배치된 유전체 재료를 가진 하나 이상의 커패시터를 포함할 수도 있다. 유전성 커패시터의 전하의 상이한 레벨은 상이한 논리값을 나타낼 수도 있다. 강유전성 메모리 셀은 다른 메모리 아키텍처와 관련된 개선된 성능을 발생시킬 수도 있는 이로운 특성, 예를 들어, 주기적인 리프래시 작동을 위한 필요 없이 논리값의 지속적인 저장 특성을 가질 수도 있다. 유전성 메모리 셀은 다른 메모리 아키텍처와 관련된 개선된 성능을 발생시킬 수도 있는 이로운 특성, 예를 들어, 메모리 액세스 작동의 더 빠른 속도 특성을 가질 수도 있다.

[0023] 도 2a는 본 개시내용의 실시형태에 따른, 메모리 셀의 열을 포함하는 예시적인 회로(200)를 예시한다. 도 2a는 본 개시내용의 다양한 실시형태에 따른, 메모리 셀(105)을 포함하는 예시적인 회로(200)를 예시한다. 회로(200)는 메모리 셀(105)(MC(0) 내지 MC(n))을 포함하고, 여기서 "n"은 어레이 크기에 좌우된다. 회로(200)는 워드 라인(WL(0) 내지 WL(n)), 디지털 라인(DL), 및 감지 컴포넌트(125)를 더 포함한다. 디지털 라인(DL)은 감지 컴포넌트(125)의 감지 노드(A)에 연결된다. 메모리 셀당 1개의 선택 컴포넌트를 가진 실시형태에서, 감지 컴포넌트의 감지 노드(B)는 기준 전압에 연결될 수도 있다. 메모리 셀당 2개의 선택 컴포넌트를 가진 실시형태에서, 회로(200)는 워드 라인(WL'(0) 내지 WL'(n)) 및 디지털 라인(DL')을 더 포함할 수도 있다. 여기서, 디지털 라인(DL')은 감지 컴포넌트(125)의 감지 노드(B)에 연결된다. 워드 라인, 디지털 라인, 및 감지 컴포넌트는 도 1을 참조하여 설명된 바와 같이, 메모리 셀(105), 워드 라인(110), 디지털 라인(115), 및 감지 컴포넌트(125)의 예일 수도 있다. 메모리 셀(105)의 1개의 열 및 n개의 행이 도 2a에 도시되지만, 메모리 어레이는 도시된 것처럼 메모리 셀의 많은 열 및 행을 포함할 수도 있다.

[0024] 메모리 셀(105)은 논리 저장 컴포넌트, 예컨대, 커패시터 및 선택 컴포넌트(도 2a에 미도시됨)를 포함할 수도 있다. 메모리 셀(MC(0) 내지 MC(n))이 NVRAM 메모리 셀인 실시형태에서, 메모리 셀(105)의 커패시터는 강유전성 커패시터일 수도 있다. 메모리 셀(MC(0) 내지 MC(n))이 DRAM 메모리 셀인 실시형태에서, 메모리 셀(105)의 커패시터는 유전성 커패시터일 수도 있다. 커패시터는 디지털 라인(DL 및 DL')에 연결될 때 방전될 수도 있다. 이전에 설명된 바와 같이, 다양한 상태는 메모리 셀(105)의 커패시터를 충전 또는 방전함으로써 저장될 수도 있다. 메모리 셀(105)의 선택 컴포넌트는 각각의 워드 라인에 의해 활성화될 수도 있다. 메모리 셀당 1개의 선택 컴포넌트를 가진 실시형태에서, 메모리 셀(MC(0) 내지 MC(n))은 각각의 워드 라인((WL(0) 내지 WL(n))에 의해 활성화될 수도 있다. 메모리 셀당 2개의 선택 컴포넌트를 가진 실시형태에서, 메모리 셀(MC(0) 내지 MC(n))은 각각의 워드 라인(WL(0) 내지 WL(n) 및 WL'(0) 내지 WL'(n))에 의해 활성화될 수도 있다.

[0025] 메모리 셀(MC(0) 내지 MC(n))은 메모리 셀의 액세스 동안 사용될 수도 있는 플레이트 라인(PL)에 연결될 수도 있다. 일부 실시형태에서, 플레이트 라인(PL)은 일정한 전압과 관련있고, 반면에 다른 실시형태에서 플레이트 라인(PL)은 플레이트 라인(PL)을 상이한 전압으로 구동시키는 전압 구동기에 연결된다. 플레이트 라인(PL)은 메모리 셀(MC(0) 내지 MC(n))이 DRAM 메모리 셀로서 구현될 때 일정한 전압과 관련있을 수도 있다. 플레이트 라인(PL)은 메모리 셀(MC(0) 내지 MC(n))이 NVRAM 메모리 셀로서 구현될 때 플레이트 라인(PL)을 상이한 전압으로 구동시키는 전압 구동기에 연결될 수도 있다.

[0026] 메모리 셀(105)의 저장된 상태는 회로(200)에 나타난 다양한 소자를 작동시킴으로써 관독 또는 감지될 수도 있다. 메모리 셀(105)은 디지털 라인(DL)과(또는 디지털 라인(DL 및 DL'))과 전자 통신할 수도 있다. 예를 들어, 아래에 더 상세히 설명된 바와 같이, 메모리 셀(105)의 커패시터는 메모리 셀(105)의 선택 컴포넌트가 비활성화될 때 디지털 라인(DL)으로부터(또는 디지털 라인(DL 및 DL'))으로부터 절연될 수 있고, 그리고 커패시터는 선택 컴포넌트가 활성화될 때 디지털 라인(DL)에(또는 디지털 라인(DL 및 DL'))에 연결될 수 있다. 메모리 셀(105)의 선택 컴포넌트를 활성화시키는 것은 메모리 셀(105)을 선택하는 것으로서 지칭될 수도 있다. 일부 경우에, 선택 컴포넌트가 트랜지스터이고 그리고 작동이 전압을 트랜지스터 게이트에 인가함으로써 제어되고, 여기서 전압 크기는 트랜지스터의 문턱값 전압보다 더 크다. 워드 라인(WL)(또는 워드 라인(WL 및 WL'))은 선택 컴

포넌트(들)를 활성화시킬 수도 있다. 예를 들어, 워드 라인(WL 또는 WL')에 인가된 전압은 메모리 셀(105)의 선택 컴포넌트의 트랜지스터 게이트에 인가된다. 결과적으로, 선택된 메모리 셀(105)의 커패시터는 디지털 라인(DL(또는 디지털 라인(DL 및 DL')) 및 DL')에 각각 연결된다.

[0027] 워드 라인(WL(0) 내지 WL(n))(또는 워드 라인(WL(0) 내지 WL(n) 및 WL'(0) 내지 WL'(n)))은 메모리 셀(105)(MC(0) 내지 MC(n))의 선택 컴포넌트와 각각 전자 통신한다. 따라서, 각각의 메모리 셀(105)(MC)의 워드 라인(WL)(또는 워드 라인(WL 및 WL'))을 활성화시키는 것은 메모리 셀(105)(MC)을 활성화시킬 수도 있다. 예를 들어, WL(0)을 활성화시키는 것은 메모리 셀(MC(0))을 활성화시키고, WL(1)을 활성화시키는 것은 메모리 셀(MC(1))을 활성화시키는, 등이다.

[0028] 메모리 셀(105)에 의해 저장된 논리값을 감지하기 위해서, 워드 라인(WL)(또는 워드 라인(WL 및 WL'))이 바이어싱되어 각각의 메모리 셀(105)을 활성화시킬 수도 있고, 그리고 전압이 디지털 라인(DL)(또는 디지털 라인(DL 및 DL'))에 인가되어 디지털 라인(DL)(또는 디지털 라인(DL 및 DL'))의 전압을 변화시킬 수도 있다. 메모리 셀(105)의 활성화는 메모리 셀(105)의 커패시터에 저장된 전하에 기초하는 디지털 라인(DL)(또는 디지털 라인(DL 및 DL'))의 전압 변화를 유발할 수도 있다. 디지털 라인(DL)(또는 디지털 라인(DL 및 DL'))의 전압의 변화는 감지 컴포넌트(25)의 감지 노드(A 및 B)의 변화를 각각 유발할 수도 있다. 디지털 라인(DL 및 DL')의 발생된 전압이 감지 컴포넌트(125)에 의해 서로 비교되어 각각의 메모리 셀(105)의 저장된 상태를 나타내는 논리값을 결정할 수도 있다.

[0029] NVRAM 메모리 셀에 관해서, 활성화된 메모리 셀(105)의 플레이트 라인(PL)을 바이어싱하는 것은 활성화된 메모리 셀(105)의 커패시터에 걸친 전압 차를 발생시킬 수도 있고, 이는 커패시터에 저장된 전하의 변화를 생성할 수도 있다. 저장된 전하의 변화의 크기는 각각의 커패시터의 초기 상태-예를 들어, 저장된 초기 상태가 논리 1 또는 논리 0에 대응하는지-에 좌우될 수도 있다. 메모리 셀(105)의 선택 컴포넌트가 워드 라인(WL)에 의해(또는 워드 라인(WL 및 WL')에 의해) 활성화될 때, 플레이트 라인(PL)의 바이어싱에 기인한 저장된 전하의 변화는 활성화된 메모리 셀(105)의 커패시터에 저장된 전하에 기초하여 디지털 라인(DL)의 전압(또는 디지털 라인(DL 및 DL')의 전압)의 변화를 유발할 수도 있다. DRAM 메모리 셀에 관해서, 메모리 셀(105)을 활성화시키는 것은 커패시터에 저장된 전하가 디지털 라인(DL)의 전압(또는 디지털 라인(DL 및 DL')의 전압)을 변화시키게 할 수도 있다. 이전에 설명된 바와 같이, 디지털 라인(DL)의 발생된 전압(디지털 라인(DL 및 DL')의 전압)이 사용되어 메모리 셀(105)의 저장된 상태의 논리값을 결정할 수도 있다.

[0030] 감지 컴포넌트(125)는 증폭된 차의 래칭을 포함할 수도 있는, 신호의 차를 검출하고 그리고 이를 증폭시키도록 다양한 트랜지스터 또는 증폭기를 포함할 수도 있다. 감지 컴포넌트(125)는 감지 노드(예를 들어, 감지 노드(A 및 B))의 전압을 수신 및 비교하는 감지 증폭기를 포함할 수도 있다. 메모리 셀당 1개의 선택 컴포넌트를 가진 실시형태에서, 감지 노드(A)의 전압은 제1 디지털 라인(DL)의 전압에 의해 영향받을 수도 있고, 반면에 감지 노드(B)의 전압은 기준 전압에 의해 영향받을 수도 있다. 메모리 셀당 2개의 선택 컴포넌트를 가진 실시형태에서, 감지 노드(A 및 B)의 전압은 디지털 라인(DL 및 DL')의 전압에 의해 각각 영향받을 수도 있다. 감지 증폭기 출력부(예를 들어, 감지 노드(A))는 비교에 기초하여 더 높거나(예를 들어, 양의) 또는 더 낮은(예를 들어, 음의 또는 접지) 공급 전압으로 구동될 수도 있다. 다른 감지 노드(예를 들어, 감지 노드(B))는 상보성 전압(예를 들어, 양의 공급 전압은 음의 또는 접지 전압에 대해 상보적이고, 그리고 음의 또는 접지 전압은 양의 공급 전압에 대해 상보적임)으로 구동될 수도 있다. 예를 들어, 감지 노드(A)가 감지 노드(B)보다 더 높은 전압을 갖는다면, 감지 증폭기는 감지 노드(A)를 양의 공급 전압으로 구동시킬 수도 있고 그리고 감지 노드(B)를 음의 또는 접지 전압으로 구동시킬 수도 있다. 감지 컴포넌트(125)는 메모리 셀(105)의 저장된 상태 및 논리값, 예를 들어, 논리 1을 결정하도록 사용될 수도 있는, 감지 증폭기의 상태(예를 들어, 감지 노드(A) 및/또는 감지 노드(B)의 전압 및/또는 디지털 라인(DL 및 DL')의 전압)를 래칭(latch)할 수도 있다. 대안적으로, 감지 노드(A)가 감지 노드(B)보다 더 낮은 전압을 갖는다면, 감지 증폭기는 감지 노드(A)를 음의 또는 접지 전압으로 구동시킬 수도 있고 그리고 감지 노드(B)를 양의 공급 전압으로 구동시킬 수도 있다. 감지 컴포넌트(125)는 또한 메모리 셀(105)의 저장된 상태 및 논리값, 예를 들어, 논리 0을 결정하기 위한 감지 증폭기 상태를 래칭할 수도 있다.

[0031] 저장된 상태는 메모리 셀(105)의 논리값을 나타낼 수도 있고, 이는 이어서 예를 들어, 도 1을 참조하면 출력(135)으로서 열 디코더(130)를 통해 출력될 수도 있다. 감지 컴포넌트(125)가 또한 디지털 라인(DL 및 DL')을 상보성 전압으로 구동시키는 실시형태에서, 상보성 전압이 메모리 셀(105)에 인가되어 판독된 원래의 데이터 상태를 복원할 수도 있다. 데이터를 복원함으로써, 별개의 복원 작동이 불필요하다.

[0032] 특정한 메모리 셀(105)은 트랜지스터(T)와 커패시터(C)의 다양한 조합으로 구현될 수도 있다. 임의의 적합한 구

성이 본 개시내용에 따라 사용될 수도 있다. 예를 들어, 특정한 메모리 셀(105)은 1T1C, 2T1C, 2T2C, 3T2C, 4T2C 등과 같은 구성으로 구현될 수도 있다.

- [0033] 도 2b는 본 개시내용의 실시형태에 따른, 감지 컴포넌트(125)를 예시한다. 감지 컴포넌트(125)는 p-유형 전계 효과 트랜지스터(252 및 256) 및 n-유형 전계 효과 트랜지스터(262 및 266)를 포함한다. 트랜지스터(252)의 게이트 및 트랜지스터(262)의 게이트는 감지 노드(A)에 연결된다. 트랜지스터(256)의 게이트 및 트랜지스터(266)의 게이트는 감지 노드(B)에 연결된다. 트랜지스터(252 및 256) 및 트랜지스터(262 및 266)는 감지 증폭기를 나타낸다. p-유형 전계 효과 트랜지스터(258)는 전력 공급부(예를 들어, VREAD 전압 전력 공급부)에 연결되도록 구성되고 그리고 트랜지스터(252 및 256)의 공통 노드에 연결된다. 트랜지스터(258)는 활성 PSA 신호(예를 들어, 활성 로우 논리)에 의해 활성화된다. n-유형 전계 효과 트랜지스터(268)는 감지 증폭기 기준 전압(예를 들어, 접지)에 연결되도록 구성되고 그리고 트랜지스터(262 및 266)의 공통 노드에 연결된다. 트랜지스터(268)는 활성 NSA 신호(예를 들어, 활성 하이 논리)에 의해 활성화된다.
- [0034] 작동 시, 감지 증폭기가 PSA 신호 및 NSA 신호를 활성화시킴으로써 활성화되어 감지 증폭기를 전력 공급부의 전압 및 감지 증폭기 기준 전압에 연결시킨다. 활성화될 때, 감지 증폭기는 감지 노드(A 및 B)의 전압을 비교하고, 그리고 감지 노드(A 및 B)를 상보성 전압 레벨로 구동(예를 들어, 감지 노드(A)를 VREAD로 그리고 감지 노드(B)를 접지로, 또는 감지 노드(A)를 접지로 그리고 감지 노드(B)를 VREAD로 구동)시킴으로써 전압 차를 증폭시킨다. 감지 노드(A 및 B)가 상보성 전압 레벨로 구동될 때, 감지 노드(A 및 B)의 전압은 감지 증폭기에 의해 래칭되고 그리고 감지 증폭기가 비활성화될 때까지 여전히 래칭된다.
- [0035] 도 2a를 참조하면, 메모리 셀(105)에 기입하기 위해서, 전압은 메모리 셀(105)의 커패시터에 걸쳐 인가될 수도 있다. 다양한 방법이 사용될 수도 있다. 일부 실시예에서, 선택 컴포넌트가 워드 라인(WL)(또는 워드 라인(WL 및 WL'))을 통해 각각 활성화되어, 커패시터를 디지털 라인(DL)(또는 디지털 라인(DL 및 DL'))에 연결시킬 수도 있다. 예를 들어, 전압이 디지털 라인(DL 및 DL')의 전압을 제어함으로써 메모리 셀(105)의 커패시터에 걸쳐 인가되어 양의 또는 음의 전압을 커패시터에 걸쳐 인가할 수도 있다. 일부 실시형태에서, 상보성 전압이 메모리 셀(105)의 커패시터에 인가되어 예를 들어, 디지털 라인(DL 및 DL') 및 플레이트 라인(CP)을 사용하여, 메모리 셀(105)에 기입된다. 비제한적인 실시예로서, 일부 실시형태에서, 제1 논리값을 메모리 셀(105)에 기입하기 위해서, 제1 전압이 커패시터의 1개의 플레이트에 인가되고 그리고 제1 전압에 대해 상보적인 제2 전압이 커패시터의 다른 플레이트에 인가되고, 그리고 제2 논리값을 메모리 셀(105)에 기입하기 위해서, 제2 전압이 커패시터의 1개의 플레이트에 인가되고 그리고 제1 전압이 커패시터의 다른 플레이트에 인가된다.
- [0036] 일부 실시예에서, 복원 작동이 감지 후 수행될 수도 있다. 이전에 논의된 바와 같이, 감지 작동은 메모리 셀(105)의 원래 저장된 상태를 열화 또는 파괴시킬 수도 있다. 감지 후, 상태는 메모리 셀(105)에 다시 기입될 수도 있다. 예를 들어, 감지 컴포넌트(25)는 메모리 셀(105)의 저장된 상태를 결정할 수도 있고 그리고 이어서 동일한 상태를 예를 들어, 디지털 라인(DL)(또는 디지털 라인(DL 및 DL'))을 통해 다시 기입할 수도 있다.
- [0037] 언급된 바와 같이, 특정한 메모리 셀(105)이 트랜지스터(T)와 커패시터(C)의 다양한 조합으로 구현될 수도 있고 그리고 임의의 적합한 구성이 본 개시내용에 따라 사용될 수도 있다. 예를 들어, 특정한 메모리 셀(105)은 1T1C, 2T1C, 2T2C, 3T2C, 4T2C 등과 같은 구성으로 구현될 수도 있다. 게다가, 상이한 메모리 셀은 임의의 조합 또는 구성 및 셀 유형으로 적층될 수도 있거나 또는 서로 쌍을 이룰 수도 있다. 본 개시내용의 실시형태에 따른 메모리 셀(105)의 작동을 더 구체적으로 설명하기 위해서, 2T2C 메모리 셀 및 1T1C 메모리 셀에 대한 다음의 논의를 실시예로서 제한 없이 참조한다. 아래에서 논의된 작동이 메모리 셀(105) 실시형태를 구현하도록 사용되는 임의의 메모리 셀 구성에 더 일반적으로 적용될 수도 있는 개념의 구체적인 실시예임이 이해되어야 한다.
- [0038] 도 3은 본 개시내용의 실시형태에 따른, 메모리 셀(105)의 단일의 행을 포함하는 예시적인 회로(300)에 대한 일반적인 회로 구성의 개략도이다. 도 3의 예시적인 회로(300)는 단일-단부형 메모리 셀을 포함한다. 여기서, 예시적인 회로(300)는 단일의 논리값을 1개의 메모리 셀(105)에 저장된 단일의 전압으로서 저장한다. 메모리 셀(105)은 메모리 셀(105)과 연관된 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있는 적어도 하나의 워드 라인(WL)에 각각 연결된다. 실시예로서 그리고 제한 없이, 도 3은 4개의 메모리 셀(105(0) 내지 105(3))을 포함하는 메모리 셀의 단일의 행의 일부를 예시한다.
- [0039] 일부 실시형태에서, 메모리 셀(105)은 또한 메모리 셀(105)과 연관된 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있는 제2 워드 라인(WL')에 연결될 수도 있다. 선택 컴포넌트는 트랜지스터일 수도 있고 그리고 워드 라인(들)은 트랜지스터(들)의 게이트에 연결될 수도 있다. 일부 실시형태에서, 메모리 셀(105)은 1개의 워드 라인(WL)에 연결되는 1개의 트랜지스터를 포함할 수도 있다. 다른 실시형태에서, 메모리 셀

(105)은 제1 워드 라인(WL)에 연결된 제1 트랜지스터 및 제2 워드 라인(WL')에 연결된 제2 트랜지스터를 포함할 수도 있다.

- [0040] 각각의 메모리 셀(105)은 1개의 디지털 라인(DL)에 연결될 수도 있다. 도 3에 구체적으로 예시되지 않았지만, 특정한 메모리 셀(105)은 메모리 셀(105)의 열의 부재일 수도 있고 열의 각각의 부재는 동일한 디지털 라인(DL)에 연결된다. 각각의 메모리 셀(105)은 메모리 셀(105)의 액세스 동안 사용되는 플레이트 라인(PL)에 부가적으로 연결될 수도 있다. 도 3에 구체적으로 예시되지 않았지만, 특정한 메모리 셀(105)은 메모리 셀(105)의 열의 부재일 수도 있고 열의 각각의 부재는 동일한 플레이트 라인(PL)에 연결된다.
- [0041] 도 3의 예시적인 회로(300)는 본 개시내용의 실시형태에 따른, 플레이트 라인(PL)과 디지털 라인(DL)의 교번하는 패턴을 포함한다. 더 구체적으로, 회로(300)의 플레이트 라인(PL)과 디지털 라인(DL)은 미리 결정된 디지털 라인(DL)이 또 다른 디지털 라인(DL)이 아닌 플레이트 라인(PL)과 인접하도록 배열된다. 예를 들어, 제3 메모리 셀(105(2))과 연관된 디지털 라인(DL)은 2개의 플레이트 라인(PL)과 인접하고 그리고 임의의 다른 디지털 라인(DL)과 인접하지 않다. 제2 메모리 셀(105(1))과 연관된 플레이트 라인(PL)은 제3 메모리 셀(105(2))과 연관된 디지털 라인(DL)의 좌측에 위치된다. 제4 메모리 셀(105(3))과 연관된 플레이트 라인(PL)은 제3 메모리 셀(105(2))과 연관된 디지털 라인(DL)의 우측에 위치된다. 플레이트 라인(DL)과 디지털 라인을 교번함으로써, 도 3의 예시적인 회로(300)(그리고 도 4a 및 도 4b의 회로)는 프린징 효과에 영향 받을 수도 있는 데이터를 운반하는 라인(디지털 라인)과 인접하거나 또는 그렇지 않으면 근처에 있는 더 많거나 또는 더 적은 일정한 전압을 가진 라인(플레이트 라인)을 라우팅한다. 플레이트 라인의 일정한 전압은 바람직하지 않은 프린징 효과를 감소 또는 방지하는 차폐를 디지털 라인에 제공한다.
- [0042] 도 4a 및 도 4b는 도 3의 일반적인 회로 구성의 더 구체적인 회로 구현예(404, 408)의 도면이다. 파선은 메모리 셀(105)의 대략적인 경계를 정한다. 도 4a의 구현예에서, 메모리 셀(105)의 각각은 1개의 선택 컴포넌트(T1) 및 1개의 커패시터(C1)(예를 들어, 1T1C)를 포함한다. 도 4b의 구현예에서, 메모리 셀(105)의 각각은 2개의 선택 컴포넌트(T1 및 T2) 및 1개의 커패시터(C1)(예를 들어, 2T1C)를 포함한다. 각각의 메모리 셀(105)의 커패시터(C1)는 구현예에 따라, 강유전성 커패시터 또는 유전성 커패시터일 수도 있다. 메모리 셀(105)의 선택 컴포넌트(T1)는 트랜지스터, 예를 들어, n-유형 전계 효과 트랜지스터일 수도 있다. 존재한다면, 메모리 셀(105)의 선택 컴포넌트(T2)는 트랜지스터, 예를 들어, p-유형 전계 효과 트랜지스터일 수도 있다.
- [0043] 선택 컴포넌트(T1)(또는 선택 컴포넌트(T1 및 T2))의 작동은 전압을 트랜지스터 게이트에 인가함으로써 제어된다. 각각의 워드 라인은 선택 컴포넌트를 활성화시킬 수도 있다. 워드 라인(WL)은 메모리 셀(105)의 선택 컴포넌트(T1)를 활성화시킬 수도 있다. 존재한다면, 워드 라인(WL')은 메모리 셀(105)의 선택 컴포넌트(T2)를 활성화시킬 수도 있다.
- [0044] 커패시터(C1)는 제1 플레이트 및 제2 플레이트를 갖는다. 각각의 메모리 셀(105)에 대한 커패시터(C1)의 제1 플레이트 및 제2 플레이트는 교번하는 방식으로 플레이트 라인(PL) 및 디지털 라인(DL)에 연결될 수도 있다. 제1 메모리 셀 및 제2 메모리 셀(105(0) 및 105(1))에 대한 커패시터(C1)의 구성 및 작동은 실시예로서 그리고 제한 없이 아래에 설명된다.
- [0045] 제1 메모리 셀(105(0))에서, 커패시터(C1)의 제1 플레이트는 T1 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제2 플레이트는 T2 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 직접적으로 연결될 수도 있다.
- [0046] 제2 메모리 셀(105(1))에서, 커패시터(C1)의 제1 플레이트는 T1 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 플레이트 라인(PL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제2 플레이트는 T2 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제2 플레이트는 플레이트 라인(PL)에 직접적으로 연결될 수도 있다.
- [0047] 제1 메모리 셀(105(0))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 연결된다. 제2 메모리 셀(105(1))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 연결된다.
- [0048] 이전에 논의된 바와 같이, 디지털 라인(DL)에 연결될 때, 메모리 셀(105)에 액세스될 수도 있다. 예를 들어, 메모리 셀(105)의 저장된 상태가 판독될 수도 있고/있거나 메모리 셀(105)이 기입될 수도 있어서 새로운 상태 또는 동일한 상태를 저장한다. 예를 들어, 다양한 전압이 디지털 라인(DL) 및 플레이트 라인(PL)을 통해 커패시터

(C1)의 플레이트에 인가되어 메모리 셀(105)에 액세스(예를 들어, 판독 및/또는 기입)될 수도 있다. DRAM 실시 형태에서, 플레이트 라인(PL)은 일정한 전압과 관련있을 수도 있다. NVRAM 실시 형태에서, 플레이트 라인(PL)은 플레이트 라인(PL)을 상이한 전압으로 구동시키는 전압 구동기에 연결될 수도 있다. 플레이트 라인(PL)은 NVRAM 기입 작동의 상이한 위상 동안 상이한 전압으로 구동될 수도 있다.

[0049] 도 4c 및 도 4d는 본 개시내용의 실시형태에 따른 회로 구현예에 대한 배치도이다. 도 4c는 도 4a의 회로 구현예(404)에 대한 배치도를 포함한다. 도 4d는 도 4d의 회로 구현예(408)에 대한 배치도를 포함한다. 도 4c 및 도 4d는 본 개시내용에 따른 메모리 셀(105)의 예시적인 실시형태를 포함하는 메모리 어레이(100)의 일부를 예시한다.

[0050] 메모리 어레이(100)의 예시된 구역은 디지털 라인(DL) 및 플레이트 라인(PL)을 포함한다. 디지털 라인(DL)과 플레이트 라인(PL)은 서로에 대해 수직으로 오프셋된다. 디지털 라인(DL)과 플레이트 라인(PL)은 미리 결정된 디지털 라인(DL)이 플레이트 라인(PL)과 인접하고 그리고 또 다른 디지털 라인(DL)과 인접하지 않도록 교번하는 패턴으로 배열된다. 디지털 라인(DL)은 감지 컴포넌트에 연결될 수도 있다(도 1에 도시된 바와 같음). 4개의 인접한 메모리 셀(105(0) 내지 105(3))이 도시되고, 이러한 인접한 메모리 셀은 메모리 어레이 내에서 서로 공통 행에 있다(예를 들어, 워드 라인(WL) 및/또는 워드 라인(WL')으로 나타낸 공통 행을 따라 있다). 절연성 재료(409)는 메모리 셀(105)의 다양한 컴포넌트를 둘러싸는 것으로 도시된다. 일부 실시형태에서, 교번형 메모리 셀(105)은 메모리 어레이의 행을 따르는 실질적으로 동일한 메모리 셀로서 지칭될 수도 있고, 용어 "실질적으로 동일한"은 메모리 셀이 제조 및 측정의 적당한 허용 오차 내에서 서로 동일한 것을 의미한다. 예를 들어, 메모리 셀(105(0))은 메모리 셀(105(2))과 실질적으로 동일할 수도 있고, 메모리 셀(105(1))은 메모리 셀(105(3))과 실질적으로 동일할 수도 있는, 등이다.

[0051] 디지털 라인(DL) 및 플레이트 라인(PL)은 기저부(410) 위에 있고 그리고 기저부에 의해 지지되는 것으로 도시된다. 기저부(410)는 반도체 재료일 수도 있다. 도 4c 및 도 4d에 도시된 바와 같이, 메모리 셀(105) 각각은 적어도 하나의 선택 컴포넌트(424) 및 커패시터(405)를 포함한다. 선택 컴포넌트(424)는 도 4a 및 도 4b의 선택 컴포넌트(T1)에 대응할 수도 있다. 커패시터(405)는 도 4a 및 도 4b의 커패시터(C1)에 대응할 수도 있다. 도 4d에 도시된 바와 같이, 메모리 셀(105)은 제2 선택 컴포넌트(420)를 부가적으로 포함할 수도 있다. 제2 선택 컴포넌트(420)는 도 4b의 선택 컴포넌트(T2)에 대응할 수도 있다.

[0052] 커패시터(405)는 제1 단부가 제1 선택 컴포넌트(424)에 연결되는 수직 구성으로 배열될 수도 있다. 존재한다면, 제2 선택 컴포넌트(420)는 커패시터(405)의 제2 단부에 연결될 수도 있다. 커패시터(405)는 제1 플레이트, 셀 상단부(430), 및 제2 플레이트, 셀 하단부(415), 및 셀 상단부(430)와 셀 하단부(415) 사이에 배치된 유전체 재료(432)를 포함한다. 셀 상단부(430)가 컨테이너 형상인 것으로 도시되고 그리고 셀 하단부(415)가 이러한 컨테이너 형상 내에서 연장되는 것으로 도시되지만, 다른 실시형태에서 셀 상단부 및 셀 하단부는 다른 구성을 가질 수도 있다. 예를 들어, 셀 상단부 및 셀 하단부는 평면의 구성을 가질 수도 있다. 필라(pillar)(412)는 플레이트 라인(PL)(메모리 셀(105(0) 및 105(2)) 또는 디지털 라인(DL)(메모리 셀(105(1) 및 105(3)) 중 하나로부터 커패시터(405)의 셀 상단부(430)로 연장된다. 필라(412)는 디지털 라인(DL)(메모리 셀(105(0) 및 105(2)) 또는 플레이트 라인(PL)(메모리 셀(105(1) 및 105(3)) 중 하나로부터 커패시터(405)의 셀 하단부(415)로 연장된다.

[0053] 선택 컴포넌트(424)는 커패시터(405)의 셀 상단부(430)로 연장되는 소스/드레인 구역(414)을 갖고, 그리고 플레이트 라인(PL)으로 연장되는 소스/드레인 구역(416)을 갖는다. 선택 컴포넌트(424)는 또한 소스/드레인 구역(414 및 416) 사이에 채널 구역(418)을 갖는다. 게이트(411)는 채널 구역(418)을 따르고 그리고 게이트 유전체 재료(413)에 의해 채널 구역으로부터 오프셋된다. 게이트(411)는 워드 라인(WL)에 포함될 수도 있다.

[0054] 존재한다면, 선택 컴포넌트(420)는 커패시터(405)의 셀 하단부(415)로 연장되는 소스/드레인 구역(444)을 갖고, 그리고 디지털 라인(DL)으로 연장되는 소스/드레인 구역(406)을 갖는다. 선택 컴포넌트(420)는 또한 소스/드레인 구역(444 및 406) 사이에 채널 구역(408)을 갖는다. 게이트(401)는 채널 구역(408)을 따르고 그리고 게이트 유전체 재료(403)에 의해 채널 구역으로부터 오프셋된다. 게이트(401)는 워드 라인(WL)에 포함될 수도 있다.

[0055] 도 4c 및 도 4d의 실시형태에 도시된 바와 같이, 메모리 셀(105)의 선택 컴포넌트(420 및 424) 및 커패시터(405)는 수직으로 적층되고, 이는 메모리 셀(105)이 통합의 높은 레벨로 패킹되게(packed) 할 수도 있다.

[0056] 도 4c 및 도 4d는 본 명세서에서 도 4a 및 도 4b의 회로 구현예에 대한 예시적인 단면도로서 제공된다. 논의를 따르는 것은 본 개시내용에 따른 부가적인 회로 구현예를 포함한다. 간결성을 위해 부가적인 도면은 추가의 회로 구현예의 논의로부터 생략된다. 그러나, 부가적인 회로 구현예가 도 4a 및 도 4b에 예시된 회로와 유사한 회

로 구현될 수도 있다는 것이 이해되어야 한다.

- [0057] 도 5는 본 개시내용의 실시형태에 따른, 메모리 셀의 2개의 행의 적층된 구성을 포함하는 예시적인 회로(500)에 대한 일반적인 회로 구성의 개략도이다. 도 5의 예시적인 회로(500)는 단일-단부형 메모리 셀을 포함한다. 여기서, 예시적인 회로(500)는 단일의 논리값을 1개의 메모리 셀에 저장된 단일의 전압으로서 저장한다. 제1 행은 메모리 셀(105)을 포함하고 그리고 제2 행은 메모리 셀(106)을 포함한다. 메모리 셀(105, 106)은 메모리 셀(105, 106)과 연관된 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있는 적어도 하나의 워드 라인(WL)에 각각 연결된다. 실시예로서 그리고 제한 없이, 도 5는 4개의 메모리 셀(105(0)) 내지 105(3))을 포함하는 메모리 셀의 제1 행의 부분 및 4개의 메모리 셀(106(0) 내지 106(3))을 포함하는 메모리 셀의 제2 행의 부분을 예시한다.
- [0058] 일부 실시형태에서, 메모리 셀(105, 106)은 또한 메모리 셀(105, 106)과 연관된 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있는 제2 워드 라인(WL')에 연결될 수도 있다. 선택 컴포넌트는 트랜지스터일 수도 있고 그리고 워드 라인(들)은 트랜지스터(들)의 게이트에 연결될 수도 있다. 일부 실시형태에서, 메모리 셀(105, 106)은 1개의 워드 라인(WL)에 연결되는 1개의 트랜지스터를 포함할 수도 있다. 다른 실시형태에서, 메모리 셀(105, 106)은 제1 워드 라인(WL)에 연결된 제1 트랜지스터 및 제2 워드 라인(WL')에 연결된 제2 트랜지스터를 포함할 수도 있다.
- [0059] 제1 행의 각각의 메모리 셀(105)은 1개의 디지털 라인(DL)에 연결될 수도 있다. 유사하게, 제2 행의 각각의 메모리 셀(106)은 1개의 디지털 라인(DL)에 연결될 수도 있다. 도 5에 구체적으로 예시되지 않았지만, 특정한 메모리 셀(105, 106)은 메모리 셀(105, 106)의 열의 부재일 수도 있고 열의 각각의 부재는 동일한 디지털 라인(DL)에 연결된다. 각각의 메모리 셀(105, 106)은 메모리 셀(105, 106)의 액세스 동안 사용되는 플레이트 라인(PL)에 부가적으로 연결될 수도 있다. 도 5에 구체적으로 예시되지 않았지만, 특정한 메모리 셀(105, 106)은 메모리 셀(105, 106)의 열의 부재일 수도 있고 열의 각각의 부재는 동일한 플레이트 라인(PL)에 연결된다.
- [0060] 도 5의 예시적인 회로(500)에서, 일부 플레이트 라인(PL)과 일부 디지털 라인(DL)은 2개의 인접한 메모리 셀 사이에 공유될 수도 있다. 예를 들어, 메모리 셀(105(0))과 메모리 셀(106(0))은 디지털 라인(DL)을 공유한다. 여기서, 공유된 디지털 라인은 메모리 셀(105(0) 또는 106(0))에 액세스된다고 고려하면 디지털 라인을 적합한 감지 증폭기로 라우팅하는 스위치를 포함할 수도 있다. 추가의 실시예로서, 메모리 셀(105(1))과 메모리 셀(106(1))은 플레이트 라인(PL)을 공유한다. 여기서, 공유된 플레이트 라인(PL)과 연관된 스위치는 공유된 플레이트 라인(PL)이 메모리 셀(105(1) 또는 106(1)) 중 하나의 메모리 셀에 액세스될 때 동일할 수도 있는 일정한 전압을 제공할 때 생략될 수도 있다.
- [0061] 도 5의 예시적인 회로(500)는 본 개시내용의 실시형태에 따른, 플레이트 라인(PL)과 디지털 라인(DL)의 교번하는 패턴을 포함한다. 더 구체적으로, 회로(500)의 플레이트 라인(PL) 및 디지털 라인(DL)은 미리 결정된 디지털 라인(DL)이 또 다른 디지털 라인(DL)이 아닌 플레이트 라인(PL)과 인접하도록 배열된다. 예를 들어, 제3 메모리 셀(105(2) 및 106(2))과 연관된 공유된 디지털 라인(DL)은 2개의 플레이트 라인(PL)과 인접하고 그리고 임의의 다른 디지털 라인과 인접하지 않다. 제2 메모리 셀(105(1) 및 106(1))과 연관된 공유된 플레이트 라인(PL)은 제3 메모리 셀(105(2) 및 106(2))과 연관된 공유된 디지털 라인(DL)의 좌측에 위치된다. 제4 메모리 셀(105(3) 및 106(3))과 연관된 공유된 플레이트 라인(PL)은 제3 메모리 셀(105(2) 및 106(2))과 연관된 공유된 디지털 라인(DL)의 우측에 위치된다. 플레이트 라인과 디지털 라인을 교번함으로써, 도 5의 예시적인 회로(500)(도 6a 내지 도 6c의 회로)는 프린징 효과에 영향 받을 수도 있는 데이터를 운반하는 라인(디지털 라인)과 인접하거나 또는 그렇지 않으면 근처에 있는 더 많거나 또는 더 적은 일정한 전압을 가진 라인(플레이트 라인)을 라우팅한다. 플레이트 라인의 일정한 전압은 바람직하지 않은 프린징 효과를 감소 또는 방지하는 차폐를 디지털 라인에 제공한다.
- [0062] 도 6a 내지 도 6c는 도 5의 일반적인 회로 구성(500)의 더 구체적인 회로 구현예의 도면이다. 파선은 메모리 셀(105, 106)의 대략적인 경계를 정한다. 도 6a 및 도 6b의 구현예에서, 메모리 셀(105, 106)의 각각은 1개의 선택 컴포넌트(T1) 및 1개의 커패시터(C1)(예를 들어, 1T1C)를 포함한다. 도 6c의 구현예에서, 메모리 셀(105, 106)의 각각은 2개의 선택 컴포넌트(T1 및 T2) 및 1개의 커패시터(C1)(예를 들어, 2T1C)를 포함한다. 각각의 메모리 셀(105, 106)의 커패시터(C1)는 구현예에 따라, 강유전성 커패시터 또는 유전성 커패시터일 수도 있다. 메모리 셀(105, 106)의 선택 컴포넌트(T1)는 트랜지스터, 예를 들어, n-유형 전계 효과 트랜지스터일 수도 있다. 존재한다면, 메모리 셀(105, 106)의 선택 컴포넌트(T2)는 트랜지스터, 예를 들어, p-유형 전계 효과 트랜지스터일 수도 있다.

- [0063] 선택 컴포넌트(T1)(또는 선택 컴포넌트(T1 및 T2))의 작동은 전압을 트랜지스터 게이트에 인가함으로써 제어된다. 각각의 워드 라인은 선택 컴포넌트를 활성화시킬 수도 있다. 워드 라인(WL)은 메모리 셀(105, 106)의 선택 컴포넌트(T1)를 활성화시킬 수도 있다. 존재한다면, 워드 라인(WL')은 메모리 셀(105, 106)의 선택 컴포넌트(T2)를 활성화시킬 수도 있다.
- [0064] 커패시터(C1)는 제1 플레이트 및 제2 플레이트를 갖는다. 각각의 메모리 셀(105, 106)에 대한 커패시터(C1)의 제1 플레이트 및 제2 플레이트는 교번하는 방식으로 플레이트 라인(PL) 및 디지털 라인(DL)에 연결될 수도 있다. 제1 메모리 셀(105(0), 106(0)) 및 제2 메모리 셀(105(1), 106(1))에 대한 커패시터(C1)의 구성 및 작동은 실시예로서 그리고 제한 없이 아래에 설명된다.
- [0065] 제1 행의 제1 메모리 셀(105(0))에서, 커패시터(C1)의 제1 플레이트는 플레이트 라인(PL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 T1 선택 컴포넌트를 통해 공유된 디지털 라인(DL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제1 플레이트는 T2 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제1 플레이트는 플레이트 라인(PL)에 직접적으로 연결될 수도 있다.
- [0066] 제1 행의 제2 메모리 셀(105(1))에서, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 T1 선택 컴포넌트를 통해 공유된 플레이트 라인(PL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제1 플레이트는 T2 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 직접적으로 연결될 수도 있다.
- [0067] 제2 행의 제1 메모리 셀(106(0))에서, 커패시터(C1)의 제1 플레이트는 공유된 디지털 라인(DL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 T1 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제1 플레이트는 T2 선택 컴포넌트를 통해 공유된 디지털 라인(DL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 직접적으로 연결될 수도 있다. 대안적인 실시형태(도 6b)에서, 커패시터(C1)의 제1 플레이트는 T1 선택 컴포넌트를 통해 공유된 디지털 라인(DL)에 연결되고 그리고 커패시터(C1)의 제2 플레이트는 플레이트 라인(PL)에 직접적으로 연결된다.
- [0068] 제2 행의 제2 메모리 셀(106(1))에서, 커패시터(C1)의 제1 플레이트는 공유된 플레이트 라인(PL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 T1 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제1 플레이트는 T2 선택 컴포넌트를 통해 공유된 플레이트 라인(PL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제1 플레이트는 공유된 플레이트 라인(PL)에 직접적으로 연결될 수도 있다. 대안적인 실시형태(도 6b)에서, 커패시터(C1)의 제1 플레이트는 T1 선택 컴포넌트를 통해 공유된 플레이트 라인(PL)에 연결되고 그리고 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 직접적으로 연결된다.
- [0069] 제1 행의 제1 메모리 셀(105(0))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 연결된다. 제1 행의 제2 메모리 셀(105(1))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 연결된다. 제2 행의 제1 메모리 셀(106(0))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 연결된다. 제1 행의 제2 메모리 셀(105(1))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 연결된다.
- [0070] 이전에 논의된 바와 같이, 디지털 라인(DL)에 연결될 때, 메모리 셀(105)에 액세스될 수도 있다. 예를 들어, 메모리 셀(105)의 저장된 상태가 판독될 수도 있고/있거나 메모리 셀(105)이 기입될 수도 있어서 새로운 상태 또는 동일한 상태를 저장한다. 예를 들어, 다양한 전압이 디지털 라인(DL) 및 플레이트 라인(PL)을 통해 커패시터(C1)의 플레이트에 인가되어 메모리 셀(105)에 액세스(예를 들어, 판독 및/또는 기입)될 수도 있다. DRAM 실시형태에서, 플레이트 라인(PL)은 일정한 전압과 관련있을 수도 있다. NVRAM 실시형태에서, 플레이트 라인(PL)은 플레이트 라인(PL)을 상이한 전압으로 구동시키는 전압 구동기에 연결될 수도 있다. 플레이트 라인(PL)은 NVRAM 기입 작동의 상이한 위상 동안 상이한 전압으로 구동될 수도 있다.
- [0071] 도 3 내지 도 6c와 관련되어 위에서 설명된 메모리 구성은 일반적으로 적어도 메모리 셀의 단일의 열 내에서, 단일-단부형 메모리 셀 배열을 지원한다. 본 개시내용의 실시형태에 따르면, 차동 메모리 셀 구성은 도 3 내지 도 6c의 메모리 셀 배열 중 하나 이상을 사용하여 구현될 수도 있다. 도 7에 도시된 바와 같이, 메모리는 디지털 라인(DL) 신호를 감지 증폭기(712)에 각각 제공하는 2개의 "MAT"로 편성될 수도 있다. 더 구체적으로, 제1 MAT(704)는 제1 디지털 라인(DL 1) 신호를 감지 증폭기(712)에 제공한다. 제2 MAT(708)는 제2 디지털 라인(DL

2) 신호를 감지 증폭기에 제공한다. 제1 MAT 및 제2 MAT(704 및 708)는 도 3 내지 도 6c와 관련되어 위에서 설명된 메모리 아키텍처 중 임의의 메모리 아키텍처를 포함할 수도 있다. 디지털 라인(D1 및 D2)은 저장된 논리값을 함께 나타내는 상보성 전압을 운반할 수도 있다. 디지털 라인(D1 및 D2)에 의해 제공된 전압은 제1 MAT 및 제2 MAT(704 및 708)와 연관된 메모리 셀에 저장된 전압에 각각 대응할 수도 있다. 따라서, 도 7에서 알 수 있는 바와 같이, 차동 신호를 함께 제공하는 상보성 전압은 인접한 메모리 셀에 저장될 필요가 없다. 오히려, 상보성 전압을 2개의 전압이 메모리의 상이한 영역에 저장되는 분산된 방식으로 저장하는 것이 가능하다.

[0072] 도 8은 본 개시내용의 실시형태에 따른, 셀의 2개의 행의 적층된 구성을 포함하는 예시적인 회로(800)에 대한 일반적인 회로 구성의 개략도이다. 도 8의 예시적인 회로(800)는 완전한 차동 메모리 셀 구성을 구현하도록 사용될 수도 있다. 여기서, 예시적인 회로(800)의 차동 메모리 셀("MC")은 단일의 논리값을 2개의 상이한 저장 셀(storage cell: "SC")에 저장되는 2개의 상보성 전압으로서 저장한다. 제1 행은 제1 저장 셀(804)을 포함하고 그리고 제2 행은 제2 저장 셀(808)을 포함한다. 제1 행의 저장 셀(804)은 미리 결정된 메모리 셀(105)에 대한 제1 상보성 논리값을 저장하도록 사용될 수도 있다. 제2 행의 저장 셀(808)은 미리 결정된 메모리 셀(105)에 대한 제2 상보성 논리값을 저장하도록 사용될 수도 있다. 따라서, 미리 결정된 메모리 셀(105)은 제1 행으로부터 제1 저장 셀(804) 그리고 제2 행으로부터 제2 저장 셀(808)을 포함할 수도 있다. 메모리 셀(105)은 개별적인 저장 셀(804, 808)과 연관된 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있는 적어도 하나의 워드 라인(WL)에 각각 연결된다. 실시예로서 그리고 제한 없이 도 8은 4개의 저장 셀(804(0) 내지 804(3))을 포함하는 저장 셀의 제1 행의 부분 및 4개의 저장 셀(804(0) 내지 808(3))을 포함하는 저장 셀의 제2 행의 부분을 예시한다.

[0073] 일부 실시형태에서, 메모리 셀(105)은 개별적인 저장 셀(804, 808)과 연관된 선택 컴포넌트에 연결될 수도 있고 그리고 선택 컴포넌트를 제어할 수도 있는 제2 워드 라인(WL')에 또한 연결될 수도 있다. 선택 컴포넌트는 트랜지스터일 수도 있고 그리고 워드 라인(들)은 트랜지스터(들)의 게이트에 연결될 수도 있다. 일부 실시형태에서, 저장 셀(804, 808)은 1개의 워드 라인(WL)에 연결되는 1개의 트랜지스터를 포함할 수도 있다. 다른 실시형태에서, 저장 셀(804, 808)은 제1 워드 라인(WL)에 연결된 제1 트랜지스터 및 제2 워드 라인(WL')에 연결된 제2 트랜지스터를 포함할 수도 있다.

[0074] 제1 행의 각각의 저장 셀(105)은 1개의 디지털 라인(DL)에 연결될 수도 있다. 유사하게, 제2 행의 각각의 저장 셀(106)은 1개의 디지털 라인(DL')에 연결될 수도 있다. 함께, 2개의 대응하는 디지털 라인(DL 및 DL')은 미리 결정된 메모리 셀(105)의 디지털 라인을 형성한다. 도 8에 구체적으로 예시되지 않았지만, 특정한 저장 셀(804, 808)은 저장 셀(804, 808)의 열의 부재일 수도 있고 열의 각각의 부재는 동일한 디지털 라인(DL, DL')에 연결된다. 각각의 저장 셀(804, 808)은 저장 셀(804, 808)의 액세스 동안 사용되는 플레이트 라인(PL)에 부가적으로 연결될 수도 있다. 도 8에 구체적으로 예시되지 않았지만, 특정한 저장 셀(804, 808)은 저장 셀(804, 808)의 열의 부재일 수도 있고 열의 각각의 부재는 동일한 플레이트 라인(PL)에 연결된다.

[0075] 도 8의 예시적인 회로(800)는 본 개시내용의 실시형태에 따른 플레이트 라인(PL)과 디지털 라인(DL)의 교번하는 패턴을 포함한다. 더 구체적으로, 회로(800)의 플레이트 라인(PL) 및 디지털 라인(DL)은 미리 결정된 디지털 라인(DL)이 또 다른 디지털 라인(DL)이 아닌 플레이트 라인(PL)과 인접하도록 배열된다. 예를 들어, 제2 행의 제2 저장 셀(808(1))과 연관된 디지털 라인(DL')은 3개의 플레이트 라인(PL)과 인접하고 그리고 임의의 다른 디지털 라인과 인접하지 않다. 제2 행의 제1 저장 셀(808(0))과 연관된 플레이트 라인(PL)은 제2 행의 제2 저장 셀(808(1))과 연관된 디지털 라인(DL')의 좌측에 위치된다. 제2 행의 제3 저장 셀(808(2))과 연관된 플레이트 라인(PL)은 제2 행의 제2 저장 셀(808(1))과 연관된 디지털 라인(DL')의 우측에 위치된다. 게다가, 제1 행의 제2 저장 셀(804(1))과 연관된 플레이트 라인(PL)은 제2 행의 제2 저장 셀(808(1))과 연관된 디지털 라인(DL') 위에 위치된다. 플레이트 라인과 디지털 라인을 교번함으로써, 도 8의 예시적인 회로(800)(도 9a 내지 도 9c의 회로)는 프린징 효과에 영향 받을 수도 있는 데이터를 운반하는 라인(디지털 라인)과 인접하거나 또는 그렇지 않으면 근처에 있는 더 많거나 또는 더 적은 일정한 전압을 가진 라인(플레이트 라인)을 라우팅한다. 플레이트 라인의 일정한 전압은 바람직하지 않은 프린징 효과를 감소 또는 방지하는 차폐를 디지털 라인에 제공한다.

[0076] 도 9a 내지 도 9c는 도 8의 일반적인 회로 구성(800)의 더 구체적인 회로 구현예의 도면이다. 파선은 저장 셀(804, 808)의 대략적인 경계를 정한다. 추가의 파선은 저장 셀(804, 808)을 포함하는, 메모리 셀(105)의 대략적인 경계를 정한다. 도 6a 및 도 6b의 구현예에서, 저장 셀(105)은 1개의 선택 컴포넌트(T1) 및 1개의 커패시터(C1)를 포함하고 그리고 저장 셀(106)은 1개의 선택 컴포넌트(T2) 및 1개의 커패시터(C2)를 포함한다. 따라서, 메모리 셀(105)은 2개의 선택 컴포넌트(T1, T2) 및 2개의 커패시터(C1, C2)(예를 들어, 2T2C)를 포함한다. 도 6c의 구현예에서, 저장 셀(105)은 2개의 선택 컴포넌트(T1, T3) 및 1개의 커패시터(C1)를 포함하고 그리고 저장

셀(106)은 2개의 선택 컴포넌트(T2, T4) 및 1개의 커패시터(C2)를 포함한다. 따라서, 메모리 셀(105)은 4개의 선택 컴포넌트(T1, T2, T3, T4) 및 2개의 커패시터(C1, C2)(예를 들어, 4T2C)를 포함한다. 각각의 저장 셀(804, 808)의 커패시터(C1, C2)는 구현예에 따라, 강유전성 커패시터 또는 유전성 커패시터일 수도 있다. 저장 셀(804, 808)의 선택 컴포넌트(T1, T2)는 트랜지스터, 예를 들어, n-유형 전계 효과 트랜지스터일 수도 있다. 존재한다면, 저장 셀(804, 808)의 선택 컴포넌트(T3, T4)는 트랜지스터, 예를 들어, p-유형 전계 효과 트랜지스터일 수도 있다.

- [0077] 선택 컴포넌트(T1 및 T2)(또는 선택 컴포넌트(T3 및 T4))의 작동은 전압을 트랜지스터 게이트에 인가함으로써 제어된다. 각각의 워드 라인은 선택 컴포넌트를 활성화시킬 수도 있다. 워드 라인(WL)은 저장 셀(804, 808)의 선택 컴포넌트(T1 및 T2)를 활성화시킬 수도 있다. 존재한다면, 워드 라인(WL')은 저장 셀(804, 808)의 선택 컴포넌트(T3 및 T4)를 활성화시킬 수도 있다.
- [0078] 커패시터(C1 및 C2)는 제1 플레이트 및 제2 플레이트를 갖는다. 각각의 저장 셀(804)에 대한 커패시터(C1)의 제1 플레이트 및 제2 플레이트는 교번하는 방식으로 플레이트 라인(PL) 및 디지털 라인(DL)에 연결될 수도 있다. 유사하게, 각각의 저장 셀(808)에 대한 커패시터(C2)의 제1 플레이트 및 제2 플레이트는 교번하는 방식으로 플레이트 라인(PL) 및 디지털 라인(DL)에 연결될 수도 있다. 제1 메모리 셀(105(0))(제1 저장 셀 및 제2 저장 셀(804(0), 808(0))을 포함함) 및 제2 메모리 셀(105(1))(제1 저장 셀 및 제2 저장 셀(804(1), 808(1))을 포함함)에 대한 커패시터(C1 및 C2)의 구성 및 작동은 실시예로서 그리고 제한 없이 아래에 설명된다.
- [0079] 제1 메모리 셀(105(0))의 제1 저장 셀(804(0))에서, 커패시터(C1)의 제1 플레이트는 플레이트 라인(PL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 T1 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제1 플레이트는 T3 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제1 플레이트는 플레이트 라인(PL)에 직접적으로 연결될 수도 있다.
- [0080] 제1 메모리 셀(105(0))의 제2 저장 셀(808(0))에서, 커패시터(C2)의 제1 플레이트는 플레이트 라인(PL)에 연결된다. 부가적으로, 커패시터(C2)의 제2 플레이트는 T2 선택 컴포넌트를 통해 디지털 라인(DL')에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C2)의 제1 플레이트는 T4 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 그렇지 않다면, 커패시터(C2)의 제1 플레이트는 플레이트 라인(PL)에 직접적으로 연결될 수도 있다. 대안적인 실시형태(도 9b)에서, 커패시터(C2)의 제1 플레이트는 T2 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결되고 그리고 커패시터(C2)의 제2 플레이트는 디지털 라인(DL)에 직접적으로 연결된다.
- [0081] 제2 메모리 셀(105(1))의 제1 저장 셀(804(1))에서, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 연결된다. 부가적으로, 커패시터(C1)의 제2 플레이트는 T1 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C1)의 제1 플레이트는 T3 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 그렇지 않다면, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 직접적으로 연결될 수도 있다.
- [0082] 제2 메모리 셀(105(1))의 제2 저장 셀(808(1))에서, 커패시터(C2)의 제1 플레이트는 디지털 라인(DL)에 연결된다. 부가적으로, 커패시터(C2)의 제2 플레이트는 T2 선택 컴포넌트를 통해 플레이트 라인(PL)에 연결된다. 워드 라인(WL')이 존재한다면, 커패시터(C2)의 제1 플레이트는 T4 선택 컴포넌트를 통해 디지털 라인(DL)에 연결된다. 그렇지 않다면, 커패시터(C2)의 제1 플레이트는 디지털 라인(DL)에 직접적으로 연결될 수도 있다. 대안적인 실시형태(도 9b)에서, 커패시터(C1)의 제1 플레이트는 T2 선택 컴포넌트를 통해 디지털 라인(DL)에 연결되고 그리고 커패시터(C2)의 제2 플레이트는 플레이트 라인(PL)에 직접적으로 연결된다.
- [0083] 제1 메모리 셀(105(0))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제2 플레이트는 디지털 라인(DL)에 연결되고 그리고 커패시터(C2)의 제2 플레이트는 디지털 라인(DL')에 연결된다. 제2 메모리 셀(105(0))이 예컨대, 워드 라인(WL)에 의해(또는 WL 및 WL'에 의해) 활성화될 때, 커패시터(C1)의 제1 플레이트는 디지털 라인(DL)에 연결되고 그리고 커패시터(C2)의 제1 플레이트는 디지털 라인(DL')에 연결된다.
- [0084] 이전에 논의된 바와 같이, 디지털 라인(DL)에 연결될 때, 메모리 셀(105)에 액세스될 수도 있다. 예를 들어, 메모리 셀(105)의 저장된 상태가 판독될 수도 있고/있거나 메모리 셀(105)이 기입될 수도 있어서 새로운 상태 또는 동일한 상태를 저장한다. 예를 들어, 다양한 전압이 디지털 라인(DL) 및 플레이트 라인(PL)을 통해 커패시터(C1)의 플레이트에 인가되어 메모리 셀(105)에 액세스(예를 들어, 판독 및/또는 기입)될 수도 있다. DRAM 실시형태에서, 플레이트 라인(PL)은 일정한 전압과 관련있을 수도 있다. NVRAM 실시형태에서, 플레이트 라인(PL)은 플레이트 라인(PL)을 상이한 전압으로 구동시키는 전압 구동기에 연결될 수도 있다. 플레이트 라인(PL)은 NVRAM

기입 작동의 상이한 위상 동안 상이한 전압으로 구동될 수도 있다.

- [0085] 1 내지 4개의 트랜지스터 및 1 내지 2개의 커패시터를 가진 메모리 셀의 다양한 실시형태가 도 1 내지 도 9c를 참조하여 개시되었다. 일부 실시형태에서 메모리 셀의 트랜지스터는 각각의 반도체 필라로부터 각각 형성된 수직 트랜지스터일 수도 있다. 커패시터(C1 및 C2)의 제1 플레이트 및 제2 플레이트의 전도성 재료는 예를 들어, 다양한 금속(예를 들어, 텅스텐, 티타늄 등), 금속-함유 조성물(예를 들어, 금속 질화물, 금속 탄화물, 금속 규화물 등), 전도성으로-도핑된 반도체 재료(예를 들어, 전도성으로-도핑된 규소, 전도성으로-도핑된 게르마늄 등) 등 중 하나 이상을 포함하는, 임의의 적합한 전도성 재료일 수도 있다. 커패시터(C1 및 C2)의 플레이트 중 일부 또는 전부는 서로 동일한 조성물을 포함할 수도 있거나, 또는 서로에 대해 상이한 조성물을 포함할 수도 있다.
- [0086] 본 명세서에서 논의된 NVRAM 메모리 셀에서, 커패시터(C1 및 C2)는 강유전성 커패시터이다. 커패시터(C1 및 C2)의 강유전체 재료는 임의의 적합한 조성물 또는 조성물의 조합을 포함할 수도 있다. 일부 실시형태에서 커패시터 유전체 재료는 강유전체 재료를 포함할 수도 있다. 예를 들어, 커패시터 유전체 재료는 전이 금속 산화물, 지르코늄, 산화지르코늄, 하프늄, 산화하프늄, 납 지르코늄 티탄산염, 산화탄탈륨, 및 바륨 스트론튬 티탄산염으로 이루어지고; 그리고 규소, 알루미늄, 란타늄, 이트륨, 에르븀, 칼슘, 마그네슘, 니오븀, 스트론튬, 및 희토류 원소 중 하나 이상을 포함하는 도펀트를 가진, 균으로부터 선택된 하나 이상의 재료를 포함할 수도 있고, 본질적으로 이루어질 수도 있거나, 또는 이루어질 수도 있다. 일부 실시형태에서 강유전체 재료는 서로 동일한 조성물을 포함할 수도 있고, 그리고 다른 실시형태에서 서로에 대해 상이한 조성물을 포함할 수도 있다.
- [0087] 플레이트 라인 구조체(PL)는 예를 들어, 다양한 금속(예를 들어, 텅스텐, 티타늄 등), 금속-함유 조성물(예를 들어, 금속 질화물, 금속 탄화물, 금속 규화물 등), 전도성으로-도핑된 반도체 재료(예를 들어, 전도성으로-도핑된 규소, 전도성으로-도핑된 게르마늄 등) 등 중 하나 이상을 포함하는 임의의 적합한 전도성 재료를 포함할 수도 있다.
- [0088] 반도체 필라는 예를 들어, 규소와 게르마늄 중 하나 또는 둘 다를 포함하는 임의의 적합한 반도체 재료를 포함할 수도 있다. 소스 구역/드레인 구역, 및 채널 구역은 임의의 적합한 도펀트로 도핑될 수도 있다. 일부 실시형태에서 소스 구역/드레인 구역은 n-유형으로 다수 도핑될 수도 있고, 그리고 다른 실시형태에서 p-유형으로 다수 도핑될 수도 있다.
- [0089] 워드 라인(WL 및 WL') 및 디지털 라인(DL 및 DL')은 예를 들어, 다양한 금속(예를 들어, 텅스텐, 티타늄 등), 금속-함유 조성물(예를 들어, 금속 질화물, 금속 탄화물, 금속 규화물 등), 전도성으로-도핑된 반도체 재료(예를 들어, 전도성으로-도핑된 규소, 전도성으로-도핑된 게르마늄 등) 등 중 하나 이상을 포함하는 임의의 적합한 전기적으로 전도성 재료를 포함할 수도 있다. 워드 라인과 디지털 라인은 서로 동일한 조성물을 포함할 수도 있거나, 또는 서로에 대해 상이한 조성물을 포함할 수도 있다.
- [0090] 절연성 재료는 본 명세서에 개시된 메모리 셀의 다양한 컴포넌트를 둘러쌀 수도 있다. 이러한 절연성 재료는 예를 들어, 이산화규소, 질화규소, 붕소인산염 유리, 스피ن-온 유전체 등 중 하나 이상을 포함하는, 임의의 적합한 조성물 또는 조성물의 조합을 포함할 수도 있다. 일부 실시형태에 절연성 재료가 단일의 동질 재료일 수도 있지만, 다른 실시형태에서 절연성 재료는 2개 이상의 별개의 절연성 조성물을 포함할 수도 있다.
- [0091] 도 10은 본 명세서에서 논의된 바와 같은 실시형태에 따른 메모리 어레이(1002)를 포함하는 메모리(1000)를 예시한다. 메모리(1000)는 예를 들어, 휘발성 메모리 셀(예를 들어, DRAM 메모리 셀, SRAM 메모리 셀), 비휘발성 메모리 셀(예를 들어, 플래시 메모리 셀 또는 강자성 메모리 셀), 또는 일부 다른 유형의 메모리 셀일 수도 있는, 메모리 셀의 어레이(1002)를 포함한다. 본 명세서에서 설명된 바와 같이, 메모리 어레이(1002)의 셀은 미리 결정된 디지털 라인(DL)이 또 다른 디지털 라인(DL)이 아닌 플레이트 라인(PL)과 인접하도록 교번하는 패턴으로 배열되는, 디지털 라인(DL) 및 플레이트 라인(PL)을 포함할 수도 있다. 메모리 시스템은 디지털 라인(DL)이 연결될 수도 있는 감지 컴포넌트(125)(도 1)를 부가적으로 포함한다.
- [0092] 메모리 시스템(1000)은 메모리 명령을 명령 버스(1018)를 통해 수신하고 그리고 메모리 시스템(1000) 내에서 대응하는 제어 신호를 생성하여 다양한 메모리 작동을 수행하는 명령 디코더(1006)를 포함한다. 명령 디코더(1006)는 명령 버스(1018)에 적용된 메모리 명령에 응답하여 다양한 작동을 메모리 어레이(1002)에서 수행한다. 예를 들어, 명령 디코더(1006)는 내부 제어 신호를 생성하여 데이터를 메모리 어레이(1002)로부터 관독하고 그리고 데이터를 메모리 어레이에 기입하도록 사용된다. 행 어드레스 신호 및 열 어드레스 신호가 어드레스 버스(1020)를 통해 메모리 시스템(1000)에 적용되고 그리고 어드레스 래치(1010)에 제공된다. 이어서 어드레스 래치

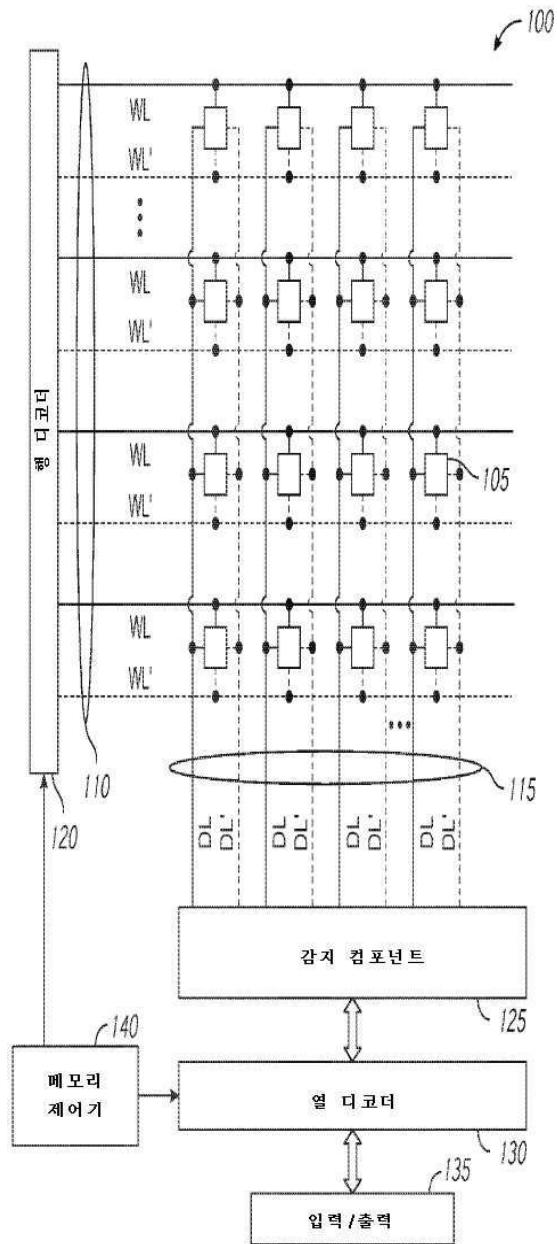
는 별개의 열 어드레스 및 별개의 행 어드레스를 출력한다.

- [0093] 행 어드레스 및 열 어드레스는 어드레스 래치(1010)에 의해 행 어드레스 디코더(1022) 및 열 어드레스 디코더(1028)에 각각 제공된다. 열 어드레스 디코더(1028)는 각각의 열 어드레스에 대응하는 어레이(1002)를 통해 연결되는 비트 라인을 선택한다. 행 어드레스 디코더(1022)는 수신된 행 어드레스에 대응하는 어레이(1002) 내 메모리 셀의 각각의 행을 활성화시키는 워드 라인 구동기(1024)에 연결된다. 수신된 열 어드레스에 대응하는 선택된 데이터 라인(예를 들어, 비트 라인 또는 비트 라인)이 판독/기입 회로(1030)에 연결되어 판독 데이터를 입력-출력 데이터 버스(1040)를 통해 데이터 출력 버퍼(1034)에 제공한다. 기입 데이터가 데이터 입력 버퍼(1044) 및 메모리 어레이 판독/기입 회로(1030)를 통해 메모리 어레이(1002)에 적용된다.
- [0094] 도 11은 본 개시내용의 다양한 실시형태에 따른, 메모리를 지원하는 시스템(1100)을 예시한다. 시스템(1100)은 다양한 컴포넌트를 연결시키거나 또는 다양한 컴포넌트를 물리적으로 지지하기 위한 인쇄 회로 기판일 수도 있거나 또는 인쇄 회로 기판을 포함할 수도 있는 디바이스(1105)를 포함한다. 디바이스(1105)는 컴퓨터, 노트북 컴퓨터, 랩탑, 태블릿 컴퓨터, 휴대폰 등일 수도 있다. 디바이스(1105)는 도 1 내지 도 10을 참조하여 설명된 바와 같은 메모리 어레이(100)의 예일 수도 있는, 메모리 어레이(100)를 포함한다. 메모리 어레이(100)는 도 1 내지 도 10을 참조하여 설명된 메모리 제어기(140) 및 메모리 셀(105)의 예일 수도 있는, 메모리 제어기(140) 및 메모리 셀(들)(105)을 포함할 수도 있다. 디바이스(1105)는 또한 프로세서(1110), BIOS 컴포넌트(1115), 주변 컴포넌트(들)(1120), 및 입력/출력 제어 컴포넌트(1125)를 포함할 수도 있다. 디바이스(1105)의 컴포넌트는 버스(1130)를 통해 서로 전자 통신할 수도 있다.
- [0095] 프로세서(1110)는 메모리 제어기(140)를 통해 메모리 어레이(100)를 작동시키도록 구성될 수도 있다. 일부 경우에, 프로세서(1110)는 도 1 및 도 10을 참조하여 설명된 메모리 제어기(140)의 기능을 수행할 수도 있다. 다른 경우에, 메모리 제어기(140)는 프로세서(1110)에 통합될 수도 있다. 프로세서(1110)는 범용 프로세서, 디지털 신호 프로세서(digital signal processor: DSP), 응용-주문형 집적 회로(application-specific integrated circuit: ASIC), 필드-프로그램 가능한 게이트 어레이(field-programmable gate array: FPGA) 또는 다른 프로그램 가능한 논리 디바이스, 별개의 게이트 또는 트랜지스터 논리, 별개의 하드웨어 컴포넌트일 수도 있거나, 또는 프로세서는 이 유형의 컴포넌트의 조합일 수도 있다. 프로세서(1110)는 본 명세서에서 설명된 바와 같이 다양한 기능을 수행할 수도 있고 그리고 메모리 어레이(100)를 작동시킬 수도 있다. 프로세서(1110)는 예를 들어, 디바이스(1105)가 다양한 기능 또는 태스크를 수행하게 하도록 메모리 어레이(100)에 저장된 컴퓨터-판독 가능한 명령어를 실행시키도록 구성될 수도 있다.
- [0096] 기본 입력/출력 시스템(basic input/output system: BIOS) 컴포넌트(1115)는 시스템(1100)의 다양한 하드웨어 컴포넌트를 초기화할 수도 있고 그리고 실행시킬 수도 있는, 펌웨어로서 작동되는 BIOS를 포함하는 소프트웨어 컴포넌트일 수도 있다. BIOS 컴포넌트(1115)는 또한 프로세서(1110)와 다양한 컴포넌트, 예를 들어, 주변 컴포넌트(1120), 입력/출력 제어 컴포넌트(1125) 등 간의 데이터 흐름을 관리할 수도 있다. BIOS 컴포넌트(1115)는 판독-전용 메모리(ROM), 플래시 메모리, 또는 임의의 다른 비휘발성 메모리에 저장된 프로그램 또는 소프트웨어를 포함할 수도 있다.
- [0097] 주변 컴포넌트(들)(1120)는 디바이스(1105)에 통합되는, 임의의 입력 또는 출력 디바이스, 또는 이러한 디바이스를 위한 인터페이스일 수도 있다. 예는 디스크 제어기, 음향 제어기, 그래픽 제어기, 이더넷 제어기, 모뎀, 범용 직렬 버스(universal serial bus: USB) 제어기, 직렬 또는 범용 포트, 또는 주변 카드 슬롯, 예컨대, 주변 컴포넌트 상호접속(peripheral component interconnect: PCI) 슬롯 또는 가속된 그래픽 포트(accelerated graphics port: AGP) 슬롯을 포함할 수도 있다.
- [0098] 입력/출력 제어 컴포넌트(1125)는 프로세서(1110)와 주변 컴포넌트(들)(1120), 입력 디바이스(1135), 또는 출력 디바이스(1140) 간의 데이터 통신을 관리할 수도 있다. 입력/출력 제어 컴포넌트(1125)는 또한 디바이스(1105)에 통합되지 않은 주변 장치를 관리할 수도 있다. 일부 경우에, 입력/출력 제어 컴포넌트(1125)는 외부 주변 장치에 대한 물리적 연결부 또는 포트를 나타낼 수도 있다.
- [0099] 입력(1135)은 입력을 디바이스(1105) 또는 디바이스의 컴포넌트에 제공하는 디바이스(1105)의 외부의 디바이스 또는 신호를 나타낼 수도 있다. 이것은 사용자 인터페이스를 포함할 수도 있거나 또는 다른 디바이스와 또는 다른 디바이스 간에서 인터페이싱할 수도 있다. 일부 경우에, 입력(1135)은 주변 컴포넌트(들)(1120)를 통해 디바이스(1105)와 인터페이싱하는 주변 장치일 수도 있거나 또는 입력/출력 제어 컴포넌트(1125)에 의해 관리될 수도 있다.

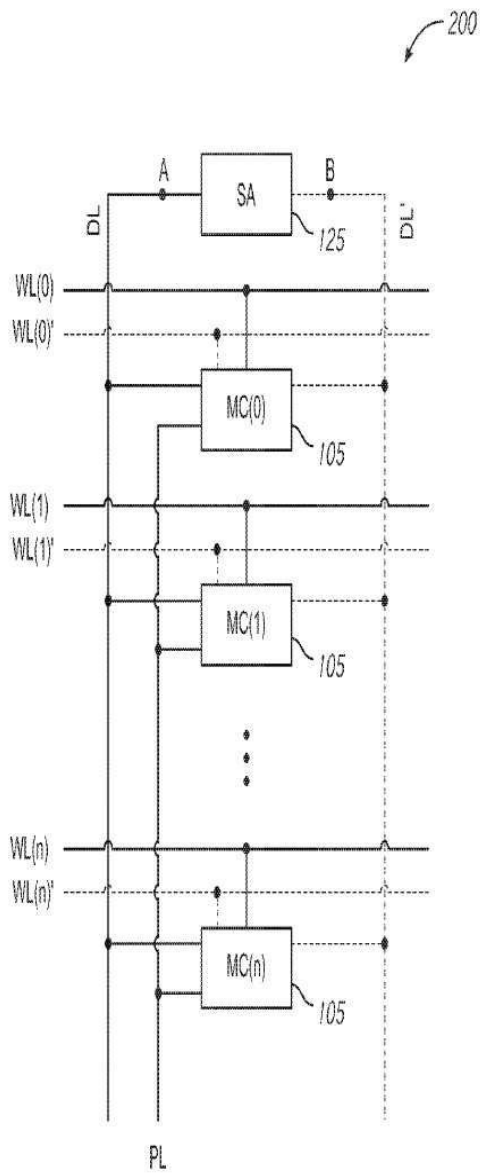
- [0100] 출력(1140)은 출력을 디바이스(1105) 또는 디바이스의 컴포넌트 중 임의의 컴포넌트로부터 수신하도록 구성된 디바이스(1105)의 외부의 디바이스 또는 신호를 나타낼 수도 있다. 출력(1140)의 예는 디스플레이, 오디오 스피커, 인쇄 디바이스, 또 다른 프로세서 또는 인쇄 회로 기판 등을 포함할 수도 있다. 일부 경우에, 출력(1140)은 주변 컴포넌트(들)(1120)를 통해 디바이스(1105)와 인터페이싱하는 주변 장치일 수도 있거나 또는 입력/출력 제어 컴포넌트(1125)에 의해 관리될 수도 있다.
- [0101] 메모리 제어기(40), 디바이스(1405), 및 메모리 어레이(10)의 컴포넌트는 이들의 기능을 수행하도록 설계된 회로로 이루어질 수도 있다. 이것은 본 명세서에서 설명된 기능을 수행하도록 구성된, 다양한 회로 소자, 예를 들어, 전도성 라인, 트랜지스터, 커패시터, 인덕터, 레지스터, 증폭기, 또는 다른 활성 소자 또는 비활성 소자를 포함할 수도 있다.
- [0102] 위의 설명서, 도면, 실시예 및 데이터는 청구범위에 규정된 바와 같이 본 발명의 예시적인 실시형태의 사용 및 구조의 완전한 설명을 제공한다. 청구된 발명의 다양한 실시형태가 어느 정도의 특수성과 함께, 또는 하나 이상의 개별적인 실시형태를 참조하여 위에서 설명되었지만, 당업자는 청구된 발명의 정신 또는 범위로부터 벗어나는 일 없이 개시된 실시형태에 대한 수많은 변경을 행할 수 있다. 따라서 다른 실시형태가 고려된다. 위의 설명에 포함되고 그리고 첨부 도면에 도시된 모든 사안은 제한 없이 오직 특정한 실시형태의 실례가 되는 것으로 해석되어야 한다고 의도된다. 상세사항 또는 구조의 변경은 다음의 청구범위에 규정된 바와 같이 본 발명의 기본 요소로부터 벗어나는 일 없이 이루어질 수도 있다.

도면

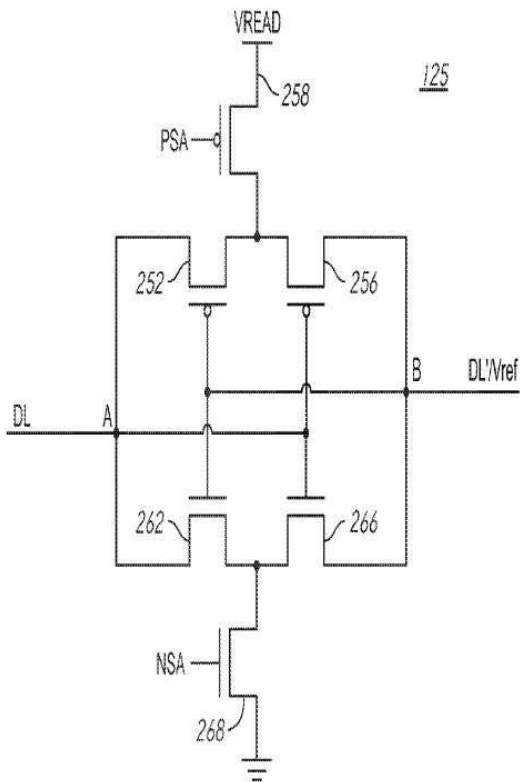
도면1



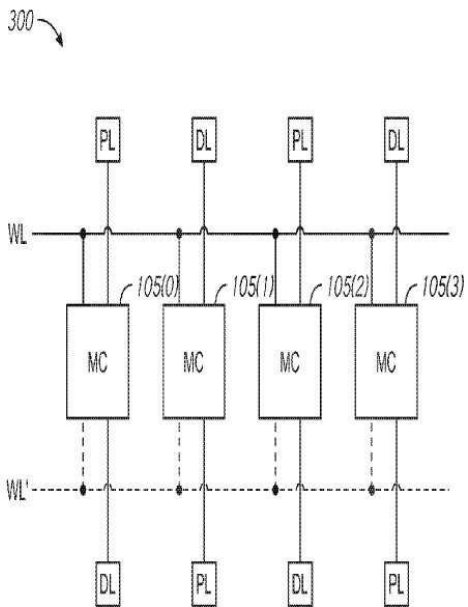
도면2a



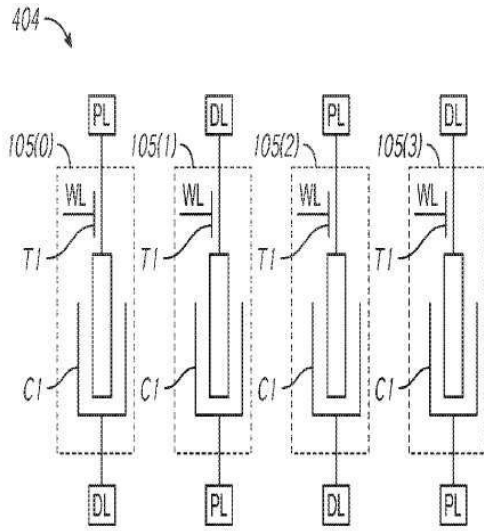
도면2b



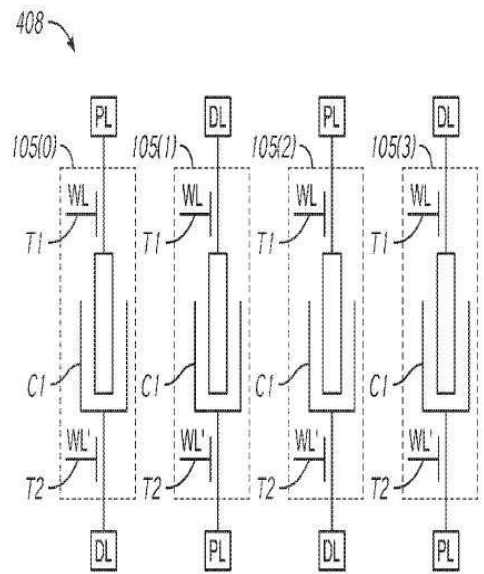
도면3



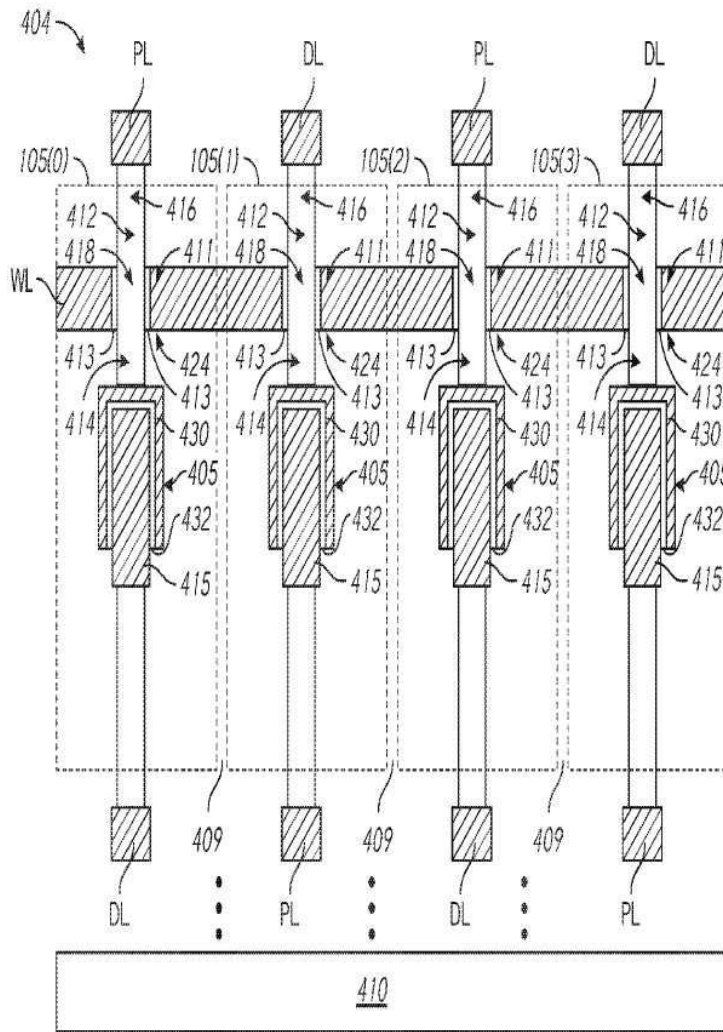
도면4a



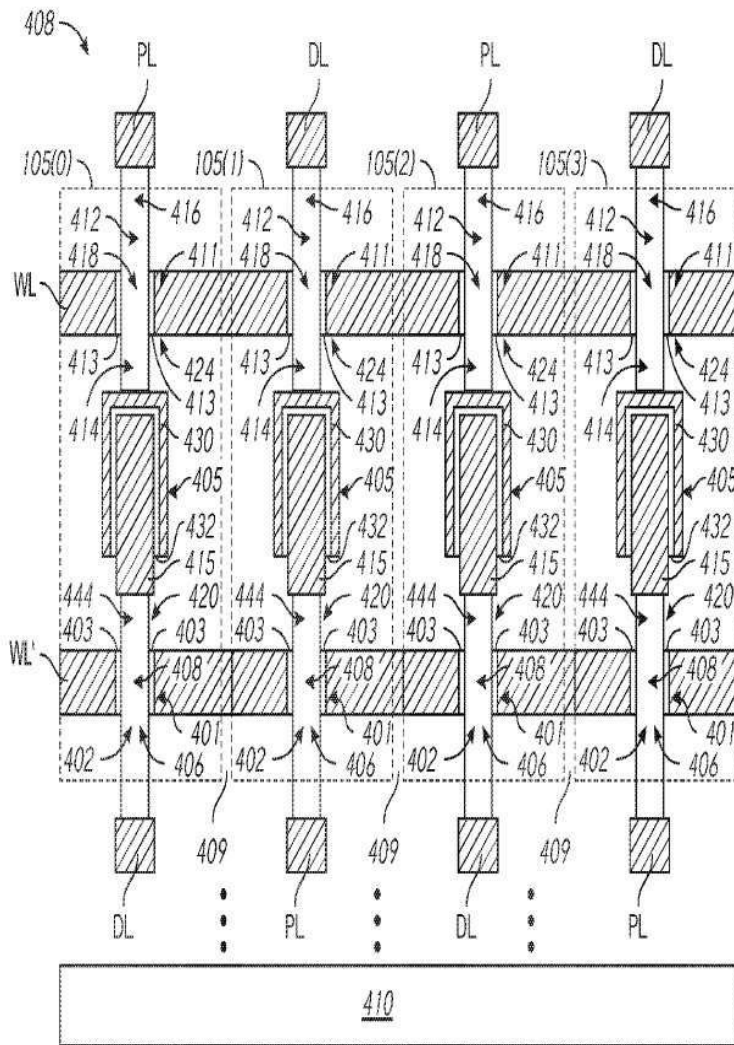
도면4b



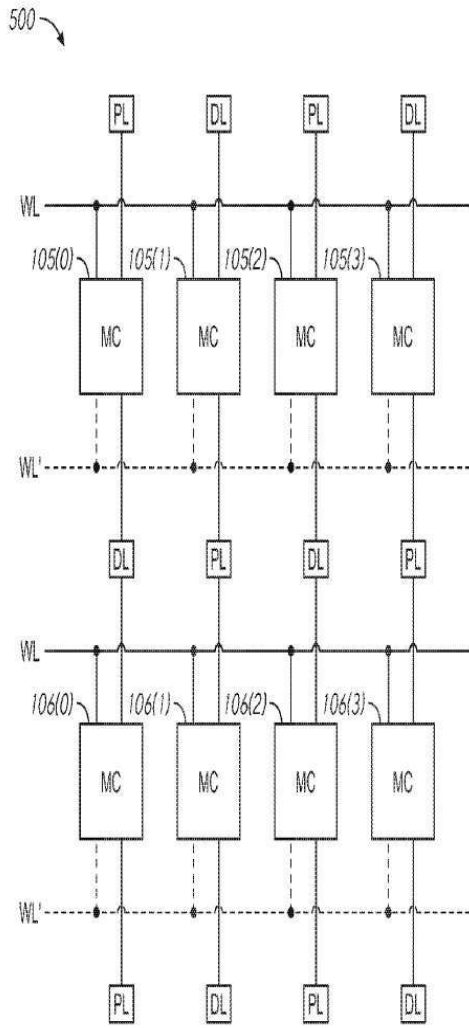
도면4c



도면4d

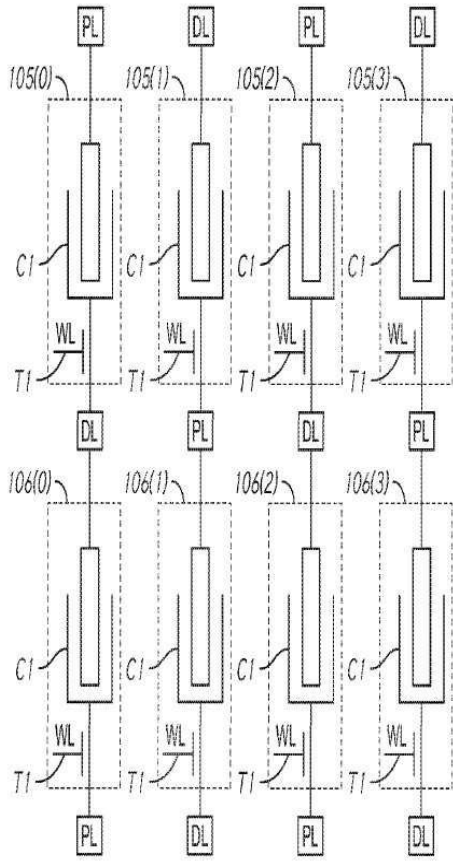


도면5

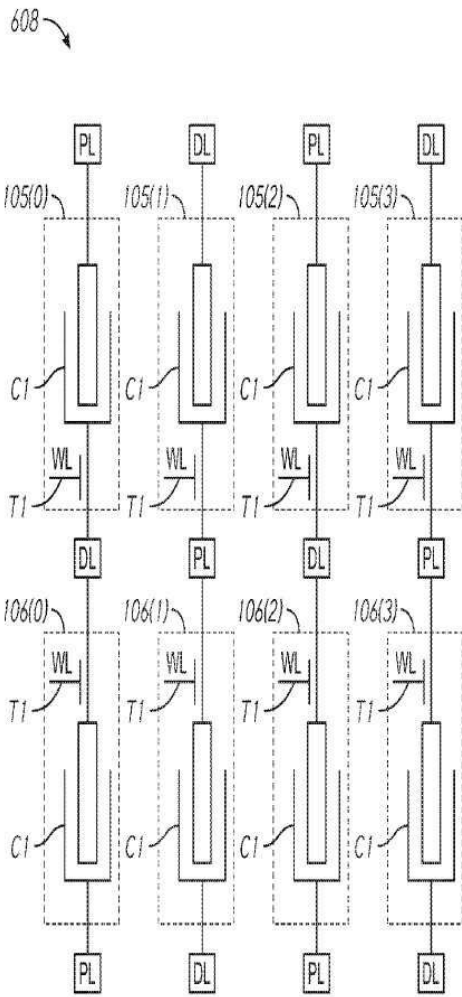


도면6a

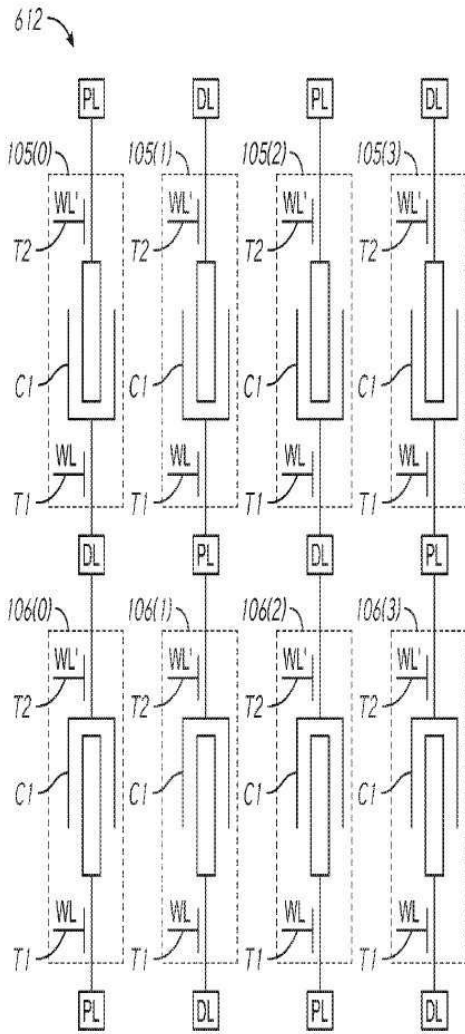
604 ↗



도면6b

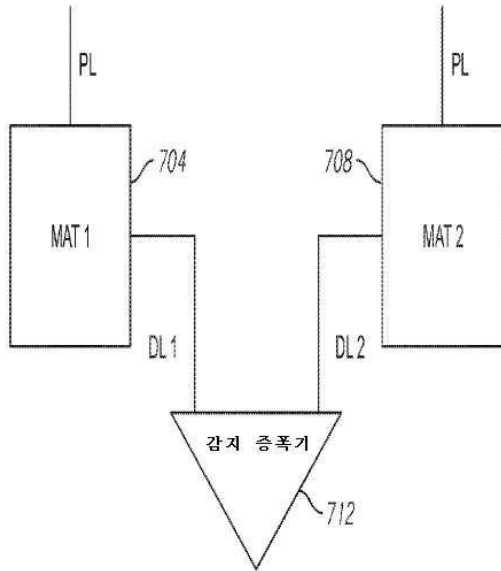


도면6c

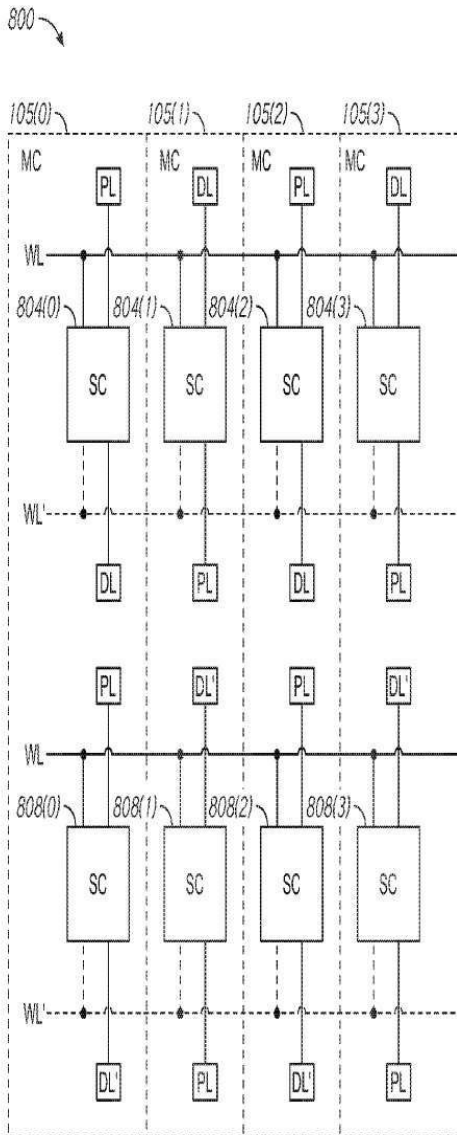


도면7

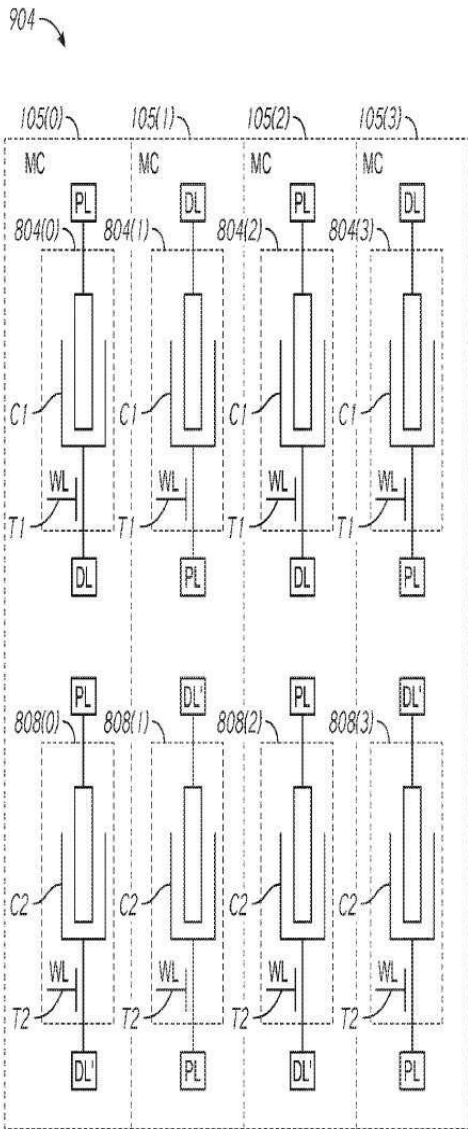
700 ↗



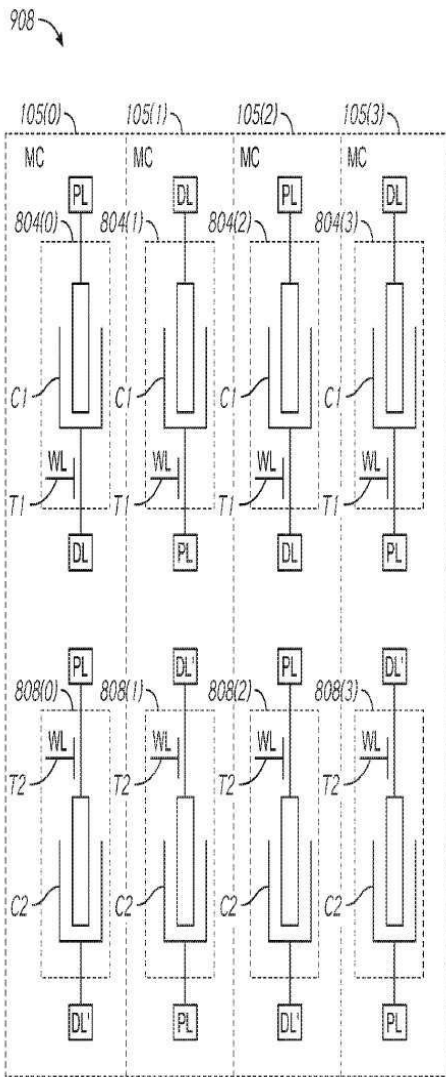
도면8



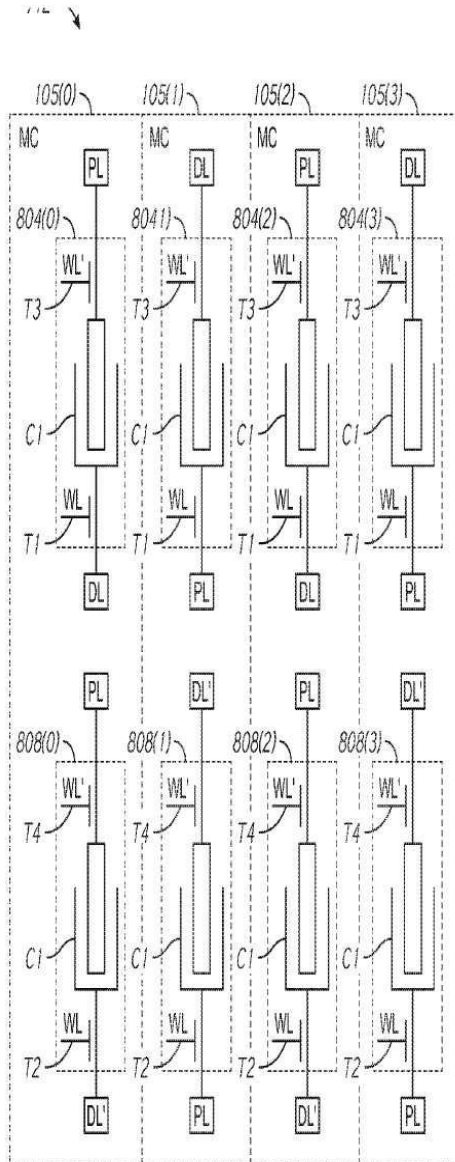
도면9a



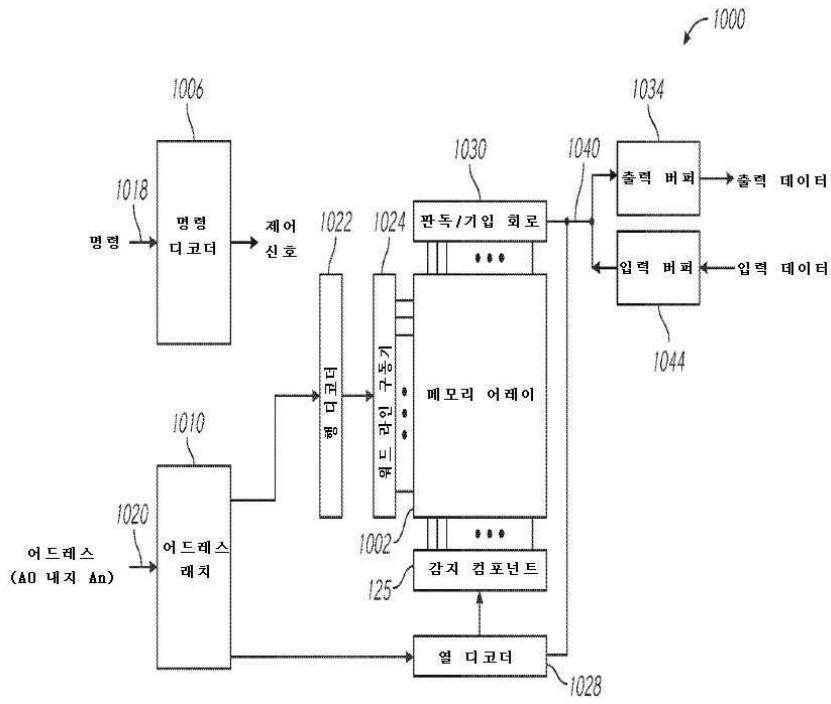
도면9b



도면9c



도면10



도면11

