

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2018-531504

(P2018-531504A)

(43) 公表日 平成30年10月25日 (2018. 10. 25)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 33/62 (2010.01)	H01L 33/62	5C094
H01L 33/00 (2010.01)	H01L 33/00 L	5F142
G09F 9/00 (2006.01)	G09F 9/00 338	5G435
G09F 9/33 (2006.01)	G09F 9/00 352	
	G09F 9/33	

審査請求 未請求 予備審査請求 未請求 (全 46 頁)

(21) 出願番号	特願2018-511279 (P2018-511279)	(71) 出願人	515046968 オキュラス ブイアル, エルエルシー アメリカ合衆国 カリフォルニア州 940 25, メンロ パーク, ウィロー ロード 1601
(86) (22) 出願日	平成28年9月2日 (2016. 9. 2)	(74) 代理人	100105957 弁理士 恩田 誠
(85) 翻訳文提出日	平成30年2月28日 (2018. 2. 28)	(74) 代理人	100068755 弁理士 恩田 博宣
(86) 国際出願番号	PCT/GB2016/052722	(72) 発明者	ヒューズ、パドレイグ アイルランド国 カウンティ コーク ベ リングス メドーコート 11
(87) 国際公開番号	W02017/037475	(72) 発明者	オキーフ、ジョセフ アイルランド国 カウンティ コーク フ ァーモイ ダンタヘイン パーク 15 最終頁に続く
(87) 国際公開日	平成29年3月9日 (2017. 3. 9)		
(31) 優先権主張番号	1515564.1		
(32) 優先日	平成27年9月2日 (2015. 9. 2)		
(33) 優先権主張国	英国 (GB)		
(31) 優先権主張番号	1520265.8		
(32) 優先日	平成27年11月17日 (2015. 11. 17)		
(33) 優先権主張国	英国 (GB)		
(31) 優先権主張番号	1607248.0		
(32) 優先日	平成28年4月26日 (2016. 4. 26)		
(33) 優先権主張国	英国 (GB)		

(54) 【発明の名称】 半導体デバイスの組立

(57) 【要約】

複数のピクセルを含み、その各々は複数のサブピクセルを含む、ディスプレイ素子を製造する方法は、ピックアップツールを使用して、複数の第1の未テストLEDダイをピックアップすること、および、それらをディスプレイ基板上の複数のピクセルに対応する位置に配置すること、を含む第1の配置サイクル(1908)を実行すること、ディスプレイ基板上の第1のLED発光器をテスト(1912)して、非機能性の第1のLED発光器の1つ以上の位置を決定すること、テストの結果に基づいて1つ以上の第2のテスト済LEDダイを選択すること、選択された1つ以上の第2のLEDダイを、ディスプレイ基板上のそれらのピックアップおよび配置を可能にするように構成すること、PUTを使用して、選択された1つ以上の第2のLEDダイをピックアップすること、および、それらをディスプレイ基板上の非機能性の第1のLED発光器の決定された位置に配置することを含む第2の配置サイクル(2008)を実行すること、を含む。

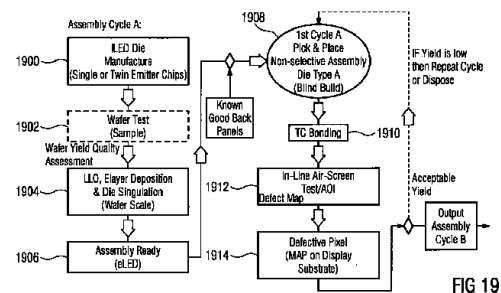


FIG 19

【特許請求の範囲】

【請求項 1】

複数のピクセルを含み、各ピクセルは複数のサブピクセルを含み、各サブピクセルは所与の波長の光を提供するように構成されたディスプレイ素子を製造する方法であって、
ピックアップツール（PUT）を使用して、第 1 の配置サイクルを実行することであって、

複数の第 1 の未テスト LED ダイをピックアップすることであって、各第 1 の LED ダイは、前記ディスプレイの複数のサブピクセルのうちの 1 つを提供するように構成された少なくとも 1 つの第 1 の LED 発光器を備える、前記ピックアップすること、

前記複数の第 1 の LED ダイをディスプレイ基板上のディスプレイの複数のピクセルに対応する位置に配置すること、を含む前記第 1 の配置サイクルを実行すること、

前記ディスプレイ基板上の複数の第 1 の LED 発光器をテストして、非機能性の複数の第 1 の LED 発光器の 1 つ以上の位置を決定すること、

前記ディスプレイの複数のサブピクセルのうちの 1 つを提供するように構成された少なくとも 1 つの第 2 の LED 発光器をそれぞれ含む複数の第 2 のテスト済 LED ダイから、前記テストの結果に基づいて 1 つ以上の第 2 の LED ダイを選択すること、

選択された 1 つ以上の第 2 の LED ダイを、前記ディスプレイ基板上の選択された 1 つ以上の第 2 の LED ダイのピックアップおよび配置を可能にするように構成すること、

前記ピックアップツールを使用して、第 2 の配置サイクルを実行することであって、

選択された 1 つ以上の第 2 の LED ダイをピックアップすること、

前記選択された 1 つ以上の第 2 の LED ダイを、前記ディスプレイ基板上の非機能性の複数の第 1 の LED 発光器の決定された位置に配置すること、を含む前記第 2 の配置サイクルを実行すること、を備える方法。

【請求項 2】

前記選択された 1 つ以上の LED ダイを構成することは、

前記 1 つ以上の選択された第 2 の LED ダイ上に変形可能な材料を堆積することを含む、請求項 1 に記載の方法。

【請求項 3】

前記変形可能な材料は、第 2 の配置サイクル中に、前記 1 つ以上の選択された第 2 の LED ダイとピックアップツールとの間を接着させるように構成される、請求項 2 に記載の方法。

【請求項 4】

前記方法において、前記 1 つ以上の選択された第 2 の LED ダイ上に前記変形可能な材料を堆積することは、

前記変形可能な材料をモールドまたはキャリア要素に貼付すること、

前記変形可能な材料が前記複数の第 2 の LED ダイのうちの 1 つ以上における表面と接触するように、前記モールドまたはキャリアを前記複数の第 2 の LED ダイのうちの 1 つ以上における表面と係合すること、を含む、請求項 2 または 3 に記載の方法。

【請求項 5】

前記 1 つ以上の選択された第 2 の LED ダイ上に前記変形可能な材料を堆積させることは、

前記変形可能な材料が前記 1 つ以上の選択された LED ダイに接着するように前記変形可能な材料と前記 1 つ以上の選択された第 2 の LED ダイとの間の接着レベルを修正することを含む、請求項 4 に記載の方法。

【請求項 6】

前記変形可能な材料と前記 1 つ以上の選択された第 2 の LED ダイとの間の接着レベルを修正することは、

前記 1 つ以上の選択された第 2 の LED ダイの位置に対応する前記モールドまたはキャリア要素の 1 つ以上の部分に光を照射することを含む、請求項 5 に記載の方法。

【請求項 7】

前記光は紫外光を含む、請求項 6 に記載の方法。

【請求項 8】

前記 1 つ以上の選択された第 2 の L E D ダイ上に前記変形可能な層を堆積する前に、前記方法は、選択された第 2 の L E D ダイをハンドル層上に配置することを備える、請求項 2 ～ 7 のいずれか 1 項に記載の方法。

【請求項 9】

前記 1 つ以上の選択された第 2 の L E D ダイは、前記ハンドル層に接着される、請求項 8 に記載の方法。

【請求項 10】

前記第 2 の配置サイクルは、

前記接着レベルが、前記ピックアップツールによって印加される力よりも小さくなるように、前記 1 つ以上の選択された第 2 の L E D ダイと前記ハンドル層との間の接着レベルを修正することを含む、請求項 20 に記載の方法。

【請求項 11】

前記方法は、前記第 1 の配置サイクルを実行する前に、前記複数の第 1 の L E D ダイ上に変形可能な材料を堆積させることを備える、請求項 1 ～ 10 のいずれか 1 項に記載の方法。

【請求項 12】

前記変形可能な材料は、前記第 1 の配置サイクル中に前記複数の第 1 の L E D ダイと前記ピックアップツールとの間を接着させるように構成されている、請求項 11 に記載の方法。

【請求項 13】

1 つ以上の非機能性の第 1 の L E D 発光器および第 2 の L E D 発光器の少なくとも一方の位置を決定するために第 2 の配置サイクルの後に、前記第 1 の L E D 発光器および第 2 の L E D 発光器の少なくとも一方のさらなるテストを実行することをさらに備える請求項 1 ～ 12 のいずれか 1 項に記載の方法。

【請求項 14】

前記さらなるテストの結果に基づいて、前記さらなるテストの実行後に、1 つ以上の第 3 のテスト済 L E D ダイを選択することをさらに備える請求項 13 に記載の方法。

【請求項 15】

前記テストおよびさらなるテストの少なくとも一方は、

前記第 1 の L E D 発光器および第 2 の L E D 発光器の少なくとも一方に逆バイアスを印加すること、および第 1 の L E D 発光器および第 2 の発光器の少なくとも一方に順バイアスを印加すること、のうちの少なくとも一方と、

前記第 1 の L E D 発光器および前記第 2 の L E D 発光器の少なくとも一方からの放射を分析するために 1 つ以上のフィルタを使用することを含む、請求項 1 ～ 14 のいずれか 1 項に記載の方法。

【請求項 16】

前記テストおよびさらなるテストの少なくとも一方の結果に基づいて組み立てられたディスプレイの 1 つ以上の較正サイクルを実行することをさらに備える請求項 1 ～ 15 のいずれか 1 項に記載の方法。

【請求項 17】

前記 1 つ以上の較正サイクルは、1 つ以上の非機能性の第 1 の L E D 発光器および第 2 の L E D 発光器の少なくとも一方を前記ディスプレイ基板上の駆動回路から切り離すことを含む、請求項 16 に記載の方法。

【請求項 18】

前記第 1 の配置サイクルおよび第 2 の配置サイクルの少なくとも一方の前に、前記ディスプレイの基板の上にアンダーフィルまたは非導電性フィルムを堆積することをさらに備える請求項 1 ～ 17 のいずれか 1 項に記載の方法。

【請求項 19】

前記第 1 の L E D ダイおよび選択された第 2 の 1 つ以上の L E D ダイを前記ディスプレイ基板に事前結合または結合することを可能にするために、前記アンダーフィルまたは前記非導電性フィルムの粘度を修正することをさらに備える請求項 2 4 に記載の方法。

【請求項 2 0】

前記第 1 の L E D ダイおよび前記第 2 の L E D ダイの少なくとも一方は、前記第 1 の L E D ダイおよび前記第 2 の L E D ダイの少なくとも一方のディスプレイ基板への相互接続を可能にするように配置された結合要素を含む、請求項 1 ～ 1 9 のいずれか 1 項に記載の方法。

【請求項 2 1】

前記結合要素は、前記ディスプレイ基板の電気的コンタクトと一時的に接触するように構成され、それにより前記第 1 の L E D ダイおよび前記第 2 の L E D ダイの少なくとも一方のテストを可能にする、請求項 2 0 に記載の方法。

【請求項 2 2】

結合ヘッドを用いて、前記第 1 の L E D ダイおよび選択された 1 つ以上の第 2 の L E D ダイの少なくとも一方を前記ディスプレイ基板に結合することを備える請求項 1 ～ 2 1 のいずれか 1 項に記載の方法。

【請求項 2 3】

前記結合ヘッドは、

前記ディスプレイのディスプレイ基板にわたって移動し、かつ、その上に配置された前記第 1 の L E D ダイおよび選択された 1 つ以上の第 2 の L E D ダイの少なくとも一方に力を印加するように構成されたドラムを含む、請求項 2 3 に記載の方法。

【請求項 2 4】

前記ピックアップツールは非選択的ピックアップツールである、請求項 1 ～ 2 3 のいずれか 1 項に記載の方法。

【請求項 2 5】

前記第 1 および第 2 の L E D ダイは、対応する 1 つ以上の μ L E D 発光器を含む複数の μ L E D ダイを含む、請求項 1 ～ 2 4 のいずれか 1 項に記載の方法。

【請求項 2 6】

各 μ L E D 発光器は、電流が前記 μ L E D 発光器を通過することを可能にするように構成された第 1 および第 2 の電極を含み、

前記第 1 および第 2 の電極は、前記 μ L E D ダイの同一表面上に配置されている、請求項 2 5 に記載の方法。

【請求項 2 7】

前記第 1 および第 2 の電極は、放射面と反対側の μ L E D ダイの表面上に配置される、請求項 2 6 に記載の方法。

【請求項 2 8】

前記複数の μ L E D ダイは、それぞれ実質的に同じ波長の光を放射するように構成された複数の μ L E D 発光器を含む、請求項 2 5 ～ 2 7 のいずれか 1 項に記載の方法。

【請求項 2 9】

前記第 1 および第 2 の電極の一方は、前記複数の μ L E D 発光器のそれぞれに共通である、請求項 2 8 に記載の方法。

【請求項 3 0】

少なくとも 1 つのプロセッサ上で実行されると、少なくとも前記 1 つのプロセッサに請求項 1 ～ 2 9 のいずれか 1 項に記載の方法を実行させる命令を備えるコンピュータプログラム。

【請求項 3 1】

請求項 3 0 に記載のコンピュータプログラムを含むキャリアであって、電子信号、光信号、無線信号または非一時的なコンピュータ可読記憶媒体のうちの 1 つであるキャリア。

【請求項 3 2】

半導体チップを移動させるための方法であって、

10

20

30

40

50

第 1 の位置でピックアップツール（P U T）のヘッドを半導体チップの表面に接触させることであって、前記半導体チップの表面は、接触する前記ピックアップツールに接着するように構成された変形可能な材料を含む、前記接触させること、

前記ピックアップツールを第 2 の位置に移動させ、前記半導体を解放すること、を備える方法。

【請求項 3 3】

前記変形可能な材料は弾性材料を含む、請求項 3 2 に記載の方法。

【請求項 3 4】

前記弾性材料はエラストマー材料を含む、請求項 3 3 に記載の方法。

【請求項 3 5】

10

前記変形可能な材料は、前記ピックアップツールヘッドに接触し、前記半導体チップの接着および解放のうちの少なくとも一方を容易にするように構成された構造化表面を含む、請求項 3 2 ～ 3 4 のいずれか 1 項に記載の方法。

【請求項 3 6】

前記構造化表面は、前記表面から延びる細長い柱を含む、請求項 3 5 に記載の方法。

【請求項 3 7】

前記ピックアップツールヘッドと前記変形可能な材料との間の接触は、前記ピックアップツールヘッドと前記変形可能な材料との間に実質的に空隙を生じない、請求項 3 2 ～ 3 6 のいずれか 1 項に記載の方法。

【請求項 3 8】

20

前記変形可能な材料を前記半導体チップの表面上に堆積させることをさらに備える請求項 3 2 ～ 3 7 のいずれか 1 項に記載の方法。

【請求項 3 9】

前記半導体チップの表面から前記変形可能な材料を除去することをさらに備える請求項 3 2 ～ 3 8 のいずれか 1 項に記載の方法。

【請求項 4 0】

前記変形可能な材料の除去は、エッチングプロセスによって行われる、請求項 3 9 に記載の方法。

【請求項 4 1】

30

前記変形可能な材料は前記半導体チップの表面上に堆積された犠牲層の上部に堆積され、前記エッチングプロセスによって前記犠牲層をエッチング除去する、請求項 4 0 に記載の方法。

【請求項 4 2】

前記ピックアップツールヘッドは、実質的に剛性および実質的に平坦のうちの少なくとも一方を有する、請求項 3 2 ～ 4 1 のいずれか 1 項に記載の方法。

【請求項 4 3】

前記ピックアップツールヘッドを複数の半導体チップのうちの 1 つ以上に選択的に接着することをさらに備える請求項 3 2 ～ 4 2 のいずれか 1 項に記載の方法。

【請求項 4 4】

40

複数の半導体チップが存在し、
前記方法は、

前記ピックアップツールヘッドと接触する前に 1 つ以上の半導体チップから前記変形可能な材料を選択的に除去して、前記ピックアップツールヘッドがそれらの半導体チップに付着しないようにすることをさらに備える、請求項 3 2 ～ 4 3 のいずれか 1 項に記載の方法。

【請求項 4 5】

前記ピックアップツールヘッドを複数の半導体チップに接着することをさらに備える請求項 3 2 ～ 4 4 のいずれか 1 項に記載の方法。

【請求項 4 6】

前記半導体チップは、I L E D および μ L E D チップのうちの少なくとも一方を含む、

50

請求項 3 2～4 5 のいずれか 1 項に記載の方法。

【請求項 4 7】

前記第 2 の位置は半導体デバイスの基板である、請求項 4 6 に記載の方法。

【請求項 4 8】

前記基板はガラスまたはプラスチックの薄膜トランジスタパネルを含む、請求項 4 7 に記載の方法。

【請求項 4 9】

前記ディスプレイの画像生成器を形成するために、複数の I L E D および μ L E D チップのうちの少なくとも一方を前記基板上に配置することをさらに備える請求項 4 7～4 8 のいずれか 1 項に記載の方法。

10

【請求項 5 0】

L E D ディスプレイの画像生成器を形成する方法であって、

複数の I L E D および μ L E D チップ、あるいは I L E D または μ L E D チップの表面上に変形可能な材料を堆積させることと、

ピックアップツール (P U T) のヘッドを前記複数の I L E D および μ L E D チップのうちの少なくとも一方の 1 つ以上の上に堆積された前記変形可能な材料に接触させて、前記複数の I L E D および μ L E D チップのうちの少なくとも一方の 1 つ以上を前記ピックアップツールヘッドに接着させるようにすること、

前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方のコンタクトがガラスまたはプラスチックの薄膜トランジスタパネルの薄膜トランジスタのパッドと電氣的に連通するように前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方が配置されるように、前記ピックアップツールヘッドを移動させること、

20

前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方を前記ピックアップツールヘッドから解放すること、を備える方法。

【請求項 5 1】

L E D ディスプレイ用の画像生成器であって、

ガラスまたはプラスチックの薄膜トランジスタパネル上に配置された複数の I L E D および μ L E D チップを備え、

前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方は、前記ガラスまたはプラスチックの薄膜トランジスタパネル上に、

30

前記複数の I L E D および μ L E D チップのうちの少なくとも一方の表面に変形可能な材料を堆積させること、

ピックアップツール (P U T) のヘッドを前記複数の I L E D および μ L E D チップのうちの少なくとも一方の 1 つ以上の上に堆積された前記変形可能な材料に接触させて、前記複数の I L E D および μ L E D チップのうちの少なくとも一方の 1 つ以上を前記ピックアップツールヘッドに接着させるようにすること、

前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方のコンタクトがガラスまたはプラスチックの薄膜トランジスタパネルの薄膜トランジスタのパッドと電氣的に連通するように、前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方が配置されるように、前記ピックアップツールヘッドを移動させること、

40

前記 1 つ以上の I L E D および μ L E D チップのうちの少なくとも一方を前記ピックアップツールヘッドから解放すること、によって配置されている、画像生成器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体デバイスを組み立てるための方法および装置、ディスプレイ技術のための L E D ダイ、ディスプレイおよびディスプレイの製造方法に関する。具体的には、本発明は、これらに限定される必要はないが、無機発光ダイオード (I L E D)、ディスプレイ技術のためのマイクロ L E D (μ L E D) ダイ、 μ L E D ディスプレイおよび／または μ L E D ディスプレイのための製造方法に関する。本発明は、接触印刷によって半導体

50

デバイスを組み立てるための方法および装置に関する。

【背景技術】

【0002】

ディスプレイは、ユビキタスであり、着用可能デバイス、スマートフォン、タブレット、ラップトップ、デスクトップ、テレビおよびディスプレイシステムのコア構成要素である。今日の一般的なディスプレイ技術は、液晶ディスプレイ（LCD）からより最近の有機発光ダイオード（OLED）ディスプレイおよびアクティブマトリックス有機発光ダイオードディスプレイ（AMOLED）までの範囲に及ぶ。

【0003】

ディスプレイアーキテクチャは、各ピクセルが別個に駆動されるか否かに応じて、パッシブマトリックスディスプレイおよびアクティブマトリックスディスプレイを含む。アクティブ駆動回路は、アモルファスシリコン（A-Si）、低温ポリシリコン（LTPS）およびアモルファスインジウムガリウム亜鉛酸化物（IGZO）技術に基づくトランジスタが、第1世代のディスプレイの約30cm×40cmから（GEN10として知られている）最新の第10世代のディスプレイの約2.88m×3.15mまでのガラス基板サイズを有し得るガラスパネル上に製造される、薄膜トランジスタ（TFT）技術を使用している。

【0004】

最も多くの携帯型デバイス（すなわち、バッテリー駆動式のデバイス）では、ディスプレイは、利用可能なバッテリー電力の大部分を使用する。さらに、携帯型デバイスに対する最も一般的なユーザの不満は、ディスプレイの明るさが不十分であることである。電池寿命を延ばし、輝度レベルを向上させるために、消費電力を低減し、光源からのより高い輝度放射を生成する新たなディスプレイ技術を開発することが必要である。

【0005】

優れた電池性能および増強された輝度に基づくフラットディスプレイ画像生成器の第3世代として、無機LED（ILED）が出現している。ILEDディスプレイは、基本レベルにおいてOLED（有機LED）ディスプレイの一種である。OLEDの概念は、光を生成するために2つのガラス面の間に挟まれた有機またはポリマー材料を通過する電流に基づく。提案されるILEDディスプレイの概念は、ディスプレイの各ピクセル（各ピクセルは、カラーディスプレイのための3つの個別の赤、緑および青のLEDから構成される）において、有機LED材料を個別の標準LED（無機材料から作られている）に本質的に置き換える。

【0006】

標準的な（すなわち、無機の）LEDデバイスは、長年にわたって普及し、それらの性能（効率、輝度、信頼性および寿命）は、LED産業が多くの商業的機会、特に一般的な光応用に対して標準的な白熱電球に取って代わることを可能にするためのLED技術の開発を課題とすることを追求してきたため、長年にわたって最適化されてきており、すなわち、無機LEDは、新規のさほど発達していないOLED材料よりも、はるかに効率的で、明るく、信頼性が高い。

【0007】

ディスプレイ内の各ピクセルにおける個々に切り替え可能な標準LED（R、GおよびB）の概念は周知である。このアプローチは、大容量の情報のディスプレイに広く使用されている。しかし、標準的なLEDは、典型的には、光方向制御が非効率的な平面チップであるため、今日まで、このアプローチをより小型のディスプレイにスケールダウンすることは不可能であった。さらに、ラップトップまたはスマートフォンのディスプレイに必要とされる数百万個のピクセルの組立は、従来の組立製造技術を使用することによっては、このスケールでは実現可能ではない。

【0008】

ILEDディスプレイの製造に伴う現在の課題は重要であり、ウェハの歩留り損失を克服するための組立技術は、今日の歩留りおよび将来のより高い期待歩留りのために、IL

10

20

30

40

50

ＥＤディスプレイの製造ストラテジに要因として考慮される必要がある。選択的ピックアップツール（ＰＵＴ）は、欠陥ダイが供給元で識別・交換される歩留り問題を克服するための１つの解決策である。歩留りにもよるが、公知の悪いダイを交換するか、またはＴＦＴ基板への抜き取りのためにＫＧＤのみをウェハから一時的キャリアに移送することは、現実的でも経済的でもないであろう。いずれのアプローチも、ウェハ上のＫＧＤまたは欠陥チップを判定するためにウェハレベルテストを必要とし、これは複雑である。

【０００９】

小型のダイを操作して処理するための解答を有するスマート組立プロセスは、ガラスパネル上のＩＬＥＤ組立体を改良する。したがって、ネイティブＬＥＤウェハからガラスＴＦＴ基板上への一辺１０μｍ未満のサイズのＩＬＥＤダイの、約±３μｍ以下の精度での大量抜き取りおよび移送を並行して行うことを可能にすることができる、高いスループットを有する組立プロセスが必要とされている。

10

【００１０】

スマート組立法は、ＩＬＥＤディスプレイの業界で開発されており、「非選択的」エラストマーコンフォーマルスタンプ、レーザ補助移送、直接セルフ組立法、流体アセンブリ、および選択的ＭＥＭＳベースプリントヘッドの範囲に及ぶ。すべての技術は、基板のバルクが除去されるか、または基板からエピ層が解放された組立準備済チップの準備を必要とする。ＩＬＥＤディスプレイが商業的現実となるためには、上記の課題の多くまたはすべてを解決する必要がある。

20

【発明の概要】

【課題を解決するための手段】

【００１１】

本発明の一態様によると、複数のピクセルを含み、各ピクセルは複数のサブピクセルを含み、各サブピクセルは所与の波長の光を提供するように構成された、ディスプレイ素子を製造する方法が提供され、方法は、ピックアップツール、すなわちＰＵＴを使用して、複数の第１の未テストＬＥＤダイをピックアップすることであって、各第１のＬＥＤダイは、ディスプレイの複数のサブピクセルのうちの１つを提供するように構成された少なくとも１つの第１のＬＥＤ発光器を備える、ピックアップすること、および、第１のＬＥＤダイをディスプレイ基板上的ディスプレイの複数のピクセルに対応する位置に配置すること、を含む、第１の配置サイクルを実行することと；ディスプレイ基板上的第１のＬＥＤ発光器をテストして、非機能性の第１のＬＥＤ発光器の１つ以上の位置を決定することと；ディスプレイの複数のサブピクセルのうちの１つを提供するように構成された少なくとも１つの第２のＬＥＤ発光器をそれぞれ含む、複数の第２のテスト済ＬＥＤダイから、テストの結果に基づいて１つ以上の第２のＬＥＤダイを選択することと；選択された１つ以上の第２のＬＥＤダイを、ディスプレイ基板上的それらのピックアップおよび配置を可能にするように構成することと；ＰＵＴを使用して、選択された１つ以上の第２のＬＥＤダイをピックアップすること、および、選択された１つ以上の第２のＬＥＤダイを、ディスプレイ基板上的非機能性の第１のＬＥＤ発光器の決定された位置に配置すること、を含む第２の配置サイクルを実行することと、を含む。

30

【００１２】

未テストＬＥＤダイは、製造中または製造後にウェハ上でテストされていないＬＥＤダイを包含する。未テストＬＥＤダイは、ウェハ歩留り、ウェハ材質および／または同様のものに関する情報を除いては、それらに関連するそれらの動作性の表示を与えるテストデータを何ら有していないであろう。テスト済ＬＥＤダイとは、それらの動作性を決定するためにテストされたダイを包含する。テスト済ＬＥＤダイは、製造後に、恐らくウェハ上でテストされ、動作可能であると判定されたダイであり得る。これらのＬＥＤダイは、公知の良好なダイ（Known Good Dies：ＫＧＤ）とも称され得る。

40

【００１３】

すべてのＬＥＤダイが、さらなるディスプレイ製造ステップが行われることなく、ディスプレイ基板上でテスト可能であるわけではないことに留意されたい。たとえば、その２

50

つの対向する面に電極を有する縦型ＬＥＤデバイスは、短絡等について完全にテストすることができる前に、ディスプレイ製造プロセスの金属化ステップをさらに必要とする。これは、不可能ではないとしても、第２の配置サイクルをはるかに複雑にする。

【００１４】

また、例示的な方法において、非機能性の第１のＬＥＤダイは、第２の配置サイクルにより置き換えられないことにも留意されたい。むしろ、例示的な方法では、第２のＬＥＤダイは、非機能性の第１のＬＥＤダイに加えてピクセル位置に配置される。

【００１５】

任意選択的に、選択された１つ以上のＬＥＤダイを構成するステップは、１つ以上の選択された第２のＬＥＤダイ上に変形可能な材料を堆積することを含む。

任意選択的に、変形可能な材料は、第２の配置サイクル中に、１つ以上の選択された第２のＬＥＤダイとＰＵＴとの間の接着を引き起こすように構成される。接着は、変形可能な材料の変形性（またはコンフォーマビリティ）に起因するファンデルワールス力を含む。

【００１６】

任意選択的に、方法において、１つ以上の選択された第２のＬＥＤダイ上に変形可能な材料を堆積するステップは、変形可能な材料をモールドまたはキャリア要素に貼付することと、変形可能な材料が複数の第２のＬＥＤダイのうちの１つ以上における表面と接触するように、モールドまたはキャリアを複数の第２のＬＥＤダイのうちの１つ以上における表面と係合することと、を含む。

【００１７】

任意選択的に、１つ以上の選択された第２のＬＥＤダイ上に変形可能な材料を堆積させることは、変形可能な材料が１つ以上の選択されたＬＥＤダイに接着するように変形可能な材料と１つ以上の選択された第２のＬＥＤダイとの間の接着レベルを修正することを含む。

【００１８】

任意選択的に、変形可能な材料と１つ以上の選択された第２のＬＥＤダイとの間の接着レベルを修正するステップは、１つ以上の選択された第２のＬＥＤダイの位置に対応するモールドまたはキャリア要素の１つ以上の部分に光を照射することを含む。任意選択的に、光は紫外光を含む。

【００１９】

任意選択的に、１つ以上の選択された第２のＬＥＤダイ上に変形可能な層を堆積する前に、方法は、選択された第２のＬＥＤダイをハンドル層上に配置することを含む。任意選択的に、選択された第２のＬＥＤダイは、ハンドル層に接着される。

【００２０】

任意選択的に、第２の配置サイクルは、１つ以上の選択された第２のＬＥＤダイとハンドル層との間の接着レベルを修正することを含み、接着レベルは、ＰＵＴによって印加される力よりも小さくなるようになっている。

【００２１】

任意選択的に、方法は、第１の配置サイクルを実行する前に、複数の第１のＬＥＤダイ上に変形可能な材料を堆積させることを含む。

任意選択的に、変形可能な材料は、第１の配置サイクル中に複数の第１のＬＥＤダイとＰＵＴとの間の接着を引き起こすように構成されている。

【００２２】

任意選択的に、方法はさらに、１つ以上の非機能性の第１および第２、あるいは第１または第２のＬＥＤ発光器の位置を決定するために第２の配置サイクルの後に、第１のＬＥＤ発光器および第２のＬＥＤ発光器、あるいは第１のＬＥＤ発光器または第２のＬＥＤ発光器のさらなるテストを実行することを含む。

【００２３】

任意選択的に、方法はさらに、さらなるテストの結果に基づいて、さらなるテストの実

10

20

30

40

50

行後に、1つ以上の第3のテスト済LEDダイを選択することを含む。

任意選択的に、テストおよびさらなるテスト、あるいはテストまたはさらなるテストは、第1および第2のLED発光器、あるいは第1または第2のLED発光器に逆バイアスを印加すること、および／または、第1および第2のLED発光器、あるいは第1または第2のLED発光器に順バイアスを印加すること、ならびに、第1および第2のLED発光器、あるいは第1または第2のLED発光器からの放射を分析するために1つ以上のフィルタを使用することを含む。

【0024】

任意選択的に、方法はさらに、テストおよびさらなるテスト、あるいはテストまたはさらなるテストの結果に基づいて組み立てられたディスプレイの1つ以上の校正サイクルを実行することを含む。

10

【0025】

任意選択的に、1つ以上の校正サイクルは、1つ以上の非機能性の第1および第2のLED発光器、あるいは第1または第2のLED発光器をディスプレイ基板上の駆動回路から切り離すことを含む。

【0026】

任意選択的に、方法はさらに、第1および第2の配置サイクル、あるいは第1または第2の配置サイクルの前に、ディスプレイの基板上にアンダーフィルまたは非導電性フィルムを堆積することを含む。

【0027】

任意選択的に、方法はさらに、第1および選択された第2の1つ以上のLEDダイをディスプレイ基板に事前結合または結合することを可能にするために、アンダーフィルまたは非導電性フィルムの粘度を修正することを含む。

20

【0028】

任意選択的に、第1および第2のLEDダイ、あるいは第1または第2のLEDダイは、第1および第2のLEDダイ、あるいは第1または第2のLEDダイのディスプレイ基板への相互接続を可能にするように配置された結合要素を含む。

【0029】

任意選択的に、結合要素はディスプレイ基板の電気的コンタクトと一時的に接触するように構成され、それにより第1および第2のLEDダイ、あるいは第1または第2のLEDダイのテストを可能にする。

30

【0030】

任意選択的に、方法は、結合ヘッドを用いて、第1および選択された1つ以上の第2のLEDダイ、あるいは第1または選択された1つ以上の第2のLEDダイをディスプレイ基板に結合することを含む。

【0031】

任意選択的に、結合ヘッドは、ディスプレイのディスプレイ基板にわたって移動し、かつ、その上に配置された第1および選択された1つ以上の第2のLEDダイ、あるいは第1または選択された1つ以上の第2のLEDダイに力を印加するように構成されたドラムを含む。

40

【0032】

任意選択的に、PUTは非選択的PUTである。

任意選択的に、第1および第2のLEDダイは、1つ以上のそれぞれのμLED発光器を含むμLEDダイを含む。

【0033】

任意選択的に、各μLED発光器は電流がμLED発光器を通過することを可能にするように構成された第1および第2の電極を含み、第1および第2の電極はμLEDダイの同一表面上に配置されている。

【0034】

任意選択的に、第1および第2の電極は放射面と反対側のμLEDダイの表面上に配置

50

される。

任意選択的に、 μ LEDダイは、それぞれ実質的に同じ波長の光を放射するように構成された複数の μ LED発光器を含む。

【0035】

任意選択的に、第1および第2の電極の一方は、複数の μ LED発光器のそれぞれに共通である。

任意選択的に、方法はさらに、受動電子機器および駆動電子機器、あるいは受動電子機器または駆動電子機器などの複数のディスプレイ素子をピックアップすることと、ディスプレイ製造のために適切な位置にディスプレイ素子を配置することを含む、1つ以上のさらなる配置サイクルを含み得る。

【0036】

本発明の一態様によると、少なくとも1つのプロセッサ上で実行されると、少なくとも1つのプロセッサに上述の方法のいずれかを実行させる、命令を含むコンピュータプログラムが提供される。

【0037】

本発明の一態様によると、上述のコンピュータプログラムを含むキャリアが提供され、キャリアは、電子信号、光信号、無線信号または非一時的なコンピュータ可読記憶媒体のうちの1つである。

【0038】

本明細書で使用される場合、LEDという用語は、ILEDを包含するとみなされる。さらに、LEDという用語は、ILEDであり得る μ LEDを包含するとみなされる。

本明細書に開示された方法および装置は、LEDおよびディスプレイの製造に関連するが、それらはフォトディテクタの製造にも関連し得ることに留意されたい。かかる方法において、「LED」という用語は、「フォトセンサ」に置き換えられ得る。さらに、受動電子機器および駆動電子機器、あるいは受動電子機器または駆動電子機器などの、ディスプレイおよびディテクタ、あるいはディスプレイまたはディテクタ製造に関連する他の素子もまた、追加の配置サイクルにおいて配置され得る。

【0039】

本明細書に開示された例示的な方法は、非ネイティブ基板の上部にLEDを組み立ててLEDディスプレイを形成する方法を含み得る。LEDディスプレイは、 μ LEDであり得るILEDを含み得る。本明細書に開示された方法は、ウェハの歩留り損失およびアセンブリ内の損失の両方から、業界によって認識される公知の歩留り制約に従って調整され得る。

【0040】

本明細書に開示された例示的な方法は、非コンフォーマルおよび非選択的、あるいは非コンフォーマルまたは非選択的ピックアップツールを使用する非選択的および選択的組立法の組合せを含み得る。

【0041】

本明細書で使用されるように、「ピックアップツール」(PUT)という用語は、単一のピックアップヘッドまたは複数のピックアップヘッドを含むツールを包含する。各ヘッドは、少なくとも1つのLEDダイ(たとえば、 μ LEDまたはILED)をハンドル層(ハンドルキャリア基板とも呼ばれる)から抜き取って、LEDダイを最終的な基板、たとえばTFTなどのディスプレイ基板上に配置するように構成され得る。これは、LEDダイが組立準備形式で製造されることを必要とし得る。これは、LEDダイからのバルク基板の除去を必要とし得る。バルク基板を除去するための例示的な方法は、サファイア基板についてのレーザリフトオフ(LO)および/またはGaAs基板についてのエッチストップ層(ESL)ドライ/ウェットエッチング方法を含み得る。

【0042】

選択的PUTは、単一のピックアップヘッドまたは複数のピックアップヘッドを含むツールであり得る。各ヘッドは、少なくとも1つのLEDダイをハンドルキャリア基板から

10

20

30

40

50

選択的に抜き取ることを可能または不可能にすることができるように個別に制御可能である。すなわち、選択的 P U T によって印加される接着量を変更し得、それにより、ピックアップヘッドを動作可能にすると L E D ダイがピックアップされ、ピックアップヘッドを動作不可能にすると L E D ダイがピックアップされない。選択的 P U T は、次いで、抜き取られた L E D ダイを、T F T などの最終的な基板上に配置するように構成され得る。したがって、選択的 P U T は、ピックアップ要件に応じてプログラム可能であるとみなされ得、能動的 P U T とみなされる。

【0043】

非選択的 P U T は、単一のピックアップヘッドまたは複数のピックアップヘッドを含むツールであり得る。非選択的 P U T は、あらゆる所与の L E D ダイに固定の接着レベルを印加するように構成され得る。接着レベルは変更されなくともよい。非選択的 P U T は、所定のパターンまたはシーケンスに従って抜き取るように設計され得る。したがって、非選択的 P U T の各ヘッドは、単一の L E D ダイをハンドルキャリア基板から抜き取って、L E D ダイを T F T などの最終的な基板上に配置することを個別に可能または不可能にすることができない。したがって、非選択的 P U T は、プログラム可能でないとみなされ得、受動的 P U T とみなされる。

【0044】

I L E D ディスプレイの製造アプローチは2つの特徴を含む：

1) 組立前にウェハレベルのテストを必要とする、高い歩留りのウェハからの公知の良好なダイ (K G D) のウェハ (またはハンドルキャリア基板) にわたる空間マップ、および

2) K G D を抜き取って配置するための選択的 P U T 。

【0045】

発明者らは、L E D (特に I L E D) ディスプレイの製造方法について、選択的 P U T に連結されたウェハソースにおける K G D テストの組合せが重大な課題であり、容易には達成されないことを認識していた。ウェハテストは、このアプローチを経済的に非現実的にし得る。代替の方策が望ましい。

【0046】

例示的な組立またはマイクロ組立方法は、移送デバイスを直接、P U T ヘッドに取り付けることによって実行され得る。移送デバイスは、マイクロ組立用の K G D の抜き取りに必要な選択性を可能にし得る。

【0047】

P U T と移送デバイスとの組合せは、L E D ダイの抜き取りおよび T F T 基板上への配置のために L E D ダイに接触し得る。移送デバイスの例は、コンフォーマルな移送デバイスおよび静電移送デバイス、あるいはコンフォーマルな移送デバイスまたは静電移送デバイスを含み得る。いずれの場合も、移送デバイスは配置後に素子から除去される。

【0048】

本明細書に開示された例示的な方法は、小さなダイを操作して処理するための優れた解答を有し得、高いスループットを達成し得る。これは、たとえば、ネイティブ L E D ウェハからガラス T F T 基板上への一辺 10 μ m 未満のサイズの I L E D ダイの、約 $\pm 2 \mu$ m 以下の精度での大量抜き取りおよび移送を並行して行うことを可能にし得る。

【0049】

本明細書に開示された例示的な方法では、変形可能な材料 (中間層を形成する) を1つ以上の I L E D ダイの表面上に堆積させ得、非コンフォーマルなピックアップツール (P U T) のヘッドを、堆積された変形可能な材料に接触するために使用し得る。中間層の上面は P U T に接触し、I L E D ダイを中間層を介して P U T ヘッドに接着させ得る。複数の I L E D ダイをそのヘッドに付着させた P U T は、ガラスまたはプラスチックの薄膜トランジスタパネル基板上の所望の位置にチップを向け得る。その後、中間層および I L E D ダイが受容基板上にて適切に配置されたままになるように、中間層の上面を P U T ヘッドから解放し得る。P U T は非コンフォーマブルであり得る。中間層は、I L E D ダイと

コンフォーマルな接触を行うことができるように変形可能であり得る。I L E Dダイ上の中間層は、欠陥I L E DダイとK G Dとの間の選択などの、特定のI L E Dダイの選択を可能にし得る。

【0050】

本明細書では、L E D（特にI L E D）ディスプレイの製造方法が開示される。方法は、現実的なL E Dウェハの開始歩留りを考慮したL E D発光器冗長方式に基づいて歩留りを向上させ得る。方法は、抜き取りおよび配置組立サイクルのための非選択的および選択的、あるいは非選択的または選択的なプロセスの組合せを含み得る。

【0051】

本明細書の残りの部分では、ディスプレイ製造のための方法および装置を説明するために、 μ L E DダイおよびI L E Dの例示的な配置を用いる。しかしながら、本発明の原理は、他のタイプのL E Dに適用され得ることに留意されたい。

【0052】

本明細書に開示された方法は、ディスプレイピクセル当たりの色毎に複数の μ L E Dダイと組み合わせられた複数の組立サイクル（たとえば、抜き取り、配置およびテスト）を含み得る。各 μ L E Dダイは、デバイス歩留りの高い出発ウェハ材料（starting wafer material）と同様の効果を得るために複数の μ L E D発光器を含み得、それにより高いディスプレイ歩留りが得られる。ウェハのデバイス歩留りはウェハが生成し得る機能性デバイスの数に関連しており、ウェハの品質および製造方法などの多くの要因によって影響を受ける可能性があることに留意されたい。

【0053】

ディスプレイ歩留りは、ディスプレイ内の機能性のL E D発光器または μ L E D発光器の数の測定値を包含する。

例示的な方法では、単一の組立ステーション、あるいは複数の組立サブステーションは、以下のような第1の組立サイクル（サイクルA）（たとえば、抜き取り、配置およびテスト）を実行し得る：

- ・未テスト μ L E Dダイ（ダイタイプA）を含むウェハからの μ L E Dダイを配備し得る。

【0054】

- ・未テスト μ L E Dダイを含むウェハからの μ L E Dダイを、マイクロ組立の準備状態に後処理して、抜き取りおよび配置のための一時的なハンドル層上に載置し得る。

- ・1つ以上の μ L E Dダイは、変形可能な材料を有し得、これは、中間移送層を形成し得、一時的なハンドル層上に載置されたときに貼付される。

【0055】

- ・移送印刷の非選択的かつ非コンフォーマルなP U Tは、ハンドル層から1つのアレイの μ L E Dダイを抜き取り得る。 μ L E Dダイのアレイはディスプレイ基板上に、たとえば、1つの角から始まり、各ダイがディスプレイのピクセル位置に対応するように配置され得る。

【0056】

- ・ハンドル層上の抜き取り位置が次の（たとえば、隣接する） μ L E Dダイのアレイに順次移動し、配置位置が基板上の次の（たとえば、隣接する）対応するセットのピクセル位置に移動して、各「四角形」が1アレイの μ L E Dダイを含む「チェスボードパターン（chess board pattern）」の類推によれば、次の四角形に移動して、このシーケンスを繰り返し得る。

【0057】

- ・各アレイ内の各 μ L E Dダイは、ディスプレイのピクセルのサブピクセルを提供するために少なくとも1つの μ L E D発光器を含む。

- ・シーケンスが1つのサブピクセルのタイプ（すなわち、放射色 - R G B）に対してチェスボードパターン内のすべての四角形の移動を完了すると、他の2つのサブピクセルタイプに対して同じプロセスが繰り返される。

10

20

30

40

50

【0058】

・すべてのサブピクセルタイプが完了すると、テストシーケンスを実行し得る（たとえば、すべての μ LEDダイがオンにされて機能的にテストされ、ピクセルが配置されている μ LEDダイ／発光器のいずれが作動していないかが決定される）。

【0059】

・テストシーケンスは、ディスプレイのパラメトリック性能受容限界の外側にある1つ以上のダイをタグ付けし、識別するためにフィルタを使用して、ダイのスクリーニングを行い得る。

【0060】

・較正サイクル中に較正用のディスプレイメモリに欠陥マップを記録し、プログラムし得る（サイクルC）。

例示的な方法では、単一の組立ステーション、あるいは複数の組立サブステーションは、以下のような第2の組立サイクル（サイクルB1）（たとえば、抜き取り、配置およびテスト）を実行し得る：

・未テスト μ LEDダイまたはKGDなどのテスト済 μ LEDダイ（ダイタイプB）を含むウェハからの μ LEDダイを配備し得る。

【0061】

・未テスト μ LEDダイまたはテスト済 μ LEDダイを含むウェハからの μ LEDダイを、マイクロ組立の準備状態に後処理して、抜き取りおよび配置のための一時的なハンドル層上に載置し得る。

【0062】

・ μ LEDダイは、変形可能な材料を有し得、これは、中間移送層を形成し得、一時的なハンドル層上に載置されたときに1つ以上の未テストまたはテスト済 μ LEDダイに貼付される。

【0063】

・変形可能な材料は、第1の組立サイクルのテスト中に識別された欠陥マップに従って、未テストまたはテスト済 μ LEDダイのウェハに選択的に貼付され得る。

・移送印刷（transfer printing）の非選択的かつ非コンフォーマルなPUTは、未テストまたはテスト済LEDダイを含むハンドル層から1アレイの μ LEDダイを抜き取り得る。 μ LEDダイのアレイは、第1の配置サイクル後に非機能性の μ LEDダイが配置されたピクセル位置に対応し得る。 μ LEDダイのアレイはディスプレイ基板上に、たとえば、1つの角から始まるように配置され得る。

【0064】

・PUTによって、中間層を含む μ LEDダイのみを抜き取り得る。

・ハンドル層上の抜き取り位置が次の（たとえば、隣接する） μ LEDダイのアレイに順次移動し、配置位置が基板上の次の（たとえば、隣接する）セットの位置に移動して、「チェスボードパターン」の類推によれば、次の四角形に移動して、このシーケンスを繰り返す。

【0065】

・シーケンスが1つのサブピクセルタイプに対してチェスボードパターン内のすべての四角形の移動を完了すると、他の2つのサブピクセルタイプに対して同じプロセスが繰り返され得る。

【0066】

・すべてのサブピクセルタイプが完了すると、テストシーケンスを実行し得る（すなわち、すべての μ LEDダイがオンにされて機能的にテストされ、ピクセルが配置されている μ LEDダイ／発光器のいずれが作動していないかが決定される）。

【0067】

・テストシーケンスは、ディスプレイのパラメトリック性能受容限界の外側にあるダイをタグ付けし、識別するためにフィルタを使用して、ダイのスクリーニングを行い得る。

・較正サイクル中に較正用のディスプレイメモリに欠陥マップを記録し、プログラムし

10

20

30

40

50

得る（サイクルC）。

【0068】

例示的な方法では、単一の組立ステーションまたは代替的な組立ステーションは第3の組立サイクル（サイクルB2）を実行し得、これは、 μ LED抜き取りのための選択マップが第2の組立サイクル（サイクルB1）中に決定された欠陥マップから作成され得ることを除き、第2の組立サイクル（サイクルB1）と同様であり得る。所望のディスプレイ歩留りを達成するために、必要に応じて多くの後続のサイクルを実行し得る。

【0069】

例示的な方法は、冗長モデルに基づき得、いかなる物理的なウェハ修復ストラテジにも基づくものではない。あるいは、冗長ストラテジは、欠陥のあるサブピクセルに隣接した姉妹 μ LEDサブピクセルの配置を含み得る。レーザトリム機能を配備して、ヒューズを開放または溶融させて、駆動回路から第1の μ LEDを切り離し得る。欠陥のあるサブピクセルを修正するためのこの物理的アプローチは魅力的ではあるが、LEDウェハ歩留りが99%未満である場合、規模において経済的ではないであろう。たとえば、90%のウェハ歩留りは、第1の組立サイクルの後に約31Kのレーザトリム機能を生じる可能性があり、これは不経済であり得る。また、第2のサブピクセルのみでは、第2の配置サイクルに対する組立歩留りが100%であることを保証されない限り、修正が不十分となり得る。

【0070】

例示的な方法は、組立シーケンス（サイクルA、B1、および任意選択的にB2）中に生成された欠陥マップに基づいて最終ディスプレイの較正サイクル（サイクルC）を含み得る。較正サイクルは、駆動回路にまだ接続されている配置サイクルの間に配置された作動 μ LEDサブピクセルを残しつつ、配置サイクルで識別された欠陥サブピクセルを駆動回路から分離するためのレーザトリム機能を含み得る。電氣的修復ストラテジを使用して、第1の配置サイクルの後に識別された欠陥性 μ LEDダイを駆動回路から分離し得る。

【0071】

例示的な方法は、以下の特徴のうちの1つ以上を含み得る：

- ・ μ LEDウェハ歩留りのための全体的な目標は公知であり得る。
- ・ディスプレイピクセル当たりの色毎の複数の μ LEDダイは、同一のウェハまたは異なるウェハの異なる位置から供給され得る。

【0072】

- ・すべてまたはほぼすべて（たとえば、99%以上）またはすべてのディスプレイピクセルの位置に各色（R、GおよびB）の作動 μ LEDダイが存在するまで、抜き取り、配置およびテストのシーケンスを繰り返し得る。

【0073】

- ・ μ LEDダイは、同じ側にすべてのコンタクトを有し得、コンタクトをガラス上に下方に配置して、各 μ LEDダイの μ LED発光器が配置直後にガラス基板から電源供給されることを可能にし得る。

【0074】

- ・ μ LEDウェハが事前にテストされず、規定された数の μ LED（単一の発光器またはマルチ発光器LED）ダイがピクセル当たり色毎に配置される場合に、この方法を使用し得る。

【0075】

μ LEDダイが単一の発光器の代わりに複数の発光器を含む場合には、かかる複数の発光器ダイが許容可能なディスプレイ歩留りを得るためにピクセル毎に必要なサイクル／ダイの数を大幅に削減できることをモデリングが示している。これは、使用されるウェハ材料（必要とされるダイの数）および組立時間（組立サイクルの数）に著しい影響を及ぼす可能性がある。

【0076】

テストシーケンスの例示的な方法は、以下の特徴のうちの1つ以上を含み得る：

・すべてのサブピクセルタイプが完了するか、または各サブピクセルタイプの配置シーケンスの間で、サイクル間のインラインパネルテストを実行するために、 μ LEDダイは予め結合され得、または、最終的な結合となり得る。予め結合された状態は、 μ LEDダイのコンタクトとディスプレイの基板上のコンタクトパッドとの間の一時的な金属対金属接触であり得る。これは永久的な結合でなくともよいが、テストを行うのに十分なものであり得る。最終的な結合は、永久コンタクトを生成するために、 μ LEDダイのコンタクトが、たとえば、リフロー（たとえば、共晶）または金属相互拡散（たとえば、固液性拡散（SLID））を受けた場合であり得る。これは、確実な永久結合を確保するために、熱、圧縮または超音波の力などの励起源を含み得る。

10

【0077】

・抜き取りおよび配置のサイクルならびに相互接続の品質も支援するために、事前に貼付されるアンダーフィルまたは後で貼付されるアンダーフィルを、良好な品質の信頼性のある結合インターフェースを確保するために貼付し得る。事前に貼付されるアンダーフィルは、配置中に中間層および μ LEDダイ、あるいは中間層または μ LEDダイのコンタクトからPUTを解放することを支援し得る。

【0078】

第1の組立サイクル（サイクルA）で使用される μ LEDへの変形可能な材料の堆積のための例示的な方法は、以下の内の1つ以上を含み得る：スピンコーティングおよびリソグラフィ、スプレーコーティング、マイクロコンタクト印刷、ラミネーションおよびマイクロ成型。

20

【0079】

第2または第3の組立サイクル（サイクルB1またはB2）で使用される μ LEDへの変形可能な材料の堆積のための例示的な方法は、以下の内の1つ以上を含み得る：インクジェット処理およびマイクロ成型。

【0080】

第1の組立サイクル（サイクルA）で使用される μ LEDへのアンダーフィルの貼付のための例示的な方法は、以下の内の1つ以上を含み得る：スピンコーティングおよびリソグラフィ、マイクロ成型およびマイクロ印刷。

【0081】

例示的な方法では、結合中にアンダーフィルを貼付し得る。アンダーフィルは事前に貼付されるBステージエポキシを含み得る。

30

例示的な方法では、熱圧着プロセス、たとえば、C2を使用し得る。結合プロセスは、CuSnからCuまたはCuからCuの超微細ピッチ微小バンプ技術を使用し得る。

【0082】

例示的な方法は、現在の技術の制約および課題を克服し得るハイブリッド組立法を含み得る。例示的な方法は、組立サイクルのシーケンスを含み得る。組立サイクルのシーケンスは、非選択的および選択的、あるいは非選択的または選択的組立サイクルを含み得る。組立サイクルのシーケンスは、ウェハテストおよびインラインパネルテスト、あるいはウェハテストまたはインラインパネルテストを含み得る。このアプローチは、本明細書に開示されたLEDダイによって可能となり得、組立中のインラインテストを可能にし得る。

40

【0083】

方法は、第1の配置サイクル（サイクルA）を含み得る。第1の配置サイクルは、非選択的組立サイクルの一部であり得、および／または、テストされていない、たとえば、ウェハレベルで個別にテストされていない、LEDダイを使用し得る。

【0084】

方法は、第2および第3、あるいは第2または第3の配置サイクル（サイクルB1、B2）を含み得る。第2および第3、あるいは第2または第3の配置サイクルは、選択的組立サイクルの一部であり得、および／または、テストされている、たとえば、個別にテストされている、LEDダイを使用し得る。

50

【0085】

第1の組立サイクル（サイクルA）の前にLEDウェハテストは存在しないであろう。第1の組立サイクルは、 μ LEDの抜き取りおよび配置のみを含み得る。第2および第3、あるいは第2または第3の組立サイクル（サイクルB1およびB2、あるいはサイクルB1またはB2）の前にLEDウェハテストが存在し得る。

【0086】

例示的な方法では、すべての配置サイクルの間にパネル上に配置される場合は、インラインLEDダイテストが存在し得る。各ディスプレイ 픽セル作動の確率は、今や、製造ライン修復ストラテジを配備することができるディスプレイ製品毎の欠陥数が十分に低い作動製品（ディスプレイ）を得ることが可能である、픽セル当たりの規定された数の μ LEDダイの3つの配置サイクルの後に十分に高い、すなわち、ディスプレイ歩留りは「製造可能な」プロセスとみなされるほど十分に高い。このアプローチは、小型ディスプレイのためのディスプレイ製品当たりの欠陥の数をゼロにするであろう。すなわち、1つの픽セル当たりの複数のダイに起因するコストアップは、着用可能技術などの小さな픽セル数のディスプレイにとって重要ではない。このアプローチは、大きなディスプレイに広げることができる。

10

【0087】

（第1の配置の後の）後続の μ LEDダイは、単一の発光器 μ LEDダイであり得る。これにより、使用される μ LEDダイのサイズを小さくしてコストを低減することになる。

20

【0088】

各抜き取りおよび配置サイクルの間のテストは、ダイ製造または組立歩留りの結果としての欠陥のある、最適に機能しない μ LEDダイまたは欠落するダイを識別し、欠陥 μ LEDダイの隣に位置する冗長箇所で作動ダイとそれらを交換するために使用し得る。修復作業のために指定されたKGDのウェハバンクから作動ダイを取り出す。

【0089】

任意選択的に、配置したが欠陥のあるダイ内のいずれかの発光器および／または過剰な発光器に対するトラックを切り離すためにレーザが使用される。並行して作動する픽セル当たりの複数の異なる数のLED発光器が、画像アーチファクトを生成し得、これは許容できないであろう。

30

【0090】

上述の組立プロセスにウェハを投入する前に、100%の「仮想」ウェハ歩留りを得るよう、LEDウェハまたはハンドル層を修復するために、選択可能PUTも使用し得る。選択可能PUTは、LEDウェハまたはハンドル層上の欠陥を「修復」して、約100%の仮想歩留りを有するLEDウェハまたはハンドル層を製造するために使用され得る。

【0091】

μ LEDなどのLEDを検査するためのAOIアプローチ（機能的、光パワー、ビームプロファイル）に加えて、LEDを逆バイアスし、その上に光を照射する、すなわち、フォトダイオードとして機能させ、フォトダイオードモードのLEDの挙動を使用して、LEDパラメトリック性能を予測して特徴付けるなどの、追加のアプローチを使用し得る。

40

【0092】

本発明の一態様によれば、半導体チップを移動させるための方法が提供され、方法は、第1の位置でピックアップツール、すなわちPUTのヘッドを半導体チップの表面に接触させることであって、半導体チップの表面は、接触するPUTに接着するように構成された変形可能な材料を含む、接触させることと、PUTを第2の位置に移動させ、半導体を解放することと、を含む。

【0093】

任意選択的に、変形可能な材料は弾性材料を含む。

任意選択的に、弾性材料はエラストマー材料を含む。

任意選択的に、変形可能な材料は、PUTヘッドに接触し、半導体チップの接着および

50

解放、あるいは半導体チップの接着または解放を容易にするように構成された構造化表面を含む。

【0094】

任意選択的に、構造化表面は、表面から延びる細長い柱を含む。

任意選択的に、PUTヘッドと変形可能な材料との間の接触は、それらの間に実質的に空隙を生じない。

【0095】

任意選択的に、方法はさらに、変形可能な材料を半導体チップの表面上に堆積させることを含む。

任意選択的に、方法はさらに、半導体チップの表面から変形可能な材料を除去することを含む。

【0096】

任意選択的に、変形可能な材料の除去は、エッチングプロセスによって行われる。任意選択的に、変形可能な材料の除去は、変形可能な材料を溶解するか、または溶液を使用して変形可能な材料を洗浄するか、いずれか一方によって行われる。

【0097】

任意選択的に、変形可能な材料は半導体チップの表面上に堆積された犠牲層の上部に堆積され、エッチングプロセスによって犠牲層をエッチング除去する。

任意選択的に、PUTヘッドは実質的に剛性および実質的に平坦、あるいは実質的に剛性または実質的に平坦である。

【0098】

任意選択的に、方法はさらに、PUTヘッドを複数の半導体チップのうちの1つ以上に選択的に接着することを含む。

任意選択的に、複数の半導体チップが存在し、方法はさらに、PUTヘッドと接触する前に1つ以上の半導体チップから変形可能な材料を選択的に除去して、PUTヘッドがそれらの半導体チップに付着しないようにすることを含む。

【0099】

任意選択的に、方法はさらに、PUTヘッドを複数の半導体チップに接着することを含む。

任意選択的に、半導体チップはILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップを含む。

【0100】

任意選択的に、第2の位置は半導体デバイスの基板である。

任意選択的に、基板はガラスまたはプラスチックの薄膜トランジスタパネルを含む。

任意選択的に、方法はさらに、ディスプレイの画像生成器を形成するために、複数のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップを基板上に配置することを含む。

【0101】

本発明の別の態様によれば、LEDディスプレイの画像生成器を形成する方法が提供され、方法は、複数のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップの表面上に変形可能な材料を堆積させることと、ピックアップツール、すなわちPUTのヘッドを複数のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップのうちの1つ以上の上に堆積された変形可能な材料に接触させて、複数のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップのうちの1つ以上をPUTヘッドに接着させるようにすることと、1つ以上のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップのコンタクトがガラスまたはプラスチックの薄膜トランジスタパネルの薄膜トランジスタのパッドと電氣的に連通するように1つ以上のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップが配置されるように、PUTヘッドを移動させることと、1つ以上のILEDおよびμLEDチップ、あるいはILEDまたはμLEDチップをPUTヘッドから解放することと、を含む。

【0102】

本発明の別の態様によれば、LEDディスプレイ用の画像生成器が提供され、画像生成器はガラスまたはプラスチックの薄膜トランジスタパネル上に配置された複数のILEDおよび μ LEDチップを含み、1つ以上のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップは、ガラスまたはプラスチックの薄膜トランジスタパネル上に、複数のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップの表面に変形可能な材料を堆積させることと、ピックアップツール、すなわちPUTのヘッドを複数のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップのうちの1つ以上の上に堆積された変形可能な材料に接触させて、複数のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップのうちの1つ以上をPUTヘッドに接着させるようにすることと、1つ以上のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップのコンタクトがガラスまたはプラスチックの薄膜トランジスタパネルの薄膜トランジスタのパッドと電氣的に連通するように、1つ以上のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップが配置されるように、PUTヘッドを移動させることと、1つ以上のILEDおよび μ LEDチップ、あるいはILEDまたは μ LEDチップをPUTヘッドから解放することと、によって配置されている。

10

【0103】

本発明の別の態様によれば、半導体チップを移動させるための方法が提供され、方法は、第1の位置でピックアップツール、すなわちPUTのヘッドを半導体チップの表面に接触させることを含み、半導体チップの表面は中間層を含み、中間層はコンフォーマルであり、中間層の表面とPUTヘッドとの間のコンフォーマルな表面接触をもたらす。

20

【図面の簡単な説明】

【0104】

【図1】 μ LEDの概略断面図である。

【図2】例示的な μ LEDダイの概略図である。

【図3】例示的な μ LEDダイの概略図である。

【図4】例示的なディスプレイを通る断面図である。

【図5】例示的なディスプレイ製造方法の概略図である。

【図6】例示的な μ LEDダイの設計の概略図である。

【図7】例示的な μ LEDの概略断面図である。

30

【図8(a)－8(b)】図8(a)は、例示的な μ LEDの概略断面図であり、図8(b)は、基板を除去した後の例示的な μ LEDの概略断面図である。

【図9】例示的な基板除去プロセスの概略図である。

【図10】例示的な基板除去プロセスの概略図である。

【図11】例示的な非選択的変形可能層堆積プロセスの概略図である。

【図12】例示的な選択的変形可能層堆積プロセスの概略図である。

【図13】例示的な選択的変形可能層堆積プロセスの概略図である。

【図14(a)】例示的な非選択的ピックアッププロセスの概略図である。

【図14(b)】例示的な選択的ピックアッププロセスの概略図である。

【図15(a)】例示的な非選択的ピックアッププロセスの概略図である。

40

【図15(b)】例示的な選択的ピックアッププロセスの概略図である。

【図16(a)】例示的なディスプレイの一部の概略図である。

【図16(b)】例示的なディスプレイの一部の概略図である。

【図16(c)】例示的なディスプレイの一部の概略図である。

【図16(d)】例示的なディスプレイの一部の概略図である。

【図17】例示的な μ LEDダイの概略図である。

【図18】例示的なディスプレイ歩留りの表である。

【図19】フロー図である。

【図20】フロー図である。

【図21】フロー図である。

50

【図 2 2】例示的な T F T 層を通る断面図である。

【図 2 3】例示的な結合プロセスの概略図である。

【図 2 4】例示的な結合プロセスの概略図である。

【図 2 5】市販の平面 L E D デバイスからおよび μ L E D デバイスから出力された、ビームプロファイルを示す図である。

【図 2 6】例示的な組立プロセスフローを示す図である。

【図 2 7】例示的な組立プロセスフローを示す図である。

【図 2 8】例示的な組立プロセスフローを示す図である。

【発明を実施するための形態】

【0105】

10

本発明者らは、I L E D ディスプレイが、優れた電池性能および増強された輝度を提供する、将来の世代のフラットディスプレイ画像生成器を提供し得ることを認識した。I L E D ディスプレイは、基本レベルにおいて O L E D ディスプレイの変形例である。O L E D の概念は、光を生成するために 2 つのガラス面の間に挟まれた有機またはポリマー材料を通過する電流に基づいている。

【0106】

I L E D ディスプレイ製造は、半導体無機発光ダイオード (inorganic light emitting diode : I L E D) または他のマイクロ L E D デバイスのフレキシブル基板または T F T ガラス基板などの基板上への組立を指す。1 つの I L E D ディスプレイを作成するための数百万個の小さな μ L E D チップの組立は、たとえば、ウェハおよび組立歩留り損失ならびに非ネイティブ基板上へのインライン組立の間のテストストラテジを考慮すると、一意的な課題を作り出す可能性がある。

20

【0107】

発明者らは、以下に記載するように、I L E D ディスプレイ製造に関するいくつかの課題をさらに認識した。

ディスプレイ業界は、ディスプレイにおけるピクセル欠陥に対してゼロトレランスアプローチ (zero tolerance approach) をとるため、I L E D ディスプレイ製造にとって、99.99% 以上の高い L E D ウェハ歩留りが理想的には好ましい。技術的現状の L E D ウェハ製造歩留りは、製品に応じて産業上でかなり変化する。ディスプレイ内のピクセル数が着用可能ディスプレイのための数万から大面積高解像度ディスプレイのための数千万までの範囲であることを考慮すると、ウェハ歩留り 99.9% 超は非現実的であるとみなされ、I L E D ディスプレイ製造に対する主要な障害の一つである。既存のウェハ歩留りのシナリオを考慮する別のストラテジが必要である。

30

【0108】

I L E D ディスプレイに必要とされる L E D ダイの寸法は、従来の照明器具／照明用途のための標準的な L E D ダイに比べて、スケールが極めて小さい。これは従来の組立方法がこれらのチップサイズに適合しておらず、したがってより細かい配置ソリューションが必要とされることを意味する。具体的には、小型ダイを操作・処理するための解答を有するスマート組立プロセスは、ガラスパネル上の I L E D 組立を改善する。したがって、ネイティブ L E D ウェハからガラス T F T 基板上への一辺 10 μ m 未満のサイズの I L E D ダイの、約 $\pm 2 \mu$ m 以下の精度での大量の抜き取りおよび移送を並行して行うことを可能にすることができる、高いスループットを有する組立プロセスが必要とされている。

40

【0109】

組立のためのストラテジは、公知の不良ダイが K G D ダイを用いてウェハ上で交換されるウェハ修復、または T F T 基板への抜き取りのためのウェハから一時的キャリアへの K G D のみの移送を含む。いずれのアプローチも、ウェハ上に欠陥マップを生成するよう K G D を決定するために、複雑なウェハプローブカードテストを必要とする。これらは、本明細書に開示された方法によって不経済で冗長であるとみなされる。ウェハの歩留りによるが、公知の悪いダイの交換も、T F T 基板への抜き取りのためのウェハから一時的キャリアへの K G D のみの移送も、現実的でも経済的でもないであろう。

50

【0110】

スマート組立方法は、I L E Dディスプレイの業界で開発されており、「非選択的」エラストマーコンフォーマルスタンプ (elastomer conformal stamp)、レーザ補助移送、直接自己組立法、流体アセンブリおよび選択的M E M Sベース印刷ヘッドの範囲に及ぶ。すべての技術は、基板のバルクが除去されるか、またはエピ層が基板から解放されている、組立準備済みチップの準備を必要とする。

【0111】

非選択的抜き取りおよび配置組立方法は、小さなディスプレイサイズに対して、およびディスプレイ上の最初の抜き取りおよび配置後のダイおよび組立歩留りが99.99%を超える場合にのみ実用的である。一例として、着用可能な320×320ピクセルディスプレイフォーマットは、各原色の赤、緑の102,400個のサブピクセルを有する307,200個のサブピクセルから構成されている。99.99%超の歩留りは、308個の交換および修復を必要とする欠陥ピクセルをもたらす。これらの数の交換および修復ストラテジは、時間がかかり、着用可能な物品のコストにとって経済的ではない。代替的な低コストの方法が必要である。

【0112】

選択的抜き取りおよび配置組立は歩留りの問題を克服するのに好ましい解決策であり得、P U Tは組立に公知の良好なダイ (known good die : K G D) を選択するだけである。これは、欠陥のあるダイが識別され、欠陥ウェハマップが確立される、完全なウェハテスト能力を必要とする。

【0113】

発明者らは、I L E Dディスプレイが商業的現実になるために、上述の課題のすべてを解決する必要があることを認識した。I L E Dディスプレイ業界の特定の必要性に対処し得、低ウェハ歩留り、複雑なウェハテスト方法および／または選択的P U Tツール設計などの、既存の技術における1つ以上の不足分を克服し得る、製造方法が本明細書に開示されている。本明細書に開示される例示的な方法および装置は、冗長スキームを含み得る。本明細書に開示される例示的な方法および装置は、着用可能なディスプレイから大型のラップトップディスプレイまでの範囲のディスプレイを含み得る、ディスプレイ内に実装するためのマイクロL E D (μ L E D) を使用し得る。

【0114】

大略的には、本明細書はディスプレイの製造方法を開示する。例示的なディスプレイは、μ L E Dを組み込んだ着用可能ディスプレイなどのディスプレイ用途に使用し得る。

本明細書中で使用されるように、「μ L E D」技術は、光出力を方向づけし、ユーザによって観測される輝度レベルを最大化する、ミクロンサイズのI L E Dデバイスを包含する。μ L E Dは、米国特許第7518149号明細書に開示されており、特に方向づけされた光を送達するために開発された次世代I L E D技術である。本明細書で使用されるように、「方向づけされた光 (directionalised light)」とは、コリメート光 (collimated light) および準コリメート光を包含する。たとえば、方向づけされた光はI L E Dの光生成領域から放射される光であり得、放射された光の少なくとも一部は半角 (half angle) を有するビーム内に向けられる。これにより、光ビームの方向におけるI L E Dの輝度を高め得る。

【0115】

μ L E Dは円形断面を有し得、その場合、μ L E Dの直径は典型的に20 μ m未満である。μ L E Dは、ウェハ処理ステップ中にI L E Dダイ上に直接エッチングされた放物線状構造体を有し得る。放物線状構造体は、μ L E Dの発光領域を含み得、生成された光の一部を反射して、チップから出る準コリメート光ビームを形成する。

【0116】

図1は例示的なμ L E D 100を示している。図に示されたμ L E D 100は、国際公開第2004/097947号 (米国特許第7,518,149号明細書としても公開されている) で提案されたものと同一または類似しており、抽出効率が高く、放物線形状の

ため準コリメート光を出力する。基板102は、その上に配置された半導体エピタキシャル層104を有している。エピタキシャル層104はメサ106に成形される。活性（または発光）層108はメサ構造体106内に封入されている。メサ（mesa）106は、 μ LED100の光透過または放射面110に対向する側に、切頭頂部（truncated top）を有している。メサ106はまた、 μ LED100内で生成された光のための反射性の筐体を形成するために、ほぼ放物線状の形状を有している。矢印112は、活性層108から放射された光が、どのようにメサ106の内壁から光放射面110に向かって μ LEDデバイス100を出るのに十分な角度（すなわち、全内部反射の角度以内）で反射されるかを示している。

【0117】

μ LED100の放物線状構造は、非形状または標準的なLEDと比較した場合、低い照射角度への μ LED100の抽出効率を著しく増大させる。

図2は、例示的な μ LEDダイ200を示している。ダイ200は、ダイ200のメサ208と同じ側に形成された「p」電極204および「n」電極206を有する単一の発光器202を含む。光は μ LEDダイ200の電極と反対側の発光面210から出力される。光は μ LEDダイ200のエピタキシャル層を通して放射される。

【0118】

図3は、複数の発光器302a、302bを含む μ LEDダイ300の斜視図を示している。図3の単一のダイ300は、2つの μ LEDを含む。本明細書で使用される「単一のダイ」という用語は、たとえば、その上に半導体デバイスが作成された半導体基板などの、基板の単一かつ個別的な部分を包含する。ダイ300は、n電極304およびp電極306a、306bを各 μ LED発光器302a、302bごとに含む。

【0119】

μ LEDダイ300のサイズは、 μ LED発光器の数を増加させたため、図3に示すダイ200よりも大きい。しかし、複数の発光器を必要とし、n電極およびp電極の形成がチップの同じ側にある場合、ダイ300が使用する面積は低減される。たとえば、2つの発光器が必要である場合、ダイ300は、単一の発光器を含む2つのダイ200と比較して、25%を超える面積節約を表す。

【0120】

本明細書に開示される装置の利点は、ダイの相互接続構成である（すなわち、発光側と反対側のp電極およびn電極）。この構成は、ガラス（または他の透明な材料）パネルに組み立てられた直後でかつ最終的なディスプレイ積層組立の完了の前に、ダイ300の統合されたテストを可能にする。したがって、製造のテストストラテジを簡略化し、テストを組立プロセスに統合することができる。相互接続構成はまた、組立プロセスに統合し得る、ダイの修復または交換ストラテジの簡略化を可能にし得ることが理解されるであろう。

【0121】

図4は、ディスプレイ400の断面を示す断面図である。ディスプレイ400は、光の放射がガラストップ層（glass top layer）404内に入射して透過するように、ガラストップ層404の上に載置された複数の μ LEDダイ402を含む。図4の例示的な構成において、p電極406およびn電極408はいずれも、各ダイ402の同じ側でかつダイ402の出力面と反対側の面に載置されている。図4は、 μ LEDダイ402がディスプレイ400のTF T層410にどのように載置され得るかを示している。

【0122】

p電極406およびn電極408は、下方に面したダイ402の下面上にあり、かつ適切な結合層を使用してTF T層410内のディスプレイ能動回路と直接接触している。さらに、ディスプレイは、他のディスプレイにおいては、トップガラス層404に向かって上方に光を方向づけさせるために導電性トラックおよび反射層を形成するのに必要である、パターン化されたバンク構造を含まない。ディスプレイ400は、光出力を本質的に方向づけする複数の μ LEDダイ402を含むため、反射性バンク層は不要である。他の構

10

20

30

40

50

成では、 μ LEDダイ402のコンタクトは、ダイの反対側に形成され得る。これは、上側不動態化および完全電氣的相互接続が行われるまで、最終的なテストを制限する。本明細書に開示された例示的な方法および装置では、2つのコンタクト406、408は、TFT層410に下方に面しており、それによりディスプレイ最終組立のあらゆる最終的な不動態化の前のテストが可能となる。

【0123】

例として、図5は、図4に示すディスプレイ400を製造するためのプロセスフローを示す。プロセスの最初のステップ(A)は、 μ LEDデバイス502の製造である。 μ LED製作後、デバイス502は、そのエピタキシャル基板504から除去される。デバイス502の上面には、機械的な層が貼付され、これは、次の処理ステップのためのハンドル層506として作用する。デバイス502をハンドル層506に移送した後、コンフォーマルな中間層(conformal intermediate layer)508は、デバイス502の上面に堆積され、図5のステップBに示すようにデバイス502は部分的に個片化される。PUTの移送ヘッド510は、平坦な非エラストマーヘッド(flat non-elastomeric head)であり、中間層に貼付されると、中間層508とPUTの移送ヘッド510との間のコンフォーマルな接触をもたらす(ステップD)。これにより、デバイス502をピックアップしてディスプレイ基板512(またはTFT層)に移送することができる(ステップE)。移送ヘッド510は、プラスチック、ガラスまたはシリコンから作られ得、ピックアップすべきチップ502ごとに突出するディンプル(dimple)を伴う。デバイス502がTFT層512上に配置されると、PUTの移送ヘッド510を中間層508から除去することができる。TFT層上にデバイス502を配置した後、中間層508を除去し得、デバイスをTFT層に結合することができる(ステップF)。本明細書に開示された方法は、上述のおよび図5に示されたプロセスフロー、あるいは上述のまたは図5に示されたプロセスフローに限定されないことを理解すべきである。

【0124】

図5の例示的なプロセスフローのステップは、以下でより詳細に説明される。

図6は、 μ LEDデバイス602の例示的な構造を示す。図6に見られるように、青(たとえば $\lambda = 470\text{ nm}$)および緑(たとえば $\lambda = 530\text{ nm}$)発光のための μ LEDデバイスは、Ga_{0.4}N_{0.6}/サファイア604材料系に基づく。例示的な青および緑デバイス602は、それらの活性層として多重量子井戸構造(multi quantum well structure : MQW)を含むことができる。この例では、活性層は、p型Ga_{0.4}N層とn型Ga_{0.4}N層との間に設けられる。デバイス602は、1つ以上の歪み緩和層を含み得ることが理解されるであろう。

【0125】

赤(たとえば $\lambda = 640\text{ nm}$)発光のための例示的な μ LEDデバイスは、GaAs基板604上にリン化物またはヒ素ベースのエピタキシャル層を含むことができる。赤色デバイス用の活性層もまた、MQWを含むことができ、この例では、リン化物含有ヘテロ構造に基づく。他の例では、MQWは、1つ以上のヒ素ベースのヘテロ構造を含み得ることが理解されるであろう。赤デバイスは、1つ以上のエッチストップ層(Etch Stop Layer : ESL)を含むことができ、これはGaAs基板604に堆積され得る。本明細書に開示された方法は、これらの材料またはこのデバイス構造または図6に示されたものに限定されないことを理解されたい。

【0126】

図7は、基板704上の例示的な μ LEDデバイス702(またはILEDダイ)を通る断面を示し、基板704は、緑および青発光デバイス用のサファイア基板、ならびに、赤発光デバイス用のGaAs基板とすることができる。図7に示す例示的なデバイス702は、図1、図2および図3に示したものと同様である。図7のデバイス702は、結合要素を含み、これはデバイス702とTFT層との相互接続のために、バンプまたはマイクロバンプ714の形態で提供される。バンプ714は、デバイス702の上面およびコンタクトパッド上に配置される。コンタクトパッドは、デバイスのpおよびnコンタクト

を含み、これらはチップ702の放射側とは反対側のデバイス片側に配置され、約5 μ mの直径を有する。バンプ714は、約3～6 μ mの高さを有することができ、金属、たとえばCuSnまたはCuを含むことができ、TF T層上の対応する金属パッド、たとえばCuパッドへの相互接続を可能にする。デバイス702がTF T層に移送されると、デバイス702上のバンプ714は、一時的な金属対金属接触となり、これによりデバイス702のテストが可能となる。デバイス702をテストするためには、デバイス702は、TF T層に永久的に結合されていなくてもよい。バンプ714とTF T層上の金属パッドとの間の一時的な金属対金属接触により、事前結合状態、すなわち一時的結合状態におけるデバイス702のテストが可能になり得る。デバイス702上のバンプ714は、高スループットマルチデバイスのパネル相互接続および結合を可能にし得る。公知のC4（崩壊制御チップ接続）フリップチップ技術は、結合中に崩壊するバンプに起因して、目標の相互接続ピッチまでスケールダウンすることができない。バンプの崩壊は、10 μ m以下のピッチであり得るバンプ間の橋絡（bridging）を引き起こし得る。

【0127】

図8（a）に示された例示的な μ LEDデバイス802は、図7に示したものと同様である。デバイス802は、20 μ m未満の長さ、10 μ m未満の幅、および、約3～8 μ mの厚さを有し得る。放射面816は、200nm未満の粗さを有し得る。デバイス802のこれらの特性／寸法は、TF T層上のデバイス802の組立に有益であり得る。しかし、本明細書に開示された方法および装置は、これらの特性／寸法を有する μ LEDデバイスに限定されないことが理解されるべきである。

【0128】

図8（b）は、2つの例示的な μ LEDデバイス802を示し、図7および図8（a）に示したものと同様である。図8（b）において、デバイス802は、基板804から除去されている。基板804がデバイス802から取り外されると、デバイス802を反転させ、さらに処理することができる。

【0129】

デバイス902からの基板904の除去は、図9を参照して以下でより詳細に説明される。

図9は、例示的な基板除去プロセスを示す。基板除去のための例示的な方法は、基板904の化学的エッチングおよび薄化を含み得る。基板904が除去される前に、ハンドル層906は、デバイス902の上面に貼付される。1つ以上のUVテープなどの1つ以上のテープ（図示せず）を使用して、デバイス902をハンドル層906に取り付けることができる。UVテープにUV光を照射することにより、ハンドル層906に対するデバイス902の接着強度を修正することができる。UVテープの代わりに使用することができるテープの他の例には、熱解放テープが含まれ、テープを熱に暴露することによりその接着強度を修正することができる。

【0130】

ハンドル層906が貼付されると、サファイア基板を含むデバイス902にレーザリフトオフ（laser lift-off：LLO）プロセスを適用することができる。レーザリフトオフプロセスは、UVレーザビームなどのレーザビームを用いてサファイア基板を除去する。レーザビームは、サファイア基板を通してデバイス902のGa N層に向けられ、Ga N層とサファイア基板との界面に衝撃波を発生させ、それにより、Ga Nをサファイアから解離させる。このプロセスは、10 μ m未満の厚さを有する自立性のGa N層を作成することができる。本技術は、高出力LEDチップまたはサファイア基板上に成長させたIn Ga NまたはGa Nなどの窒化物半導体の製造において、高いスループットおよび優れた品質を関心対象とする。

【0131】

図10は、赤 μ LEDデバイス1002からGa As基板を除去するための例示的なプロセスを示している。上述したように、赤デバイスは、1つ以上のエッチストップ層（ESL）を含むことができ、これはGa As基板1004上に堆積され、Ga As基板10

04をデバイス1002のエピタキシャル層1018から分離する。一例として、ESLは、単一の高Al組成のAlGaAs層またはInGaP層によって形成することができる。いくつかの例では、2つのESLを使用して、表面粗さを低減し得る。用途に応じて、ESLは選択的なドライおよびウェットエッチング、あるいはドライまたはウェットエッチングにより保持または除去され得る。いくつかの例示的なプロセスにおいて、GaAs基板1004は、基板1004の選択的ウェット／ドライエッチングの前に薄化される。これにより、基板1004の除去を加速し得る。例示的なプロセスにおいて、GaAs基板1004は、有機酸系（たとえばクエン酸）またはNH₄OH系ウェットエッチャントを用いて選択的に除去され、一方、ESLはHCl系またはHF系ウェットエッチャントで選択的に除去することができる。

10

【0132】

図11の上部を参照すると、いくつかの例では、デバイスから基板を除去して任意の残留物を除去した後に、洗浄ステップを必要とし得る。この洗浄ステップは、サファイアまたはGaAs基板除去プロセスの後に適用され得る。

【0133】

洗浄ステップの後、変形可能な材料をデバイス1102上に堆積させて中間層1108（e Layer）を形成することができる。この中間層1108は、ハンドル層1106上のすべてのデバイス1102上に堆積され得（非選択的堆積）、または、ハンドル層1106上の選択ダイ1102に堆積され得る（選択的堆積）。中間層1108の堆積は、以下でより詳細に説明される。

20

【0134】

中間層1108を形成するために使用される変形可能な材料の例には、可視波長範囲で透明であるエラストマーが含まれ、これは、たとえば300℃までの熱安定性を有し、高い化学的および物理的安定性を有する。変形可能な材料は、デュロメータショア（Durometer shore）A55の硬度または約3MPaのヤング率を有し得、変形可能な材料にUV光を照射することにより、または125℃未満の温度などの低温で、硬化可能であり得る。

【0135】

変形可能な材料の例としては、ポリジメチルシロキサン（polydimethylsiloxane：PDMS）などのシロキサン系エラストマーが挙げられる。PDMSは非毒性であり、生体適合性であり、ナノメートル範囲の大きさを有する特徴を形成するために使用することができる。PDMSの用途は多様であり、例として、軟組織の弾性率に適合させて、筋肉および神経における細胞メカノバイオロジーを研究するための生体材料としての使用を含む。

30

【0136】

図11は、中間層1108を形成するための変形可能な材料の非選択的堆積のための例示的なプロセスを示している。非選択的堆積のための例示的な技術は、スプレーコーティング、スピニングコーティングおよびリソグラフィのうちの1つ以上を含むことができる。他の例示的な技術は、各ダイの上面に変形可能な材料のプリフォームを成型すること、または、変形可能な材料をインクとして使用するあらゆるデバイスの表面上のマイクロコンタクト印刷（microcontactprinting）を含むことができる。

40

【0137】

中間層1108の形成に続いて、中間層1108は、隣接するデバイス1102の間の空間において除去され、デバイス1102は図11の下部に示すように個片化される。これを行うための例示的な方法は、中間層1108をパターニングし、続いて金属ハードマスクを用いたドライエッチングを行うステップを含む。中間層1108をパターニングするために使用されるドライエッチングは、SF₆およびO₂を含むことができ、デバイス1102の個片化のためのドライエッチングは、塩素ベースエッチングを含み得る。他の例では、中間層1108は、たとえばスプレーコーティング、成型およびステンシルプロセスを使用して個々のデバイス上に堆積され得る。スプレーコーティングおよびステンシ

50

ルプロセスの使用は、中間層 1 1 0 8 のパターニングを必要としなくてもよい。

【0 1 3 8】

図 1 2 は、中間層 1 2 0 8 を形成するための変形可能な材料の選択的堆積のための例示的なプロセスを示す。プロセスは、図 1 1 に示し、上で説明したものと同様である。しかし、この例では、変形可能な材料の選択的堆積は、選択デバイス 1 2 0 2 上の変形可能な材料のインクジェットまたはスーパーインクジェット印刷によって達成される。これらの技術は、ピコリットル量などの少量の変形可能な材料の精密配置を含み、これは、この例では選択デバイス 1 2 0 2 の表面上にて低粘度を有する。変形可能な材料が選択デバイス 1 2 0 2 上に堆積された後に、デバイス 1 2 0 2 は、上述したドライエッチングプロセスを用いて個片化される。

10

【0 1 3 9】

変形可能な材料を選択的に堆積させるための別のプロセスが、図 1 3 に示されている。この例示的なプロセスでは、変形可能な材料は、モールド 1 3 2 0 に貼付され、モールド 1 3 2 0 は、変形可能な材料が第 2 の L E D ダイの表面に接触するように、デバイス 1 3 0 2 の表面と係合する。モールドは、変形可能な材料に光を照射できるように透明である。本明細書で使用される場合、光という用語は、可視光および非可視光を含む任意の波長の光を包含する。図 1 3 に示す例示的なプロセスでは、U V 光が使用される。モールド 1 3 2 0 の一部 1 3 2 0 a には、U V 光が選択的に照射される。モールド 1 3 2 0 の部分 1 3 2 0 a の位置は、選択デバイス 1 3 0 2 a の位置に対応する。モールド 1 3 2 0 の部分 1 3 2 0 a の U V 光照射は、選択デバイス 1 3 0 2 a への変形可能な材料を硬化させる。これにより、変形可能な材料と選択デバイス 1 3 2 0 a との間の接着レベルが増大する。モールド 1 3 2 0 がデバイス 1 3 2 0 の表面から除去されると、選択デバイス 1 3 0 2 a に変形可能な材料が付着し、それにより選択デバイス 1 3 0 2 a に中間層 1 3 0 8 が形成される。硬化されていない変形可能な材料は、残りのデバイスからモールド 1 3 2 0 で除去される。本明細書に開示されるように、選択的または非選択的方法のいずれかを使用して複数の選択デバイスに変形可能な材料を堆積させるために、このプロセスを使用し得ることが理解されるであろう。

20

【0 1 4 0】

デバイス 1 4 0 2 のピックアップは、図 1 4 (a) および図 1 4 (b) に示されている。P U T の移送ヘッド 1 4 1 0 は、中間層 1 4 0 8 の上面に接触し、これは、中間層 1 4 0 8 を介してデバイス 1 4 0 2 を移送ヘッド 1 4 1 0 に付着させる。そして、デバイスを T F T 層 (図示せず) 上に移送して配置することができる。配置されると、外部パラメータ (たとえば U V 光、温度および／または圧力) の印加によって切り替え可能である、移送ヘッド 1 5 1 0 上の接着面などの適切な解放機構を使用して、移送ヘッド 1 4 1 0 をコンフォーマルなデバイスから除去することができる。あるいは、または、追加的に、中間層上のマイクロ構造を使用して、移送ヘッドと中間層との間の接着力を制御することができる。図 1 4 (a) に示すピックアッププロセスは、すべてのデバイス 1 4 0 2 がそれに貼付される中間層 1 4 0 8 を有するので、非選択的ピックアップと呼ばれる。P U T は非選択的 P U T であり、図 1 4 (a) に示すように、ピックアッププロセス中に移送ヘッド 1 4 1 0 によって接触されるあらゆるデバイス 1 4 0 2 をピックアップする。

30

40

【0 1 4 1】

図 1 4 (b) の例では、変形可能な材料は、中間層 1 4 0 8 を形成し、選択デバイス 1 4 0 2 a に貼付されている。P U T の移送ヘッド 1 4 1 0 は、選択デバイス 1 4 0 2 a の中間層 1 4 0 8 にのみ接触する。これにより、図 1 4 (b) に示すように P U T の移送ヘッド 1 4 1 0 によって選択デバイス 1 4 0 2 a のみがピックアップされる。選択デバイス上に変形可能な材料を貼付することにより、たとえば非選択的 P U T による、これらのデバイスの選択的ピックアップが可能となり得る。これは選択的 P U T の使用を省略し得る。

【0 1 4 2】

図 9 を参照して説明したように、1 つ以上の U V テープを使用して、デバイスをハンド

50

ル層に取り付け得る。図15(a)および図15(b)は、例示的な非選択的および選択的ピックアッププロセスをそれぞれ示し、UVテープにUV光を照射することにより、ハンドル層1506に対するデバイス1502の接着強度を修正することができる。ハンドル層1506上のテープへの照射により、デバイス1502、1502aとハンドル層1506との間の接着レベルが、PUTの移送ヘッド1510によって印加される力よりも小さくなり、それにより、(たとえば図14(a)および図14(b)に関連して上述したように)PUTの移送ヘッド1510によるハンドル層1506からのデバイス1502、1502aの非選択的ピックアップおよび選択的ピックアップ、あるいは非選択的ピックアップまたは選択的ピックアップが可能となる。

【0143】

図16(a)~図16(d)は、ILEDまたはμLEDディスプレイ1600またはその一部の概略図を示す。ディスプレイ1600は、ディスプレイピクセル位置1622aの1×3マトリックスを含む。各ピクセル位置1622aは、サブピクセル位置1624aの3×3マトリックスを含み、各ピクセルが2つの冗長なサブピクセル位置1624aを有することとなる。各サブピクセルは、ILEDまたはμLEDデバイスで埋め得る。デバイスは、単一のμLED発光器または複数のμLED発光器を含み得る。μLED発光器の色は、赤、緑または青の1つであり得、したがって、ディスプレイピクセル1622bのサブピクセル1624bを形成するために使用され得る。

【0144】

例示的なディスプレイ組立プロセスフローが、以下でより詳細に説明される。プロセスは、複数の配置サイクルを実行する単一の組立ステーションを含み得る。他の例では、第1の配置サイクルは第1の組立ステーションによって実行され得、代替の組立ステーションは、その次の、または、各々の次の、配置サイクルを実行し得る。

【0145】

図16(a)では、サブピクセル位置1624aのいずれも、それぞれのμLEDデバイスによって埋められてはいない。

第1の配置サイクルAでは、PUTは、上述したように、ハンドル層からμLEDデバイスのアレイをピックアップする。アレイ内のμLEDデバイスの各々は、ディスプレイ1600のサブピクセル1624bを提供するように構成される。μLEDデバイスのアレイは、TFT層上に配置され、ディスプレイ1600上の対応するピクセル位置のμLEDデバイスのマトリックスを形成し得る。ディスプレイとなるものの1つのコーナーで、配置を開始し得る。そして、ディスプレイ1600のすべてのピクセル1622bがピクセル1622bのサブピクセル1624bを形成するμLEDダイを有するまで、抜き取りおよび配置のプロセスが繰り返される。抜き取りを繰り返す際、PUTは、ハンドル層上の抜き取り位置を順次、次のμLEDデバイスに移動させ、その配置位置をディスプレイのピクセルの次のマトリックスに移動させ得、これは、チェスボードパターンにおけるピクセルの第1のマトリックスに隣接し得る。ディスプレイ1600のすべてのピクセルが、1つの色(赤、緑または青)のサブピクセル1624bを含むと、残りの2つの色について抜き取りおよび配置プロセスが繰り返される。これにより、複数のピクセルを含むディスプレイが得られ、各ピクセルは、図16(b)に示すように、赤、青および緑の各々のμLEDデバイスを含む。この第1の配置サイクルAで使用されるμLEDデバイスは、未テストのμLEDデバイス、たとえば、ウェハテストされていない、および/または、推測良好ダイ(たとえば、ブラインドビルト)であるμLEDデバイスを含む。

【0146】

第1の配置サイクルAの後に、μLEDデバイスをテストして、1つ以上の非機能性(non-functional)または欠陥性のμLED発光器のピクセル位置を決定し、これらは図16(b)において×で表示されている。テストは、すべてのデバイスに逆バイアスおよび順バイアス、あるいは逆バイアスまたは順バイアスで電流を印加することを含み得る。これは、各ピクセルのすべてのサブピクセルについて行い得る。そして、μLEDデバイスのいずれかが欠陥であるか否か、すなわち、(たとえばカメラなどのフォトディテクタを

10

20

30

40

50

使用して) 機能的な μ LED発光器が含まれるか否か、または、(たとえばフィルタを用いて) ダイオード特性から検出されたパラメトリック欠陥を有するか否か、および、そのピクセル位置について判定する。そして、1つ以上の非機能性または欠陥性の μ LED発光器のピクセル位置は、サイクルAについての欠陥マップに記録および記憶され、これは、続いてディスプレイ1600の較正に使用され得る。

【0147】

テスト結果、たとえば欠陥マップに基づいて、別のハンドル層上、または、異なる位置であるが未テスト μ LEDデバイスと同一のハンドル層上に配置され得る、1つ以上のテスト済 μ LEDデバイスまたは公知の良好なダイ(KGD)が選択され、第2の配置サイクルB1において、PUTによるピックアップおよび配置を可能にするように構成される。選択された μ LEDデバイスは、非機能性LED発光器としてディスプレイの同じサブピクセルを提供するように構成される。テスト済 μ LEDデバイスを構成するステップは、上で説明したように、選択された μ LEDデバイス上の変形可能な層の選択的堆積を含み得る。

10

【0148】

第2の配置サイクルB1では、PUTは1つ以上の選択された μ LEDデバイスをピックアップし、図16(c)に示すようにディスプレイ1600のTF T上で非機能性LED発光器のピクセル位置に対応する位置に、選択された μ LEDデバイスを配置する。テスト済またはKGDのダイを、TF T層上の第2の配置サイクルB1でピックアップして配置することによって、TF T層上に配置された冗長 μ LEDダイの数と、配置サイクル数とを低減し得、コストおよび時間の低減を図り得る。

20

【0149】

そして、非機能性 μ LED発光器のすべてのピクセル位置が、サブピクセル1624bを形成する、選択された μ LEDデバイスを有するまで、抜き取りおよび配置の第2のプロセスが繰り返される。抜き取りを繰り返す際、PUTは、選択された μ LEDデバイスを載置するハンドル層上のピック位置を順次、次の選択された μ LEDデバイスに移動させ得、その配置位置を、非機能性 μ LED発光器を有する次のピクセル位置に移動させ得る。非機能性 μ LED発光器のすべてのピクセル位置が、1つの色(赤、緑または青)のサブピクセル1624bを含むと、図16(c)に示すように、残りの2つの色について抜き取りおよび配置プロセスが繰り返される。第2の配置サイクルは、単一の組立ステーションによって実行され得る。

30

【0150】

第2の配置サイクルB1の後に、第1の配置サイクルAに関連して上述したように、 μ LEDデバイスをテストして、1つ以上の非機能性または欠陥性の μ LED発光器のピクセル位置を決定し、これらは図16(c)において×で表示されている。そして、1つ以上の非機能性または欠陥性の μ LED発光器のピクセル位置は、サイクルB1についての欠陥マップに記録および記憶され、これは、続いてディスプレイ1600の較正に使用され得る。

【0151】

図16(c)は、3つのピクセルのうちの1つが、赤色のための機能性 μ LED発光器を含まないことを示している。第2の配置サイクルに続くテストの結果、たとえばサイクルB1についての欠陥マップに基づいて、テスト済 μ LEDダイまたはKGDの選択が繰り返される。そして、第2の配置サイクルB1は、図16(d)に示すように、配置サイクルB2として繰り返される。

40

【0152】

テスト、選択および配置サイクルB1(またはB2)は、ディスプレイのほぼすべて(たとえば99%以上)のピクセル位置において各色(赤、緑または青)についての機能性 μ LED発光器が存在するまで繰り返され得る。

【0153】

例示的な μ LEDデバイスは、発光面とは反対側の一方面にすべて、それらの電氣的コ

50

ンタクトを有し、これにより配置直後のT F T層からテストのために μ L E Dデバイスに電力を供給することができる。

【0154】

第1および第2または任意の後続の配置サイクルにおいて使用することができる例示的な μ L E Dダイは、同一の性能パラメータを有し得る。上述したように、第1の配置サイクルで使用し得る μ L E Dデバイスは、ウェハレベルでテストされておらず、タイプAとして図17に示されている。タイプA μ L E Dデバイスのウェハ歩留りは、ウェハ毎およびバッチ毎に公知であり得、製造中に制御され得る。図17は、例示的なタイプA μ L E Dデバイスの 3×2 マトリックスおよび例示的なタイプB μ L E Dデバイスの 2×2 マトリックスを示す。タイプB μ L E Dデバイスは、第2の配置または任意の後続の配置サイ

10

【0155】

タイプAダイは、タイプBダイよりも高い密度で製造し得、デバイスの一方の側に単一のnおよびpコンタクトを有し得る。

【0156】

【表1】

配置ラウンド	ウェハ歩留り	失敗ピクセル
1：サイクルA（未テストダイ）	90%	約30, 900
2：サイクルB1（KGD）	100%	約30
3：サイクルB2（KGD）	100%	0

20

表1は、配置サイクル数に依存する失敗ピクセル数の一例を示す。表1の失敗ピクセル数を計算するために使用されたディスプレイは 320×320 ピクセルカラーディスプレイである。すべての色（赤、緑または青）についてT F T層上への配置を必要とするサブピクセル総数は、307, 200個である。表1に示す例では、未テスト μ L E D発光器についてのウェハ歩留りは90%であり、組立歩留りは99. 99%である。これにより、約31, 000個の非機能性 μ L E D発光器との結果となり、これらは第1の配置サイ

30

【0157】

上述したように、第2の配置サイクルの間に、テスト済またはKGDの μ L E D発光器を使用し得る。 μ L E D発光器はテストされているが、 μ L E D発光器のいくつかが非機能性である可能性がある（たとえば μ L E D発光器が、ピックアップおよび配置プロセス、または、上述した以前のプロセスステップのいずれかの間に、損傷している可能性がある）。表1の例は、0. 001%または10個の非機能性 μ L E D発光器の歩留り損失を示す。第2の配置サイクルを繰り返すことにより、表1に示すように非機能性 μ L E D発光器の数をゼロに減少させ得る。テスト済 μ L E Dのウェハ歩留りの増加により、配置サイクル数の低減につながり得、その結果、ディスプレイを製造するために必要とされる時間およびコストを低減し得る。

40

【0158】

図18は、単一発光器を含む μ L E Dデバイスおよび複数発光器（たとえば2つの発光器）を含む μ L E Dデバイスについてのディスプレイ歩留りの比較を示す。 μ L E Dデバイスが、L E Dダイ毎に単一の発光器の代わりに複数の発光器を備える場合、図18は、このような複数の発光器デバイスが、許容可能なディスプレイ歩留りを得るために、ピクセル当たり必要とされる配置サイクルおよび μ L E Dデバイス、あるいは配置サイクルまたは μ L E Dデバイスの数を減らすことができることを示している。複数の発光器を含む μ L E Dデバイスの使用により、ディスプレイの組立に必要とされる時間およびコストを低減し得る。

50

【0159】

図19および図20は、例示的な製造方法のプロセスフローを示す。

図19は、上述した例示的な組立サイクルAのフローを示す。組立サイクルAのプロセスフローの左手側は、図5～図12に関連して上で説明されている。サイクルAのプロセスフローの左手側に示されるように、製造されたμLEDダイをいくつかの例でテストして、ウェハの歩留り品質を評価し得る。組立サイクルAのプロセスフローの右手側は、図16(a)～図16(d)に関連して詳細に説明された。サイクルAのプロセスフローの右手側は、以下に説明する結合ステップを含む。

【0160】

第1のμLEDダイが製造され(1900)、1つ以上の第1のμLED発光器を含み得る。任意選択的に、ウェハテスト(1902)は、ウェハ歩留りを決定するために、第1のμLEDダイのサンプル上で実行され得る。第1のμLEDダイは、TF基板であり得るディスプレイ基板上への抜き取りおよび配置のために構成される(1904)。この構成は、たとえばLLOを使用して第1のμLEDダイをハンドル層上に配置することを含み得る。この構成はまた、第1のμLEDダイ上に変形可能な層を堆積させて、PUTへの接着を可能にすることを含み得る。この構成はまた、第1のμLEDダイの個片化を含み得る。構成の後、第1のμLEDダイは、組立準備状態となり(1906)、第1配置サイクル(1908)でディスプレイ基板上に配置され得、これは、ディスプレイのすべてのピクセルがサブピクセルタイプに対応する第1のμLEDダイの1つを含むまで1つのサブピクセルタイプのアレイをチェスボードパターンに配置し、そして他の2つのサブピクセルタイプについて反復することを含み得る。そして、TCB(1910)が行われ得る。上述のように、第1のμLEDダイはテストされ(1912)、非機能性の第1のLED発光器の1つ以上の位置を決定し(1914)、たとえば、第1のμLEDダイ上の1つ以上の第1の発光器は、LEDの製造プロセス歩留りに起因して機能しないか、または、組立失敗により損傷／欠損し得る。

【0161】

図20は、例示的な組立サイクルBのフローを示す。組立サイクルBは、以下に説明する、結合およびトリミングのステップを含む。図20に示す残りのステップは、図5～図10、図12、図13および図16(a)～図16(d)に関連して上述されている。KGDを決定するプロセス(2000)を実行して、第1の配置サイクル(図19)からのテスト結果(2002)を統合する前に、複数の第2のμLEDダイを準備し得る。テストの結果は、第1の配置サイクルの後に、非機能性μLEDダイのマップ(2004)を決定するために使用され得る。テストの結果に基づいて、1つ以上の第2のμLEDが、複数の第2のμLEDから選択される。たとえば、第2のμLEDダイのサブピクセルタイプおよび位置、あるいはサブピクセルタイプまたは位置は、非機能性の第1のμLEDダイのサブピクセルタイプおよび位置、あるいはサブピクセルタイプまたは位置に対応し得る。選択された1つ以上の第2のμLEDダイは、PUTによるピックアップのために構成される(2006)。これは、上に記載されているような選択的ピックアッププロセスであり得、選択された第2のμLEDダイ上への変形可能な層の堆積を含み得る。後続の配置サイクル(2008)は、上述した第1の配置サイクルと同様に行われるが、さらなるテストは任意選択的であり、さらなる後続の配置サイクル(2010)の存在に依存し得る。

【0162】

図21は、本明細書に記載された例示的な製造方法の一部であり得る例示的な組立サイクルCのフローを示す。組立サイクルCのステップ2100～2104は、ディスプレイ組立の最終的なステップを示す。

【0163】

組立サイクルCのサイドステップ2106～2112は、組み立てられたディスプレイの例示的な較正サイクルを示す。この較正サイクルは欠陥マップに基づき得、これは、第1の配置サイクルAおよび第2の配置サイクルB1(または任意の後続の配置サイクルB

2) に続いて生成された。

【0164】

較正サイクルは、TF T層上に配置されたμLEDデバイスの1つ以上の非機能性または欠陥性のμLED発光器を切り離すステップを含むことができる。たとえば、非機能性または欠陥性のμLED発光器は、レーザトリムプロセスを用いてTF T層上の駆動回路から分離され得、これは、欠陥性のμLED発光器の接続を開放または溶融させて、駆動回路からμLED発光器を切り離す。

【0165】

較正サイクルは、第1および第2、あるいは第1または第2の組立サイクル（サイクルAおよびサイクルB1、あるいはサイクルAまたはサイクルB1）で第3の組立サイクル（サイクルB2）の間に配置された作動μLED発光器から識別された欠陥性のサブピクセル（たとえば欠陥性のμLED発光器）を駆動回路から分離または切り離すためのレーザトリム機能を含み得る。電氣的修復ストラテジを使用して、第1の組立サイクル（サイクルA）の後に第2の組立（サイクルB1）の間に配置およびテストされた作動μLEDデバイスから識別された欠陥性のμLED欠陥性のμLED発光器を分離し得る。

【0166】

欠陥性のμLED発光器を切り離すステップは、較正サイクルの一部として説明されているが、他の例では、切り離しステップは、各配置サイクル（たとえばA、B1またはB2）の後に実行され得ることが理解されるであろう。

【0167】

第2および第3、あるいは第2または第3の配置サイクル（または、その後の任意のサイクル）に関連して、テスト済μLEDデバイスの使用が説明されてきたが、本明細書に開示された方法および装置は、第2および第3、あるいは第2または第3（または任意の次の）選択・配置サイクルにおけるテスト済KGDの使用に限定されないことを理解すべきである。いくつかの例では、単一μLED発光器または複数μLED発光器を含む未テスト（またはブラインドビルト）のμLEDデバイスが、第2および第3、あるいは第2または第3（または任意の次の）選択・配置サイクルで使用され得る。そして、第2（または第3）の配置サイクルを、所定のディスプレイ歩留りが達成されるまで、繰り返し得る。

【0168】

上述した組立サイクルAおよびBは、第1、第2または任意の後続の配置サイクル（たとえばA、B1またはB2）間にTF T層に配置されたμLEDデバイスを結合するステップを含む。結合ステップは、TF T層へのμLEDデバイスの一時的な結合（または事前結合）、または、TF T層へのμLEDデバイスの永久的な結合を含み得る。

【0169】

μLEDデバイスをTF T層に一時的に結合するために使用される例示的なプロセスは、図22を参照して説明される。上述のように、μLEDデバイスとTF T層上のコンタクトパッドとの間の一時的な結合は、μLEDデバイスのバンプとTF T層上のコンタクトパッドとの間の金属対金属接触に対応する。この金属対金属接触は、一時的な結合であり得、これはμLEDデバイスのテストを可能にする。

【0170】

図22は、TF T層2212の例を示す。図22の下方にて、アンダーフィルまたは非導電性層2226は、TF T層2212上に堆積されている。アンダーフィルまたは非導電性膜は、各配置サイクルの間にTF T層2212にパターニングされ得る。アンダーフィルの例は、BステージエポキシなどのBステージ化可能なノーフローアンダーフィル（B-stageable no flow underfills: BNUF）を含む。Bステージエポキシ（B-stage epoxy）とは、基板または表面に貼付された後の初期段階として実質的に硬化または「事前乾燥」されることができ、エポキシ系についての記述用語である。後の段階では、それを熱および圧力下で完全に硬化させることができる。Bステージエポキシの粘度は温度の関数として複雑である。Bステージエポキシの利点は、最終的結合がエポキシ接着剤の貼付

10

20

30

40

50

に直ちに続く必要がないので、製造ボトルネックを回避し、生産を増加させることができることである。Bステージエポキシの用途には、密封パッケージング、フリップチップ処理およびガラスの光学ガスケットシーリングが含まれる。アンダーフィルは、低温（典型的には100℃未満）でTFT層上に堆積され、そして、μLEDデバイスをTFT層上に配置することができる。上昇された温度、典型的には100～200℃で、Bステージエポキシの粘度は低く、μLEDデバイスとTFT層との間の界面から過剰な材料を絞り出して流すことができ、それにより、金属対金属接触を発生させることができる。この温度暴露中に、BステージエポキシはCu上の自然酸化物を除去するための同時フラックス能力を有し得る。これにより、各配置後のμLEDデバイスのテストが可能になる。より高い温度、典型的には200～300℃において、μLEDデバイスは、たとえば熱圧着によりTFT層に永久的に結合することができ、これについては以下に説明する。TFT層へのμLEDデバイスの永久的な結合の後、テストを実行することができる。上述のようにアンダーフィルを用いることにより、永久結合ステップがアンダーフィルの堆積およびTFT層上のデバイスの各配置サイクルの直後に発生する必要はないので、熱圧着の製造ボトルネックを回避し得る。アンダーフィルを使用することにより、μLEDデバイス、および、銅を含み得るTFT層の金属接触の酸化を防止し得る。

【0171】

Bステージエポキシは、μLEDデバイスとTFT層との間の接着を助けることができ、それにより配置後のPUTからのμLEDデバイスの解放を容易にする。

図23は、本明細書に開示された例示的な製造方法の最終的なステップを示す。μLEDデバイス2302は、例示的な熱圧着（thermocompressionbonding：TCB）プロセスを使用して、TFT層2312に永久的に結合することができる。TCBは、約40μmのピッチおよび30μmの柱高を有する微細ピッチCu柱状相互接続を用いた微細ピッチ2.5Dおよび3D組立技術を可能にし得る。配置精度は±2μmオーダーである。TCBは、たとえば、技術において成材を駆動するメモリ製品に使用される。図23は、熱圧着ヘッドであり得る例示的な結合ヘッドを示す。結合ヘッド2330は、TFT層2312上でμLEDデバイス2302と接触し、たとえば、μLEDデバイスのパンプのリフロー（たとえば共晶）、または、金属相互拡散、たとえば、固液性相互拡散（Solid Liquid Intediffusion：SLID）を作成することにより、μLEDデバイス2302とTFT層2312との間に永久的な結合を形成する。SLIDは、永久結合を生成するための熱、圧縮または超音波の力などの励起源を含む。図23に示す例では、結合ヘッド2330は、TFT基板2312と同じサイズである。これにより、スループットが高くなり、コストが低減され得る。結合の間に、μLEDデバイス2302の熱膨張係数（thermal expansion coefficient：TCE）を、TFT層の熱膨張係数と一致させる必要があり、組み立てられたディスプレイにおける熱機械的応力を低減し、TFT層にわたる結合を実現する。事前貼付アンダーフィルは、デバイスとTFT層との間の熱膨張不整合を分散させ、および／または、μLEDデバイス2302とTFT層2312との間の結合における任意の応力を低減させるように作用し得、これにより、金属結合の品質を向上させる。

【0172】

図24は、TCBヘッドなどの代替的な例示的結合ヘッド2430を示し、これは、μLEDデバイス2402をTFT層2412に結合するために使用し得る。TCB2430ヘッドがドラムの形態で供給され、これはTFT層2412にわたって移動、たとえば回転またはロールし、μLEDデバイスに力を印加するように構成されている。ドラムは、TFT層2412上のμLEDダイ2402に沿って線圧を印加する。これにより、TCB結合ヘッドとTFT層との間の内部応力およびTCE不整合が除去され得、および／または、必要な圧縮力の制御を可能にし得る。ディスプレイ製造のための例示的な方法では、1つ以上のLEDダイをディスプレイ基板上に配置し得る。1つ以上のLEDダイを、本明細書に開示された方法のいずれかに従ってディスプレイ基板上に配置し得る。LEDダイは、パンプまたはマイクロパンプなどの結合要素を含み得る。ドラムの形態のTC

Bヘッドを使用して、LEDダイの結合要素を活性化させるように構成された圧縮力および熱伝達を提供し得る。ドラムを、複数のLEDダイにわたってロールして、それらをディスプレイ基板に結合させ得る。

【0173】

ディスプレイ製品用のILED画像生成器を形成するために半導体チップの組立に対処する製造プロセスが開示される。

TFTガラスパネル上へのハンドルおよび操作のためのPUTツールへの接触およびコンフォーマンスを可能にするように特別に設計されている複数のILEDチップを用いて画像生成器および関連する製造方法を提供することが、本開示の方法および装置の目的である。

10

【0174】

新規なマイクロLED設計およびマイクロ移送組立方法を用いる無機発光ダイオード（ILED）画像生成器を開示する。ILED画像生成器は、基板と複数の μ LEDチップと中間層とを備える。例示的な方法および装置では、ILEDという用語は、 μ LEDを包含する。中間層は、 μ LEDチップの少なくとも1つの表面上に堆積され、 μ LEDの表面を覆う。中間層は変形可能であり、PUTの表面に適合し得る。中間層は、連続層であり得、または、マイクロ構造でパターン化されていてもよく、これは、非コンフォーマルなピックアップツール（pick up tool：PUT）移送ヘッドを用いたピックアップ、移送および解放のために μ LEDチップの接着を促進する。組立後、中間層は、解放層を使用してまたは化学的分解により除去することができる。

20

【0175】

開示された方法は、ILED画像生成器を製造するために所定の位置での μ LEDチップの組立を容易にする。

ディスプレイ用の無機発光ダイオード（ILED）画像生成器を製造するための組立方法が開示される。ILEDディスプレイは、これらだけではないが、着用可能装置、着用可能デバイス、スマートフォン、タブレット、ラップトップなどのエネルギー感受性／電池駆動式ディスプレイ用途におけるような、特定使用のためのディスプレイ技術の新世代である。

【0176】

例示的な方法および装置において、ILEDディスプレイ用の画像生成器を製造するための組立方法が開示される。具体的には、ILEDチップ上にあり（そして構造化され得）、組立中にILEDチップと印刷ヘッドとの間の「中間」にある中間層を使用する、ILEDチップの抜き取りおよび配置（または移動）の方法が開示される。中間層の使用により、ピックアップツール（PUT）の接触面と中間層のコンフォーマル（または変形可能）な面との間のコンフォーマルな接触がもたらされ、実質的に空隙なしに、すなわち、PUTの接触面上へのILEDチップの最適な張り付きを必要とせずに、緊密な接触が得られる。個々であれ、または集合的であれ、チップはディスプレイピクセルのサブピクセルを形成し、この技術を用いてガラス薄膜トランジスタ（TFT）パネル上に所定のピッチで組み立てられ、ILED画像生成器を作成する。

30

【0177】

本明細書で使用される用語「 μ LED技術」は、光出力を方向づけし、ユーザによって観測される輝度レベルを最大化するミクロンサイズのLEDデバイス製造を包含する。米国特許第7518149号明細書に開示されているような μ LEDは、方向づけされた光、すなわち必要とされる場所にのみ光を送達するために特に開発された次世代LED技術である。 μ LEDは、直径が、典型的には20 μ m未満であり、ウェハ処理ステップ中にLEDダイ上に直接、エッチングされた放物線状構造を有し、チップから出る準コリメート光ビームを形成する（図25）。マイクロILED発光器は、その形状により高い抽出効率を有し、準コリメート光を出力する国際公開第2004/097947号（米国特許第7,518,149号明細書）に提案されているものと同様のマイクロILED構造を示している。このようなマイクロILED300は、図1に示されている。

40

50

【0178】

この形状の構造は、形状のないまたは標準的なLEDチップと比較した場合に、低照射角度へと効率を著しく増大させる（図25参照）。この増加された効率と μ LEDのコリメート出力により、駆動電流のナノアンペアのみで人間の目に見える光を生成することができる。

【0179】

コンフォーマルな μ LEDは、中間層を有する μ LEDチップを含む。中間層は、 μ LEDチップの少なくとも1つの表面上に堆積され、 μ LED表面（すなわち、図1の放射面110）を覆う。中間層はコンフォーマルであり、この層が、PUTの実質的に剛性のある表面などの他の接触面とコンフォーマルな接触を形成することを可能にする。

10

【0180】

例として、プロセスフローは、図26、図27および図28に開示され、青および緑の発光 μ LEDのためのGaN／サファイア材料系に基づくものである。本発明は、この材料系にも、本開示において提案されたプロセスフローのシーケンスにも限定されないことを理解されたい。

【0181】

このプロセスは、エピ層および／またはテンプレートとILEDチップ製造および組立準備のために調整された基板とを有するGaN／サファイアウェハを用いて開始する。

プロセスにおける最初のステップは、 μ LEDデバイスの製造であり、pおよびnコンタクトパッドを伴う。 μ LED製造の後、チップは、ハードマスクを画定するフォトリソグラフィ、および、隣接デバイス間のGaNエピ層／テンプレート内に典型的には2 μ m幅、3～5 μ m深さのトレンチをエッチングするドライエッチング方法（たとえば、DRIEまたはICPEッチングツール）の組合せによってウェハ上で部分的に個片化される。一例として、SiO_xハードマスクは、深UVレジストおよびフォトリソツールを用いて堆積およびパターンニングされ、CF₄/CHF₃ ICPEッチング化学を用いて画定パターンをSiO_xに転写する。これに続いて、第2の塩素系エッチング化学を用いて、GaNをエッチングする。ハードマスクは、分離目的のためにデバイス上に残される。

20

【0182】

部分的な個片化の後、機械的な層が上面に貼付され、後続の処理ステップのためのハンドル層として作用する。ハンドル層が貼付されると、レーザリフトオフプロセスが適用され、レーザビームを用いてサファイア基板が除去される。レーザリフトオフ処理は、エキシマレーザ光子を用いてGaNエピ層からサファイア基板を取り外す技術である。本技術は、HB-LED（高輝度）およびフレキシブルディスプレイの製造における高スループットおよび優れた品質を関心対象とする。

30

【0183】

サファイア基板が取り外されると、さらなる薄膜処理のために構造は反転して提示される。具体的には、本発明によれば、 μ LEDチップの放射面、すなわち図1の表面110に中間層を貼付する。LLO処理後のチップは今や、基板が除去されてハンドル層に載置された状態で完全に個片化されている。

【0184】

中間層は、まずは放射面上に堆積されるレジストなどの犠牲層からなる2層構造を含み得る。そして、エラストマーなどの第2のコンフォーマル（または変形可能）な層を犠牲層の上部に貼付する。中間層は、デバイスが分離したままであることを保証するために、隣接するデバイス間のトレンチ内で除去され得る。これを行うための方法には、ハードマスクを画定するフォトリソグラフィステップおよびその後のドライエッチングステップが含まれる。

40

【0185】

中間層は、ILEDチップと、ダイ（半導体チップ）をピックアップして配置するために使用される移送ヘッドとの間の位置によって中間体と呼ばれる。

中間層はコンフォーマルであり、実質的に均一な厚さを有する μ LEDチップの表面に

50

わたる連続層である。あるいは、中間層はマイクロ構造を用いてパターニングすることができ、これは、非コンフォーマルな移送ヘッドを用いてピックアップ、移送および解放、あるいは移送または解放を容易にする。中間層は、デバイスが分離されたままであるように、中間層が I L E D チップ上に直接、パターニングされるようパターニングされる。

【0186】

移送ヘッドまたはピックアップツール（P U T）移送ヘッドは平坦な非エラストマーヘッドであり、これは、 μ L E D デバイス上のコンフォーマルな中間層に貼付されると、チップがピックアップされることを可能にするコンフォーマルな接触をもたらす。ピックアップヘッドはプラスチック、ガラスまたはシリコン製であり得、ピックアップされる各 I L E D チップ毎に突出したディンプルを有する。

10

【0187】

ピックアップされたダイは、ガラスパネルの T F T パッドに直接、移送されて結合される。載置および結合、載置または結合されると、適切な解放機構を使用して、ピックアップヘッドをコンフォーマルな I L E D チップから取り外すことができる。中間層から P U T 移送ヘッドを解放する機構は、以下を含む。1) 取り外しに十分な解放強度を発生させる引っ張り力、2) 外部パラメータ（例としては、U V 放射、温度および圧力）の印加により接着力を切替える P U T 移送ヘッド上の切替可能な接着表面、3) 移送ヘッドと中間層との間の接着力を制御することができる中間層上のマイクロ構造。

【0188】

組立後、中間層は、I L E D チップからエラストマー層を効果的にリフトオフする解放層である犠牲層のエッチングまたは除去によって除去することができる。

20

本発明の他の実施形態では、チップ上にエラストマー層を残すことが許容可能であるかまたは望ましいかもしれない。この場合、中間層は、基礎となる犠牲層を有しない単一層であるだけでよい。

【0189】

エラストマー層と I L E D チップとの統合は、ディスプレイ製造のための重要な利点を提供する。I L E D デバイスを選択的に抜き取る能力は、重大な課題を表す。現在のアプローチは、P U T における選択的アドレッシングに焦点を合わせる。開示された例示的な方法および装置において、抜き取り（すなわち接着層）を可能にする材料は、個々のチップ上にある。このように、この層は、選択的に修正されて、非機能性デバイスの抜き取りを停止させることができる。これは、多くの技術を用いて達成することができるであろう。例示的な実施形態では、デジタルマイクロミラーデバイス（Digital Micro-mirror Device : DMD）を使用して、I L E D ウェハの表面にわたってレーザビームを走査することができる。このレーザビームは、機能していない I L E D のエラストマー層を選択的に損傷するために使用される。これにより、デバイスが P U T に結合して抜き取られることが防止される。非機能性デバイスが一切抜き取られないウェハを提供する能力は、組立工程の大幅な簡略化をもたらす。

30

【0190】

本方法は、I L E D 画像生成器を製造するために、所定位置での μ L E D チップ組立を容易にするものであり、I L E D ディスプレイを通る例示的な断面である図 28 を参照されたい。このダイは、ディスプレイサブピクセルと呼ばれ、メサと同じ側に p および n 電極が形成されたチップ毎の単一発光器からなる。光出力は、反対方向であり、I L E D デバイスのエピ層を通る。図 28 は、I L E D ディスプレイの簡単な概念図である。R、G および B I L E D は、T F T ガラスパネル基板上に組み立てられる。電気的トラックは、典型的には μ L E D の p コンタクトへの電極と、n コンタクトへの別個の電極または接地とを有する μ L E D に接続され、この図に示されるように 2 つのコンタクトダウンアプローチを容易にする。I L E D 画像生成器のためのフルスタックの重要な要素のさらなる組立は、本開示には含まれないが、I L E D ディスプレイ製品について想定されよう。これらは、タッチスクリーンセンサ、ポラライザ（polariser）、ガラスカバー等を含む。

40

【0191】

50

コンピュータプログラムは、上記の方法のいずれかを提供するように構成され得る。コンピュータプログラムは、コンピュータ可読媒体上に提供され得る。コンピュータプログラムは、コンピュータプログラム製品であり得る。製品は、非一時的なコンピュータ使用可能な記憶媒体を含み得る。コンピュータプログラム製品は、この方法を実行するように構成された媒体に具現化されたコンピュータ可読プログラムコードを有し得る。コンピュータプログラム製品は、少なくとも1つのプロセッサに、方法の一部または全部を実行させるように構成され得る。

【0192】

様々な方法および装置は、本明細書では、コンピュータで実装される方法、装置（システムおよびデバイス、システムまたはデバイス）および／またはコンピュータプログラム製品のブロック図またはフローチャート図を参照して説明される。ブロック図および／またはフローチャート図のブロック、および、ブロック図および／またはフローチャート図のブロックの組合せは、1つ以上のコンピュータ回路によって実行されるコンピュータプログラム命令によって実装することができることが理解される。これらのコンピュータプログラム命令は、汎用コンピュータ回路、専用コンピュータ回路、および／または、機械を生成するための他のプログラマブルデータ処理回路のプロセッサ回路に提供され得、これにより、コンピュータおよび他のプログラマブルデータ処理装置のプロセッサ、あるいはコンピュータまたは他のプログラマブルデータ処理装置のプロセッサを介して実行される命令が、トランジスタ、メモリ位置に記憶された値、および、このような回路内の他のハードウェア構成要素を変換および制御して、ブロック図および／またはフローチャートのブロック内で指定された機能／作用を実行し、それにより、ブロック図および／またはフローチャートブロックで指定された機能／作用を実装するための手段（機能性）および構造、あるいは手段（機能性）または構造を生成する。

【0193】

コンピュータプログラム命令はまた、コンピュータまたは他のプログラマブルデータ処理装置を特定の方法で機能させるように指示することができるコンピュータ可読媒体に格納され得、これにより、コンピュータ可読媒体に格納された命令が、ブロック図および／またはフローチャートブロックにて指定された機能／作用を実装する命令を含む製造品を生成する。

【0194】

有形の非一時的なコンピュータ可読媒体は、電子、磁気、光学、電磁、または半導体データ記憶システム、装置、またはデバイスを含み得る。コンピュータ可読媒体のより具体的な例は、以下のものを含む：ポータブルコンピュータディスク、ランダムアクセスメモリ（RAM）回路、読み出し専用メモリ（ROM）回路、消去可能プログラマブル読み出し専用メモリ（EPROMまたはフラッシュメモリ）回路、携帯型コンパクトディスク読み出し専用メモリ（CD-ROM）、携帯型デジタルビデオディスク読み取り専用メモリ（DVD/Blu-ray）。

【0195】

コンピュータプログラム命令はまた、コンピュータおよび他のプログラマブルデータ処理装置、あるいはコンピュータまたは他のプログラマブルデータ処理装置にロードされて、コンピュータおよび他のプログラマブルデータ処理装置、あるいはコンピュータまたは他のプログラマブルデータ処理装置上で一連の動作ステップを実行させてコンピュータ実装プロセスを生成し、これにより、コンピュータまたは他のプログラマブル装置上で実行される命令が、ブロック図および／またはフローチャートブロックで指定された機能／作用を実装するためのステップを提供する。

【0196】

したがって、本発明は、ハードウェアおよびプロセッサ、あるいはハードウェアまたはプロセッサ上で実行されるソフトウェア（ファームウェア、常駐ソフトウェア、マイクロコードなどを含む）で具現化され得、これらは集合的に「回路」、「モジュール」またはその変形と呼ばれ得る。

【0197】

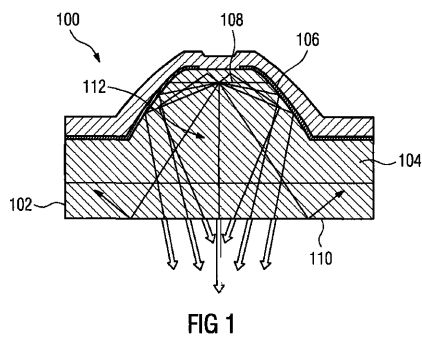
いくつかの代替実装形態では、ブロック内に記載された機能／作用は、フローチャートに記載された順序から外れて発生し得る。たとえば、連続して示される2つのブロックを、奏される機能／作用に応じて、実際には実質的に並行して実行し得、または時には、それらブロックを逆の順序で実行し得る。さらに、フローチャートおよび／またはブロック図の所与ブロックの機能性は、複数ブロックに分離され得、および／または、フローチャートおよび／またはブロック図の2つ以上のブロックの機能性は、少なくとも部分的に統合され得る。最後に、図示されたブロックの間に他のブロックを追加／挿入し得る。

【0198】

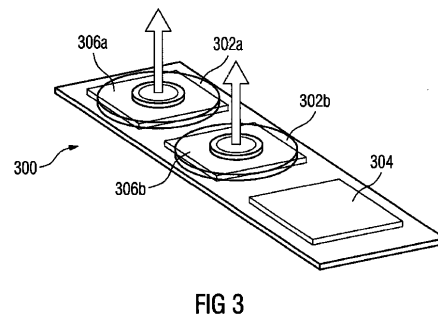
当業者は、添付の特許請求の範囲から逸脱することなく、他の実施形態を想定することができるであろう。

10

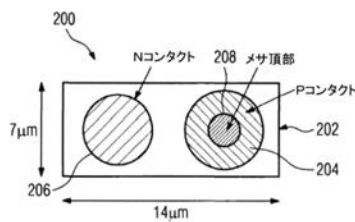
【図1】



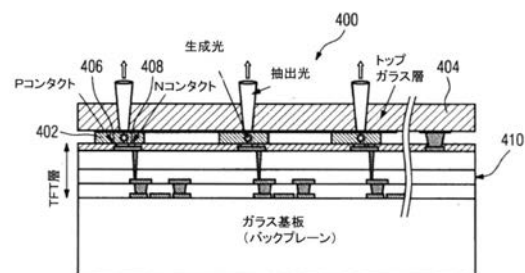
【図3】



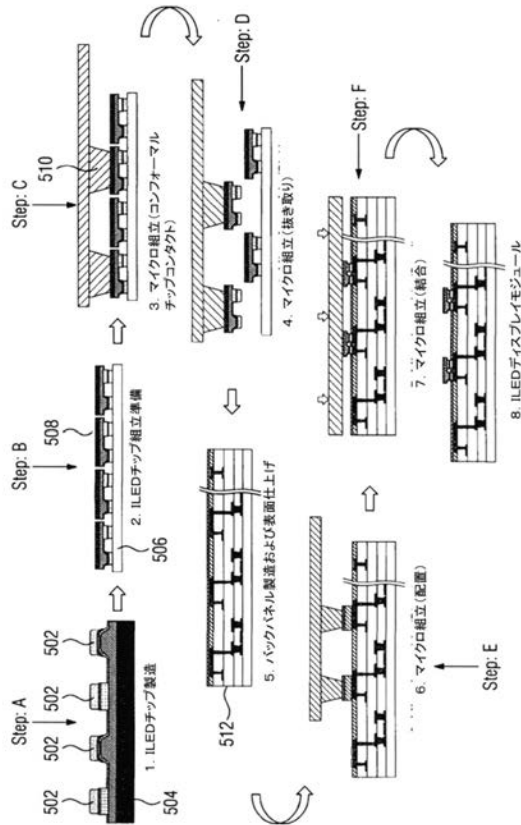
【図2】



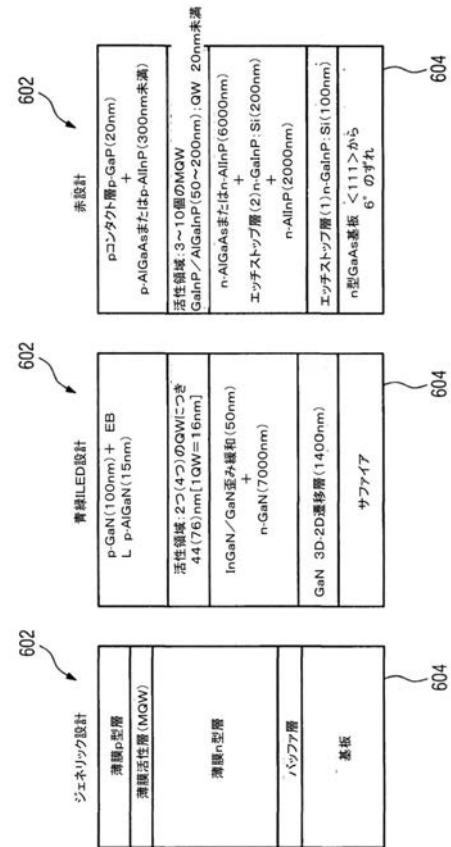
【図4】



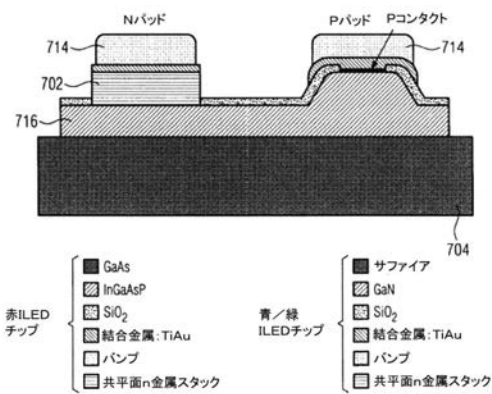
【図 5】



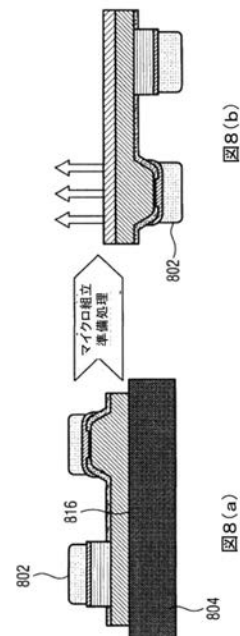
【図 6】



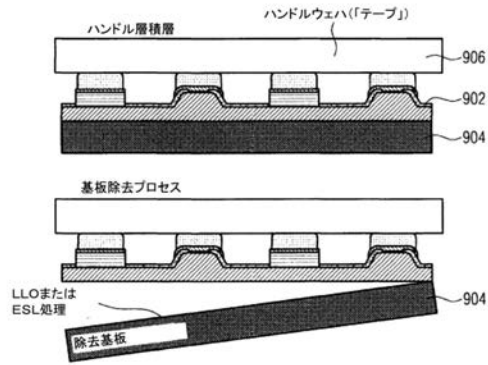
【図 7】



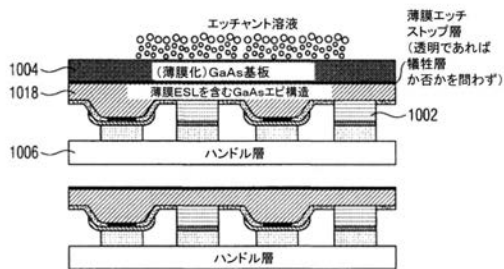
【図 8 (a) - 8 (b)】



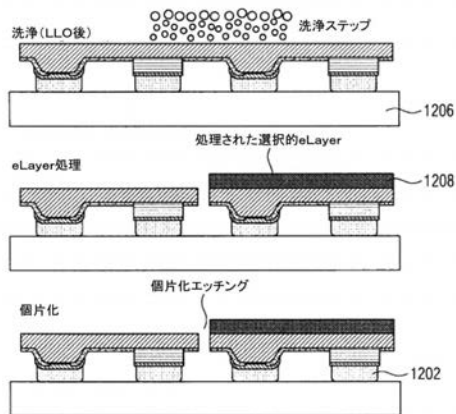
【図 9】



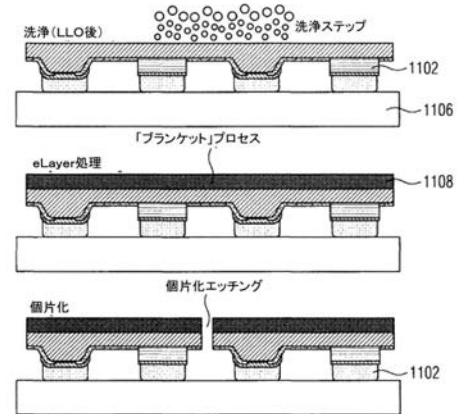
【図 10】



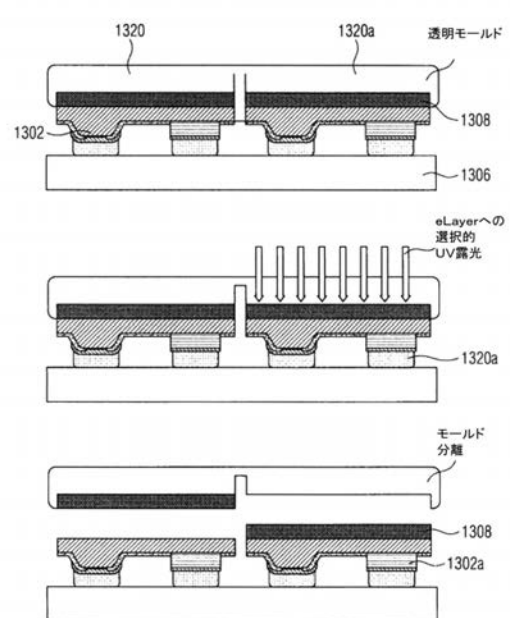
【図 12】



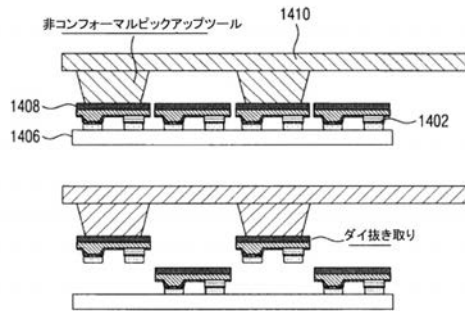
【図 11】



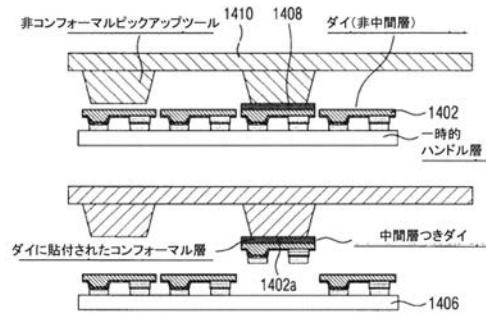
【図 13】



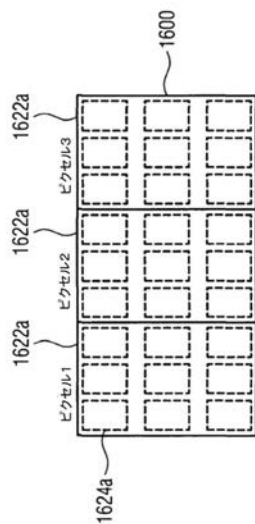
【図 14 (a)】



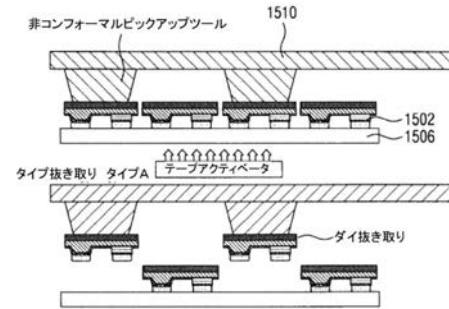
【図 14 (b)】



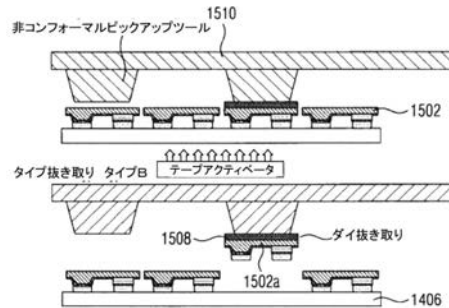
【図 16 (a)】



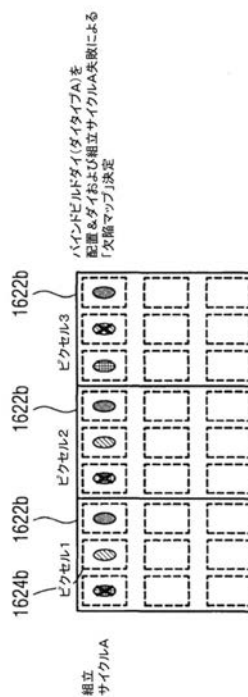
【図 15 (a)】



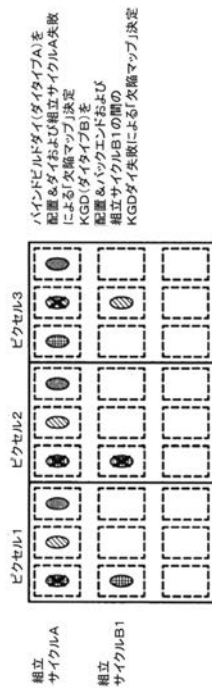
【図 15 (b)】



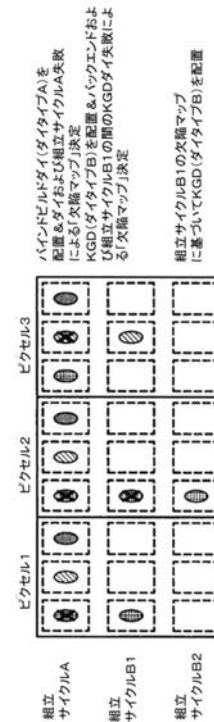
【図 16 (b)】



【図 16 (c)】



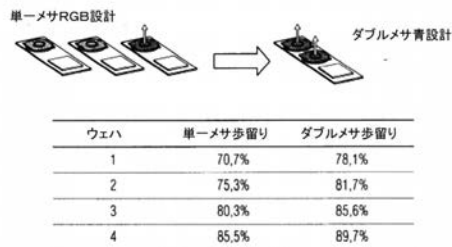
【図 16 (d)】



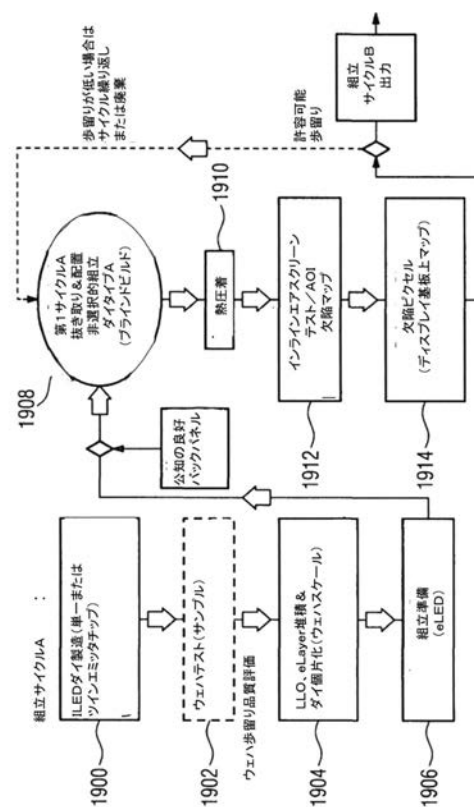
【図 17】



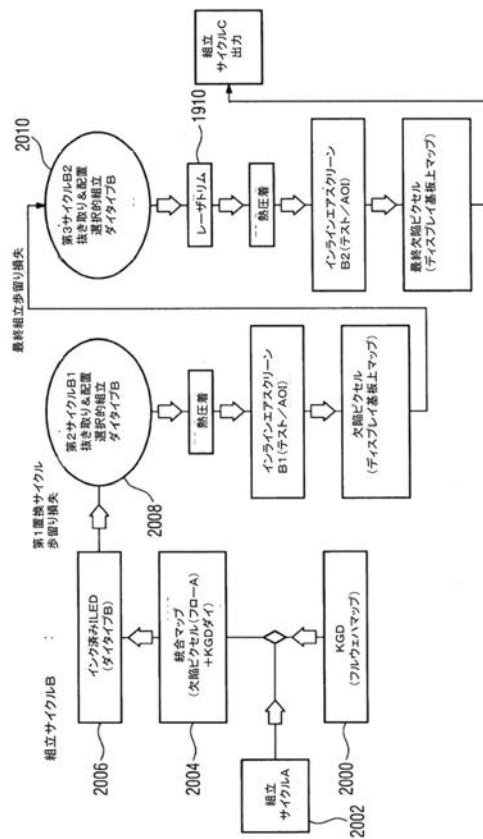
【図 18】



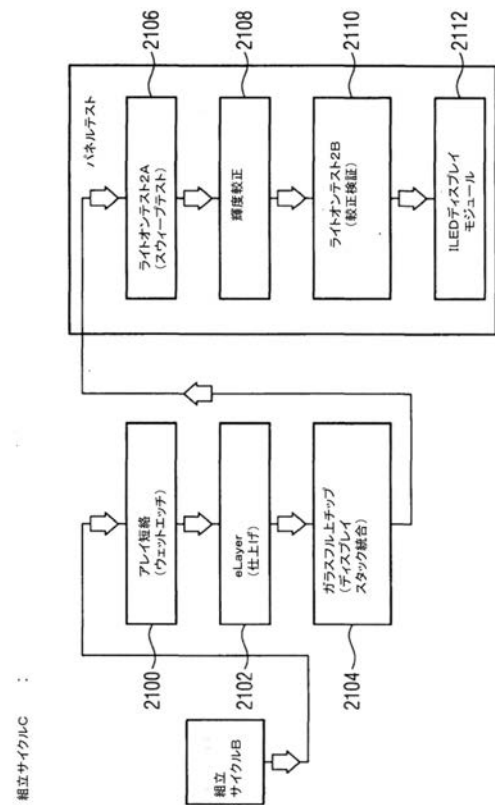
【図 19】



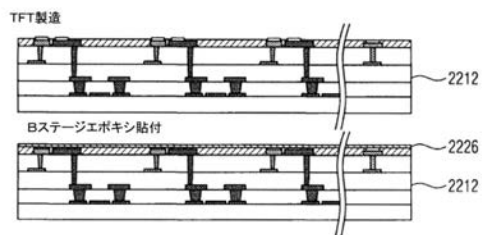
【図 20】



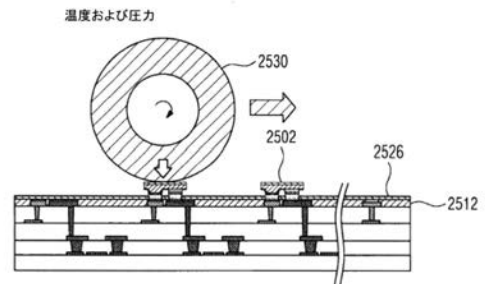
【図 21】



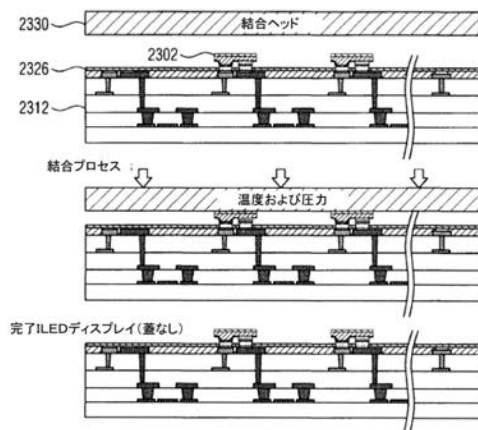
【図 22】



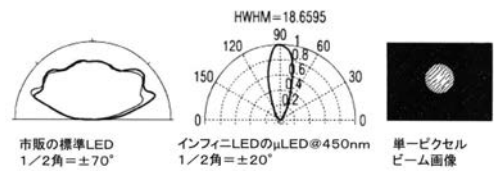
【図 24】



【図 23】

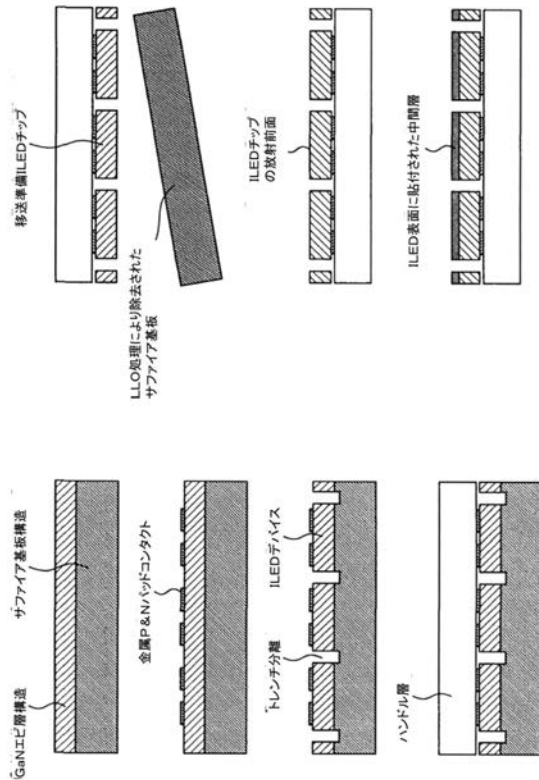


【図 25】



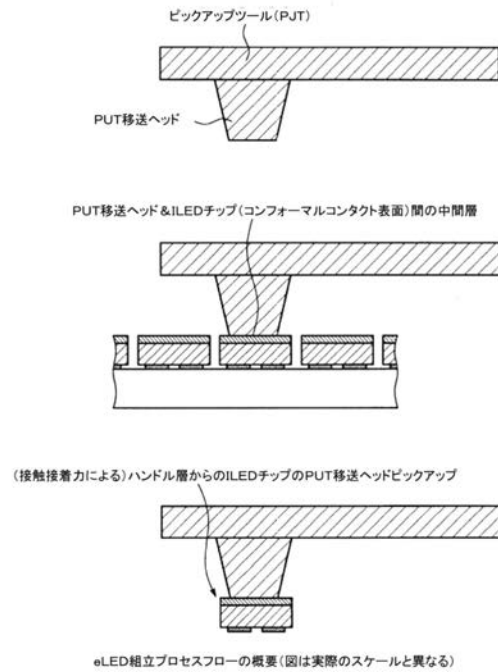
市販平面LEDデバイスからおよび μ LEDデバイスからのビームプロファイル出力が、ディスプレイスタックからの光抽出向上に対する光コリメーションの利点を強調

【図 26】



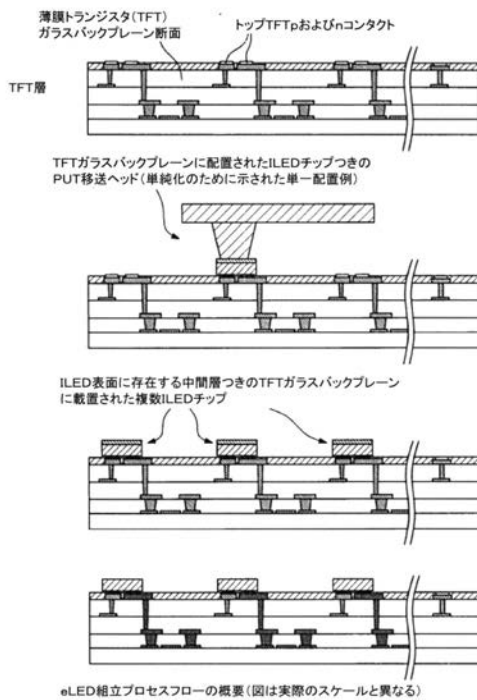
eLED組立プロセスフローの概要(図は実際のスケールと異なる)

【図 27】



eLED組立プロセスフローの概要(図は実際のスケールと異なる)

【図 28】



eLED組立プロセスフローの概要(図は実際のスケールと異なる)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/GB2016/052722

A. CLASSIFICATION OF SUBJECT MATTER

INV. G09G3/00 H01L25/075
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/011377 A1 (OOHATA TOYO HARU [JP] ET AL) 16 January 2003 (2003-01-16)	1-34, 37-47, 49-51
A	paragraphs [0077] - [0078], [0084] - [0100]; figures 11-14, 24, 27	35, 36, 48
A	US 2014/267683 A1 (BIBL ANDREAS [US] ET AL) 18 September 2014 (2014-09-18) the whole document	1-51
A	US 8 426 227 B1 (BIBL ANDREAS [US] ET AL) 23 April 2013 (2013-04-23) column 19, line 4 - column 19, line 10	2-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

6 December 2016

Date of mailing of the international search report

16/12/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Aichmayr, Günther

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2016/052722

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 2003011377	A1	16-01-2003	JP	3747807 B2	22-02-2006
			JP	2002366054 A	20-12-2002
			TW	558757 B	21-10-2003
			US	2003011377 A1	16-01-2003
			US	2006202213 A1	14-09-2006
			US	2006240578 A1	26-10-2006

US 2014267683	A1	18-09-2014	US	2014267683 A1	18-09-2014
			US	2015318328 A1	05-11-2015

US 8426227	B1	23-04-2013	AU	2012339942 A1	05-06-2014
			AU	2015200891 A1	12-03-2015
			CN	104094422 A	08-10-2014
			CN	104106132 A	15-10-2014
			EP	2780953 A1	24-09-2014
			JP	2015500562 A	05-01-2015
			KR	20140108228 A	05-09-2014
			KR	20140111254 A	18-09-2014
			TW	201327911 A	01-07-2013
			TW	201330323 A	16-07-2013
			TW	201332140 A	01-08-2013
			US	8426227 B1	23-04-2013
			US	2013126589 A1	23-05-2013
			US	2013126827 A1	23-05-2013
			US	2013126891 A1	23-05-2013
			US	2013128585 A1	23-05-2013
			US	2014299837 A1	09-10-2014
			WO	2013074374 A1	23-05-2013
			WO	2013074375 A1	23-05-2013
			WO	2013074376 A1	23-05-2013

フロントページの続き

(31)優先権主張番号 1609422.9

(32)優先日 平成28年5月27日(2016.5.27)

(33)優先権主張国 英国(GB)

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(特許庁注：以下のものは登録商標)

1. B l u - r a y

(72)発明者 オワイエ、セリーヌ

アイルランド国 カウンティ コーク トラバーズ ストリート 14 アパートメント 5

(72)発明者 ヘンリー、ウィリアム

アイルランド国 カウンティ コーク コーンマーケット ストリート コーンマーケット アパートメント 313

(72)発明者 マスーブル、デイビッド

アイルランド国 カウンティ コーク ヴィッカー ストリート 13

(72)発明者 サケティ、プーヤ

フィンランド国 33230 タンペレ ピューニキンティエ 37 セー 1

Fターム(参考) 5C094 AA43 BA23 CA19 CA24 DA11 DB04 EB02 FA01 FA02 FB01

FB14 FB15 GB10

5F142 AA81 AA86 BA32 CA11 CA13 CB03 CB07 CB14 CB18 CB23

CD02 CD16 CD44 DB24 FA34 FA50 GA02 HA03

5G435 AA17 BB04 CC09 CC12 EE12 EE37 FF11 GG23 GG26 HH13

HH14 HH18 HH20 KK05 KK10