

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-1430

(P2015-1430A)

(43) 公開日 平成27年1月5日(2015.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 H	2 G 0 0 3
GO 1 R 31/26 (2014.01)	GO 1 R 31/26 Z	2 G 1 3 2

審査請求 未請求 請求項の数 20 O L (全 18 頁)

(21) 出願番号	特願2013-125683 (P2013-125683)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成25年6月14日 (2013.6.14)	(74) 代理人	100103894 弁理士 冢入 健
		(72) 発明者	奈宮 正剛 兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内
		(72) 発明者	庄司 啓太 兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内
		(72) 発明者	駒倉 幸二 兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内

最終頁に続く

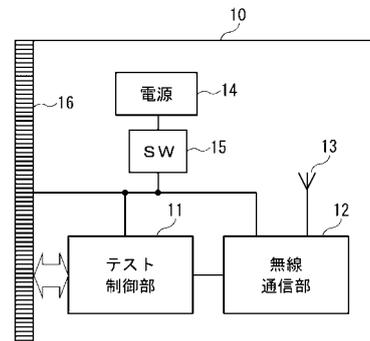
(54) 【発明の名称】 半導体テスト装置及び半導体テスト方法

(57) 【要約】

【課題】設計工数を低減させることが可能な半導体テスト装置及び半導体テスト方法を提供すること。

【解決手段】一実施の形態によれば、半導体テスト装置10は、外部に設けられたテスターサーバー30からテストプログラムを受信する無線通信部12と、無線通信部12によって受信されたテストプログラムを、テストボード20に設けられた複数のテスト対象IC50に送信することにより、複数のテスト対象IC50のテストを行うテスト制御部11と、を備える。それにより、半導体テスト装置10は、テスターを用いることなく複数のテスト対象IC50のテストを実施することができるため、設計工数を低減させることができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部に設けられたテスターサーバーからテストプログラムを受信する通信部と、前記通信部によって受信された前記テストプログラムを、テストボードに設けられた複数のテスト対象 IC に送信することにより、当該複数のテスト対象 IC のテストを行うテスト制御部と、を備えた半導体テスト装置。

【請求項 2】

前記通信部は、無線通信により前記テスターサーバーから前記テストプログラムを受信する、請求項 1 に記載の半導体テスト装置。

【請求項 3】

前記通信部は、P L C 通信により前記テスターサーバーから前記テストプログラムを受信する、請求項 1 に記載の半導体テスト装置。

【請求項 4】

前記通信部は、前記複数のテスト対象 IC のテスト結果を前記テスターサーバーに送信する、請求項 1 に記載の半導体テスト装置。

【請求項 5】

前記通信部は、無線通信により、前記テスターサーバーから前記テストプログラムを受信するとともに、前記テスト結果を前記テスターサーバーに送信する、請求項 4 に記載の半導体テスト装置。

【請求項 6】

前記通信部は、P L C 通信により前記テスターサーバーから前記テストプログラムを受信するとともに、前記テスト結果を前記テスターサーバーに送信する、請求項 4 に記載の半導体テスト装置。

【請求項 7】

前記複数のテスト対象 IC は何れもマイクロコンピュータである、請求項 1 に記載の半導体テスト装置。

【請求項 8】

前記テスト制御部は、前記複数のテスト対象 IC である複数のマイクロコンピュータのそれぞれにシングルチップモードにてセルフテストを実行させる、請求項 7 に記載の半導体テスト装置。

【請求項 9】

前記テスト制御部は、前記複数のテスト対象 IC である複数のマイクロコンピュータのそれぞれにテスト結果を保存させる、請求項 7 に記載の半導体テスト装置。

【請求項 10】

前記複数のテスト対象 IC を D C テストするための D C B O S T 回路をさらに備えた、請求項 1 に記載の半導体テスト装置。

【請求項 11】

前記複数のテスト対象 IC のテストが完了したか否かによって発光するか否かが制御される L E D をさらに備えた、請求項 1 に記載の半導体テスト装置。

【請求項 12】

前記テストボードは、バーンインボードにより形成されている、請求項 1 に記載の半導体テスト装置。

【請求項 13】

前記テストボードは、パレットにより形成されている、請求項 1 に記載の半導体テスト装置。

【請求項 14】

前記テストボードは、前記複数のテスト対象 IC がそれぞれ搭載される着脱式の複数の子基板を備えた、請求項 1 に記載の半導体テスト装置。

【請求項 15】

前記テストボードは、150 度以上の耐熱性を有する材質により形成されている、請求

10

20

30

40

50

項 1 に記載の半導体テスト装置。

【請求項 16】

請求項 1 に記載の半導体テスト装置と、
前記テストボードと、
前記テスターサーバーと、を備えた半導体テストシステム。

【請求項 17】

外部に設けられたテスターサーバーからテストプログラムを受信し、
前記テストプログラムを、テストボードに設けられた複数のテスト対象 IC に送信することにより当該複数のテスト対象 IC のテストを行う、半導体テスト方法。

【請求項 18】

無線通信により前記テスターサーバーから前記テストプログラムを受信する、請求項 17 に記載の半導体テスト方法。

【請求項 19】

前記複数のテスト対象 IC のテスト結果を前記テスターサーバーに送信する、請求項 17 に記載の半導体テスト方法。

【請求項 20】

無線通信により、前記テスターサーバーから前記テストプログラムを受信するとともに、前記テスト結果を前記テスターサーバーに送信する、請求項 19 に記載の半導体テスト方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体テスト装置及び半導体テスト方法

【背景技術】

【0002】

従来、IC (Integrated Circuit) は、アセンブリ完了後でもテスターに空きが生じるまではテストされることなく放置された状態であった。そのため、設計工数が増大してしまうという問題があった。

【0003】

関連する技術が特許文献 1 及び特許文献 2 に開示されている。

【0004】

特許文献 1 には、複数のバーンイン炉と、バーンイン炉に空きが生じた場合に、優先的に入炉すべきロットを、ロットの待ち時間及び納期と、製品毎のテストの平均収束時間と、に基づいて決定するバーンインテスト投入装置と、を備えたバーンインテストシステムが開示されている。なお、バーンインテスト投入装置は、各バーンイン炉でのテストが収束するたびに、製品毎のテストの平均収束時間を算出し直し更新している。

【0005】

特許文献 2 には、内部回路により動作する半導体集積回路において、内部回路に対して試験を行う試験部と、この試験部と電氣的に接続し、無線通信を行う無線インターフェースモジュールと、を設けた半導体集積回路が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2001 - 51013 号公報

【特許文献 2】特開 2007 - 78407 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1 に開示されたバーンインテスト投入装置は、複数のロットのうち何れのロットをバーンイン炉に入炉するかを決定するにすぎず、ロットに対するテストプログラムを

10

20

30

40

50

バーンイン炉に送信しているわけではない。したがって、テスト自体はそれ以前の方式のままである。そのため、特許文献 1 では、IC はアセンブリ完了後でもテスターに空きが生じるまではテストされることなく放置された状態であるため、依然として設計工数が増大してしまうという問題があった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態によれば、半導体テスト装置は、外部に設けられたテスターサーバーからテストプログラムを受信する通信部と、前記通信部によって受信された前記テストプログラムを、テストボードに設けられた複数のテスト対象 IC に送信することにより、当該複数のテスト対象 IC のテストを行うテスト制御部と、を備える。

10

【0009】

一実施の形態によれば、半導体テスト方法は、外部に設けられたテスターサーバーからテストプログラムを受信し、前記テストプログラムを、テストボードに設けられた複数のテスト対象 IC に送信することにより当該複数のテスト対象 IC のテストを行う。

【発明の効果】

【0010】

前記一実施の形態によれば、設計工数を低減させることが可能な半導体テスト装置及び半導体テスト方法を提供することができる。

【図面の簡単な説明】

20

【0011】

【図 1】実施の形態 1 にかかる半導体テスト装置の構成例を示す概略平面図である。

【図 2】実施の形態 1 にかかる半導体テスト装置の構成例を示すブロック図である。

【図 3】実施の形態 1 にかかる半導体テストシステムの構成例を示す図である。

【図 4】実施の形態 1 にかかる半導体テストシステムの動作を示すフローチャートである。

【図 5】実施の形態 1 にかかる半導体テストシステムの動作を説明するための図である。

【図 6】実施の形態 1 にかかる半導体テストシステムの動作を説明するための図である。

【図 7】テスト結果の一例を示す図である。

【図 8】実施の形態 1 にかかる半導体テストシステムの変形例を示す図である。

30

【図 9】専用パレットの拡大平面図である。

【図 10】専用パレットの拡大断面図である。

【図 11】実施の形態 2 にかかる半導体テストシステムの動作を示すフローチャートである。

【図 12】実施の形態 3 にかかる半導体テスト装置の構成例を示す概略平面図である。

【図 13】実施の形態 3 にかかる半導体テストシステムの構成例を示す図である。

【図 14】実施の形態 4 にかかる半導体テストシステムの構成例を示す図である。

【図 15】実施の形態 4 にかかる半導体テストシステムの動作を説明するための図である。

【図 16】実施の形態 5 にかかる半導体テスト装置の構成例を示す概略平面図である。

40

【図 17】DCBOST 回路の構成例を示す回路図である。

【図 18】実施の形態 5 にかかる半導体テストシステムの接続関係の一部を示す図である。

【図 19】実施の形態 6 にかかる半導体テスト装置の構成例を示す概略平面図である。

【図 20】実施の形態 6 にかかる半導体テスト装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0012】

以下、図面を参照しつつ、実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として実施の形態の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

50

【 0 0 1 3 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【 0 0 1 4 】

さらに、以下の実施の形態において、その構成要素（動作ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

10

【 0 0 1 5 】

< 実施の形態 1 >

以下、実施の形態 1 にかかる半導体テスト装置 1 0 について説明する。本実施の形態にかかる半導体テスト装置 1 0 は、外部に設けられたテスターサーバーからテストプログラムを受信して、テストボードに設けられた複数のテスト対象 IC に送信することにより、当該複数のテスト対象 IC をテストする。それにより、本実施の形態にかかる半導体テスト装置 1 0 は、テスターを用いることなく複数のテスト対象 IC のテストを実施することができるため、設計工数を低減させることができる。以下、具体的に説明する。

20

【 0 0 1 6 】

< 半導体テスト装置 1 0 及び半導体テストシステムの構成例 >

図 1 は、実施の形態 1 にかかる半導体テスト装置 1 0 の構成例を示す概略平面図である。また、図 2 は、実施の形態 1 にかかる半導体テスト装置 1 0 の構成例を示すブロック図である。図 3 は、半導体テスト装置 1 0 が適用された半導体テストシステム 1 の構成例を示す図である。

【 0 0 1 7 】

図 1 ~ 図 3 に示すように、半導体テスト装置 1 0（基板）は、テスト制御部 1 1 と、無線通信部（通信部）1 2 と、アンテナ 1 3 と、電源 1 4 と、スイッチ 1 5 と、コネクタ 1 6 と、を備える。また、図 3 に示すように、半導体テストシステム 1 は、半導体テスト装置 1 0 と、テストボード 2 0 と、テスターサーバー 3 0 と、を備える。

30

【 0 0 1 8 】

電源 1 4 は、バッテリー、太陽電池等である。なお、電源 1 4 は、半導体テスト装置 1 0 の外部に設けられていてもよい。具体的には、電源 1 4 は、半導体テスト装置 1 0 の外部に設けられた AC 電源等であってもよい。この場合、AC 電源からの交流電流は直流電流に変換して用いられる。

【 0 0 1 9 】

電源 1 4 は、スイッチ 1 5 を介して、テスト制御部 1 1、無線通信部 1 2 及びコネクタ 1 6 に接続される。それにより、テスト制御部 1 1、無線通信部 1 2、及び、コネクタ 1 6 を介して接続された複数のテスト対象 IC 5 0（後述）は、スイッチ 1 5 がオンした場合に動作することができる。

40

【 0 0 2 0 】

無線通信部 1 2 は、無線通信により、半導体テスト装置 1 0 の外部に設けられたテスターサーバー 3 0 からテストプログラムを受信したり、テスト結果（後述）をテスターサーバー 3 0 に送信したりする。なお、無線通信部 1 2 とテスターサーバー 3 0 との間の無線通信は、無線通信部 1 2 のアンテナ 1 3 及びテスターサーバー 3 0 のアンテナ 3 1 を介して行われる。

【 0 0 2 1 】

50

テスト制御部 11 は、無線通信部 12 によって受信されたテストプログラムを、テストボード 20 に設けられた複数のテスト対象 IC 50 に送信することにより、当該複数のテスト対象 IC 50 のテストを実施する。なお、テスト制御部 11 は、複数のテスト対象 IC 50 のうちテストを実施する IC を選択したり、選択したテスト対象 IC に対してテスト用のクロック信号やリセット信号を出力したりもする。さらに、テスト制御部 11 は、複数のテスト対象 IC 50 のテスト結果を受け取り、(例えば、図示しないメモリに保存した後、)無線通信部 12 に伝送する。

【0022】

テストボード 20 は、複数のテスト対象 IC 50 が着脱可能に搭載されたボードである。本実施の形態では、テストボード 20 がバーンインボードである場合を例に説明する。このように、一般的なバーンインボードをテストボード 20 として用いることにより、テストコストを低減することができる。テストボード 20 は、コネクタ 16 を介して半導体テスト装置 10 に接続されている。

10

【0023】

各テスト対象 IC 50 は、スキャンテストやメモリテスト等のファンクションテストが実施される IC である。本実施の形態では、各テスト対象 IC 50 がマイクロコンピュータである場合を例に説明する。なお、マイクロコンピュータのテスト内容のほとんどはファンクションテストであるため、半導体テスト装置 10 によるマイクロコンピュータのテストは有効である。

【0024】

<半導体テストシステム 1 の動作>

次に、図 4 ~ 図 6 を参照して、半導体テストシステム 1 の動作について説明する。図 4 は、半導体テストシステム 1 の動作を示すフローチャートである。図 5 及び図 6 は、半導体テストシステム 1 の動作を説明するための図である。

20

【0025】

まず、複数のテスト対象 IC 50 が搭載されたテストボード 20 を半導体テスト装置 10 に接続する。その後、スイッチ 15 をオンすることにより、テスト制御部 11、無線通信部 12、及び、各テスト対象 IC 50 を駆動する(図 4 のステップ S 101)。

【0026】

それにより、無線通信部 12 とテストサーバー 30 とが無線通信を開始する。具体的には、無線通信部 12 は、テストサーバー 30 から送信されたテストプログラムを受信(ロード)する(図 4 のステップ S 102)。そして、無線通信部 12 は、受信したテストプログラムをテスト制御部 11 に伝送する(図 4 のステップ S 103)。このときの動作の流れについては、図 5 も参照されたい。

30

【0027】

次に、テスト制御部 11 は、複数のテスト対象 IC 50 のうちテストを実施するテスト対象 IC を選択する(図 4 のステップ S 104)。そして、テスト制御部 11 は、選択したテスト対象 IC 50 にテストプログラム(さらにはクロック信号、リセット信号)を送信することにより、当該テスト対象 IC 50 のテストを実施する(図 4 のステップ S 105)。

40

【0028】

より具体的には、テスト制御部 11 は、選択したテスト対象 IC 50 (本例ではマイクロコンピュータ)をテストプログラム受信状態に制御した後、当該テスト対象 IC 50 に対してテストプログラムを送信する。テスト対象 IC 50 は、テストプログラムを受信すると、初期化後、シングルチップモード動作にてセルフテストを実行する。なお、テスト対象 IC 50 の初期化は、テスト制御部 11 からのリセット信号又はソフトウェアリセットにより行われる。

【0029】

テスト制御部 11 は、選択したテスト対象 IC 50 のテストが完了すると、当該テスト対象 IC 50 から出力されたテスト結果を受け取り、図示しないメモリ等に保存しておく

50

(図4のステップS106)。

【0030】

テスト制御部11は、全てのテスト対象IC50のテストが完了していない場合(図4のステップS107のNO)、複数のテスト対象IC50のうち未だテストを実施していないテスト対象ICを選択してテストを実施する(図4のステップS104~S106)。

【0031】

テスト制御部11は、全てのテスト対象IC50のテストが完了した場合(図4のステップS107のYES)、全てのテスト対象IC50のテスト結果を無線通信部12に伝送する。そして、無線通信部12は、全てのテスト対象IC50のテスト結果をテストサーバー30に送信する(図4のステップS108)。このときの動作の流れについては、図6も参照されたい。

10

【0032】

その後、テストサーバー30にて各テスト対象IC50の良否判定が行われる(図4のステップS109)。図7は、テストボード20に搭載された複数のテスト対象IC50のテスト結果の一例を示す図である。図7の例では、テストボード20に搭載された複数のテスト対象IC50のうち、X=1, Y=1に配置されたテスト対象ICがGO(良品)、X=1, Y=2に配置されたテスト対象ICがNG(不良品)、X=1, Y=3に配置されたテスト対象ICがGO(良品)と示されている。なお、Xは行番号を示し、Yは列番号を示す。

20

【0033】

このように、本実施の形態にかかる半導体テスト装置10は、外部に設けられたテストサーバー30からテストプログラムを受信して、テストボード20に設けられた複数のテスト対象IC50に送信することにより、当該複数のテスト対象IC50をテストする。それにより、本実施の形態にかかる半導体テスト装置10は、テストを用いることなく複数のテスト対象IC50のテストを実施することができるため、設計工数を低減させることができる。また、高額なテストも不要である。

【0034】

本実施の形態では、テストボード20がバーンインボードである場合を例に説明したが、これに限られない。テストボード20は、ICを持ち運ぶために使用されるパレットにより形成されてもよい。パレットをテストボード20として用いることにより、テストコストを低減することができる。以下、図8~図10を参照して、簡単に説明する。

30

【0035】

図8は、半導体テストシステム1の変形例を示す図である。図8に示す半導体テストシステム1は、テストボード20に代えてテストボード20aを備える。テストボード20aは、パレットにより形成されている。具体的には、テストボード20aは、電源線、テストプログラムやテスト結果伝搬用の信号線、クロック信号線、リセット信号線、テスト対象IC50選択用のDUT切替リレー、半導体テスト装置10との接続部(コネクタ)等が付加されたパレット(専用パレット)により形成されている。図8に示す半導体テストシステム1のその他の構成については、図3に示す半導体テストシステム1の場合と同様であるため、その説明を省略する。

40

【0036】

図9は、専用パレットの拡大平面図である。図10は、専用パレットの拡大断面図である。図9及び図10に示すように、専用パレット上の各IC搭載部には、複数のPadが配置されている。また、複数のPadと、半導体テスト装置10との接続部(不図示)との間には、電源線、テストプログラムやテスト結果伝搬用の信号線、クロック信号線、リセット信号線、及び、DUT切替リレーが追加されている。なお、テスト対象ICの複数のリード線は、IC搭載部に配置された複数のPadにそれぞれ接続されることとなる。それにより、テスト対象ICのテストが可能となる。

【0037】

50

<実施の形態 2 >

図 1 1 を参照して、実施の形態 2 にかかる半導体テストシステム 1 の動作について説明する。図 1 1 は、実施の形態 2 にかかる半導体テストシステム 1 の動作を示すフローチャートである。なお、本実施の形態にかかる半導体テストシステム 1 の構成については、実施の形態 1 の場合と同様であるため、その説明を省略する。

【0038】

まず、複数のテスト対象 IC 5 0 が搭載されたテストボード 2 0 を半導体テスト装置 1 0 に接続する。その後、スイッチ 1 5 をオンすることにより、テスト制御部 1 1、無線通信部 1 2、及び、各テスト対象 IC 5 0 を駆動する（図 1 1 のステップ S 2 0 1）。

【0039】

それにより、無線通信部 1 2 とテスターサーバー 3 0 とが無線通信を開始する。具体的には、無線通信部 1 2 は、テスターサーバー 3 0 から送信されたテストプログラムを受信（ロード）する（図 1 1 のステップ S 2 0 2）。そして、無線通信部 1 2 は、受信したテストプログラムをテスト制御部 1 1 に伝送する（図 1 1 のステップ S 2 0 3）。

【0040】

次に、テスト制御部 1 1 は、複数のテスト対象 IC 5 0 のうちテストを実施するテスト対象 IC を選択する（図 1 1 のステップ S 2 0 4）。そして、テスト制御部 1 1 は、選択したテスト対象 IC 5 0 にテストプログラム（さらにはクロック信号、リセット信号）を送信することにより、当該テスト対象 IC 5 0 のテストを実施する（図 1 1 のステップ S 2 0 5）。

【0041】

より具体的には、テスト制御部 1 1 は、選択したテスト対象 IC 5 0（本例ではマイクロコンピュータ）をテストプログラム受信状態に制御した後、当該テスト対象 IC 5 0 に対してテストプログラムを送信する。テスト対象 IC 5 0 は、テストプログラムを受信すると、初期化後、シングルチップモード動作にてセルフテストを実行する。なお、テスト対象 IC 5 0 の初期化は、テスト制御部 1 1 からのリセット信号又はソフトウェアリセットにより行われる。

【0042】

選択されたテスト対象 IC 5 0 は、テストが完了すると、テスト完了通知をテスト制御部 1 1 に出力するとともに、テスト結果を内蔵メモリに保存する（図 1 1 のステップ S 2 0 6）。

【0043】

テスト制御部 1 1 は、全てのテスト対象 IC 5 0 のテストが完了していない場合（図 1 1 のステップ S 2 0 7 の NO）、複数のテスト対象 IC 5 0 のうち未だテストを実施していないテスト対象 IC を選択してテストを実施する（図 1 1 のステップ S 2 0 4 ~ S 2 0 6）。

【0044】

全てのテスト対象 IC 5 0 のテストが完了すると（図 1 1 のステップ S 2 0 7 の YES）、汎用テスターを用いて各テスト対象 IC 5 0 に保存されたテスト結果を読み出すことにより、当該各テスト対象 IC 5 0 の良否判定が行われる（図 1 1 のステップ S 2 0 8）。

【0045】

このように、本実施の形態にかかる半導体テスト装置 1 0 は、テスト結果を判定する程度の短い期間テスターを用いるだけで、複数のテスト対象 IC 5 0 のテストを実施することができるため、設計工数を低減させることができる。また、このとき使用されるテスターは、テスト結果を判定できる程度の安価な汎用テスターでよい。つまり、高額なテスターは不要である。

【0046】

<実施の形態 3 >

図 1 2 は、実施の形態 3 にかかる半導体テスト装置 1 0 a の構成例を示す概略平面図で

10

20

30

40

50

ある。図 1 3 は、実施の形態 3 にかかる半導体テスト装置 1 0 a が適用された半導体テストシステム 1 a の構成例を示す図である。本実施の形態にかかる半導体テスト装置 1 0 a は、無線通信に代えて、P L C 通信により、テスターサーバー 3 0 との間でデータの送受信を行う。以下、具体的に説明する。

【 0 0 4 7 】

図 1 2 に示す半導体テスト装置 1 0 a は、図 1 に示す半導体テスト装置 1 0 と比較して、無線通信部 1 2 及びアンテナ 1 3 に代えて P L C 通信部 1 2 a を備える。また、電源 1 4 は、半導体テスト装置 1 0 a の外部に設けられている。なお、本実施の形態では、電源 1 4 が A C 電源である場合を例に説明する。したがって、半導体テスト装置 1 0 a は、A C / D C コンバータ 1 7 をさらに備えることにより、電源 1 4 からの交流電流を直流電流に変換している。

10

【 0 0 4 8 】

ここで、P L C 通信部 1 2 a は、電源線を介した通信、即ち、P L C 通信により、テスターサーバー 3 0 からテストプログラムを受信したり、各テスト対象 I C 5 0 のテスト結果をテスターサーバー 3 0 に送信したりする。なお、テスターサーバー 3 0 は、電源線上に、P L C 通信を可能にするための P L C 通信モジュール（不図示）を備え、P L C 通信部 1 2 a は、電源線上に、フィルタや保護回路等（不図示）をさらに備える。

【 0 0 4 9 】

図 1 2 及び図 1 3 に示す半導体テスト装置 1 0 a 及び半導体テストシステム 1 a のその他の構成については、図 1 及び図 3 に示す半導体テスト装置 1 0 及び半導体テストシステム 1 の場合と同様であるため、その説明を省略する。

20

【 0 0 5 0 】

本実施の形態にかかる半導体テスト装置 1 0 a も、実施の形態 1 及び実施の形態 2 にかかる半導体テスト装置 1 0 と同等の効果を奏することができる。

【 0 0 5 1 】

< 実施の形態 4 >

図 1 4 は、実施の形態 4 にかかる半導体テストシステム 1 b の構成例を示す図である。図 1 4 に示す半導体テストシステム 1 b は、半導体テスト装置 1 0 b と、テストボード 2 0 b と、テスターサーバー 3 0 と、を備える。本実施の形態にかかる半導体テストシステム 1 b では、複数のテスト対象 I C 5 0 が各自でテスターサーバーからテストプログラムを受信してテストを行う。以下、具体的に説明する。

30

【 0 0 5 2 】

半導体テスト装置 1 0 b は、図 3 等に示す半導体テスト装置 1 0 と比較して、テスト制御部 1 1、無線通信部 1 2、アンテナ 1 3 を備えない。テストボード 2 0 b は、図 3 に示すテストボード 2 0 と比較して、各種信号線のうち電源線のみを備えるとともに、複数の I C 搭載部に対応して複数のアンテナ 2 1 をさらに備える。複数の I C 搭載部には、着脱可能な複数のテスト対象 I C 5 0 が設けられている。ここで、各テスト対象 I C 5 0 は、テスト制御部 1 1 及び無線通信部 1 2 に相当する機能を有するように予め設計されている。

【 0 0 5 3 】

図 1 5 は、実施の形態 4 にかかる半導体テストシステム 1 b の動作を説明するための図である。図 1 5 の例では、テスト対象 I C 5 0 として、第 1 のテスト対象 I C 5 0 - 1 及び第 2 のテスト対象 I C 5 0 - 2 が示されている。第 1 のテスト対象 I C 5 0 - 1 は、テスト制御部 5 1 - 1 及び無線通信部 5 2 - 1 を備える。第 2 のテスト対象 I C 5 0 - 2 は、テスト制御部 5 1 - 2 及び無線通信部 5 2 - 2 を備える。

40

【 0 0 5 4 】

各テスト対象 I C 5 0 - 1, 5 0 - 2 では、無線通信部 5 2 - 1, 5 2 - 2 が、テスターサーバー 3 0 からテストプログラムを受信したり、テスト結果をテスターサーバー 3 0 に送信したりする。なお、無線通信部 5 2 - 1, 5 2 - 1 とテスターサーバー 3 0 との間の無線通信は、テストボード 2 0 b 上に設けられたアンテナ 2 1 - 1, 2 1 - 2 及びテス

50

ターサーバー 30 のアンテナ 31 を介して行われる。

【0055】

また、各テスト対象 IC 50 - 1 , 50 - 2 では、テスト制御部 51 - 1 , 51 - 2 が当該テスト対象 IC 50 - 1 , 50 - 2 のテストを実施する。テスト制御部 51 - 1 , 51 - 2 の具体的な動作については、基本的にはテスト制御部 11 と同じであるため、その説明を省略する。

【0056】

本実施の形態にかかる半導体テストシステム 1 b も、実施の形態 1 ~ 3 にかかる半導体テストシステムと同等の効果を奏することができる。さらに、半導体テスト装置 10 b に搭載される部品が少なくなるため、半導体テストシステム 1 b の製造コストが低減される。

10

【0057】

<実施の形態 5 >

図 16 は、実施の形態 5 にかかる半導体テスト装置 10 c の構成例を示す概略平面図である。図 16 に示す半導体テスト装置 10 c は、図 1 に示す半導体テスト装置 10 と比較して、複数のテスト対象 IC 50 を DC テストするための DC B O S T 回路 18 をさらに備える。図 16 に示す半導体テスト装置 10 c のその他の構成については、図 1 に示す半導体テスト装置 10 と同様であるため、その説明を省略する。

【0058】

図 17 は、DC B O S T 回路 18 の構成例を示す回路図である。図 17 に示す DC B O S T 回路 18 は、電流計 181 と、電圧計 182 と、電圧供給源 183 と、定電流源 184 と、スイッチ SW1 , SW2 と、を有する。

20

【0059】

電流計 181 には、電圧供給源 183 の出力電圧が印加される。電圧計 182 には、定電流源 184 の出力電流が供給される。なお、電圧供給源 183 の出力電圧は、電源 14 からの電源電圧であってもよい。また、定電流源 184 の出力電流は、電源 14 の出力電流に基づいて生成されていてもよい。

【0060】

スイッチ SW1 は、テスト対象 IC の何れかの端子（測定端子）と、電流計 181 及び電圧計 182 の何れかと、をテスト制御部 11 からの制御信号に基づいて選択的に接続する。スイッチ SW2 は、テスト制御部 11 と、電流計 181 及び電圧計 182 の何れかと、をテスト制御部 11 からの制御信号に基づいて選択的に接続する。このような構成により、DC B O S T 回路 18 は、テスト対象 IC の何れかの端子（測定端子）の電流値又は電圧値を測定し、その測定結果をテスト制御部 11 に送信することができる。例えば、DC B O S T 回路 18 は、測定端子のリーク電流についてテストする場合、DC B O S T 回路 18 は、リーク電流の電流値を測定し、その測定結果をテスト制御部 11 に送信する。

30

【0061】

図 18 は、本実施の形態にかかる半導体テストシステムの接続関係の一部を示す図である。通常、DC テストでは、1 測定端子ずつ電圧測定及び電流測定が行われる。そのため、DC B O S T 回路 18 と、複数のテスト対象 IC 50 のそれぞれの測定端子と、を接続する複数の信号線上には、測定端子切替用の端子切替リレーが設けられている。

40

【0062】

このように、本実施の形態にかかる半導体テスト装置 10 c は、ファンクションテストのみならず DC テストもテスターを用いずに実施することができるため、設計工数をさらに低減させることができる。

【0063】

本実施の形態では、DC B O S T 回路 18 が電流計 181 及び電圧計 182 を有する場合を例に説明したが、これに限られない。例えば、DC B O S T 回路 18 は、電流計 181 に代えて、測定電流と基準電流とを比較して比較結果を出力する電流比較器を備えてもよい。DC B O S T 回路 18 は、電圧計 182 に代えて、測定電圧と基準電圧とを比較し

50

て比較結果を出力する電圧比較器を備えてもよい。

【0064】

<実施の形態6>

図19は、実施の形態6にかかる半導体テスト装置10dの構成例を示す概略平面図である。図20は、実施の形態6にかかる半導体テスト装置10dの構成例を示すブロック図である。図19、図20に示す半導体テスト装置10dは、図1、図2に示す半導体テスト装置10と比較して、LED19をさらに備える。図19、図20に示す半導体テスト装置10dのその他の構成については、図1、図2に示す半導体テスト装置10と同様であるため、その説明を省略する。

【0065】

LED19は、全てのテスト対象IC50のテストが完了したか否かによって発光するか否かが制御される。例えば、LED19は、全てのテスト対象IC50のテストが完了していない場合には発光せず、全てのテスト対象IC50のテストが完了した場合には発光する。それにより、全てのテスト対象IC50のテストが完了したことを目視で確認することが可能となる。

【0066】

以上のように、上記実施の形態1～6にかかる半導体テスト装置は、外部に設けられたテスターサーバーからテストプログラムを受信して、テストボードに設けられた複数のテスト対象ICに送信することにより、当該複数のテスト対象ICをテストする。それにより、上記実施の形態1～6にかかる半導体テスト装置は、テスターを用いることなく、又は、テスト結果を判定する程度の短い期間テスターを用いるだけで、複数のテスト対象ICのテストを実施することができるため、設計工数を低減させることができる。また、高額なテスターも不要である。

【0067】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【0068】

例えば、上記実施の形態1～6では、複数のテスト対象ICが一つずつテストされる場合を例に説明したが、これに限られない。複数のテスト対象ICは一括でテストされてもよい。

【0069】

また、テストボードは、上記したバーンインボードや専用パレットに限られず、これらと同等の機能を実現可能な他のボードであってもよい。さらに、テストボードは、半導体テスト装置(10等)と一体に形成されていてもよい。

【0070】

また、テストボードとして用いられる専用パレットは、バーンインボードと同じく、耐熱性を有する材質(例えば、150度以上の耐熱性を有する材質)により形成されていてもよい。それにより、高温状態でのテストが可能となる。また、半導体テスト装置からバーンインテスト用波形を出力できるようにしておけば、バーンインテストも可能となる。

【0071】

また、テストボードは、異なるパッケージやピン数のテスト対象ICを搭載可能な着脱式の子基板を複数備えた構成であってもよい。それにより、一枚のテストボードを用いて異なるパッケージ製品やピン数の異なる製品のテストを実施することが可能となる。その結果、バーンインボード及び専用パレットの製作枚数を少なくすることができるため、コストを低減することができる。

【0072】

<関連技術との差異>

特許文献2に開示された半導体集積回路は、チップ内に、内部回路と、当該内部回路に対して試験を行う試験部と、無線通信を行う無線インターフェースモジュールと、を備え

10

20

30

40

50

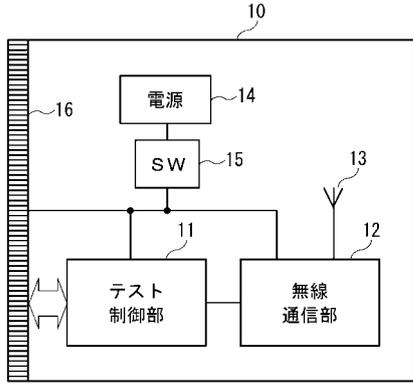
る。つまり、特許文献 2 に開示された半導体集積回路は、自身の内部回路のテストを実施することしかできない。そのため、特許文献 2 の構成では、複数のチップを効率よくテストを実施することができない。それに対し、上記実施の形態 1 ~ 6 にかかる半導体テスト装置は、一組のテスト制御部 1 1 及び無線通信部 1 2 を用いて複数のテスト対象 IC を効率よくテストすることができる。

【符号の説明】

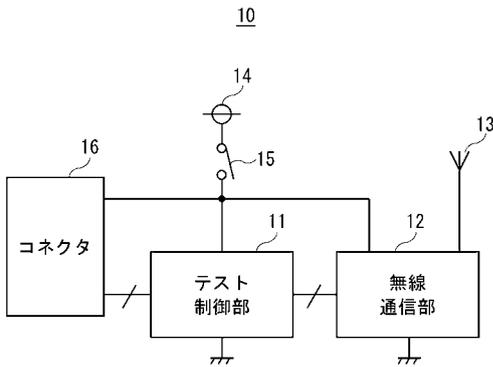
【 0 0 7 3 】

1	半導体テストシステム	
1 a	半導体テストシステム	
1 b	半導体テストシステム	10
1 0	半導体テスト装置	
1 0 a	半導体テスト装置	
1 0 b	半導体テスト装置	
1 0 c	半導体テスト装置	
1 0 d	半導体テスト装置	
1 1	テスト制御部	
1 2	無線通信部	
1 2 a	P L C 通信部	
1 3	アンテナ	
1 4	電源	20
1 5	スイッチ	
1 6	コネクタ	
1 7	A C / D C コンバータ	
1 8	D C B O S T 回路	
1 8 1	電流計	
1 8 2	電圧計	
1 8 3	電圧供給源	
1 8 4	定電流源	
1 9	L E D	
2 0	テストボード	30
2 0 a	テストボード	
2 0 b	テストボード	
2 1	アンテナ	
2 1 - 1 , 2 1 - 2	アンテナ	
3 0	テスターサーバー	
3 1	アンテナ	
5 0	テスト対象 I C	
5 0 - 1 , 5 0 - 2	テスト対象 I C	
5 1 - 1 , 5 1 - 2	テスト制御部	
5 2 - 1 , 5 2 - 2	無線通信部	40
S W 1 , S W 2	スイッチ	

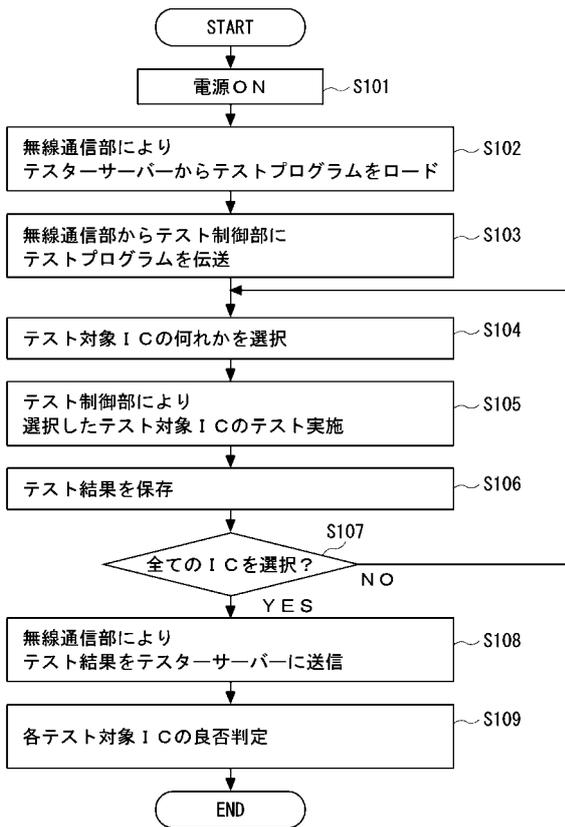
【図 1】



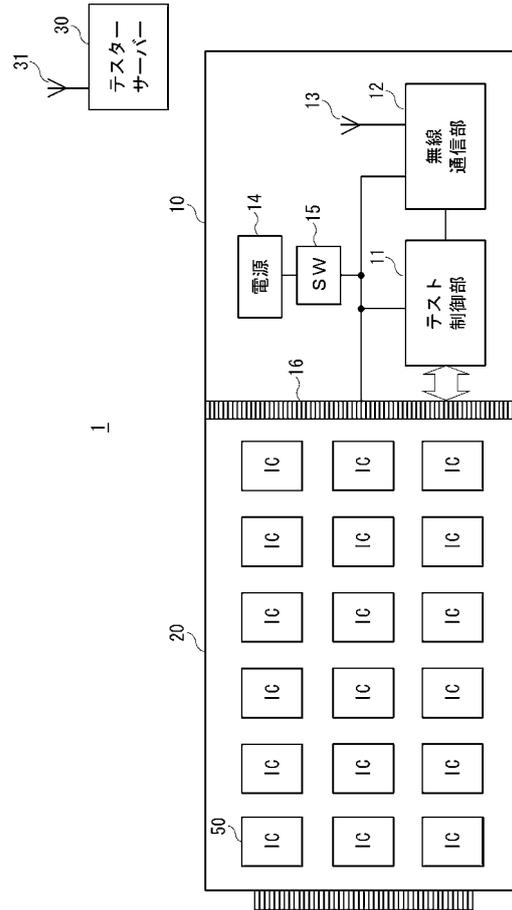
【図 2】



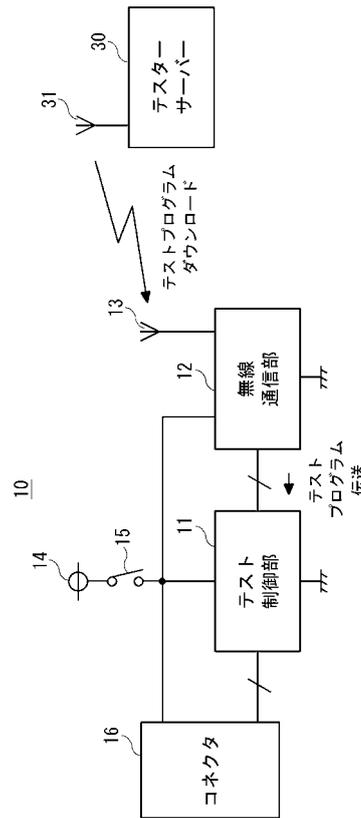
【図 4】



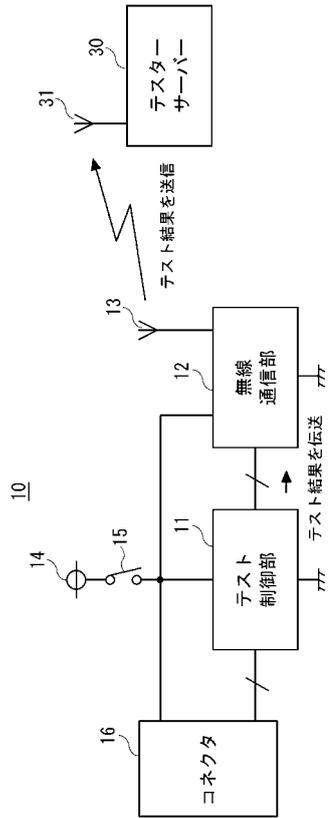
【図 3】



【図 5】



【図6】



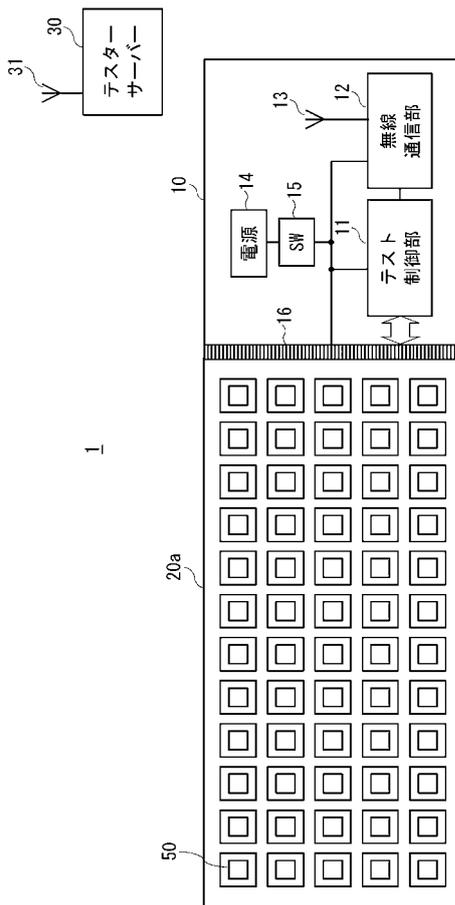
【図7】

```

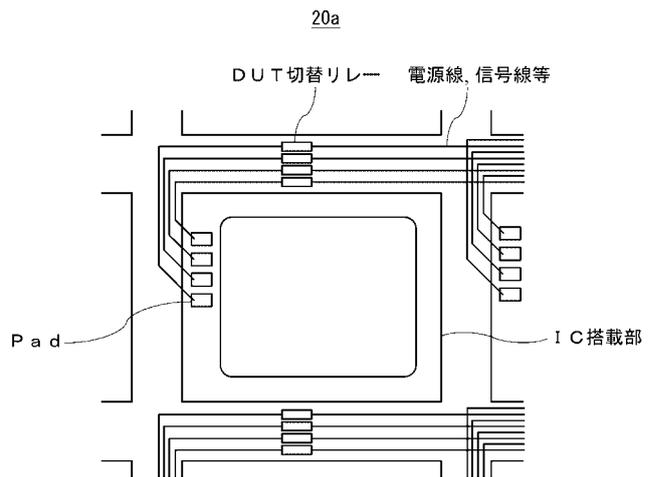
test board No. 1
X=1, Y=1 GO
X=1, Y=2 NG
X=1, Y=3 GO
...
...

```

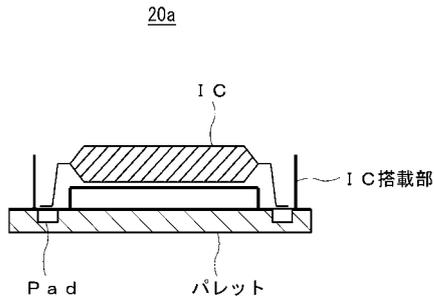
【図8】



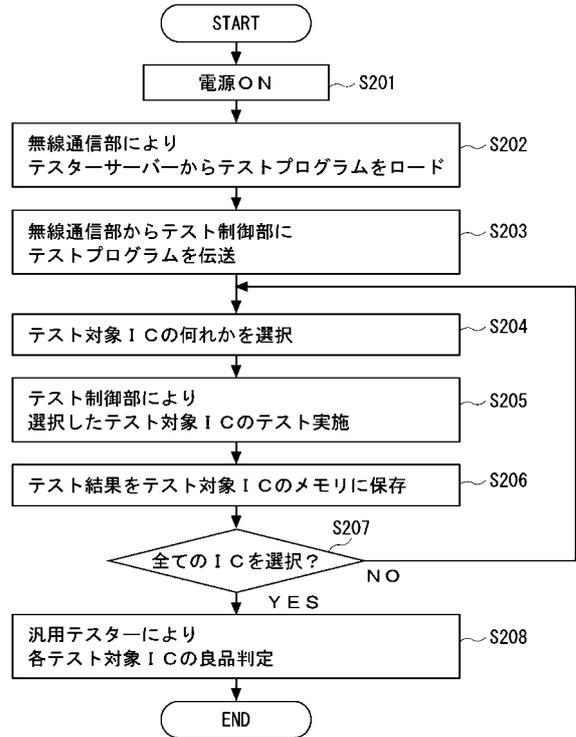
【図9】



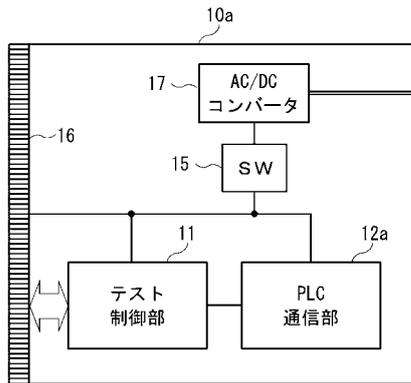
【図 10】



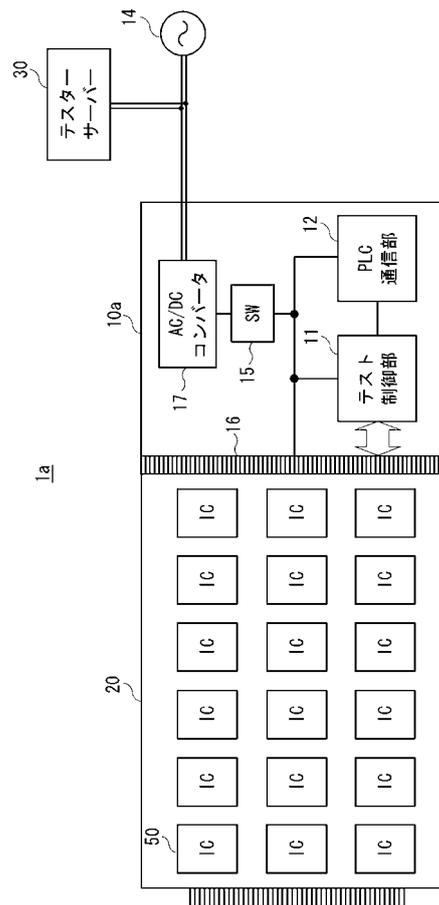
【図 11】



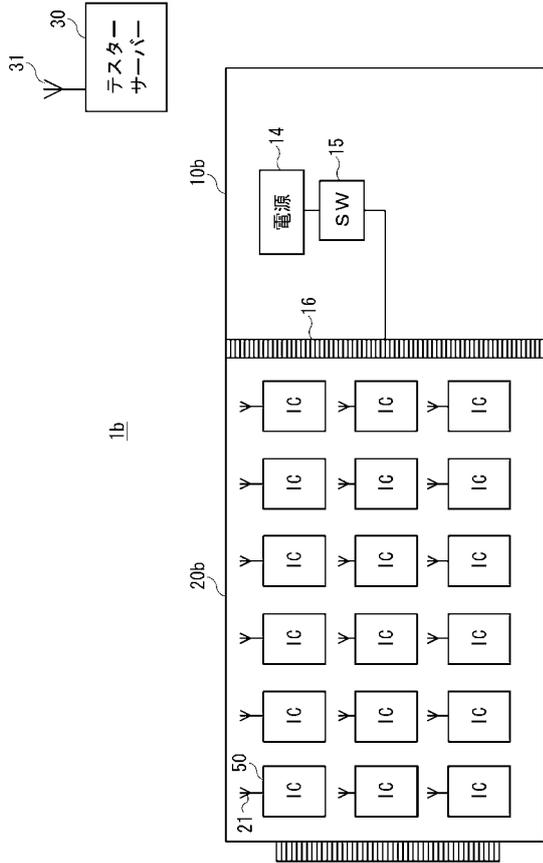
【図 12】



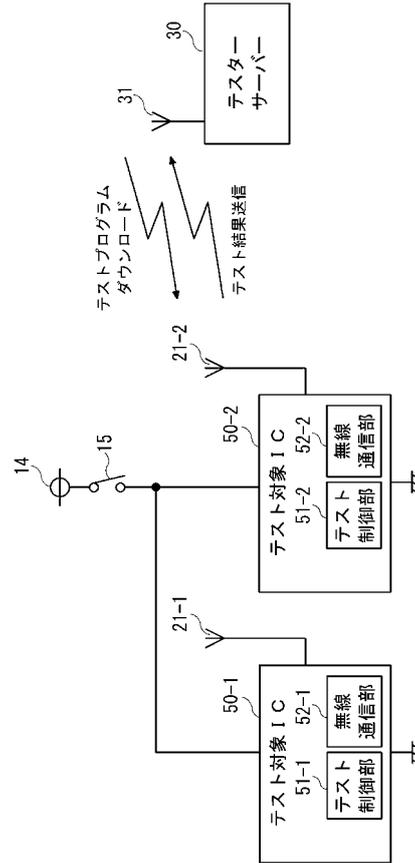
【図 13】



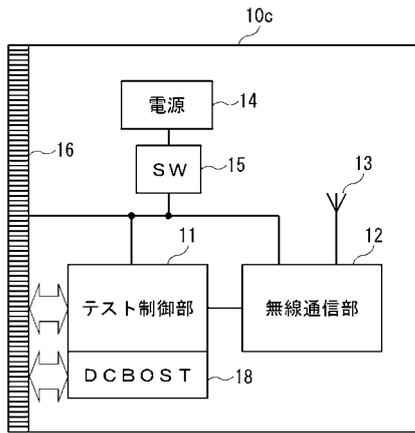
【図14】



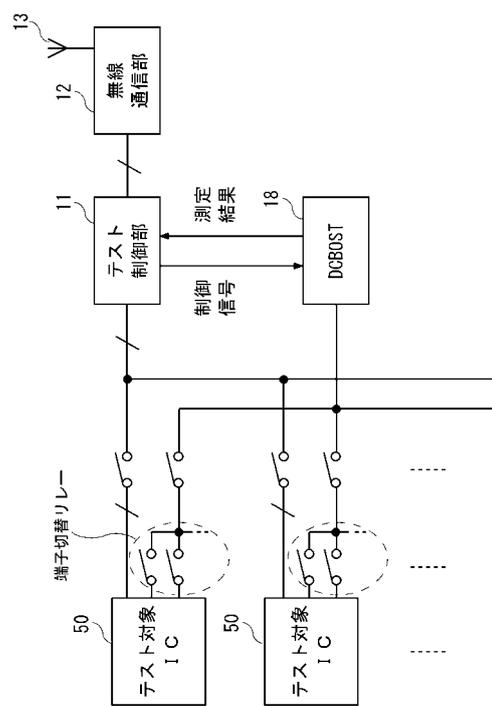
【図15】



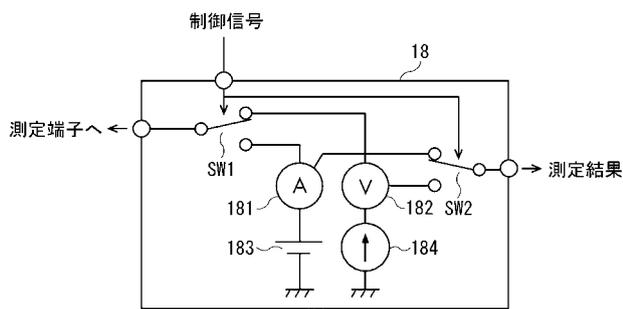
【図16】



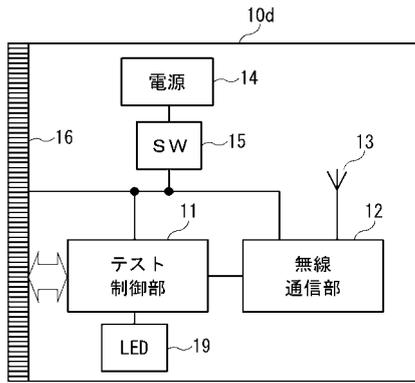
【図18】



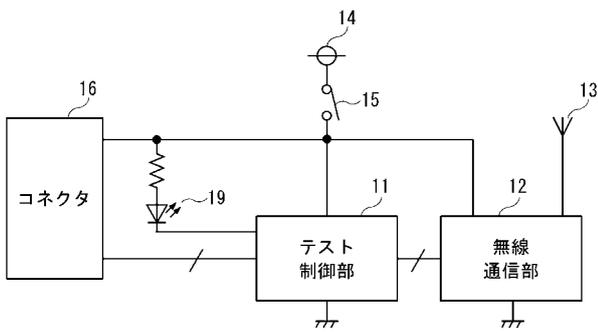
【図17】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(72)発明者 麻木 辰彦

兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内

(72)発明者 栗野 浩康

兵庫県伊丹市瑞原四丁目1番地3 株式会社ルネサスデザイン内

Fターム(参考) 2G003 AA07 AC01 AF06 AH04

2G132 AA00 AB01 AE18 AE23 AE24 AG01 AH00 AL09