

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 2 年 3 月 19 日 (2020.3.19)

【公表番号】特表 2019-512794 (P2019-512794A)
 【公表日】令和 1 年 5 月 16 日 (2019.5.16)
 【年通号数】公開・登録公報 2019-018
 【出願番号】特願 2018-548194 (P2018-548194)
 【国際特許分類】

G 0 6 F 12/04 (2006.01)

G 0 6 F 12/0893 (2016.01)

G 0 6 F 11/10 (2006.01)

【 F I 】

G 0 6 F 12/04 5 3 0

G 0 6 F 12/0893 1 0 0

G 0 6 F 11/10 6 1 6

【手続補正書】

【提出日】令和 2 年 2 月 7 日 (2020.2.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プロセッサベースシステムにおけるメモリに記憶されたメモリラインにアクセスするためのメモリアクセスデバイスであって、

第 1 の論理メモリアドレスを備える読取りアクセス要求を受け取るように構成された制御ポートと、

前記メモリにアクセスするように構成されたメモリアクセスポートとを備え、

高優先度読取りアクセス要求および低優先度読取りアクセス要求の間で前記読取りアクセス要求の優先度を決定し、

前記読取りアクセス要求が前記高優先度読取りアクセス要求であるとの決定に応答して、前記メモリアクセスポートを介して、前記読取りアクセス要求の前記第 1 の論理メモリアドレスにおいて前記メモリから第 1 の圧縮高優先度メモリラインを取り出し、

前記読取りアクセス要求が前記低優先度読取りアクセス要求であるとの決定に応答して、前記メモリアクセスポートを介して、前記読取りアクセス要求の前記第 1 の論理メモリアドレスから導出された複数の連続する物理メモリアドレスにおいて前記メモリから第 1 の圧縮低優先度メモリラインを取り出す

ように構成されるメモリアクセスデバイス。

【請求項 2】

前記読取りアクセス要求が前記高優先度読取りアクセス要求であるとの決定に基づいて、

前記第 1 の圧縮高優先度メモリラインの高優先度メタデータを取り出し、

前記高優先度メタデータに基づいて前記第 1 の圧縮高優先度メモリラインから高優先度データを取り出す

ようにさらに構成される、請求項 1 に記載のメモリアクセスデバイス。

【請求項 3】

前記読取りアクセス要求が前記高優先度読取りアクセス要求であるとの決定に基づいて

、前記第1の論理メモリアドレスのパリティおよび前記高優先度メタデータに基づいて、対応するメモリロケーションの端から前記第1の圧縮高優先度メモリラインを取り出すようにさらに構成される、請求項2に記載のメモリアクセスデバイス。

【請求項4】

前記高優先度メタデータに基づいて、前記第1の圧縮高優先度メモリラインが例外を備えると決定し、

前記高優先度メタデータから例外インデックスを取り出し、

前記メモリアクセスポートを介して、前記メモリ内の例外メモリロケーションにおいて記憶された高優先度例外データを、前記例外インデックスに対応する物理メモリアドレスにおいて取り出し、

前記第1の圧縮高優先度メモリラインおよび前記高優先度例外データから前記高優先度データを取り出す

ように構成されることによって、前記第1の圧縮高優先度メモリラインから前記高優先度データを取り出すようにさらに構成される、請求項2に記載のメモリアクセスデバイス。

【請求項5】

前記読取りアクセス要求の前記第1の論理メモリアドレスが所定の高優先度アドレス範囲内にあると決定するように構成されることによって、前記読取りアクセス要求が前記高優先度読取りアクセス要求であると決定するようにさらに構成される、請求項1に記載のメモリアクセスデバイス。

【請求項6】

前記読取りアクセス要求が前記低優先度読取りアクセス要求であるとの決定に基づいて、

前記読取りアクセス要求の前記第1の論理メモリアドレスと所定の低優先度アドレス範囲の最下位アドレスとの間の差に2を掛けることによって、低優先度アドレスインデックスを決定し、

前記低優先度アドレスインデックスを所定の高優先度アドレス範囲の前記最下位アドレスに加えることによって、前記複数の連続する物理メモリアドレスのうちの第1の物理メモリアドレスを決定し、

前記第1の物理メモリアドレスで始まる前記複数の連続する物理メモリアドレスにおいて記憶された前記第1の圧縮低優先度メモリラインを取り出す

ように構成されることによって、前記メモリから前記第1の圧縮低優先度メモリラインを取り出すようにさらに構成される、請求項1に記載のメモリアクセスデバイス。

【請求項7】

前記第1の圧縮低優先度メモリラインの長さを備える低優先度メタデータを取り出し、

前記第1の圧縮低優先度メモリラインの前記長さに基づいて、前記第1の圧縮低優先度メモリラインから低優先度データを取り出す

ようにさらに構成される、請求項6に記載のメモリアクセスデバイス。

【請求項8】

前記低優先度メタデータに基づいて、前記第1の圧縮低優先度メモリラインが例外を備えると決定し、

前記低優先度メタデータから例外ポインタを取り出し、

前記メモリアクセスポートを介して、前記メモリ内の例外メモリロケーションにおいて記憶された低優先度例外データを、前記例外ポインタに対応する物理メモリアドレスにおいて取り出し、

前記第1の圧縮低優先度メモリラインおよび前記低優先度例外データから前記低優先度データを取り出す

ように構成されることによって、前記第1の圧縮低優先度メモリラインから前記低優先度データを取り出すようにさらに構成される、請求項7に記載のメモリアクセスデバイス。

【請求項9】

前記読取りアクセス要求の前記第1の論理メモリアドレスが所定の低優先度アドレス範

囲内にあると決定するように構成されることによって、前記読取りアクセス要求が前記低優先度読取りアクセス要求であると決定するようにさらに構成される、請求項1に記載のメモリアクセスデバイス。

【請求項 10】

プロセッサベースシステムにおけるメモリに記憶されたメモリラインにアクセスするための方法であって、

メモリアクセスデバイスによって、第1の論理メモリアドレスを備える読取りアクセス要求を受け取るステップと、

高優先度読取りアクセス要求および低優先度読取りアクセス要求の間で前記読取りアクセス要求の優先度を決定するステップと、

前記読取りアクセス要求が前記高優先度読取りアクセス要求であるとの決定にตอบสนองして、メモリアクセスポートを介して、前記読取りアクセス要求の前記第1の論理メモリアドレスにおいて前記メモリから第1の圧縮高優先度メモリラインを取り出すステップと、

前記読取りアクセス要求が前記低優先度読取りアクセス要求であるとの決定にตอบสนองして、前記メモリアクセスポートを介して、前記読取りアクセス要求の前記第1の論理メモリアドレスから導出された複数の連続する物理メモリアドレスにおいて前記メモリから第1の圧縮低優先度メモリラインを取り出すステップと

を備える方法。

【請求項 11】

第2の論理メモリアドレスおよびデータを備える書込みアクセス要求を受け取るステップと、

高優先度書込みアクセス要求および低優先度書込みアクセス要求の間で前記書込みアクセス要求の優先度を決定するステップと、

前記書込みアクセス要求が前記高優先度書込みアクセス要求であるとの決定にตอบสนองして、前記メモリアクセスポートを介して、前記メモリ内の前記書込みアクセス要求の前記データを、前記書込みアクセス要求の前記第2の論理メモリアドレスにおける第2の圧縮高優先度メモリラインに記憶するステップと、

前記書込みアクセス要求が前記低優先度書込みアクセス要求であるとの決定にตอบสนองして、前記メモリアクセスポートを介して、前記メモリ内の前記書込みアクセス要求の前記データを、前記書込みアクセス要求の前記第2の論理メモリアドレスから導出された複数の連続する物理メモリアドレスにおける第2の圧縮低優先度メモリラインに記憶するステップと

をさらに備える、請求項10記載の方法。

【請求項 12】

前記書込みアクセス要求が前記高優先度書込みアクセス要求であるとの決定に基づいて、

前記書込みアクセス要求の前記データを圧縮するステップと、

前記書込みアクセス要求の前記圧縮されたデータを備える前記第2の圧縮高優先度メモリラインを、前記第2の論理メモリアドレスのパリティに基づいて、前記書込みアクセス要求の前記第2の論理メモリアドレスに対応するメモリロケーションの端において記憶するステップと

をさらに備える、請求項11に記載の方法。

【請求項 13】

前記書込みアクセス要求が前記高優先度書込みアクセス要求であるとの決定に基づいて、

前記書込みアクセス要求の前記データを圧縮するステップと、

前記書込みアクセス要求の前記データの前記圧縮に基づいて、前記書込みアクセス要求の前記データが例外を引き起こすと決定するステップと、

前記書込みアクセス要求の前記データの第1の部分および例外インデックスを備える前記第2の圧縮低優先度メモリラインを、前記書込みアクセス要求の前記第2の論理メモリア

ドレスに対応する物理メモリアドレスにおいて記憶するステップと、

前記メモリ内の高優先度例外データを、例外メモリロケーションおよび前記例外インデックスに対応する物理メモリアドレスにおいて記憶するステップであって、前記高優先度例外データが、前記書込みアクセス要求の前記データの第2の部分を備える、ステップとをさらに備える、請求項11に記載の方法。

【請求項14】

前記書込みアクセス要求の前記データを圧縮し、

前記書込みアクセス要求の前記第2の論理メモリアドレスと所定の低優先度アドレス範囲の最下位アドレスとの間の差に2を掛けることによって、低優先度アドレスインデックスを決定し、

前記低優先度アドレスインデックスを所定の高優先度アドレス範囲の前記最下位アドレスに加えることによって、前記複数の連続する物理メモリアドレスのうちの第1の物理メモリアドレスを決定し、

前記書込みアクセス要求の前記圧縮されたデータの第1の部分を備える前記第2の圧縮低優先度メモリラインの第1の部分を、前記第1の物理メモリアドレスの第1の端にある前記第1の物理メモリアドレスにおいて記憶し、

前記書込みアクセス要求の前記圧縮されたデータの第2の部分を備える前記第2の圧縮低優先度メモリラインの第2の部分を、第2の物理メモリアドレスの第2の端にある前記第1の物理メモリアドレスに連続する前記第2の物理メモリアドレスにおいて記憶する

ことによって、前記第2の圧縮低優先度メモリライン内の前記書込みアクセス要求の前記データを前記複数の連続する物理メモリアドレスにおいて記憶するステップをさらに備える、請求項11に記載の方法。

【請求項15】

前記書込みアクセス要求の前記データを圧縮し、

前記書込みアクセス要求の前記データの前記圧縮に基づいて、前記書込みアクセス要求の前記データが例外を引き起こすと決定し、

前記書込みアクセス要求の前記第2の論理メモリアドレスと所定の低優先度アドレス範囲の最下位アドレスとの間の差に2を掛けることによって、低優先度アドレスインデックスを決定し、

前記低優先度アドレスインデックスを所定の高優先度アドレス範囲の前記最下位アドレスに加えることによって、前記複数の連続する物理メモリアドレスのうちの第1の物理メモリアドレスを決定し、

前記書込みアクセス要求の前記データの第1の部分を備える前記第2の圧縮低優先度メモリラインの第1の部分を、前記第1の物理メモリアドレスの第1の端にある前記第1の物理メモリアドレスにおいて記憶し、

前記書込みアクセス要求の前記データの第2の部分を備える前記第2の圧縮低優先度メモリラインの第2の部分を、第2の物理メモリアドレスの第2の端にある前記第1の物理メモリアドレスに連続する前記第2の物理メモリアドレスにおいて記憶し、

例外ポインタを前記第2の圧縮低優先度メモリラインの前記第1の部分および前記第2の圧縮低優先度メモリラインの前記第2の部分のうちの少なくとも1つに記憶し、

前記書込みアクセス要求の前記データの第3の部分を前記例外ポインタに対応する第3の物理メモリアドレスにおいて記憶する

ことによって、前記第2の圧縮低優先度メモリライン内の前記書込みアクセス要求の前記データを前記複数の連続する物理メモリアドレスにおいて記憶するステップをさらに備える、請求項11に記載の方法。