(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0032513
(43) 공개일자 2010년03월26일

(51) Int. Cl.
H01L 33/16 (2010.01) *H01L 33/12* (2010.01)
H01L 21/265 (2006.01) *H01L 21/20* (2006.01)
(21) 출원번호 10-2008-0091436
(22) 출원일자 2008년09월18일
심사청구일자 2008년09월18일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
변동진
서울 성북구 안암동5가 고려대학교 자연계 캠퍼스 공학관 609호
김범준
서울특별시 송파구 석촌동 한솔아파트 106동 1503호
(뒷면에 계속)
(74) 대리인
특허법인대아

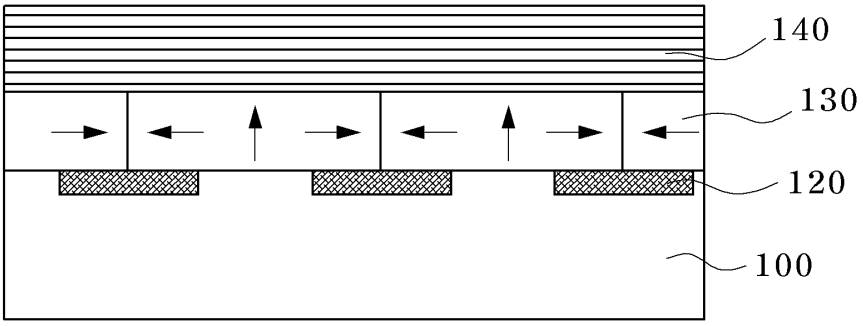
전체 청구항 수 : 총 9 항

(54) 이온주입을 통한 질화물 반도체 형성 방법 및 이를 이용하여 제조한 발광다이오드

(57) 요 약

본 발명은 이온주입을 통한 질화물 반도체 형성 방법 및 이를 이용하여 제조한 발광다이오드에 관한 것으로, 실리콘 기판의 표면에 1E17 이온/㎠ 초과 5E18 이온/㎠ 이하의 도즈량 및 30 ~ 50keV의 주입에너지로 라인/스페이스 패턴의 이온 주입 영역을 형성한 후 질화갈륨(GaN) 박막을 수평 성장시킴으로써, 질화물 박막의 격자 결함을 감소시키고, 이로 인하여 발광다이오드의 효율도 향상시킬 수 있도록 하는 발명에 관한 것이다.

대 표 도 - 도3



(72) 발명자

장삼석

서울특별시 동대문구 용두동 738-4번지 409호

이승무

경기도 수원시 영통구 영통동 살구골 7단지 현대아파트 730-1102

이광택

서울특별시 중랑구 신내1동 벽산아파트 102동 2302호

진정근

광주광역시 북구 첨단 4길5, 한국광기술원

특허청구의 범위

청구항 1

실리콘 기판의 표면에 라인/스페이스 패턴의 이온 주입 영역을 형성하되, 이온 주입 도즈량은 1E17 이온/㎠ 초과 5E18 이온/㎠ 이하로 조절하고, 30 ~ 50keV의 주입에너지로 상기 이온 주입 영역을 형성하는 단계;

상기 실리콘 기판 전면에 $In_xAl_yGa_{1-x-y}N$층($0.3 \geq x \geq 0$, $y \geq 0.1$, $x+y \leq 1$)을 형성하는 단계; 및

상기 $In_xAl_yGa_{1-x-y}N$층을 포함하는 상기 실리콘 기판 전면에 질화갈륨(GaN) 박막을 형성하되, 상기 이온 주입 영역이 형성되지 않은 상기 실리콘 기판에서 상기 이온 주입 영역으로 질화갈륨(GaN)층이 수평성장되어 질화갈륨(GaN) 박막이 형성되도록 하는 단계를 포함하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 2

제 1 항에 있어서,

상기 실리콘 기판은 Si(111) 기판을 이용하고, 상기 라인/스페이스 패턴은 실리콘 결정의 [1-10] 방위와 평행한 방향으로 형성하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 3

제 1 항에 있어서,

상기 이온 주입 영역에 주입되는 이온은 N, C, B, Be, Li, Mg, O, F, S, P, As, Sr, Te 및 이들의 화합물 중 선택된 어느 하나를 이용하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 4

제 1 항에 있어서,

상기 이온 주입 영역은 상기 실리콘 기판의 표면에서부터 50nm ~ 1㎛의 깊이까지 형성하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 5

제 1 항에 있어서,

상기 이온 주입 영역은 상기 실리콘 기판의 표면에서부터 50nm ~ 200nm의 깊이까지 형성하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 6

제 1 항에 있어서,

상기 질화갈륨(GaN) 박막은 MOCVD(metalorganic chemical vapor deposition), MBE(molecular beam epitaxy), HVPE(hydride vapor phase epitaxy) 및 ALD(atomic layer deposition) 중 선택된 한 가지 방법을 형성하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 7

제 1 항에 있어서,

상기 질화갈륨(GaN) 박막의 XRD(X-ray Defractometry) 반폭치 값은 820 arcsec 이하가 되도록 성장시키는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 8

제 1 항에 있어서,

상기 질화갈륨(GaN) 박막의 상부에는 하부 클래드층, 활성층 및 상부 클래드층을 순차적으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 질화물 반도체 형성 방법.

청구항 9

청구항 제 1 항에서 형성된 질화갈륨(GaN) 박막을 포함하는 질화물 반도체를 개별 소자로 절단하고 각각의 소자를 분리하여 제조한 칩;

상기 칩이 실장되는 리드 프레임;

상기 리드 프레임과 연결되는 캐소드;

상기 캐소드와 이격되어 구비되며, 금 와이어에 의해 상기 칩과 연결되는 애노드; 및

상기 칩, 리프 프레임 및 상기 금 와이어가 연결된 상기 애노드 상부를 보호하며 빛을 발산하는 렌즈 역할을 하는 에폭시를 포함하는 것을 특징으로 하는 발광다이오드.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 질화갈륨(GaN) 박막의 품질을 향상시키는 질화물 반도체 형성 방법에 관한 것으로, 질화물 박막 성장 시 박막의 전위결함을 감소시킬 수 있는 표면처리기법에 관한 기술이다.

배 경 기 술

[0002] 최근 화학연료가 고갈되어 감에 따른 에너지 문제가 대두되면서 기존의 조명을 효율이 높은 반도체 조명으로 바꾸려는 움직임이 본격화 되고 있다. 또한 IT분야에서도 정보처리 속도를 빠르게 하기 위한 경쟁이 치열한 가운데 고속으로 동작하는 HEMT(High Electron Mobility Transistor)나 파워 스위치 소자 등에 질화갈륨(GaN) 물질을 적용하려는 시도가 활발하게 진행되고 있다.

[0003] 울자이트(Wurtzite) 구조를 가지는 질화갈륨(GaN) 박막은 상온에서 3.4 eV의 직접 천이형 밴드갭을 가지며 청색 및 자외선 영역의 발광다이오드(Light Emitting Diode : LED)와 레이저 다이오드(Laser Diode : LD) 소자에 유용하게 사용되는 재료이다.

[0004] 특히 질화갈륨(GaN) 박막은 같은 울자이트(Wurtzite) 구조를 가지며 밴드갭이 각각 1.9 eV 와 6.2 eV인 질화인듐(InN) 및 질화알루미늄(AlN)과 연속적인 고용체를 형성할 수 있다.

[0005] 따라서, 불순물의 활성에너지 및 도핑 농도에 따라 파장 조절이 가능해지고, 조성에 따른 삼원계 질화물을 제조하여 파장의 선택 범위가 넓은 가시 발광 다이오드를 제작할 수 있도록 도와주므로 질화갈륨(GaN) 박막은 그 활용 범위가 넓다.

[0006] 이와 같이 다양한 응용성을 가진 질화갈륨(GaN) 박막은 물질의 특성상 잉곳(Ingot)과 같은 벌크 형태의 단결정 기판으로 제조하기가 매우 어렵다.

[0007] 따라서, 현재 질화갈륨(GaN) 박막 형성 방법으로 상업화 된 것은 유기금속 화학 기상 증착법(Metal Organic Chemical Vapor Deposition : MOCVD)을 이용하여 기판 상에 에피택셜(Epitaxial) 성장시키는 방법을 이용한다.

[0008] 여기서, 질화갈륨(GaN) 박막은 호모 에피택셜 성장보다 헤테로 에피택셜 성장이 더 일반적이며 이에 따른 기판의 선택이 근본적인 문제로 대두된다.

[0009] 특히 질화갈륨(GaN) 박막 성장에 사용되는 이종 기판으로는 사파이어(sapphire, α-Al_2O_3) 및 SiC 기판이 대표적이나 질화갈륨과의 격자 부정합의 차이가 a축의 경우 각각 16% 및 3.5%나되므로 박막 성장 초기부터 발생하는 부정합 전위, 관통전위(threading dislocation), 적층결함 및 반전 도메인경계(Inversion Domain Boundary; IDB) 등의 결함이 관찰된다.

[0010] 이러한 결함은 소자의 수명과 발광 효율을 결정하는데 매우 중요한 요소이므로, 결함을 개선하는 노력이 여러 방법을 통해 시도되고 있다.

[0011] 이와 관련되어 종래에 시도된 방법으로는 완충층을 사용하는 것이 있다. 통상적으로 질화알루미늄이나 질화갈륨 완충층이 주로 사용되고 있는데, 이는 비정질 또는 다결정질의 완충층이 기판과 동일한 결정성을 갖는 많은 핵

생성 장소를 제공하여 질화갈륨의 2차원적 성장을 용이하게 해주며, 박막과 기판 사이의 계면 에너지를 감소시켜 측면성장을 촉진시켜주는 역할을 한다.

[0012] 그러나, 질화갈륨 박막 결정성장 전에 유기금속 화학 기상 증착법 또는 분자선 에피택셜 방법으로 질화알루미늄이나 질화갈륨 완충층을 먼저 형성하는 질화 처리 시간에 따라 오히려 표면이 거칠게 되는 결과를 초래하여 저품질의 질화갈륨 박막이 형성되는 문제가 발생하였다.

[0013] 즉, 질화 처리된 사파이어 기판의 표면에 비정질 형태의 화합물이 생성되어 돌출(protrusion)표면이 형성되기 때문에, 상기 종래의 공정방법으로는 그 공정조건의 최적화 여부에 따라 다른 결과들이 얻어지고 있음을 알 수 있다. 결과적으로 질화갈륨 결정성장시 매우 제어과정을 매우 민감하게 조절하여야 하는 어려움이 발생할 수 밖에 없다.

[0014] 이러한 문제를 해결하기 위하여, 질화갈륨 결정이 수평성장(ELOG, Epitaxial Lateral Overgrowth)되도록 하는 방법이 연구되고 있다. 수평성장을 위해서는 먼저 기판 또는 버퍼 질화갈륨(GaN)층 상에 주기적인 패턴 형태의 마스크(mask) 층을 형성시킨 후, 마스크층이 없는 곳(윈도우 영역)의 기판 상에 질화갈륨(GaN)을 마스크 두께 이상으로 성장 시킨 다음에, 마스크 상부에 질화갈륨(GaN) 박막을 수평성장 시키는 것이다. 수평성장이 일어난 질화갈륨(GaN)의 경우 관통전위의 밀도가 크게 줄어들게 되어 소자성능을 향상시킬 수 있게 된다.

[0015] 그러나, 일반적인 수평성장 기술을 위해서는 재성장(regrowth)이 필요하다는 문제점이 있다. 예를 들어, 사파이어기판 상에 질화갈륨(GaN)을 수평성장 기술로 형성할 경우 일반적으로 저온 질화갈륨(GaN) 버퍼층을 먼저 형성해야 한다. 이와 같이 저온에서 질화갈륨(GaN) 버퍼층을 성장시킬 경우 윈도우 영역뿐만 아니라 마스크 표면에서도 원하지 않는 성장이 일어나게 되어 수평성장에 장애가 발생하는 문제가 있는 것이다.

[0016] 따라서, 사파이어/저온 질화갈륨(GaN)/고온 질화갈륨(GaN)층 상에 마스크를 성장 시킨 후 수평성장을 진행하여야 하는 불편함이 있다. 또한, 마스크로 사용되는 절연층은 질화갈륨(GaN) 박막 내부에 응력을 발생시킬 수 있고, 잠재적인 불순물로써 오염원이 될 수 있다. 그리고, 마스크 상에서 핵생성이 빠를 경우 수평 성장한 질화갈륨(GaN)층이 마스크 상에서 서로 만나지 못하는 경우도 발생할 수 있으므로, 빠른 수평성장을 위한 별도의 공정조건이 필요하다는 제약이 있다.

발명의 내용

해결 하고자하는 과제

[0017] 본 발명에서는 수평 성장법을 위해 마스크를 형성하는 대신 그 영역에 이온 주입 영역을 형성하여하되, 이온 주입의 도즈(Dose)량을 조절하고, 이온 주입 영역을 라인/스페이스 형태로 형성하여 질화갈륨(GaN)층의 수평성장이 효율적으로 수행될 수 있도록 함으로써, 질화갈륨 박막의 전위밀도를 감소시키고, 결정성이 안정적인 질화갈륨(GaN) 박막을 형성할 수 있도록 하는 이온주입을 통한 질화물 반도체 형성 방법 및 이를 이용하여 제조한 발광다이오드를 제공하는 것을 그 목적으로 한다.

과제 해결수단

[0018] 본 발명에 따른 질화물 반도체 형성 방법은 실리콘 기판의 표면에 라인/스페이스 패턴의 이온 주입 영역을 형성하되, 이온 주입 도즈량은 1E17 이온/㎠ 초과 5E18 이온/㎠ 이하로 조절하고, 30 ~ 50keV의 주입에너지로 상기 이온 주입 영역을 형성하는 단계와, 상기 실리콘 기판 전면에 $In_xAl_yGa_{1-x-y}N$층($0.3 \geq x \geq 0$, $y \geq 0.1$, $x+y \leq 1$)을 형성하는 단계 및 상기 $In_xAl_yGa_{1-x-y}N$층을 포함하는 상기 실리콘 기판 전면에 질화갈륨(GaN) 박막을 형성하되, 상기 이온 주입 영역이 형성되지 않은 상기 실리콘 기판에서 상기 이온 주입 영역으로 질화갈륨(GaN)층이 수평성장되어 질화갈륨(GaN) 박막이 형성되도록 하는 단계를 포함하는 것을 특징으로 한다.

[0019] 여기서, 상기 실리콘 기판은 Si(111) 기판을 이용하고, 상기 라인/스페이스 패턴은 실리콘 결정의 [1-10]방위와 평행한 방향으로 형성하는 것을 특징으로 하고, 상기 이온 주입 영역에 주입되는 이온은 N, C, B, Be, Li, Mg, O, F, S, P, As, Sr, Te 및 이들의 화합물 중 선택된 어느 하나를 이용하는 것을 특징으로 하고, 상기 이온 주입 영역은 상기 실리콘 기판의 표면에서부터 50nm ~ 1㎛의 깊이까지 형성하며, 더 바람직하게는 50nm ~ 200nm의 깊이까지 형성하는 것을 특징으로 하고, 상기 질화갈륨(GaN) 박막은 MOCVD(metalorganic chemical vapor deposition), MBE(molecular beam epitaxy), HVPE(hydride vapor phase epitaxy) 및 ALD(atomic layer deposition) 중 선택된 한 가지 방법을 형성하는 것을 특징으로 하고, 상기 질화갈륨(GaN) 박막의 XRD(X-ray Defractometry) 반폭치 값은 820 arcsec이하가 되도록 성장시키는 것을 특징으로 하고, 상기 질화갈륨(GaN) 박

막의 상부에는 하부 클래드층, 활성층 및 상부 클래드층을 순차적으로 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0020] 아울러, 본 발명에 따른 발광다이오드는 상술한 질화갈륨(GaN) 박막을 포함하는 질화물 반도체를 개별 소자로 절단하고 각각의 소자를 분리하여 제조한 칩과, 상기 칩이 실장되는 리드 프레임과, 상기 리드 프레임과 연결되는 캐소드와, 상기 캐소드와 이격되어 구비되며, 금 와이어에 의해 상기 칩과 연결되는 애노드 및 상기 칩, 리프 프레임 및 상기 금 와이어가 연결된 상기 애노드 상부를 보호하며 빛을 발산하는 렌즈 역할을 하는 에폭시를 포함하는 것을 특징으로 한다.

효 과

[0021] 본 발명은 단결정의 실리콘 기판 상에 라인/스페이스 패턴 형태로 이온주입 영역을 형성한 후에 질화갈륨(GaN)층을 수평성장 시킴으로써, SiO_2나 Si_3N_4 와 같은 마스크를 사용하지 않고, 안정적인 질화갈륨 박막을 형성할 수 있도록 하는 효과를 제공한다.

[0022] 마스크로 사용되던 물질들은 잠재적인 오염원이 될 수 있고 질화갈륨 박막에 응력을 발생시켜 결함의 원인이 될 수 있으나, 본 발명은 실리콘 기판의 표면변화 없이 편평한 면 위에서 질화갈륨 박막을 수평성장 시킴으로써, 질화갈륨 박막의 전위밀도를 감소시키고, 결정성을 향상시킬 수 있는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0023] 본 발명에 따른 질화갈륨(GaN) 박막 제조용 단결정기판은 실리콘 기판을 사용하며, 실리콘 기판 표면에 라인/스페이스 패턴 형태의 이온 주입 영역을 형성한다.

[0024] 여기서, 단결정의 실리콘 기판은 질화갈륨과 이종 결정 간의 격자 부정합을 최소화시킬 수 있어 질화갈륨 박막 제조용 단결정기판으로 적합하다. 이온 주입 영역은 동일 평면상에 이온 주입 처리가 된 라인 패턴부 및 이온주입 처리가 되지 않은 스페이스부를 규칙적으로 반복형성함으로써, 질화갈륨 박막 제조용 단결정기판이 동일 평면에 대하여 비정질부 및 결정부를 동시에 갖도록 한다. 즉, 두 개의 상(two phase)을 동일 평면상에 형성함으로써, 두 개의 상(two phase) 위에 에피택셜 성장층을 형성할 경우 두개의 상(two phase) 위에 각각 다른 성장속도와 성장모드가 되도록 하는 것이다. 이온주입처리 가 된 라인 패턴 부분의 경우는 표면 개질에 의해, 격자 부정합을 완화 시키는 역할을 한다. 그러나, 실리콘 격자가 충격을 받아 뒤틀림(distortion)이 발생한 비정질이므로 에피택셜층의 성장속도가 감소될 수 있다.

[0025] 반대로, 이온주입처리가 되지 않은 스페이스부의 경우는 격자 부정합은 완화되지 않으나, 패턴부에 비해 에피택셜층의 성장속도가 빠르고, 그 결과 수직방향으로의 성장 외에 라인 패턴부를 향해 수평성장을 할 수 있는 상태가 된다.

[0026] 본 발명에서는 라인/스페이스 패턴이 반복되어 형성되므로 라인 패턴부를 중심으로 양쪽에 인접한 스페이스부로부터 동시에 수평성장이 일어나게 되고, 결과적으로 수평성장한 부분이 라인 패턴부에서 수직성장한 에피택셜층의 표면과 만나게 된다. 이와 같이, 서로 만나게 된 부분은 동일한 결정구조를 갖는 물질이므로 격자 부정합의 측면에서 유리한 효과를 갖는 박막이 될 수 있다.

[0027] 이하 본 발명에 따른 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

[0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0029] 도 1 및 도 2는 본 발명에 따른 실리콘 기판 상부에 형성된 질화갈륨 박막의 단면을 나타낸 투과전자현미경 사진들로, 실리콘 기판에 이온을 주입할 경우 질화갈륨 박막의 성장속도가 어떻게 달라지는지 비교하기 위하여 실험한 사진들이다.

[0030] 도 1은 실리콘 기판(100) 상에 이온 주입 영역을 형성하지 않고 질화갈륨 박막(130)을 형성한 것을 나타낸 것이다. 질화갈륨 박막(130)과 실리콘 기판(100) 사이에는 질화갈륨 박막의 성장을 용이하게 하기 위하여 AlN층(125)이 형성되고, 질화갈륨 박막(130) 상부에는 궁극적으로 발광다이오드용 소자층이 형성될 수 있다.

[0031] 도 2는 실리콘 기판(100) 표면에 이온 주입 영역(120)을 형성한 후 AlN(125)을 형성하고, 질화갈륨 박막(135)을 성장시킨 것이다. 이때, 성장된 질화갈륨 박막(135)은 다결정 형태로 성장된다.

[0032] 여기서, 도 1 및 도 2를 비교하여 보면 이온 주입 영역(120)이 형성되지 않은 도 1의 경우 질화갈륨 박막(130)의 두께가 도 2의 질화갈륨 박막(135) 두께보다 약 5 ~ 10배 정도 두껍게 형성된 것을 알 수 있다. 따라서, 본 발명에 따라 실리콘 기판에 이온 주입 영역을 형성하는 경우 종래 기술에서와 같이 SiO_2나 Si_3N_4 로 형성한 마스크 없이도 질화갈륨 박막의 수평 성장이 가능해지는 것을 알 수 있다.

[0033] 도 3은 본 발명에 따른 질화물 반도체 형성 방법을 도시한 단면도 이다.

[0034] 도 3을 참조하면, 단결정 실리콘 기판(100)의 표면에 라인/스페이스 패턴의 이온 주입 영역(120)을 형성한다. 이때, 실리콘 기판(100)은 Si(111) 기판을 이용하는 것이 바람직하고, 라인/스페이스 패턴은 실리콘 결정의 [1-10] 방위와 평행한 방향으로 형성되도록 하는 것이 바람직하다. 여기서, 라인/스페이스 패턴을 실리콘 결정의 [1-10] 방위와 수직으로 라인/스페이스 패턴을 형성할 경우 질화갈륨 박막의 수평성장 속도가 매우 느려지게 되므로 패턴 형성 방향을 정확하게 준수하여야 한다.

[0035] 도 4는 실리콘 결정의 [1-10] 방위와 수직한 방향으로 라인/스페이스 패턴을 형성한 경우 실리콘 기판 상부에 형성된 질화갈륨 박막의 단면을 나타낸 SEM 사진이다.

[0036] 도 4는 질화갈륨 박막이 4㎛ 두께까지 성장된 경우를 촬영한 것인데, 이때 수평성장이 거의 일어나지 않아서, 이온 주입 영역 상부에는 질화갈륨 박막이 거의 형성되지 않는 것을 알 수 있다. 따라서 라인/스페이스 패턴의 방위가 질화갈륨 박막의 수평성장 속도를 결정하는 중요한 요소임을 알 수 있다.

[0037] 다음으로, 이온 주입 영역(120)에 주입되는 이온은 N, C, B, Be, Li, Mg, O, F, S, P, As, Sr, Te 및 이들의 화합물 중 선택된 어느 하나를 이용하는 것이 바람직하고, 이온 주입 도즈량은 1E17 이온/㎠ 초과 5E18 이온/㎠ 이하로 조절하고, 주입에너지는 30 ~ 50keV로 조절하는 것이 바람직하다. 이와 같은 조건으로, 이온 주입 영역(120)이 실리콘 기판(100)의 표면에서부터 50 ~ 1㎛의 깊이까지 형성하며, 더 바람직하게는 50 ~ 200㎚의 깊이까지 형성한다.

[0038] 도 5a 내지 도 5c는 실리콘 결정의 [1-10] 방위와 수직한 방향으로 질소이온 주입 영역을 형성한 후 질화갈륨 박막을 성장시킨 단면을 촬영한 주사전자현미경 사진들이다.

[0039] 본 발명에 따른 질화갈륨 박막 성장 공정을 위해서는 이온 주입 영역을 [1-10] 방위와 평행한 방향으로 형성하는 것이 바람직하나, 여기서 수평성장속도가 늦어지는 방위로 이온 주입 영역을 형성한 것은 질화갈륨 박막이 수직 성장되지 않는 도즈량의 조건을 명확히 관찰하기 위한 것이다.

[0040] 도 5a는 9.9E16 이온/㎠ 의 주입량으로 형성한 것이고, 도 5b는 1E17 이온/㎠ 의 주입량으로 형성한 것이고, 도 5c는 5E18 이온/㎠ 의 주입량으로 형성한 결과를 나타낸 것이다.

[0041] 도 5a를 참조하면 알 수 있듯이 9.9E16 이온/㎠의 경우에는 이온 주입 영역의 영향이 전혀 반영되지 않아 이온 주입을 하지 않은 영역과 동일한 성장속도로 질화갈륨 박막이 수직 성장 되었다. 이와 같이 질화갈륨 박막이 수직 성장하는 경우 종래의 결정 결함 문제가 발생할 수 있으므로, 이온 주입 도즈량은 9.9E16 이온/㎠ 보다 증가되어야 한다.

[0042] 도 5b를 참조하면, 이온 주입 도즈량을 1E17 이온/㎠ 으로 한 경우 이온 주입된 부분에서 질화갈륨 박막의 수직 성장이 거의 일어나지 않음을 알 수 있다. 따라서, 이온 주입 도즈량을 1E17 이온/㎠ 초과로 수행한 경우 이온 주입 영역 상부에는 수평 성장에 의해서만 질화갈륨 박막이 형성될 수 있는 것이다.

[0043] 도 5c는 이온 주입 도즈량을 5E18 이온/㎠ 으로 한 경우이며, 이온 주입 영역의 실리콘 기판 표면을 보면 이때부터 수직성장층이 다시 형성되는 것을 알 수 있다. 따라서, 본 발명에 따른 이온 주입 도즈량은 1E17 이온/㎠ 을 초과하여야 하고, 5E18 이온/㎠ 이하가 되어야 한다.

[0044] 또한, 이온 주입 영역 양쪽의 질화갈륨 박막이 안정적으로 결합되기 위해서는 1E17 이온/㎠ 을 초과하여야 하고, 5E18 이온/㎠ 이하가 되어야 한다.

[0045] 이온 주입 도즈량이 1E17 이온/㎠ 이하가 되면 본 발명에 따른 수평성장(ELOG, Epitaxial Lateral Overgrowth) 공정이 미흡하게 수행되어 완전한 박막 형태가 나타나지고 질화갈륨 박막의 표면에 오목한 홈이 발생할 수 있으며, 이온 주입 도즈량이 5E18 이온/㎠ 초과 되면 수평성장이 과도하게 수행되어 질화갈륨 박막의 표면이 볼록하

게 돌출된 형태가 될 수 있다.

[0046] 그 다음에는, 이온 주입 영역(120)을 포함하는 실리콘 기판(100) 전면에 $In_xAl_yGa_{1-x-y}N$층($0.3 \geq x \geq 0$, $y \geq 0.1$, $x+y \leq 1$)(미도시)을 형성한다. $In_xAl_yGa_{1-x-y}N$층은 질화갈륨 박막 성장을 위한 완충층 역할을 한다.

[0047] 그 다음에는, $In_xAl_yGa_{1-x-y}N$층을 포함하는 실리콘 기판(100) 전면에 질화갈륨(GaN) 박막(130)을 형성한다. 이때, 이온 주입 영역(120)이 형성되지 않은 실리콘 기판(100)에서 이온 주입 영역(120)이 형성된 방향으로 질화갈륨(GaN)층이 수평성장되어 질화갈륨(GaN) 박막(130)이 완성되는 것이다. 이때, 질화갈륨(GaN) 박막(130)은 MOCVD(metalorganic chemical vapor deposition), MBE(molecular beam epitaxy), HVPE(hydride vapor phase epitaxy) 및 ALD(atomic layer deposition) 중 선택된 한 가지 방법을 형성하는 것이 바람직하다.

[0048] 그 다음에는, 질화갈륨(GaN) 박막(130)의 상부에 발광다이오드 형성을 위한 소자구조층(140)을 형성한다. 이때, 소자구조층(140)은 하부 클래드층, 활성층 및 상부 클래드층을 포함한다.

[0049] 이하에서는 본 발명의 일실시예에 따른 질화갈륨 박막 형성 방법에 의해, 전위밀도가 감소되고, 결정성이 안정적인 질화갈륨(GaN) 박막이 형성된다는 것을 주사전자현미경 사진을 통하여 실제적으로 증명하고자 한다.

[0050] <실시예1>

[0051] 먼저, 상술한 본 발명의 질화갈륨 박막 형성 방법에 따라 단결정 실리콘 기판에 라인/스페이스 패턴 형태의 이온 주입 영역을 형성한다. 이때, 스페이스 패턴 폭은 11㎛이고, 이온 주입 영역인 라인 패턴의 폭은 5㎛로 하였다.

[0052] 다음에는, 실리콘 기판 상부에는 10㎛ 두께의 이온 주입 마스크를 형성한 후 이온 주입 공정을 수행하였으며, 질소이온의 도즈량은 5E17 ion/㎠ 로 하였으며, 이온 주입 영역의 깊이가 100nm가 되도록 이온 주입 에너지를 37.5 KeV로 하였다.

[0053] 그 다음에는, 이온 주입 마스크 제거한 후 아세톤, 메탄올, D.I. water (deionized water)의 순서로 실리콘 기판 표면을 세정한 후 질소가스를 이용하여 건조시킨다.

[0054] 그 다음에는, 건조된 실리콘 기판을 MOCVD(Metal Organic Chemical Vapor Deposition) 반응기에 넣고 100nm 두께의 AlN층을 먼저 형성한 후 AlN층 상부에 1 ~ 2.5㎛의 두께의 질화갈륨 박막을 형성하였다.

[0055] 도 6a 내지 도 6c는 본 발명의 실시예1에 따른 질화갈륨 박막 형성 과정을 나타낸 주사전자현미경 상부면과 단면사진들로, 도 6a의 (i), 도 6b의 (i) 및 도 6c의 (i)은 상부면을 나타낸 것이고, 도 6a의 (ii), 도 6b의 (ii) 및 도 6c의 (ii)는 본 발명에 따른 질화갈륨 박막의 단면을 나타낸 것이다.

[0056] 도 6a는 성장을 시작한지 40분 경과한 후 질화갈륨 박막이 약 1㎛ 정도 성장된 것을 나타낸 것으로, 이온 주입 영역 상부에는 질화갈륨 박막의 성장이 거의 일어나지 않음을 알 수 있다.

[0057] 또한, 이온 주입 영역이 아닌 실리콘 기판에서 성장되는 수직방향 성장속도와 수평방향 성장속도가 거의 동일한 것을 알 수 있다.

[0058] 도 6b는 성장을 시작한지 80분 경과한 후 질화갈륨 박막이 2㎛ 정도 성장하였을 때 촬영한 것으로, 수평성장이 계속되어 양쪽에서 성장된 질화갈륨 박막이 결합되기 직전의 상태를 나타낸 것이다.

[0059] 도 6c는 성장을 시작한지 100분 경과한 후 질화갈륨 박막이 2.5㎛ 정도 성장하였을 때 촬영한 것으로, 질화갈륨 박막이 완벽하게 형성된 것을 나타낸 것이다.

[0060] 도 7a 내지 도 7c는 본 발명에 따른 질화갈륨 박막 형성 과정을 나타낸 주사전자현미경 상부면과 음극선 발광(Cathodel㎛inescence; CL) 사진들로, 상기 도 7a의 (i) 내지 도 7c의 (i) 각각에 대한 결과를 나타낸 사진들이다.

[0061] 도 7a 내지 도 7c를 참조하면, 수평 성장된 부분의 전위 밀도가 점차 감소되어 음극선 발광(Cathodel㎛inescence; CL)이 더 뚜렷하게 나타나는 것을 알 수 있다.

[0062] 도 8은 본 발명에 따른 이온 주입 영역을 포함하는 실리콘 기판과 이온 주입영역이 형성되지 않은 실리콘 기판에 각각 성장된 질화갈륨 박막의 X-ray 로킹커브(rocking curve)를 나타낸 그래프이다.

[0063] 도 8은 상기 도 6a 내지 도 7c에서 나타나는 수평 성장 영역에 대해 고분해능 XRD(X-ray Defractometry)를 사용

하여 질화갈륨(GaN) 박막의 결정성을 나타낸 것으로, 이온 주입된 영역인 라인 패턴 상부와 스페이스 패턴인 실리콘 기판에 각각 성장된 질화갈륨 박막의 X-ray rocking curve를 비교하여 나타내었다.

[0064] 질화갈륨 박막이 1㎛ 두께가 되었을 때의 XRD 반폭치 값을 비교해 보면, 이온 주입 영역에서 성장된 질화갈륨 박막의 반폭치 값이 812 arcsec로 나타나는데 반하여, 일반적인 실리콘 기판에서 성장된 질화갈륨 박막의 반폭치 2877 arcsec로 나타나므로, 수평성장을 통해 결정성이 향상되었음을 알 수 있다.

[0065] 여기서, 820 arcsec 보다 큰 반폭치 값을 가질 경우 소자특성에 나쁜 영향을 미칠 수 있으며, 반폭치 값은 낮을수록 결정성이 좋다는 것을 뜻한다. 따라서, 본 발명에서는 820 arcsec 이하로 형성하는 것이 바람직하다. 또한, 현재 기술로는 200 arcsec이하의 반폭치 값을 갖는 결정은 얻기 힘든 것으로 알려져 있으므로, 본 발명에서는 820 arcsec 이하의 반폭치 값 중 최대한 작은 값을 얻을 수 있도록 질화갈륨 박막의 수평 성장 공정을 조절하는 것이 바람직하다.

[0066] 상술한 바와 같이, 이온 주입 영역에서는 응력 에너지가 질소 이온 분포의 규칙성에 의해 비교적 적거나 불균일하게 집중되는 현상을 방지하므로, 질화갈륨 박막의 균일한 핵생성을 유도할 수 있다. 즉, 이온주입 처리된 실리콘 기판 표면에서는 격자 부정합이 완화하게 되고, 질소 이온 주입 처리되지 않은 표면의 질화갈륨에도 부정합이 완화되는 효과가 복합적으로 발생하게 되는 것이다.

[0067] 이러한, 효과는 질화갈륨 박막 상부에 형성되는 발광 다이오드용 소자 구조에도 영향을 주어 광학적 특성을 개선될 수 있도록 도와준다.

[0068] 본 발명에 따른 질화갈륨(GaN) 박막을 포함하는 질화물 반도체를 개별 소자로 절단하고 각각의 소자를 분리하여 발광 다이오드용 칩을 형성하고, 이 칩을 리드 프레임에 실장 시킨다.

[0069] 다음에는, 리드프레임을 캐소드 전극으로 형성하고, 칩 상부를 금 와이어로 연결하는 애노드 전극을 형성한다.

[0070] 그 다음에는, 상기 칩, 리프 프레임 및 상기 금 와이어가 연결된 상기 애노드 상부를 보호하도록 에폭시를 포탄형으로 몰딩하여 발광다이오드를 형성한다. 이때, 포탄형의 상부는 렌즈 역할을 하도록 하여 빛을 발산하는 효과가 증가될 수 있도록 한다.

[0071] 이와 같이, 본 발명에 따른 질화물 반도체를 칩으로 이용하는 발광다이오드는 상술한 개선된 결정성을 갖는 질화갈륨 박막을 포함하므로 우수한 광학적 특성을 나타낼 수 있다.

[0072] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0073] 도 1 및 도 2는 본 발명에 따른 실리콘 기판 상부에 형성된 질화갈륨 박막의 단면을 나타낸 투과전자현미경 사진들.

[0074] 도 3은 본 발명에 따른 질화물 반도체 형성 방법을 도시한 단면도.

[0075] 도 4는 실리콘 결정의 [1-10] 방위와 수직한 방향으로 라인/스페이스 패턴을 형성한 경우 실리콘 기판 상부에 형성된 질화갈륨 박막의 단면을 나타낸 SEM 사진.

[0076] 도 5a 내지 도 5c는 실리콘 결정의 [1-10] 방위와 수직한 방향으로 질소이온 주입 영역을 형성한 후 질화갈륨 박막을 성장시킨 단면을 촬영한 주사전자현미경 사진들.

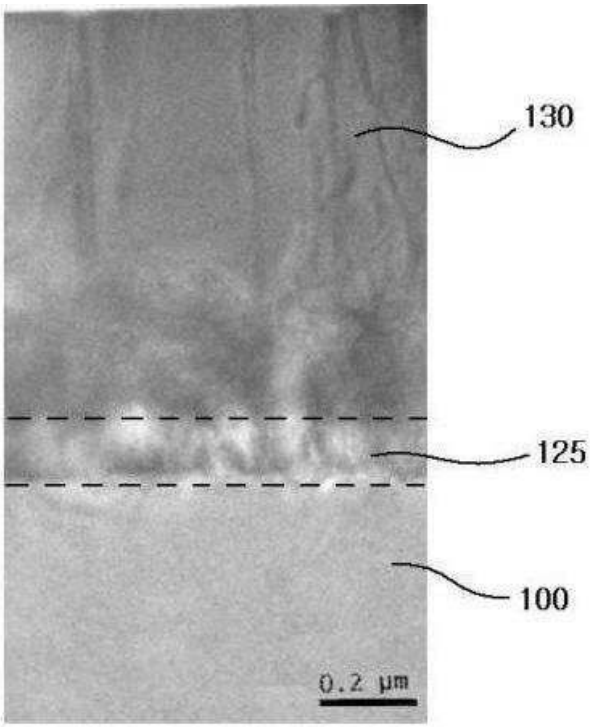
[0077] 도 6a 내지 도 6c는 본 발명의 실시예1에 따른 질화갈륨 박막 형성 과정을 나타낸 주사전자현미경 상부면과 단면사진들.

[0078] 도 7a 내지 도 7c는 본 발명에 따른 질화갈륨 박막 형성 과정을 나타낸 주사전자현미경 상부면과 음극선 발광도(Cathodelμminescence; CL)를 측정한 사진들.

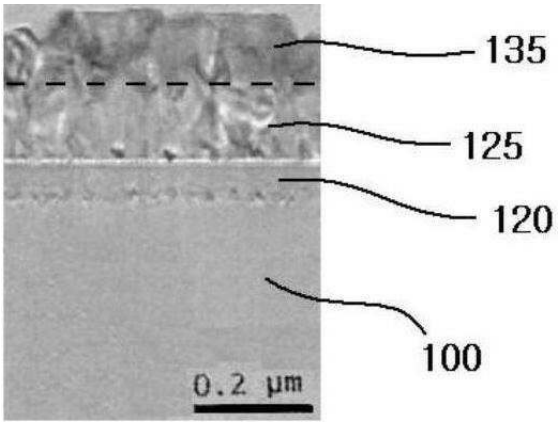
[0079] 도 8은 본 발명에 따른 이온 주입 영역을 포함하는 실리콘 기판과 이온 주입영역이 형성되지 않은 실리콘 기판에 각각 성장된 질화갈륨 박막의 X-ray 로킹커브(rocking curve)를 나타낸 그래프.

도면

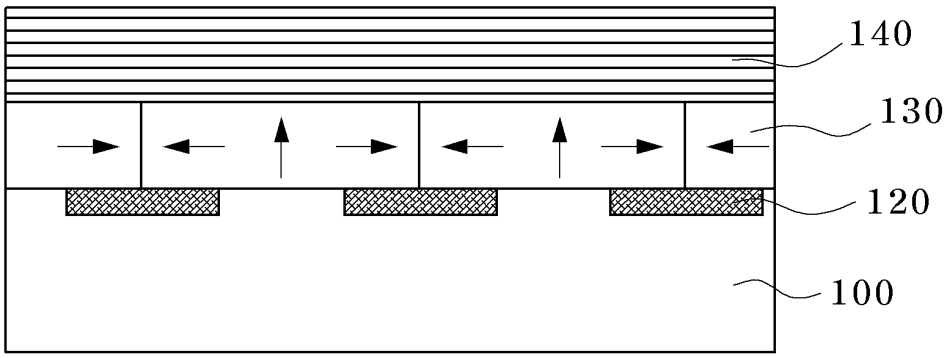
도면1



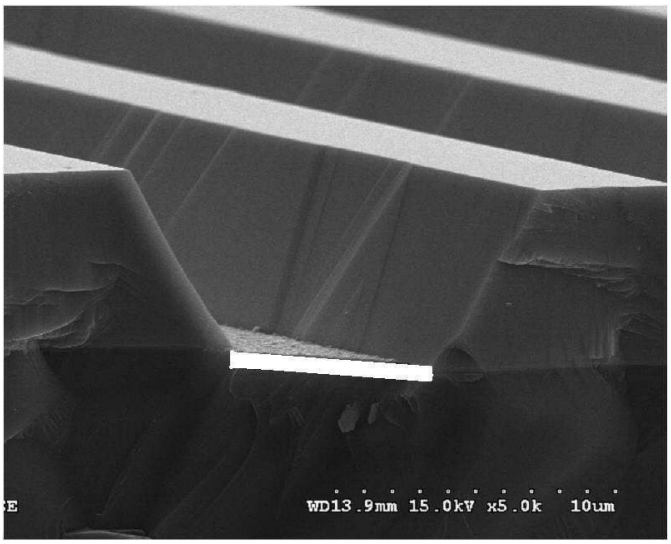
도면2



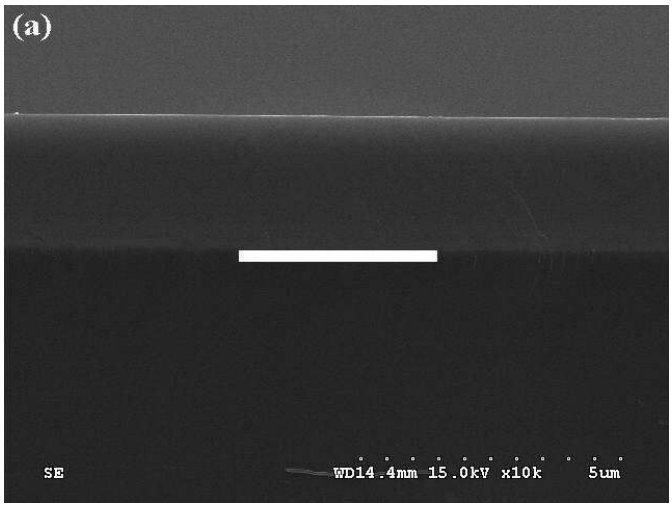
도면3



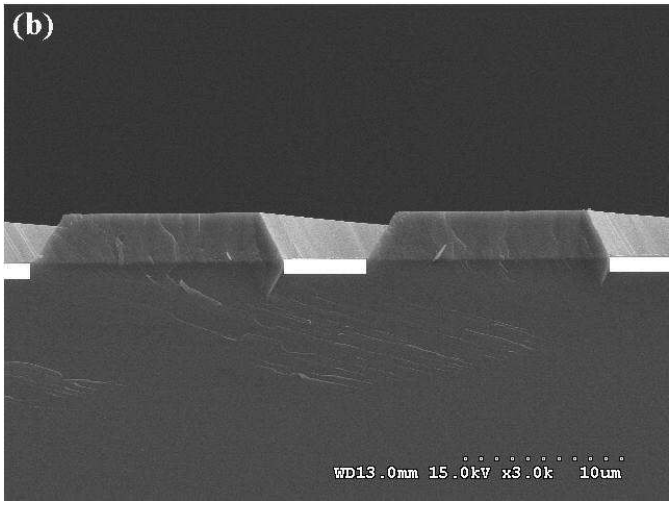
도면4



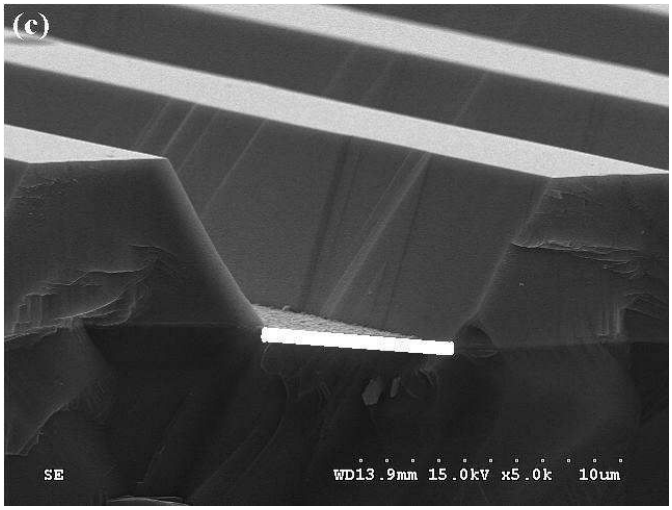
도면5a



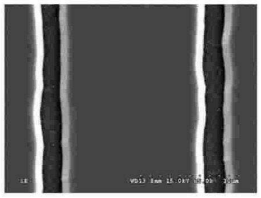
도면5b



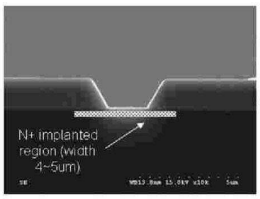
도면5c



도면6a

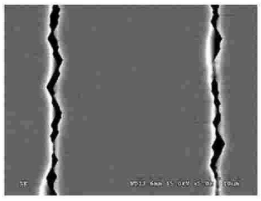


(i)

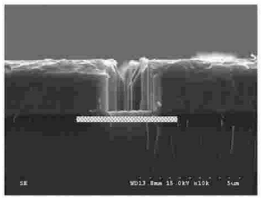


(ii)

도면6b

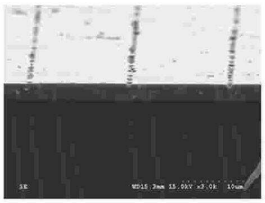


(i)

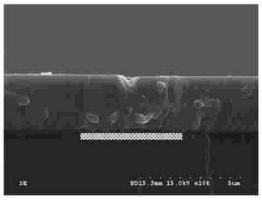


(ii)

도면6c

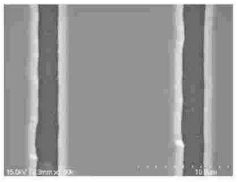


(i)

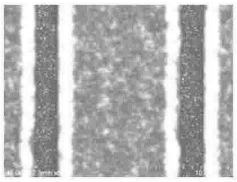


(ii)

도면7a

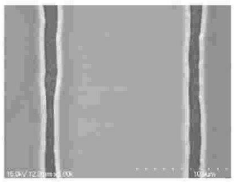


(i)

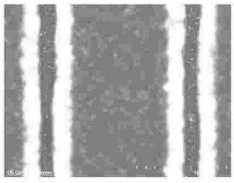


(ii)

도면7b

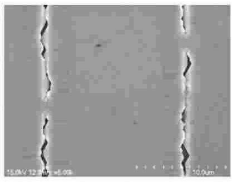


(i)

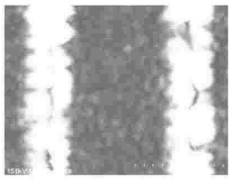


(ii)

도면7c

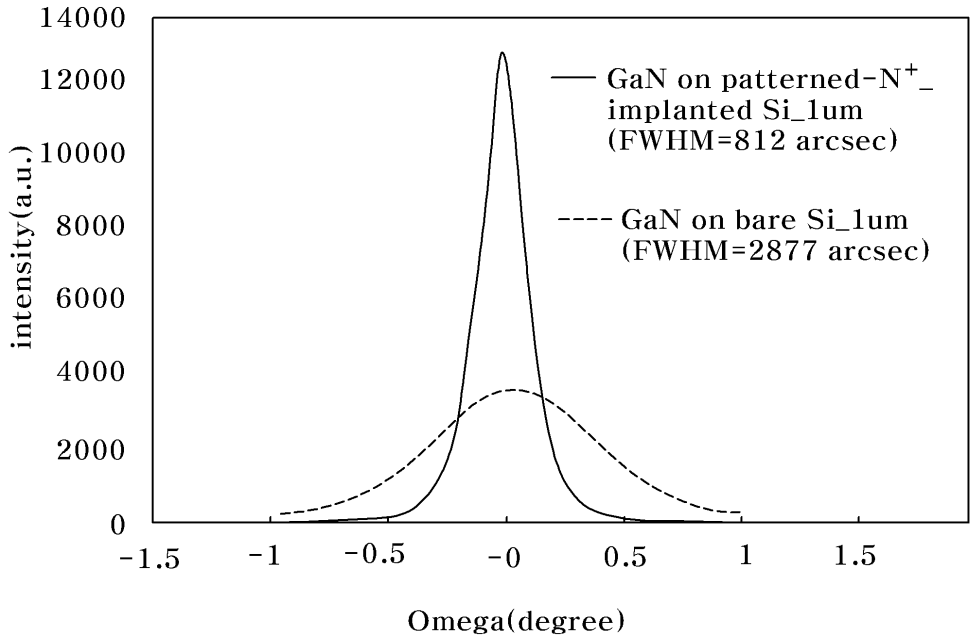


(i)



(ii)

도면8


14000
12000
10000
8000
6000
4000
2000
0
intensity(a.u.)
-1.5
-1
-0.5
-0
0.5
1
1.5
Omega(degree)
GaN on patterned-N+_ implanted Si_1um (FWHM=812 arcsec)
GaN on bare Si_1um (FWHM=2877 arcsec)