(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 7 月 21 日(21.07.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/114379 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号: PCT/JP2016/051085

(22) 国際出願日: 2016 年 1 月 15 日(15.01.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-007287 2015 年 1 月 16 日(16.01.2015) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 岡山 健一(OKAYAMA, Kenichi); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 野村 一郎(NOMURA, Ichiro); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 星野 裕司(HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目２１番１０号 浅沼第２ビル８階 Tokyo (JP).

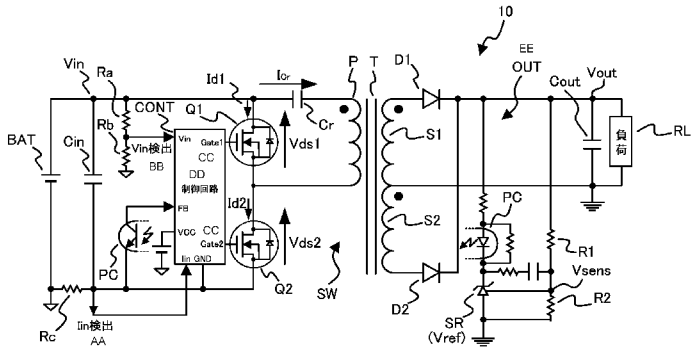
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SWITCHING POWER-SUPPLY DEVICE

(54) 発明の名称 : スイッチング電源装置



RL Load
AA Iin detection
BB Vin detection
CC Gate
DD Control circuit
EE OUT

(57) **Abstract**: A switching power-supply device provided with: a switching power-supply main unit provided with a main switching element for controlling the current flowing in the primary coil of a transformer, and a voltage output circuit for rectifying the voltage induced in the secondary coil of the transformer and generating a prescribed direct-current output voltage; and a switching control circuit for inputting a feedback signal that corresponds to the direct-current output voltage and keeping the direct-current output voltage constant, wherein the switching power-supply device is provided with an operation mode setting unit for detecting the direct-current input voltage and the direct-current input current supplied to the switching power-supply main unit in concert with the application of the direct-current input voltage, determining the input power for the switching power-supply main unit, and varying, in accordance with the determined input power, the ratio of a switching operation period Tact over which the main switching element is caused to switch at a prescribed switching frequency, and a switching stop period Tstop over which the switching operation is stopped.

(57) 要約:

[続葉有]

WO 2016/114379 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

トランスの一次巻線に流れる電流を制御する主スイッチング素子、並びにトランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、直流出力電圧に応じたフィードバック信号を入力して直流出力電圧を一定化するスイッチング制御回路とを備えたスイッチング電源装置において、直流入力電圧と該直流入力電圧の印加に伴ってスイッチング電源本体に供給される直流入力電流とをそれぞれ検出してスイッチング電源本体に対する入力電力を求め、求められた入力電力に応じて主スイッチング素子を所定のスイッチング周波数の下でスイッチング動作させるスイッチング動作期間Ｔ act と該スイッチング動作を停止させるスイッチング停止期間Ｔ stop との比を変更する動作モード設定部とを備える。

明　細　書

発明の名称 ： スイッチング電源装置

技術分野

[0001] 本発明は、幅広い負荷状態において、特に軽負荷状態での無駄な損失を抑えて高効率化を図ることのできる簡易な構成のスイッチング電源装置に関する。

背景技術

[0002] スイッチング電源装置は、概略的には直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子と、前記トランスの二次巻線に誘起された電圧を整流・平滑化して所定の直流出力電圧を生成する電圧出力回路を備える。更に前記スイッチング電源装置は、前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子のオン・オフを制御し、これによって前記直流出力電圧を一定化するスイッチング制御回路を備えて構成される。

[0003] ここで前記スイッチング電源装置は、自励式のものと他励式のものとに大別される。自励式のスイッチング電源装置とは、スイッチング回路部自体が発振動作を行うことで前記主スイッチング素子のオン・オフ周期を決定する方式のものである。また他励式のスイッチング電源装置とは、前記主スイッチング素子のオン・オフ周期を決定する発振器を外部に持つ方式のものである。

[0004] また前記スイッチング電源装置の回路方式には、トランスを介するエネルギ伝達の仕方が異なるフォワード方式とフライバック方式とがある。前記フォワード方式とは前記主スイッチング素子のオン時に前記トランスを介して二次巻線側にエネルギ伝達して前記直流出力電圧を生成する方式である。また前記フライバック方式とは、前記主スイッチング素子のオフ時に前記トランスを介して二次巻線側にエネルギ伝達して前記直流出力電圧を生成する方式である。

[0005] 一方、前記主スイッチング素子に流れる電流または前記主スイッチング素子に加わる電圧を正弦波形状にすることで該主スイッチング素子での損失を低減することも行われている。このようなスイッチング電源装置は、電流共振型スイッチング電源装置、或いは電圧共振型スイッチング電源装置と称される。ちなみに前記電流共振型のスイッチング電源装置は、前記トランスの一次巻線に直列に接続された共振用コンデンサを備え、前記主スイッチング素子に流れる電流が零［０］となるタイミングで該主スイッチング素子をオン・オフ制御するように構成される。また前記電圧共振型スイッチング電源装置は、前記主スイッチング素子に並列に接続された共振用コンデンサを備え、前記主スイッチング素子に加わる電圧が零［０］となるタイミングで該主スイッチング素子をオン・オフ制御するように構成される。

[0006] 具体的には電流共振型のスイッチング電源装置は、例えば図１４に示すように構成される。このスイッチング電源装置は、直列に接続された２つのスイッチング素子Ｑ１,Ｑ２を主スイッチング素子として備える。スイッチング素子Ｑ１は、共振用コンデンサＣｒを介してトランスＴの一次巻線Ｐに並列接続されており、またスイッチング素子Ｑ２はトランスＴの一次巻線Ｐに直列に接続されている。これらのスイッチング素子Ｑ１,Ｑ２は、例えばＭＯＳ-ＦＥＴからなり、一般的には集積回路化された制御回路ＣＯＮＴからのゲート信号を受けて相補的にオン・オフされる。

[0007] 尚、トランスＴの一次巻線Ｐには、直流電源ＢＡＴから共振用コンデンサＣｒおよびスイッチング素子Ｑ２を介して直流入力電圧Ｖinが印加される。直流電源ＢＡＴは、例えば商用交流電源を整流して直流入力電圧Ｖinを生成するものである。この直流入力電圧Ｖinは入力コンデンサＣinを介して平滑化されてスイッチング電源装置に与えられる。

[0008] ここでスイッチング素子Ｑ２は、オン時に共振用コンデンサＣｒを介してトランスＴの一次巻線Ｐに電流Ｉcrを流すと共に、共振用コンデンサＣｒとトランスＴの共振インダクタンスとからなる共振回路にエネルギを蓄積する役割を担う。またスイッチング素子Ｑ１は、オン時に前記共振回路に蓄えら

れたエネルギをトランスＴの一次巻線Ｐを介して放出させ、該一次巻線Ｐに逆向きの電流Ｉcrを流す役割を担う。この結果、トランスＴの一次巻線Ｐを介して流れる電流Ｉcrは、共振の弧を描く正弦波状の波形となる。

[0009] このようにしてトランスＴの一次巻線Ｐに流れる電流Ｉcrにより、該トランスＴの二次巻線Ｓ１，Ｓ２に所定の電圧が誘起される。そしてトランスＴの二次巻線Ｓ１，Ｓ２にそれぞれ誘起された電圧はダイオードＤ１，Ｄ２を介して両波整流された後、出力コンデンサCoutを介して平滑化される。即ち、ダイオードＤ１，Ｄ２および出力コンデンサCoutは、トランスＴの二次巻線Ｓ１，Ｓ２に誘起された電圧から負荷ＲＬに供給する直流出力電圧Ｖoutを生成する電圧出力回路を構成する。

[0010] 一方、直流出力電圧Ｖoutは、抵抗Ｒ１，Ｒ２を介して抵抗分圧されて該直流出力電圧Ｖoutに比例した検出電圧Ｖsensとして検出される。この検出電圧Ｖsensと、シャントレギュレータＳＲにより設定された所定の基準電圧Ｖrefとの誤差電圧が、フィードバック信号としてフォトカプラＰＣを介して制御回路ＣＯＮＴに与えられる。そして制御回路ＣＯＮＴは、前記フィードバック信号に基づいてスイッチング素子Ｑ１，Ｑ２をオン・オフする周期をフィードバック制御するなどして直流出力電圧Ｖoutを一定化する。このように構成されたスイッチング電源装置については、例えば特許文献１等に詳しく紹介される通りである。

先行技術文献

特許文献

[0011] 特許文献1：特開２００２－２０９３８１号公報

発明の概要

発明が解決しようとする課題

[0012] ところで上述したスイッチング電源装置においては、その定格負荷である１００％負荷時には、例えば図１５に動作波形を示すようにスイッチング素子Ｑ１，Ｑ２の相補的なオン・オフに伴ってトランスＴの一次巻線Ｐに流れる

電流Ｉcrが略正弦波となり、効率ηが最大となるように設計される。尚、図１５においては、スイッチング動作に伴う各スイッチング素子Ｑ１，Ｑ２のドレイン電流Ｉｄ１，Ｉｄ２、ゲート信号Ｖgate１，Ｖgate２およびソース・ドレイン間電圧Ｖds１，Ｖds２をそれぞれ併記している。

[0013] これに対して２５％負荷時には、例えば図１６に動作波形を示すように前記１００％負荷時に比較して電流Ｉcrのピーク値が大きく減少し、トランスＴの一次巻線Ｐに流れる電流Ｉcrの波形は正弦波の一部を交互に組み合わせた鋸歯状波的なものとなる。またこのときの各スイッチング素子Ｑ１，Ｑ２のドレイン電流Ｉ１，Ｉ２のピーク値は、図１７に拡大して示すように前記１００％負荷時に比較して大きく減少する。

[0014] しかしながら２５％負荷時であってもトランスＴの励磁電流自体は、図１７に破線で示すように１００％負荷時に比較して殆ど変化することはない。この励磁電流は、前記スイッチング電源装置における、いわゆる無効電流であり、該スイッチング電源装置を構成する回路のインピーダンスに起因する損失の要因となる。これ故、２５％負荷時における効率ηは、例えば図１８に示すように１００％負荷時の効率η（９５％）に比較して９０％程度まで低下する。換言すれば、定格負荷において効率ηが最大となるようにスイッチング電源装置を設計しても、軽負荷時の効率ηが低下すると言う問題がある。

[0015] このような軽負荷時の効率低下を改善する手法として、軽負荷時にはスイッチング素子Ｑ１，Ｑ２のオン・オフを所定の休止期間を挟んで間欠的に行わせ、これによってスイッチング損失および導通損失を低減することが行われている。具体的には図示しない外部装置から制御回路ＣＯＮＴに対して負荷状態に応じた動作モード切換信号を与える。そして制御回路ＣＯＮＴの制御の下で、定格負荷時にはスイッチング素子Ｑ１，Ｑ２を連続的にオン・オフさせ（連続動作モード）、また軽負荷時にはスイッチング素子Ｑ１，Ｑ２を間欠的にオン・オフさせる（間欠動作モード）。この結果、スイッチング素子Ｑ１，Ｑ２のオン・オフ動作の休止期間における該スイッチング素子Ｑ１，Ｑ２

のスイッチング損失等がなくなり、これによって軽負荷時における全体的な効率ηの低下が防止される。

[0016] しかしながら前記動作モード切換信号は上述したように外部装置から与えられるので、スイッチング電源装置においては前記動作モード切換信号を入力する為のインターフェース回路等が必要となる。この結果、スイッチング電源装置の構成部品点数が増加して高コスト化すると言う新たな問題が生じる。また前記動作モード切換信号を外部から入力することのできないスイッチング電源装置においては、その動作モードを切換えること自体ができないと言う問題もある。

[0017] そこで、例えば直流出力電圧Ｖoutの出力端に負荷検出抵抗（シャント抵抗）を介装して負荷電流を検出し、検出した負荷電流に応じて前述した連続動作モードと間欠動作モードとを選択的に切換えることが考えられる。このようにすれば外部装置から前記動作モード切換信号を与える必要がなくなるのでスイッチング電源装置の構成部品点数の増加を招くことがない。しかしその反面、軽負荷時における前記負荷検出抵抗での損失が過大となるので、軽負荷時における効率改善効果が得られない。

[0018] 本発明はこのような事情を考慮してなされたもので、その目的は、例えば１０％負荷状態から１００％負荷状態に亘って、特に軽負荷時の無駄な損失を抑えて高効率化を図ることのできる簡易な構成のスイッチング電源装置を提供することにある。

課題を解決するための手段

[0019] 上述した目的を達成するべく本発明に係るスイッチング電源装置は、

基本的には直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子、並びに前記トランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、

前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子をオン・オフするスイッチング周波数を制御して前記直流出力電圧

を一定化するスイッチング制御回路とを備えて構成される。

[0020] ちなみにこのスイッチング電源装置における前記スイッチング電源本体および前記スイッチング制御回路は、電流共振型のスイッチング電源回路部または電圧共振型のスイッチング電源回路部を構築したものである。

[0021] そして本発明に係るスイッチング電源装置は、特に前記スイッチング制御回路に

前記直流入力電圧と該直流入力電圧の印加に伴って前記スイッチング電源本体に供給される直流入力電流とをそれぞれ検出して前記スイッチング電源本体に対する入力電力を求める入力電力検出部と、

この入力電力検出部が求めた入力電力に応じて前記主スイッチング素子を前記スイッチング周波数の下でスイッチング動作させるスイッチング動作期間Ｔactと該スイッチング動作を停止させるスイッチング停止期間Ｔstopとの比を変更する動作モード設定部と

を設けたことを特徴としている。

[0022] また本発明に係る別のスイッチング電源装置は、

基本的には直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子、並びに前記トランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、

前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子をオン・オフするデューティ比を制御して前記直流出力電圧を一定化するスイッチング制御回路とを備えて構成される。

[0023] ちなみにこのスイッチング電源装置における前記スイッチング電源本体および前記スイッチング制御回路は、フォワード型のスイッチング電源回路部またはフライバック型のスイッチング電源回路部を構築したものである。

[0024] そして本発明に係る別のスイッチング電源装置は、特に前記スイッチング制御回路に

前記直流入力電圧と該直流入力電圧の印加に伴って前記スイッチング電源

本体に供給される直流入力電流とをそれぞれ検出して該スイッチング電源本体に対する入力電力を求める入力電力検出部と、

この入力電力検出部が求めた入力電力に応じて前記主スイッチング素子を前記デューティ比の下でスイッチング動作させるスイッチング動作期間Ｔactと該スイッチング動作を停止させるスイッチング停止期間Ｔstopとの比を変更する動作モード設定部と

を前記スイッチング制御回路に設けたことを特徴としている。

[0025] 好ましくは前記各スイッチング電源装置における前記動作モード設定部は、前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとの比を、前記主スイッチング素子のオン・オフを制御する制御単位期間Ｔsw（＝Ｔact＋Ｔstop）の全てを前記スイッチング動作期間Ｔactだけにする値として設定し、または前記制御単位期間Ｔswを前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとに分ける値として設定するように構成される。

[0026] 特に前記動作モード設定部は、前記入力電力が最大定格のときには前記スイッチング停止期間Ｔstopを［０］として前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとし、前記入力電力の減少に伴って前記制御単位期間Ｔswにおける前記スイッチング動作期間Ｔactが占める割合を少なくなるように前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとの比を設定するように構成される。

[0027] 好ましくは前記制御単位期間Ｔswにおける前記スイッチング動作期間Ｔactが占める割合は、前記入力電力の減少に伴って段階的に減少するように設定される。

[0028] また前記制御単位期間Ｔswを前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとに分けたときに前記トランスの一次巻線に流れる電流のピーク値は、前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとしたときに前記トランスの一次巻線に流れる電流のピーク値と略等しくなるように設定される。

[0029] 尚、前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとしたときに前記トランスの一次巻線に流れる電流のピーク値は、前記直流入力電圧から前記直流出力電圧を生成して出力する前記スイッチング電源本体での効率を最大とする電流値である。

[0030] ここで高速スイッチングによりスイッチング損失を低減し、効率を改善するため、従来多用されているシリコンの半導体の代わりに、例えば前記主スイッチング素子、または前記二次巻線の誘起電圧を整流する素子の一部、若しくはその全てを炭化珪素、窒化ガリウム、酸化ガリウム、ダイヤモンド等のワイドバンドギャップ半導体で構成した素子とすることも勿論可能である。

発明の効果

[0031] 本発明は、負荷状態に応じてスイッチング電源装置が出力する負荷電力が、該スイッチング電源装置の入力電力に概ね比例することに着目している。そこで本発明に係るスイッチング電源装置では前記スイッチング制御回路において、前記トランスの一次巻線と主スイッチング素子で構成される回路に印加される電圧Ｖinと該直流入力電圧の印加に伴って前記スイッチング電源本体に供給される電流、具体的には、例えば前記トランスの一次巻線に直列に接続されたスイッチング素子Ｑ２に流れる電流Id２や前記一次巻線に並列に接続されたスイッチング素子Ｑ１に流れる電流Id１をそれぞれ検出して前記スイッチング電源本体に対する入力電力Ｐinを求め、この入力電力Ｐinを負荷状態の評価情報として利用している。

[0032] そして前記スイッチング制御回路において、負荷状態を示す前記入力電力Ｐinに応じて主スイッチング素子のスイッチング動作モードを、該主スイッチング素子を連続してオン・オフする連続動作モードと、前記主スイッチング素子を休止期間Ｔstopを挟んで間欠

にオン・オフする間欠動作モードとに切換えている。この結果、従来のように外部から動作モード切換信号を与える必要がなくなるので、大幅なコストの増大を招来することなしに前記主スイッチング素子のオン・オフを間欠的

に行うことが可能となる。しかも前記直流出力電圧Ｖoutの出力端に負荷検出抵抗（シャント抵抗）を介装して負荷電流を検出する必要がないので、軽負荷時における前記負荷検出抵抗での大きな損失が問題となることもない。従って簡易にして効果的に軽負荷時での効率低下を解消することが可能となる。

[0033] 特に本発明に係るスイッチング電源装置においては、前記入力電力Ｐinに応じて前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとの比を多段階に変えるように構成される。更に本発明に係るスイッチング電源装置においては、間欠動作モード時に前記トランスの一次巻線に流れる電流のピーク値が、連続動作モード時に前記トランスの一次巻線に流れる電流のピーク値と略等しくなるように設定している。

[0034] この結果、前記間欠動作モード時での前記スイッチング動作期間Ｔactにおける効率η を、定格負荷時の連続動作モードにおける効率η と同程度にすることができる。更には前記間欠動作モード時での前記スイッチング停止期間Ｔstopにおける損失を略零（０）にすることができる。故に本発明に係るスイッチング電源装置における軽負荷時の効率を、時間平均として求められる最大効率と略等しくすることができる。よって軽負荷状態から最大負荷状態に至る幅広い範囲において効率η の低下を防ぐことができる等の効果が奏せられる。

[0035] また前述した通り、前記主スイッチング素子、または前記二次巻線の誘起電圧を整流する素子の一部を、若しくはその全てをワイドバンドギャップ半導体で構成した素子を用いれば、スイッチング損失低減ができるので、効率を上げる効果が得られる。

図面の簡単な説明

[0036] [図1]本発明の第１の実施形態に係る電流共振型のスイッチング電源装置の全体的な構成図。

[図2]図１に示すスイッチング電源装置におけるスイッチング制御回路の要部概略構成図。

[図3]入力電力Ｐinと出力電力（負荷電力）Ｐoutとの関係を模式的に示す図。

[図4]間欠動作モードでの主スイッチング素子に対する制御単位期間Ｔswと、前記主スイッチング素子をオン・オフするスイッチング動作期間Ｔact、並びに前記主スイッチング素子のオン・オフを停止させるスイッチング停止期間Ｔstopとの関係を示す図。

[図5]負荷電力に応じて多段階に設定される動作モードの例を示す図。

[図6]負荷電力に応じて多段階に設定される動作モードにおける、スイッチング動作期間Ｔactとスイッチング停止期間Ｔstopとの関係、並びにトランスＴの一次巻線Ｐに流れる電流Ｉcrを示す図。

[図7]図１に示すスイッチング電源装置における７５％負荷時の動作波形を示す図。

[図8]図１に示すスイッチング電源装置における５０％負荷時の動作波形を示す図。

[図9]図１に示すスイッチング電源装置における２５％負荷時の動作波形を示す図。

[図10]図１に示すスイッチング電源装置での負荷状態に応じた効率ηの変化を示す図。

[図11]本発明の第２の実施形態に係るフライバック型のスイッチング電源装置の全体的な構成図。

[図12]図１に示すスイッチング電源装置におけるスイッチング制御回路の要部概略構成図。

[図13]負荷電力に応じて多段階に設定される動作モードにおける、スイッチング動作期間Ｔactとスイッチング停止期間Ｔstopとの関係、並びに主スイッチング素子に流れるドレイン電流Ｉdを示す図。

[図14]従来の電流共振型のスイッチング電源装置の一例を示す構成図。

[図15]図１４に示すスイッチング電源装置における１００％負荷時の動作波形を示す図。

[図16]図１４に示すスイッチング電源装置における２５％負荷時の動作波形を示す図。

[図17]１００％負荷時および２５％負荷時におけるスイッチング素子Ｑ１（Ｑ２）のドレイン電流Ｉｄ１（Ｉｄ２）と対比して示す図。

[図18]図１４に示すスイッチング電源装置での負荷状態に応じた効率ηの変化を示す図。

発明を実施するための形態

[0037] 以下、図面を参照して本発明の第１の実施形態に係る電流共振型のスイッチング電源装置について説明する。

[0038] 図１は本発明の第１の実施形態に係るスイッチング電源装置１０の全体的な構成を示す図で、基本的には図１４に示したスイッチング電源装置と同様に構成される。従ってここでは、図１４に示したスイッチング電源装置と同一構成要素については同一符号を付してその繰り返し説明を省略する。ここで主スイッチング素子としてのスイッチング素子Ｑ１，Ｑ２、トランスＴ、並びにダイオードＤ１，Ｄ２と出力コンデンサＣoutとからなる電圧出力回路ＯＵＴは、スイッチング電源装置１０におけるスイッチング電源本体ＳＷを構成する。

[0039] さてこの第１の実施形態に係るスイッチング電源装置１０が特徴とするところは、直流電源ＢＡＴからスイッチング電源本体ＳＷに加えられる直流入力電圧Ｖinを検出する入力電圧検出手段ＶＤと、直流電源ＢＡＴからスイッチング電源本体ＳＷを介して流れる入力電流Ｉinを検出する入力電流検出手段ＩＤとを備える点にある。入力電圧検出手段ＶＤは、例えば直列に接続された抵抗Ｒａ，Ｒｂからなり、直流入力電圧Ｖinを抵抗分割して検出する抵抗分圧回路として実現される。また入力電流検出手段ＩＤは、例えばスイッチング素子Ｑ２のソースに直列に接続された電流検出用のシャント抵抗Ｒｃとして実現される。

[0040] そして抵抗Ｒａ，Ｒｂを介して検出された直流入力電圧Ｖinを示す入力電圧信号、およびシャント抵抗Ｒｃを介して検出された入力電流Ｉinを示す入力

電流信号は、スイッチング制御回路ＣＯＮＴに与えられる。スイッチング制御回路ＣＯＮＴは、後述するように前記直流入力電圧信号と前記入力電流信号とを乗算することで直流電源ＢＡＴからスイッチング電源本体ＳＷに加えられる入力電力Ｐinを求めている。

[0041] このようにして求められる入力電力Ｐinは、スイッチング電源本体ＳＷの出力電力Ｐoutに概ね相当している。そこでスイッチング制御回路ＣＯＮＴにおいては入力電力Ｐinを該スイッチング電源装置１０の負荷状態を示す評価情報として用い、後述するように入力電力Ｐinに応じてスイッチング素子Ｑ１，Ｑ２の動作モードを変更設定するものとなっている。即ち、本発明に係るスイッチング電源装置１０においては、該スイッチング電源装置１０の内部において負荷状態を検出し、検出した負荷状態に応じてスイッチング素子Ｑ１，Ｑ２の動作モードを変更設定するように構成される。

[0042] 図２は、上述した如く検出される負荷状態に応じてスイッチング素子Ｑ１，Ｑ２の動作モードを設定するように構成されたスイッチング制御回路ＣＯＮＴの要部概略構成図である。このスイッチング制御回路ＣＯＮＴは、基本的には直流出力電圧Ｖoutに応じて求められたフィードバック信号を入力し、該フィードバック信号に応じたスイッチング周波数ｆswを求める電圧・周波数変換回路１１を備える。前記フィードバック信号は、前述したように直流出力電圧Ｖoutに比例した検出電圧Ｖsensと、シャントレギュレータＳＲにより設定された基準電圧Ｖrefとの誤差電圧である。

[0043] またスイッチング制御回路ＣＯＮＴは、電圧・周波数変換回路１１により求められたスイッチング周波数ｆswに従ってゲート信号Ｖgate１，Ｖgate２を周期Ｔ（＝１／ｆsw）で生成するゲート信号生成回路１２を備える。ゲート信号Ｖgate１，Ｖgate２は、前述したようにスイッチング素子Ｑ１，Ｑ２を相補的にオン・オフする信号である。このようにして前記フィードバック信号に応じてゲート信号Ｖgate１，Ｖgate２の周期Ｔを制御することで直流出力電圧Ｖoutの一定化が行われる。

[0044] このような基本的な機能に加えてスイッチング制御回路ＣＯＮＴは、更に

直流入力電圧Ｖinと入力電流Ｉinとから入力電力Ｐin（＝Ｖin×Ｉin）を求める入力電力検出部１３を備える。この入力電力検出部１３は、直流入力電圧Ｖinと入力電流Ｉinとを掛け合わせることで入力電力Ｐinに相当する制御電圧Ｖpを求める乗算器からなる。ちなみに入力電力Ｐinは、図３に示すように一定の直流出力電圧Ｖoutを生成するスイッチング電源本体ＳＷの出力電力Ｐout、換言すれば負荷状態に応じたスイッチング電源装置１０の負荷電力に略比例したものである。

[0045] 一方、スイッチング制御回路ＣＯＮＴは、上述した如く求められた入力電力Ｐinに相当する制御電圧Ｖpのレベルからスイッチング電源装置１０の負荷状態を判定する負荷状態判定部１４を備える。この負荷状態判定部１４は、例えばスイッチング電源装置１０の負荷状態を４段階に分けて検出する３つの比較器１４ａ，１４ｂ，１４ｃと、これらの比較器１４ａ，１４ｂ，１４ｃの各出力に応じた動作モード選択信号を生成するデコーダ１４ｄとにより構成される。

[0046] 各比較器１４ａ，１４ｂ，１４ｃは、負荷状態のレベルに応じて予め設定された閾値電圧Ｖth１，Ｖth２，Ｖth３と制御電圧Ｖｐとをそれぞれ比較することで負荷状態の重さを判定する。具体的には比較器１４ａ，１４ｂ，１４ｃはスイッチング電源装置１０の負荷状態を、例えば１００％負荷状態、７５％負荷状態、５０％負荷状態、そして２５％負荷状態のいずれに属するかを判定する。これらの４段階の負荷状態を判定する為に、各比較器１４ａ，１４ｂ，１４ｃにそれぞれ設定される閾値電圧Ｖth１，Ｖth２，Ｖth３は、例えば８０％負荷、５５％負荷、３０％負荷にそれぞれ相当する電圧値として与えられる。

[0047] そしてデコーダ１４ｄは比較器１４ａ，１４ｂ，１４ｃの各出力が［ＨＨＨ（１１１）］のとき、スイッチング電源装置１０の負荷状態が８０％負荷を超えている、換言すれば１００％負荷状態であると判定する。またデコーダ１４ｄは比較器１４ａ，１４ｂ，１４ｃの各出力が［ＬＨＨ（０１１）］のとき、スイッチング電源装置１０の負荷状態が５５％負荷を超えているが、８

０％負荷には達していない、換言すれば７５％負荷状態であると判定する。

[0048] 同様にデコーダ１４ｄは比較器１４ａ，１４ｂ，１４ｃの各出力が［ＬＬＨ（００１）］のとき、スイッチング電源装置１０の負荷状態が３０％負荷を超えているが、５５％負荷には達していない、換言すれば５０％負荷状態であると判定する。更にデコーダ１４ｄは比較器１４ａ，１４ｂ，１４ｃの各出力が［ＬＬＬ（０００）］のとき、スイッチング電源装置１０の負荷状態が３０％負荷に達していない、換言すれば２５％負荷状態であると判定する。

[0049] そしてデコーダ１４ｄは、上述した負荷状態の４段階の判定結果に応じてスイッチング素子Ｑ１，Ｑ２のスイッチング動作モードを選択設定する為の、例えば２ビットの選択信号を出力する。スイッチング制御回路ＣＯＮＴが備える動作モード設定部１５は、デコーダ１４ｄから出力される前記選択信号に従ってゲート信号生成回路１２の動作を制御することで、スイッチング素子Ｑ１，Ｑ２を周期Ｔの下でオン・オフさせる動作モードを、予め設定された４種類の動作モードの１つに選択設定する役割を担う。

[0050] ちなみに前記動作モードとは、図４にその概念を示すように周期Ｔ（＝１／ｆsw）の下でスイッチング素子Ｑ１，Ｑ２のオン・オフを制御する所定の制御単位期間Ｔswにおいて、該スイッチング素子Ｑ１，Ｑ２をスイッチング動作させるスイッチング動作期間Ｔactと、該スイッチング動作を停止させるスイッチング停止期間Ｔstopとの比を変えたものである。

[0051] 具体的には前記４種類の動作モードの１つは、制御単位期間Ｔsw（＝Ｔact＋Ｔstop）におけるスイッチング停止期間Ｔstopを零（０）とし、該制御単位期間Ｔswの全てをスイッチング動作期間Ｔactだけにする動作モードとして設定される。このようにして制御単位期間Ｔswの全てに亘ってスイッチング素子Ｑ１，Ｑ２を連続的にオン・オフする動作モードを、ここでは連続動作モードと称する。この連続動作モードにおいては、制御単位期間ＴswとスイッチングＴactとの比［Ｔact／Ｔsw］は（１）に設定される。

[0052] また上記連続動作モードを除く他の動作モードは、制御単位期間Ｔswをスイッチング動作期間Ｔactとスイッチング停止期間Ｔstopとを所定の比率で分

ける動作モードとして設定される。従ってこの場合には、スイッチング素子Ｑ１,Ｑ２は所定の停止期間を挟んで間欠的にオン・オフされることになるので、この動作モードをここでは間欠動作モードと称する。

[0053] 特にこの実施形態においては前述したようにスイッチング電源装置１０の負荷状態を４段階に分けて判定しており、図５に示すように前記負荷状態が８０％負荷を超える場合には、これを１００％負荷状態であると判定して連続動作モードを選択している。この連続動作モードは、例えば図６(ａ)に示すようにスイッチング素子Ｑ１,Ｑ２を連続してオン・オフする動作モードである。そして前記負荷状態が８０％負荷に満たない場合には、その負荷の重さに応じてスイッチング動作期間Ｔactとスイッチング停止期間Ｔstopとの比率を異ならせた３種類の間欠動作モードを択一的に選択している。

[0054] 具体的にはスイッチング電源装置１０の負荷状態が５５％負荷を超えているが８０％負荷に達していない場合には、前述したようにデコーダ１４ｄは７５％負荷状態であると判定する。するとこの判定結果を受けて動作モード設定部１５は、制御単位期間Ｔswに対するスイッチング動作期間Ｔactの比［Ｔact／Ｔsw］を（０.７５）にした第１の間欠動作モードを選択する。この第１の間欠動作モードは、スイッチング素子Ｑ１,Ｑ２を、例えば図６(ｂ)に示すように３周期分（３Ｔ）に亘って連続してオン・オフした後、１周期分（１Ｔ）、そのオン・オフを停止する動作モードである。

[0055] またスイッチング電源装置１０の負荷状態が３０％負荷を超えているが５５％負荷に達していない場合には、デコーダ１４ｄは５０％負荷状態であると判定する。この場合、動作モード設定部１５は、制御単位期間Ｔswに対するスイッチング動作期間Ｔactの比［Ｔact／Ｔsw］を（０.５）にした第２の間欠動作モードを選択する。この第２の間欠動作モードはスイッチング素子Ｑ１,Ｑ２を、例えば図６(ｃ)に示すように１周期分（１Ｔ）毎にオン・オフ動作とその動作停止を繰り返す動作モードである。尚、２周期分（２Ｔ）毎にスイッチング素子Ｑ１,Ｑ２のオン・オフ動作とその動作停止を繰り返すことも可能である。

[0056] 更にスイッチング電源装置１０の負荷状態が３０％負荷に達していない場合には、デコーダ１４ｄは２５％負荷状態であると判定する。この場合には動作モード設定部１５は、制御単位期間Ｔswに対するスイッチング動作期間Ｔactの比［Ｔact／Ｔsw］を（０．２５）にした第３の間欠動作モードを選択する。この第３の間欠動作モードはスイッチング素子Ｑ１，Ｑ２を、例えば図６(ｄ)に示すように１周期分（１Ｔ）だけオン・オフした後、３周期分（３Ｔ）に亘ってそのオン・オフを停止する動作モードである。

[0057] ここで前記第１～第３の間欠動作モードを設定したときにトランスＴの一次巻線Ｐに流れる電流Ｉcrのピーク値は、前記連続動作モード時にトランスＴの一次巻線Ｐに流れる電流Ｉcrのピーク値と略等しくなるように設定されている。即ち、間欠動作モードが設定されたとき、スイッチング動作期間Ｔactにおけるスイッチング素子Ｑ１，Ｑ２のオン・オフ条件は、定格負荷時にスイッチング素子Ｑ１，Ｑ２を最大効率ηで連続的にオン・オフするときの条件と等しく設定されている。

[0058] 従って前記第１～第３の間欠動作モードが選択的に設定されたときのスイッチング電源装置１０の動作波形は、例えば図７、図８および図９にそれぞれ示すようになる。ちなみに図７は７５％負荷時におけるスイッチング電源装置１０の動作波形を示しており、図８は５０％負荷時の動作波形を、更に図９は２５％負荷時の動作波形をそれぞれ示している。また前記連続動作モードが設定されたときのスイッチング電源装置１０の動作波形は、前述した図１５に示す通りである。

[0059] 尚、ここでは説明の簡素化を図る為に制御単位期間Ｔswをスイッチング素子Ｑ１，Ｑ２のスイッチング周期Ｔの４倍にした例について示している。しかし制御単位期間Ｔswは、必ずしも周期Ｔの整数倍として設定されるものではない。

[0060] 上述した如く構成されたスイッチング電源装置１０によれば、図７～図９にそれぞれ示すように前記第１～第３の間欠動作モード時でのスイッチング動作期間Ｔactにおける効率ηを、図１５に示した定格負荷時の連続動作モー

ドにおける効率ηと同程度にすることができる。更には前記間欠動作モード時でのスイッチング停止期間Ｔstopにおける損失を略零（０）にすることができる。故に本発明に係るスイッチング電源装置１０の効率ηを前述した複数の動作モードに拘わることなく、時間平均として求められる最大効率と略等しくすることができる。従って、例えば図１０に示すように軽負荷状態から最大負荷状態に至る幅広い範囲において、特に軽負荷時における効率ηの大幅な低下を防ぐことができる等の効果が奏せられる。

[0061] しかもスイッチング電源装置１０は、前述したようにその内部において該スイッチング電源装置１０に対する直流入力電圧Ｖinと入力電流Ｉinとをそれぞれ検出して入力電力Ｐinを求め、この入力電力Ｐinを負荷状態を判定する評価情報としている。そして入力電力Ｐinを示す制御電圧Ｖpを所定の閾値電圧Ｖth１，Ｖth２，Ｖth３とそれぞれ比較することで該スイッチング電源装置１０の負荷状態を判定している。

[0062] 従ってスイッチング電源装置１０においては、負荷状態に応じた複数の動作モードを予め効率ηの低下を招くことがない条件でそれぞれ設定しておき、入力電力Ｐinから検出される負荷状態に応じて前記複数の動作モードの１つを選択設定することが可能となる。故に構成部品点数の大幅な増加を伴うことなく、定格負荷から軽負荷に亘る幅広い負荷条件に対して効率ηの大幅な低下を防ぎ得る簡易な構成のスイッチング電源装置１０を構築することができる。

[0063] 尚、本発明は上述した電流共振型のスイッチング電源装置１０だけに適用可能なものではなく、特に図示しないが電圧共振型のスイッチング電源装置にも同様に適用可能なことは言うまでもない。また本発明は、フォワード型やフライバック型のスイッチング電源装置にも同様に適用可能である。

[0064] 図１１は本発明の第２の実施形態に係るフライバック型のスイッチング電源装置２０の概略構成を示す図である。このスイッチング電源装置２０は、基本的には直流電源ＢＡＴにトランスＴの一次巻線Ｐを直列に介して接続されるスイッチング素子Ｑと、トランスＴの二次巻線Ｓに直列に接続されたダ

イオードＤとを備えて構成される。スイッチング電源装置２０は、スイッチング素子Ｑのオン時にトランスＴの一次巻線Ｐに電流を流してエネルギを蓄積し、スイッチング素子Ｑのオフ時にトランスＴの二次巻線Ｓに誘起された電圧をダイオードＤを介して取り出すことで所定の直流出力電圧Ｖoutを生成する。

[0065] また図１１に示すフライバック型のスイッチング電源装置２０におけるスイッチング制御回路ＣＯＮＴは、スイッチング素子Ｑを所定のデューティ比でオン・オフする役割を担う。また同時にスイッチング制御回路ＣＯＮＴは、直流出力電圧Ｖoutに応じて求められる前記フィードバック信号に従って直流出力電圧Ｖoutを一定化するように構成される。

[0066] 具体的にはスイッチング電源装置２０におけるスイッチング制御回路ＣＯＮＴは、例えば図１２に概略構成を示すように、前述した第１の実施形態で示した電圧・周波数変換回路１１に代えて、前記フィードバック信号の電圧に応じたデューティ比を求める電圧・デューティ変換回路１６を備える。そしてゲート信号生成回路１２は、電圧・デューティ変換回路１６が設定したデューティ比の下でスイッチング素子Ｑをオン・オフするゲート信号Ｖgateを生成するように構成される。

[0067] ちなみに前記デューティ比は、スイッチング素子Ｑがオン・オフする１周期Ｔにおけるオン期間またはオフ期間の割合を決定するものである。このデューティ比を直流出力電圧Ｖoutの変化に応じてフィードバック制御することでトランスＴの二次巻線Ｓ側に伝達されるエネルギ量が制御され、これによって直流出力電圧Ｖoutが一定化される。

[0068] 基本的には上述した如く構成されるスイッチング電源装置において、この第２の実施形態に係るスイッチング電源装置２０が特徴とするところは、前述した第１の実施形態に係るスイッチング電源装置１０と同様に直流入力電圧Ｖinを検出する入力電圧検出手段ＶＤと、入力電流Ｉinを検出する入力電流検出手段ＩＤとを備える点にある。この実施形態においても入力電圧検出手段ＶＤは、例えば直列に接続された抵抗Ｒａ，Ｒｂからなり、直流入力電圧

Ｖinを抵抗分割して検出する抵抗分圧回路として実現される。また入力電流検出手段ＩＤは、例えばスイッチング素子Ｑのソースに直列に接続された電流検出用のシャント抵抗Ｒｃとして実現される。

[0069] またスイッチング電源装置２０のスイッチング制御回路ＣＯＮＴには、第１の実施形態と同様に入力電力検出部１３、負荷状態判定部１４および動作モード設定部１５がそれぞれ設けられる。これらの入力電力検出部１３、負荷状態判定部１４および動作モード設定部１５の構成とその役割については第１の実施形態と同様なので、ここではその説明を省略する。

[0070] 図１３(ａ)～(ｄ)は上述した如く構成されたスイッチング電源装置２０での負荷状態に応じた動作波形、具体的にはスイッチング素子Ｑに流れるドレイン電流Ｉdを示している。この第２の実施形態に係るスイッチング電源装置２０においても１００％負荷時には前記連続動作モードが設定され、図１３(ａ)に示すようにスイッチング素子Ｑが一定の周期Ｔで連続的にオン・オフされる。また７５％負荷時には前記第１の間欠動作モードが設定され、図１３(ｂ)に示すようにスイッチング素子Ｑは３周期分（３Ｔ）に亘ってオン・オフされた後、そのオン・オフが１周期分（１Ｔ）停止される。

[0071] また５０％負荷時には前記第２の間欠動作モードが設定され、図１３(ｃ)に示すようにスイッチング素子Ｑは１周期（１Ｔ）毎にオン・オフと、オン・オフの停止が繰り返される。そして２５％負荷時には前記第３の間欠動作モードが設定され、図１３(ｄ)に示すようにスイッチング素子Ｑは１周期分（１Ｔ）にオン・オフされた後、３周期分（３Ｔ）に亘ってオン・オフが停止される。従ってこの第２の実施形態に係るフライバック型のスイッチング電源装置２０においても、前述した第１の実施形態に係るスイッチング電源装置１０と同様に、軽負荷時における効率ηの低下を効果的に抑えることができる。

[0072] 尚、本発明は上述した実施形態に限定されるものではない。例えば前記各実施形態においては前記第１～第３の間欠動作モードをそれぞれ規定する条件を、制御単位期間Ｔswに対するスイッチング動作期間Ｔactの比［Ｔact／

Ｔsw］に着目して設定した。しかし制御単位期間Ｔswが予め規定された場合には、スイッチング停止期間Ｔstopは該制御単位期間Ｔswにおけるスイッチング動作期間Ｔact以外の期間［Ｔsw－Ｔact］として求められる。従って前記第１～第３の間欠動作モードをそれぞれ規定する条件を、制御単位期間Ｔswに対するスイッチング停止期間Ｔstopの比［Ｔstop／Ｔsw］に着目して設定することも勿論可能である。

[0073] 更には前記第１～第３の間欠動作モードをそれぞれ規定する条件を、スイッチング動作期間Ｔactとスイッチング停止期間Ｔstopとの比として直接的に設定することも勿論可能である。またスイッチング動作期間Ｔactとスイッチング停止期間Ｔstopとの比については、必ずしも整数比として設定する必要がないことは言うまでもない。その他、本発明はその要旨を逸脱しない範囲で種々方式のスイッチング電源装置に幅広く適用することができる。また、これらの全ての方式に対し、スイッチング損失低減のため、前述した通り、前記主スイッチング素子、または二次側巻線の誘起電圧を整流する素子の一部、若しくはその全てワイドバンドギャップ半導体で構成することも効率改善に有効である。

符号の説明

[0074] Ｑ,Ｑ１,Ｑ２スイッチング素子

Ｔ　トランス

Ｃｒ　共振用コンデンサ

Ｄ,Ｄ１,Ｄ２　ダイオード

Ｃout　出力コンデンサ

ＳＷ　スイッチング電源本体

ＯＵＴ　電圧出力回路

ＣＯＮＴ　スイッチング制御回路

ＳＲ　シャントレギュレータ

ＰＣ　フォトカプラ

Ｒａ,Ｒｂ　抵抗（入力電圧検出手段）

Ｒｃ　シャント抵抗（入力電流検出手段）

１０，２０　スイッチング電源装置

１１　電圧・周波数変換回路

１２　ゲート信号生成回路

１３　入力電力検出部（乗算器）

１４　負荷状態判定部

１４ａ，１４ｂ，１４ｃ　比較器

１４ｄ　デコーダ

１５　動作モード設定部

１６　電圧・デューティ変換回路

請求の範囲

[請求項1] 直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子、並びに前記トランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、

前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子をオン・オフするスイッチング周波数を制御して前記直流出力電圧を一定化するスイッチング制御回路とを具備し、

前記スイッチング制御回路は、

前記直流入力電圧と該直流入力電圧の印加に伴って前記スイッチング電源本体に供給される直流入力電流とをそれぞれ検出して前記スイッチング電源本体に対する入力電力を求める入力電力検出部と、

この入力電力検出部が求めた入力電力に応じて前記主スイッチング素子を前記スイッチング周波数の下でスイッチング動作させるスイッチング動作期間Ｔactと該スイッチング動作を停止させるスイッチング停止期間Ｔstopとの比を変更する動作モード設定部と

を具備したことを特徴とするスイッチング電源装置。

[請求項2] 前記動作モード設定部は、前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとの比を、前記主スイッチング素子のオン・オフを制御する制御単位期間Ｔsw（＝Ｔact＋Ｔstop）の全てを前記スイッチング動作期間Ｔactだけにする値として設定し、または前記制御単位期間Ｔswを前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとに分ける値として設定するものである請求項１に記載のスイッチング電源装置。

[請求項3] 前記動作モード設定部は、前記入力電力が最大定格のときには前記スイッチング停止期間Ｔstopを［０］として前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとし、前記入力電力の減少に伴って前記制御単位期間Ｔswにおける前記スイッチング動作期間Ｔac

tが占める割合を少なくなるように前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとの比を設定するものである請求項２に記載のスイッチング電源装置。

[請求項4] 前記制御単位期間Ｔswにおける前記スイッチング動作期間Ｔactが占める割合は、前記入力電力の減少に伴って段階的に減少するように設定される請求項３に記載のスイッチング電源装置。

[請求項5] 前記制御単位期間Ｔswを前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとに分けたときに前記トランスの一次巻線に流れる電流のピーク値は、前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとしたときに前記トランスの一次巻線に流れる電流のピーク値と略等しくなるように設定されるものである請求項１に記載のスイッチング電源装置。

[請求項6] 前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとしたときに前記トランスの一次巻線に流れる電流のピーク値は、前記直流入力電圧から前記直流出力電圧を生成して出力する前記スイッチング電源本体での効率を最大とする電流値である請求項５に記載のスイッチング電源装置。

[請求項7] 前記スイッチング電源本体および前記スイッチング制御回路は、電流共振型のスイッチング電源回路部または電圧共振型のスイッチング電源回路部を構築したものである請求項１に記載のスイッチング電源装置。

[請求項8] 前記主スイッチング素子、または前記二次巻線の誘起電圧を整流する素子の一部、若しくはその全て部をワイドバンドギャップ半導体で構成した素子とすることを特徴とする請求項１に記載のスイッチング電源装置。

[請求項9] 前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料、酸化ガリウム系材料、ダイヤモンドであることを特徴とする請求項１に記載のスイッチング電源装置。

[請求項10] 直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子、並びに前記トランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、

前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子をオン・オフするデューティ比を制御して前記直流出力電圧を一定化するスイッチング制御回路とを具備し、

前記スイッチング制御回路は、

前記直流入力電圧と該直流入力電圧の印加に伴って前記スイッチング電源本体に供給される直流入力電流とをそれぞれ検出して前記スイッチング電源本体に対する入力電力を求める入力電力検出部と、

この入力電力検出部が求めた入力電力に応じて前記主スイッチング素子を前記デューティ比の下でスイッチング動作させるスイッチング動作期間Ｔactと該スイッチング動作を停止させるスイッチング停止期間Ｔstopとの比を変更する動作モード設定部と

を具備したことを特徴とするスイッチング電源装置。

[請求項11] 前記動作モード設定部は、前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとの比を、前記主スイッチング素子のオン・オフを制御する制御単位期間Ｔsw（＝Ｔact＋Ｔstop）の全てを前記スイッチング動作期間Ｔactだけにする値として設定し、または前記制御単位期間Ｔswを前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとに分ける値として設定するものである請求項１０に記載のスイッチング電源装置。

[請求項12] 前記動作モード設定部は、前記入力電力が最大定格のときには前記スイッチング停止期間Ｔstopを［０］として前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとし、前記入力電力の減少に伴って前記制御単位期間Ｔswにおける前記スイッチング動作期間Ｔactが占める割合を少なくなるように前記スイッチング動作期間Ｔactと

前記スイッチング停止期間Ｔstopとの比を設定するものである請求項１０に記載のスイッチング電源装置。

[請求項13] 前記制御単位期間Ｔswにおける前記スイッチング動作期間Ｔactが占める割合は、前記入力電力の減少に伴って段階的に減少するように設定される請求項１２に記載のスイッチング電源装置。

[請求項14] 前記制御単位期間Ｔswを前記スイッチング動作期間Ｔactと前記スイッチング停止期間Ｔstopとに分けたときに前記トランスの一次巻線に流れる電流のピーク値は、前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとしたときに前記トランスの一次巻線に流れる電流のピーク値と略等しくなるように設定されるものである請求項１０に記載のスイッチング電源装置。

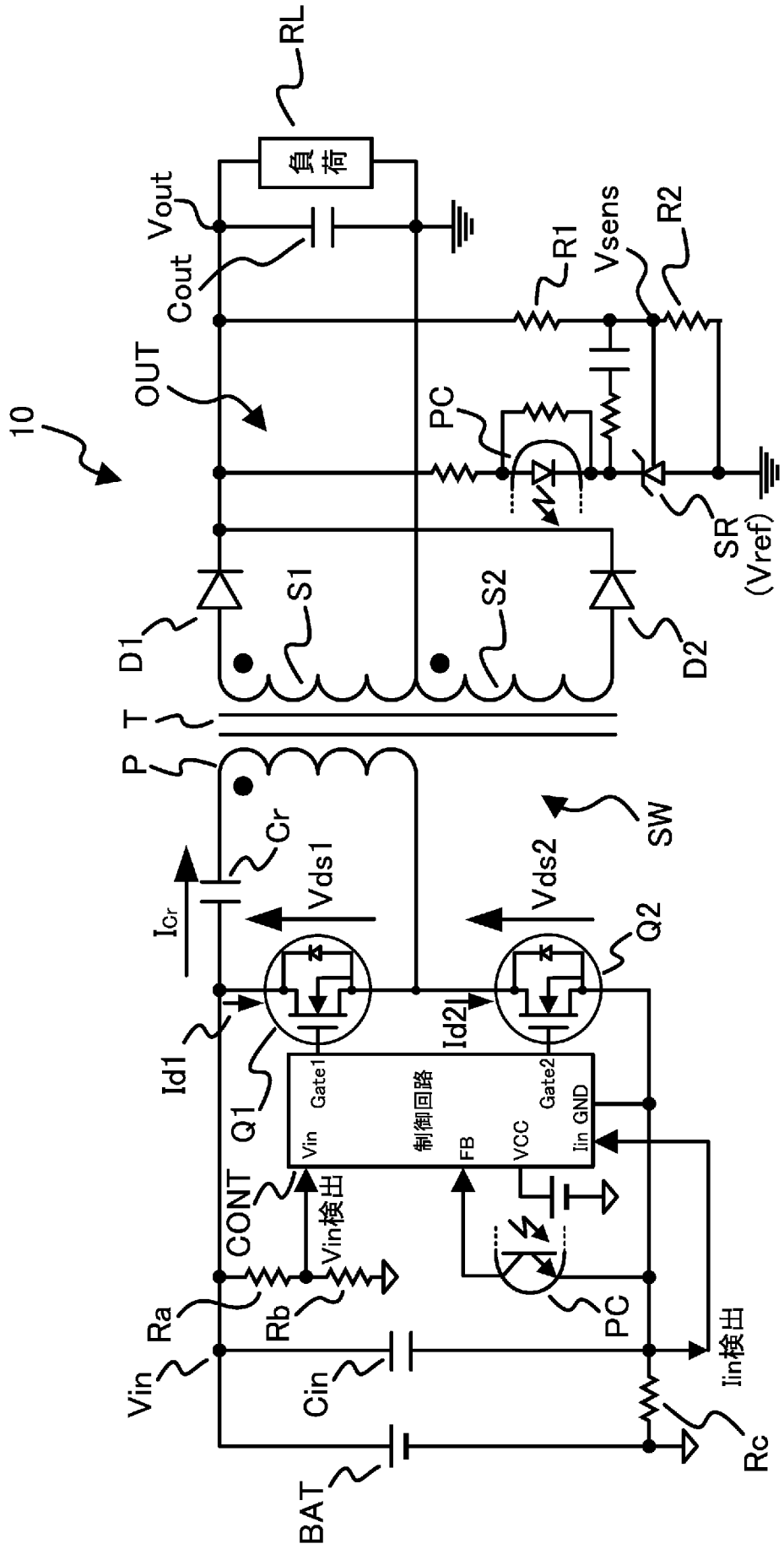
[請求項15] 前記制御単位期間Ｔswの全てを前記スイッチング動作期間Ｔactとしたときに前記トランスの一次巻線に流れる電流のピーク値は、前記直流入力電圧から前記直流出力電圧を生成して出力する前記スイッチング電源本体での効率を最大とする電流値である請求項１４に記載のスイッチング電源装置。

[請求項16] 前記スイッチング電源本体および前記スイッチング制御回路は、フォワード型のスイッチング電源回路部またはフライバック型のスイッチング電源回路部を構築したものである請求項１０に記載のスイッチング電源装置。

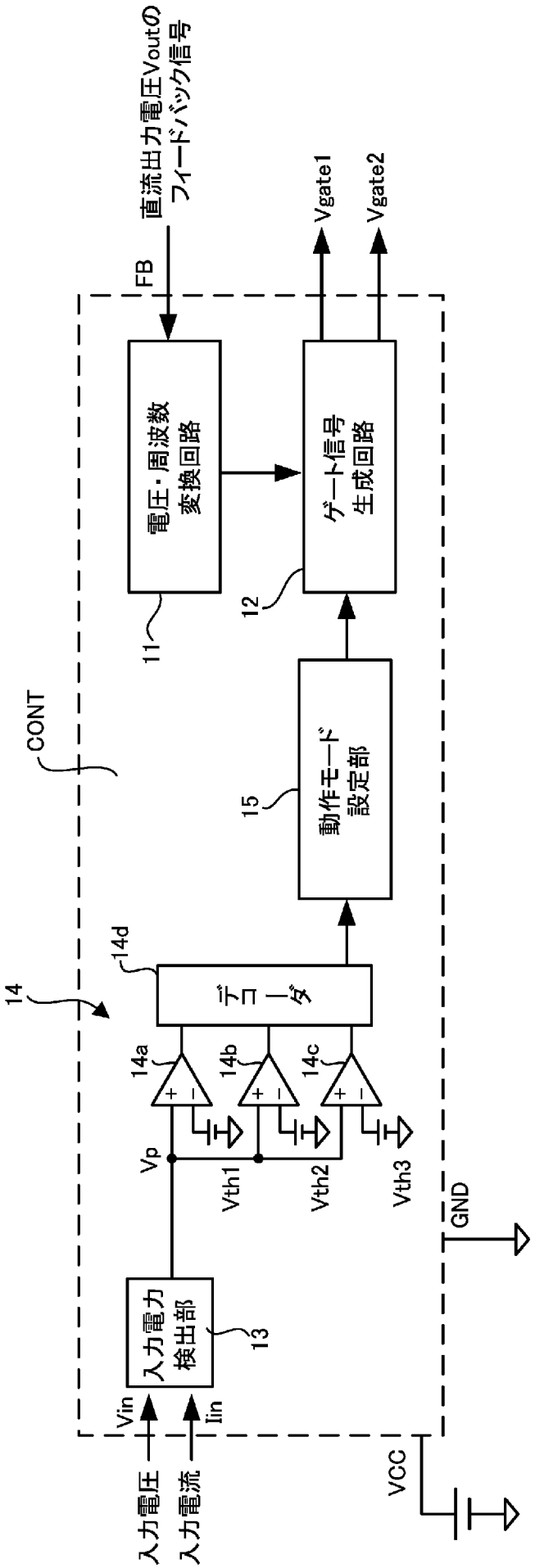
[請求項17] 前記主スイッチング素子、または前記二次巻線の誘起電圧を整流する素子の一部、若しくはその全てをワイドバンドギャップ半導体で構成した素子とすることを特徴とする請求項１０に記載のスイッチング電源装置。

[請求項18] 前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料、酸化ガリウム系材料、ダイヤモンドであることを特徴とする請求項１０に記載のスイッチング電源装置。

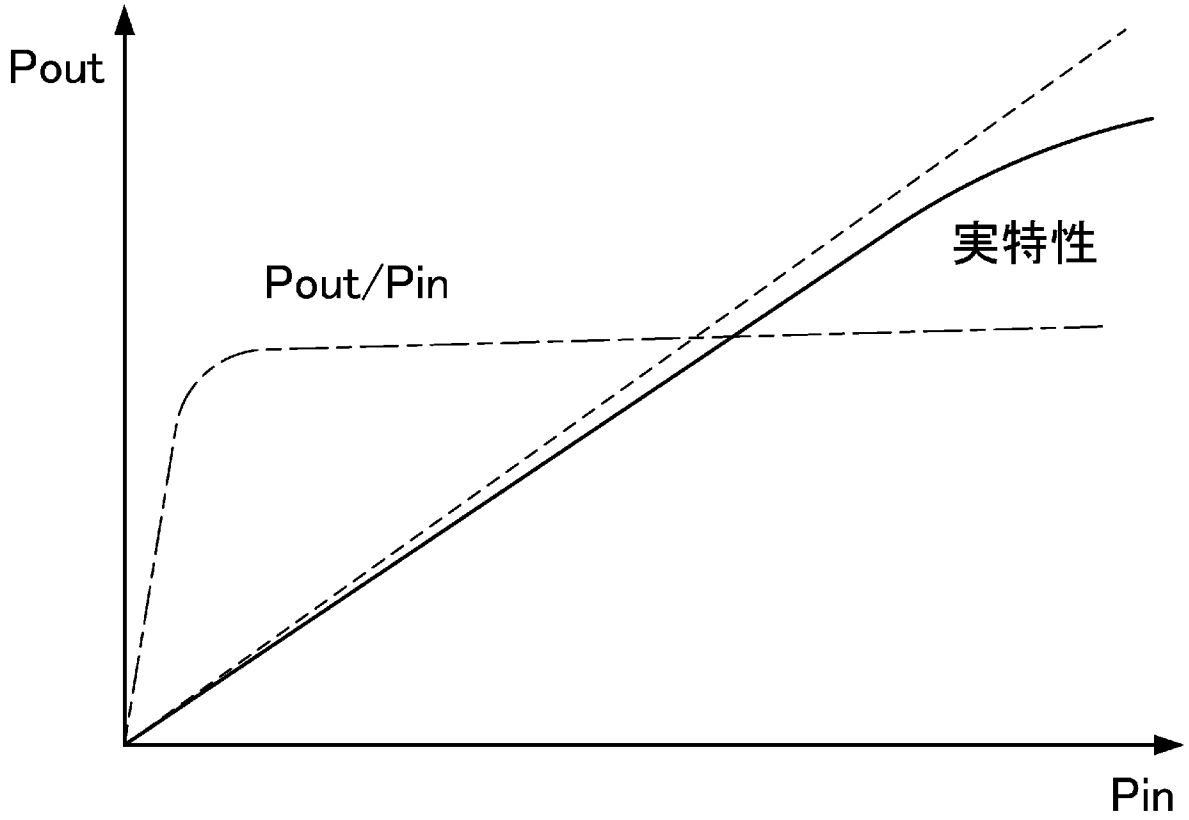
[図1]


RL
負荷
Vout
Cout
R1
Vsens
R2
10
OUT
PC
SR
(Vref)
D1
S1
S2
D2
T
P
Cr
SW
Icr
Vds1
Vds2
Q2
Id1
Id2
Q1
Gate1
制御回路
Gate2
Vin
FB
VCC
Iin GND
CONT
Vin検出
Ra
Rb
PC
Iin検出
Vin
Cin
Rc
BAT

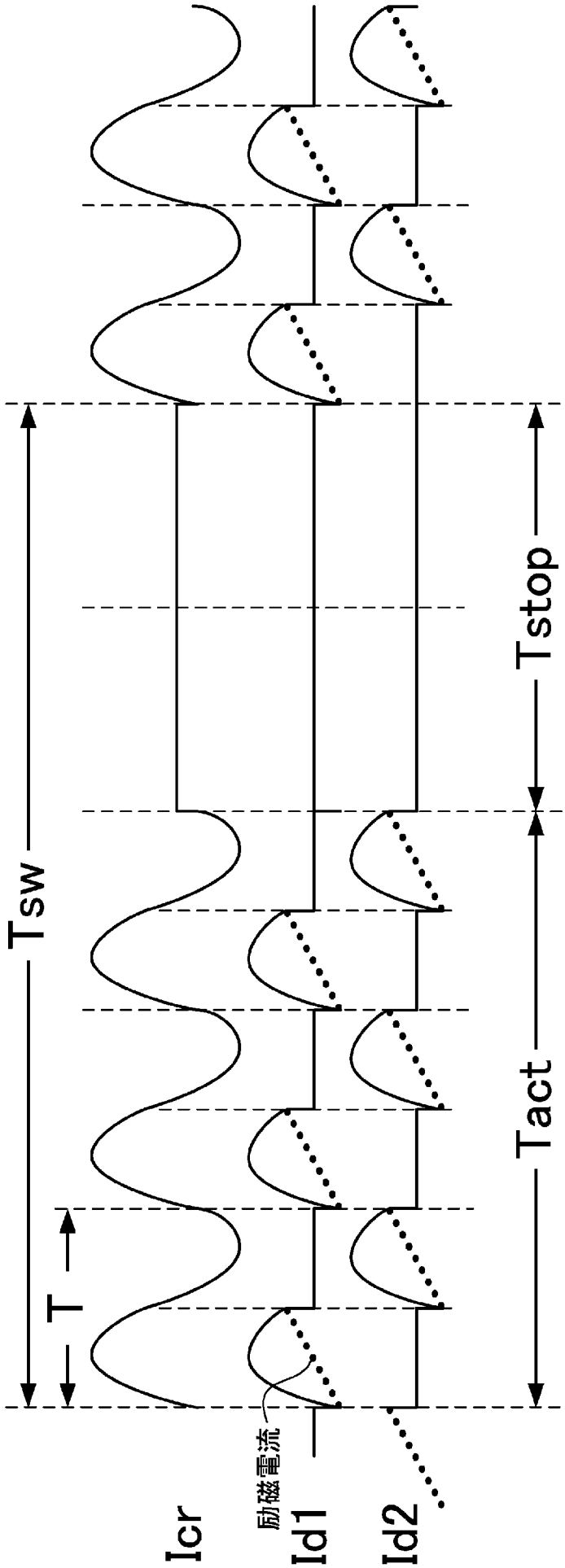
[図2]


直流出力電圧Voutの
フィードバック信号
FB
Vgate1
Vgate2
電圧・周波数
変換回路
ゲート信号
生成回路
11
12
CONT
15
動作モード
設定部
14
14d
デコーダ
14a
14b
14c
Vp
Vth1
Vth2
Vth3
GND
入力電力
検出部
13
Vin
Iin
入力電圧
入力電流
VCC

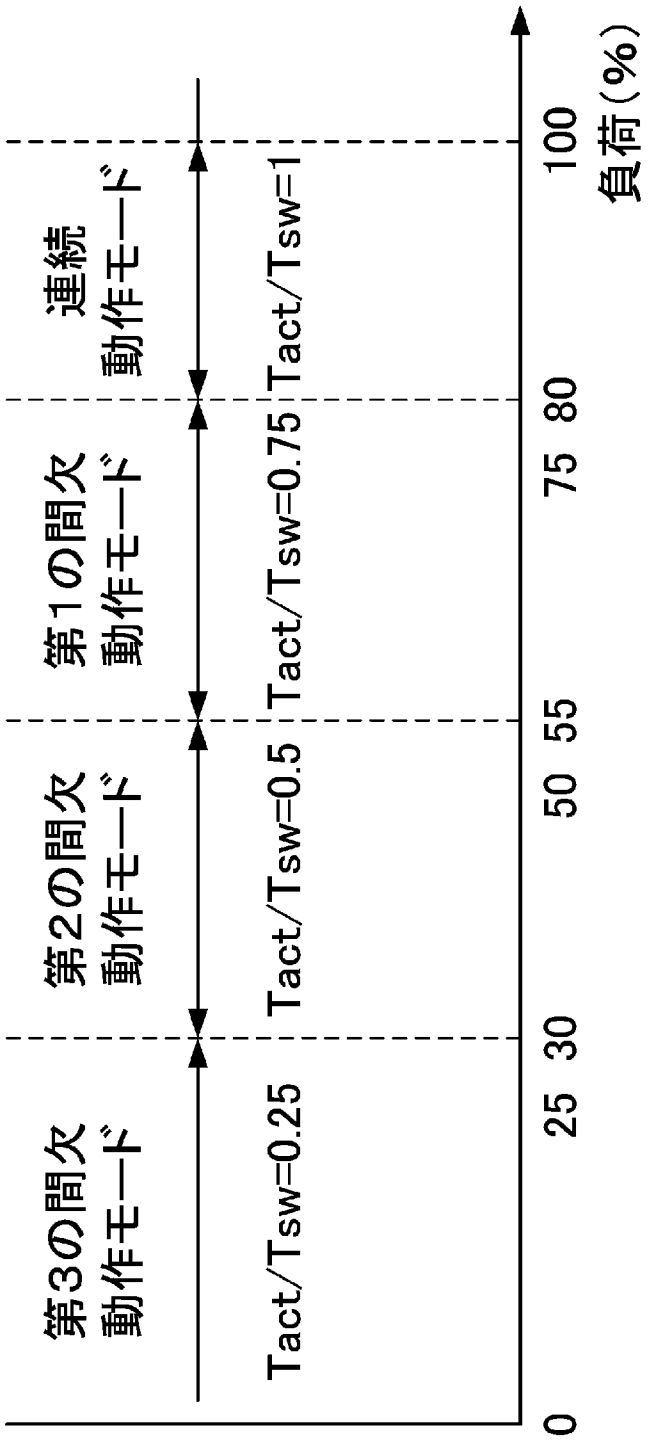
[図3]



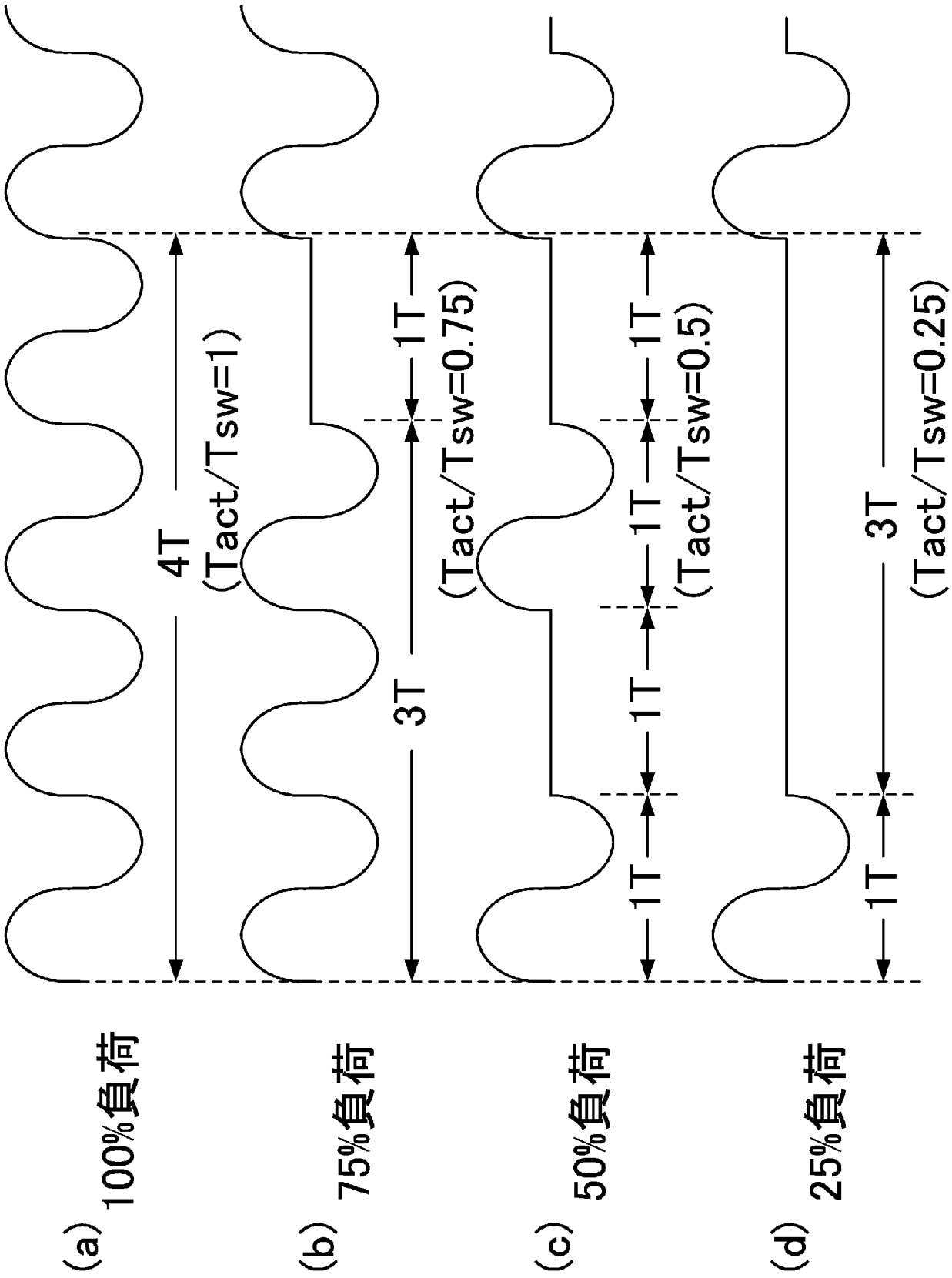
[図4]



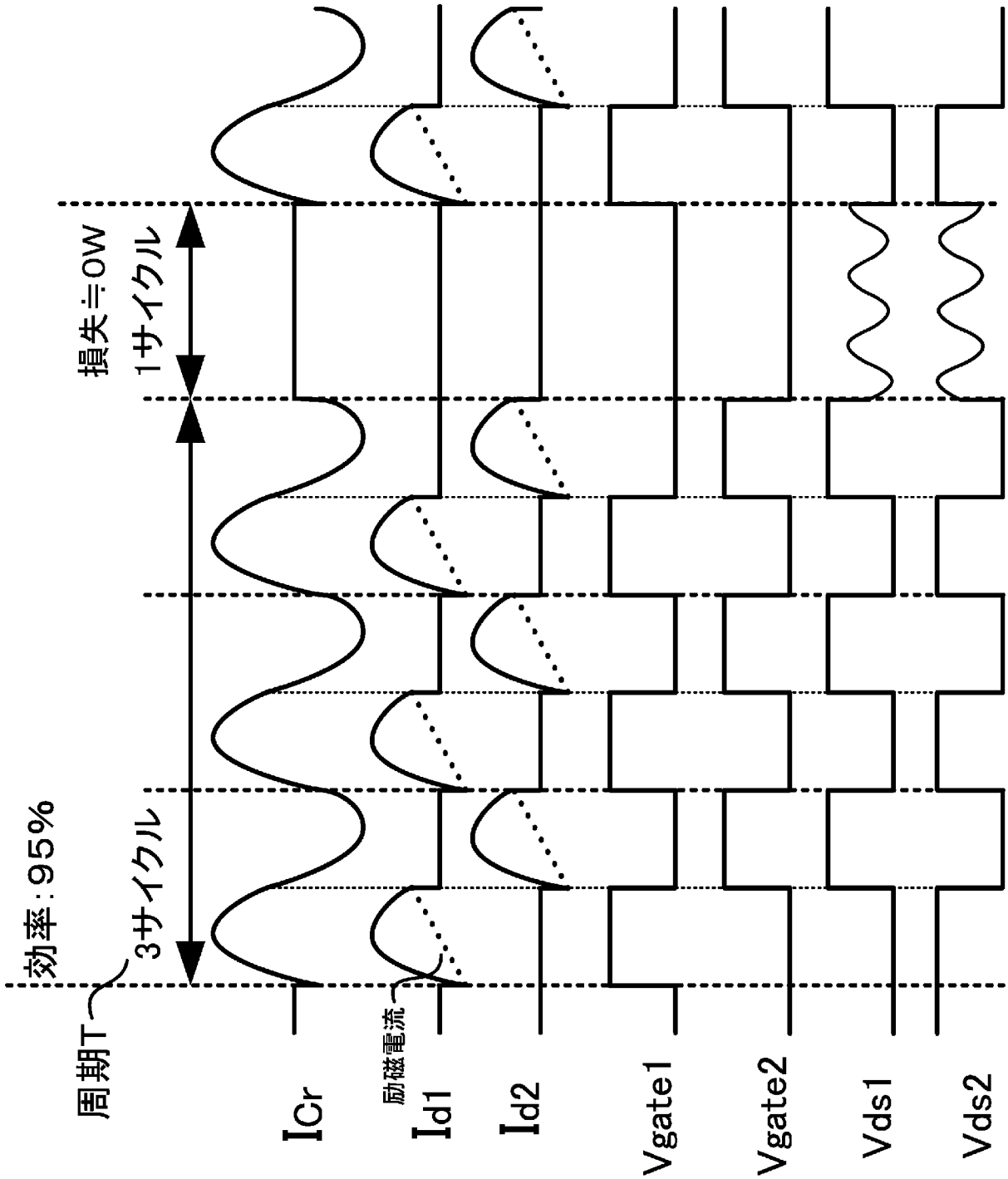
[図5]


第3の間欠
動作モード
第2の間欠
動作モード
第1の間欠
動作モード
連続
動作モード
Tact/Tsw=0.25
Tact/Tsw=0.5
Tact/Tsw=0.75
Tact/Tsw=1
0
25
30
50
55
75
80
100
負荷(%)

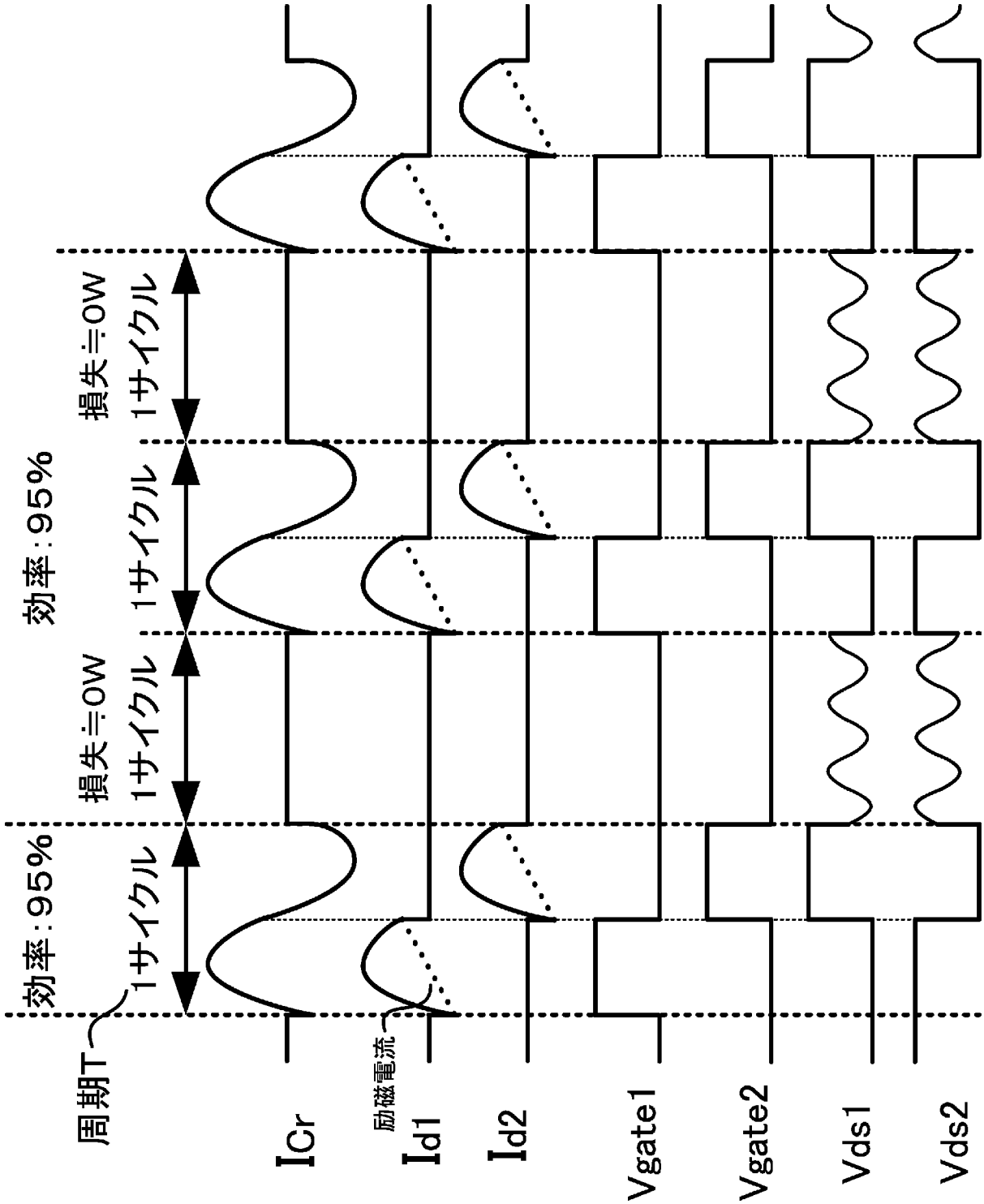
[図6]


(a) 100%負荷
4T
(Tact/Tsw=1)
(b) 75%負荷
3T
1T
(Tact/Tsw=0.75)
(c) 50%負荷
1T
1T
1T
(Tact/Tsw=0.5)
(d) 25%負荷
1T
3T
(Tact/Tsw=0.25)

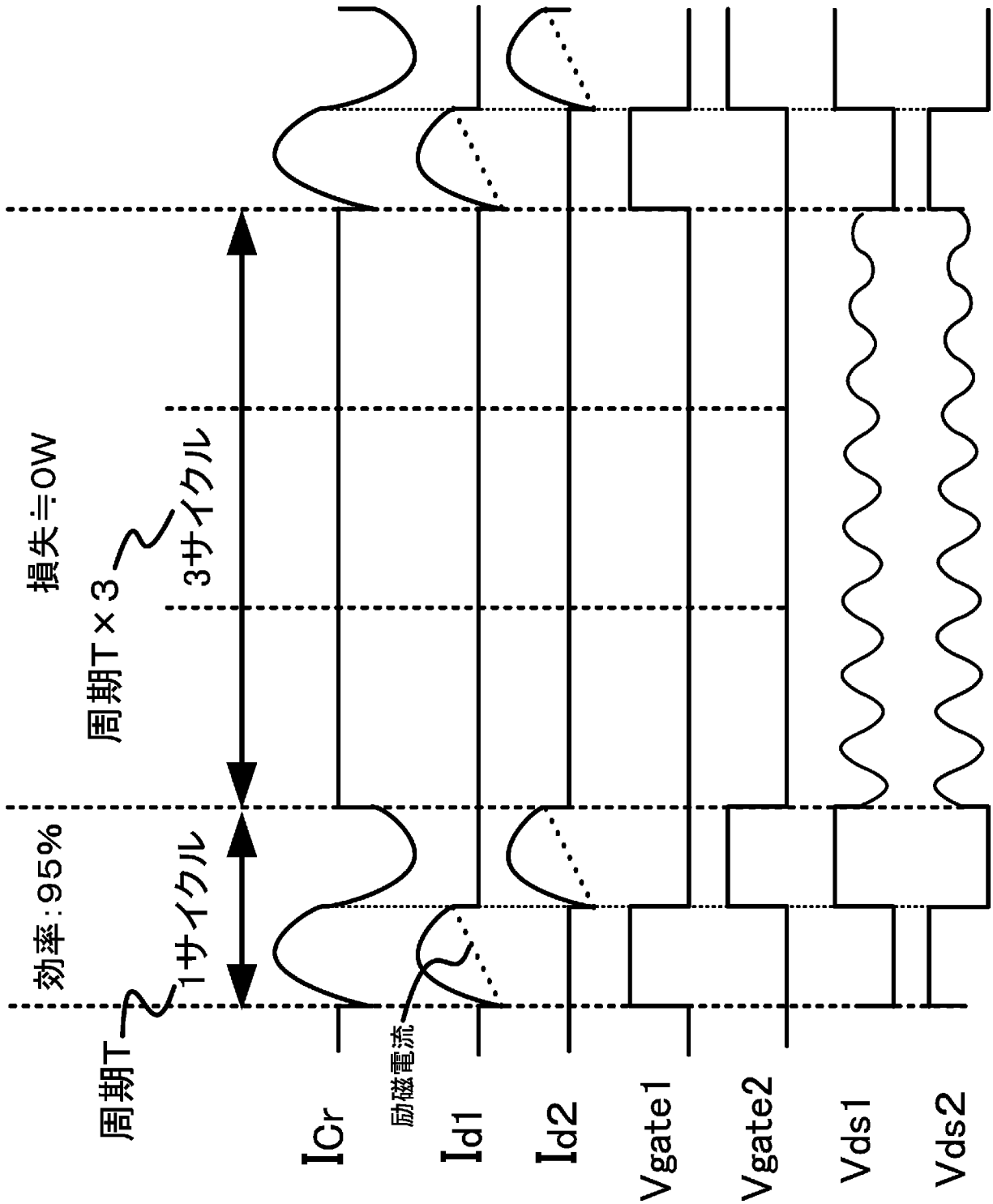
[図7]


効率:95%
3サイクル
周期T
損失ニOW
1サイクル
ICr
励磁電流
Id1
Id2
Vgate1
Vgate2
Vds1
Vds2

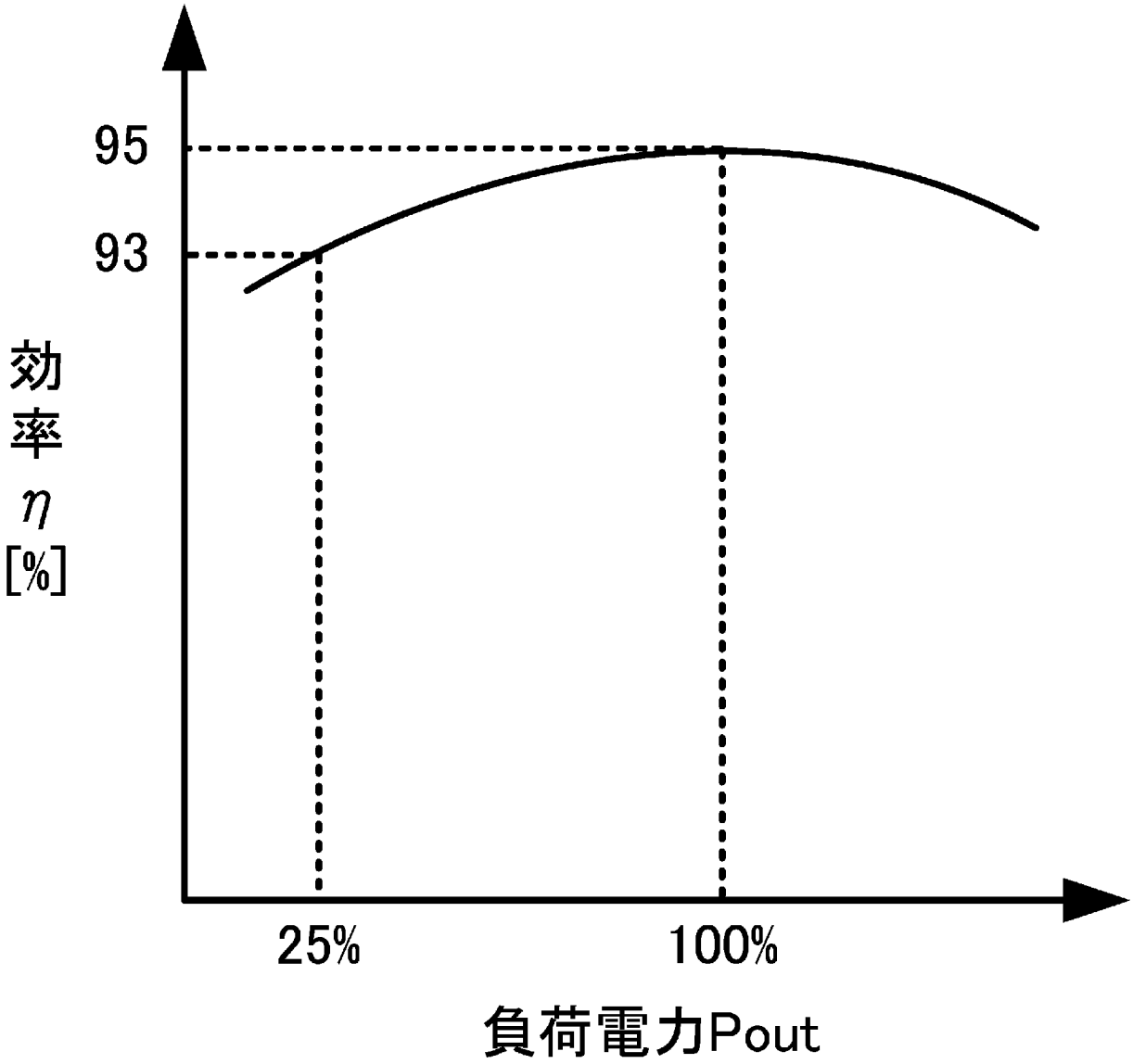
[図8]


効率:95%
損失=0W
1サイクル
効率:95%
損失=0W
1サイクル
1サイクル
1サイクル
周期T
ICr
励磁電流
Id1
Id2
Vgate1
Vgate2
Vds1
Vds2

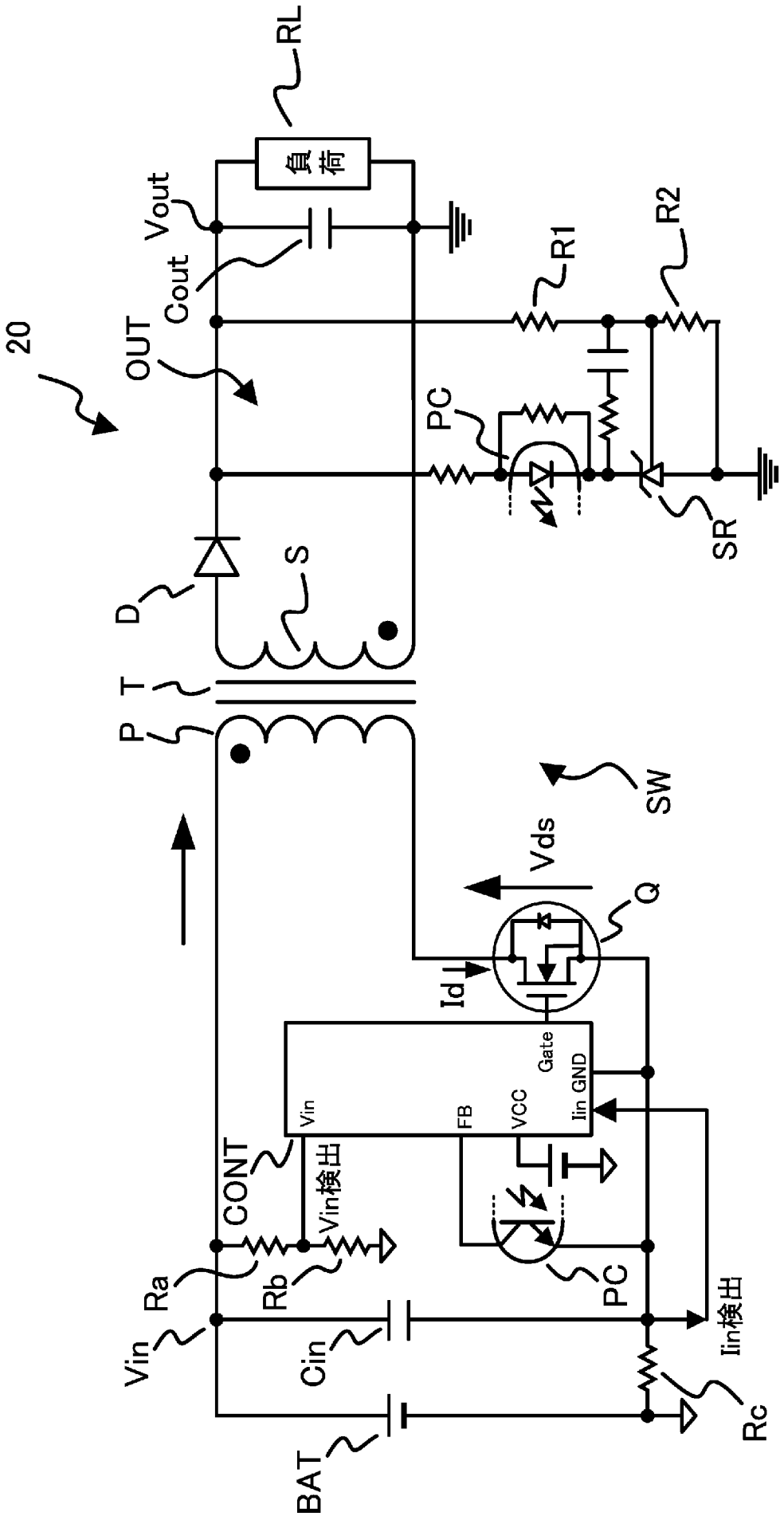
[図9]


損失≒0W
周期T×3
3サイクル
効率:95%
1サイクル
周期T
ICr
励磁電流
Id1
Id2
Vgate1
Vgate2
Vds1
Vds2

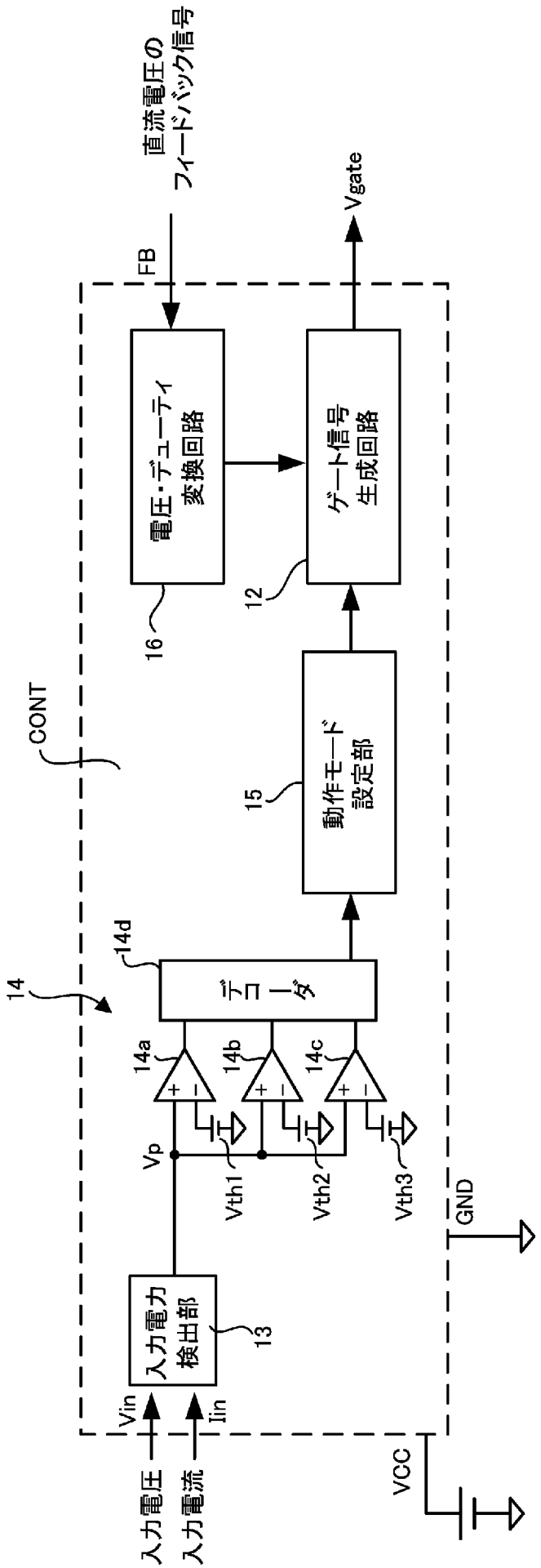
[図10]



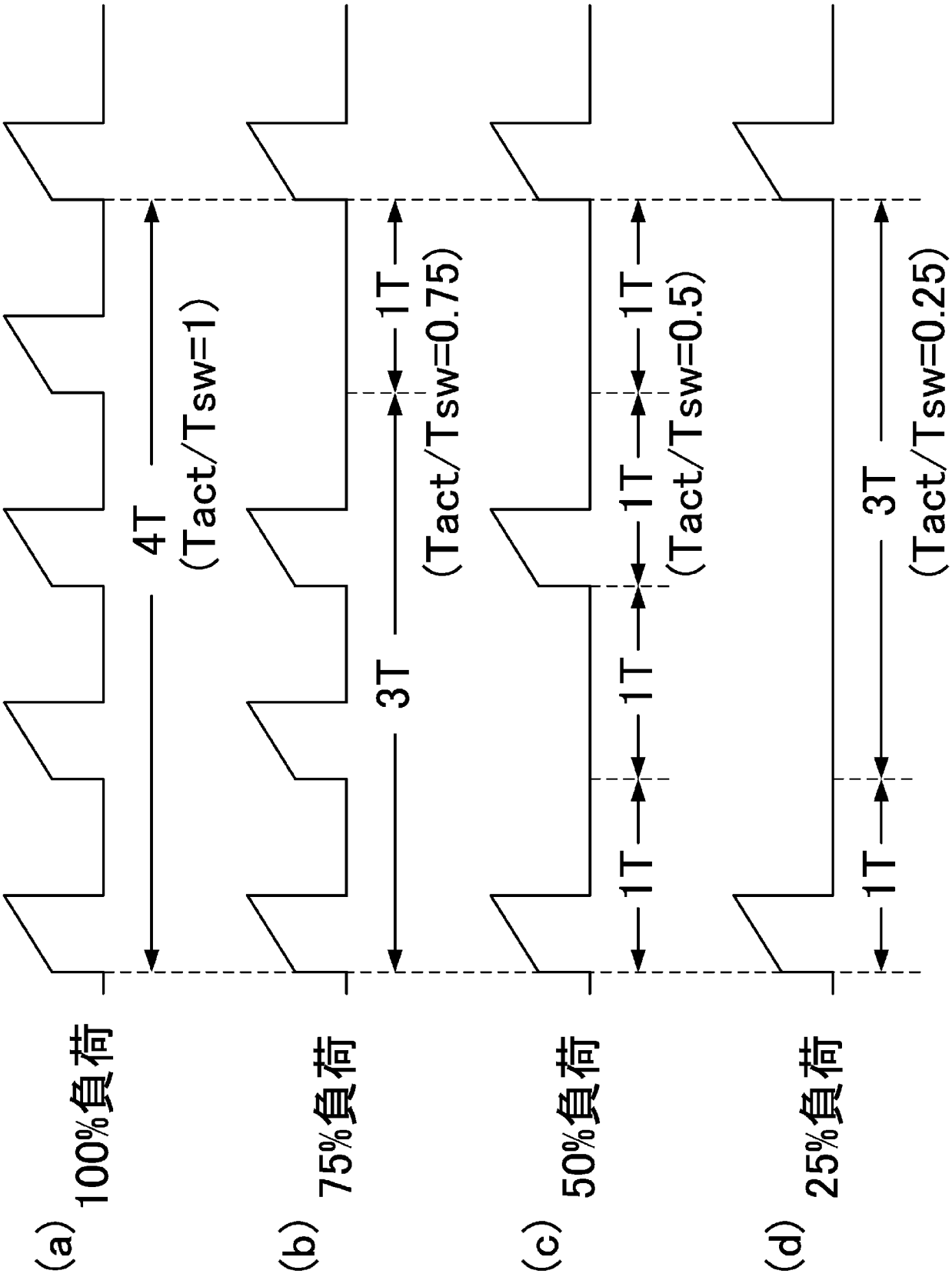
[図11]


RL
負荷
Vout
Cout
OUT
20
R1
R2
PC
SR
D
S
T
P
SW
Vds
Q
Id
Gate
Vin
FB
VCC
Iin GND
CONT
Vin検出
Ra
Rb
PC
Iin検出
Vin
Cin
Rc
BAT

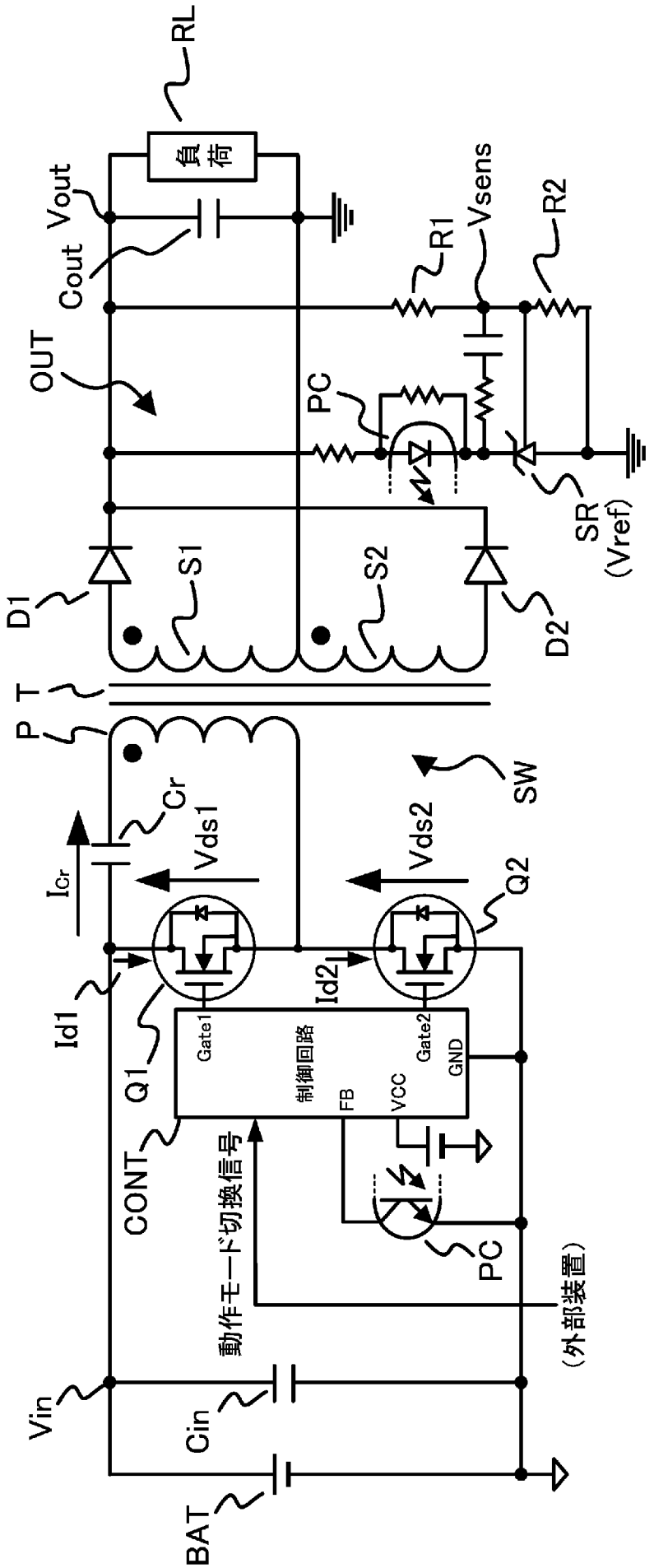
[図12]


直流電圧の
フィードバック信号
FB
Vgate
電圧・デューティ
変換回路
ゲート信号
生成回路
16
12
CONT
15
動作モード
設定部
14d
14
デコーダ
14a
14b
14c
Vp
Vth1
Vth2
Vth3
GND
入力電力
検出部
13
Vin
Iin
入力電圧
入力電流
VCC

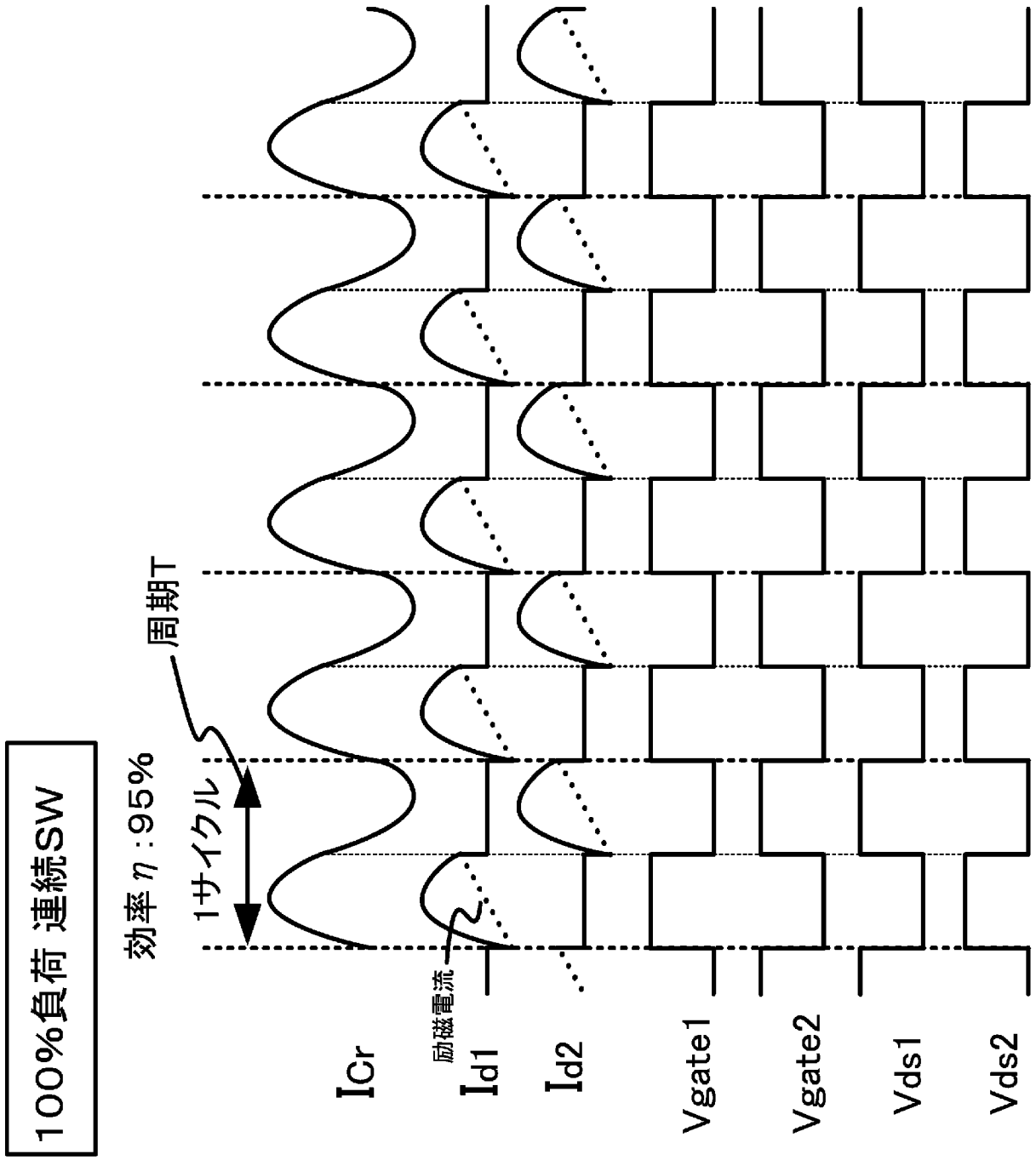
[図13]


(a) 100%負荷
4T
(Tact/Tsw=1)
(b) 75%負荷
3T
1T
(Tact/Tsw=0.75)
(c) 50%負荷
1T
1T
1T
1T
(Tact/Tsw=0.5)
(d) 25%負荷
1T
3T
(Tact/Tsw=0.25)

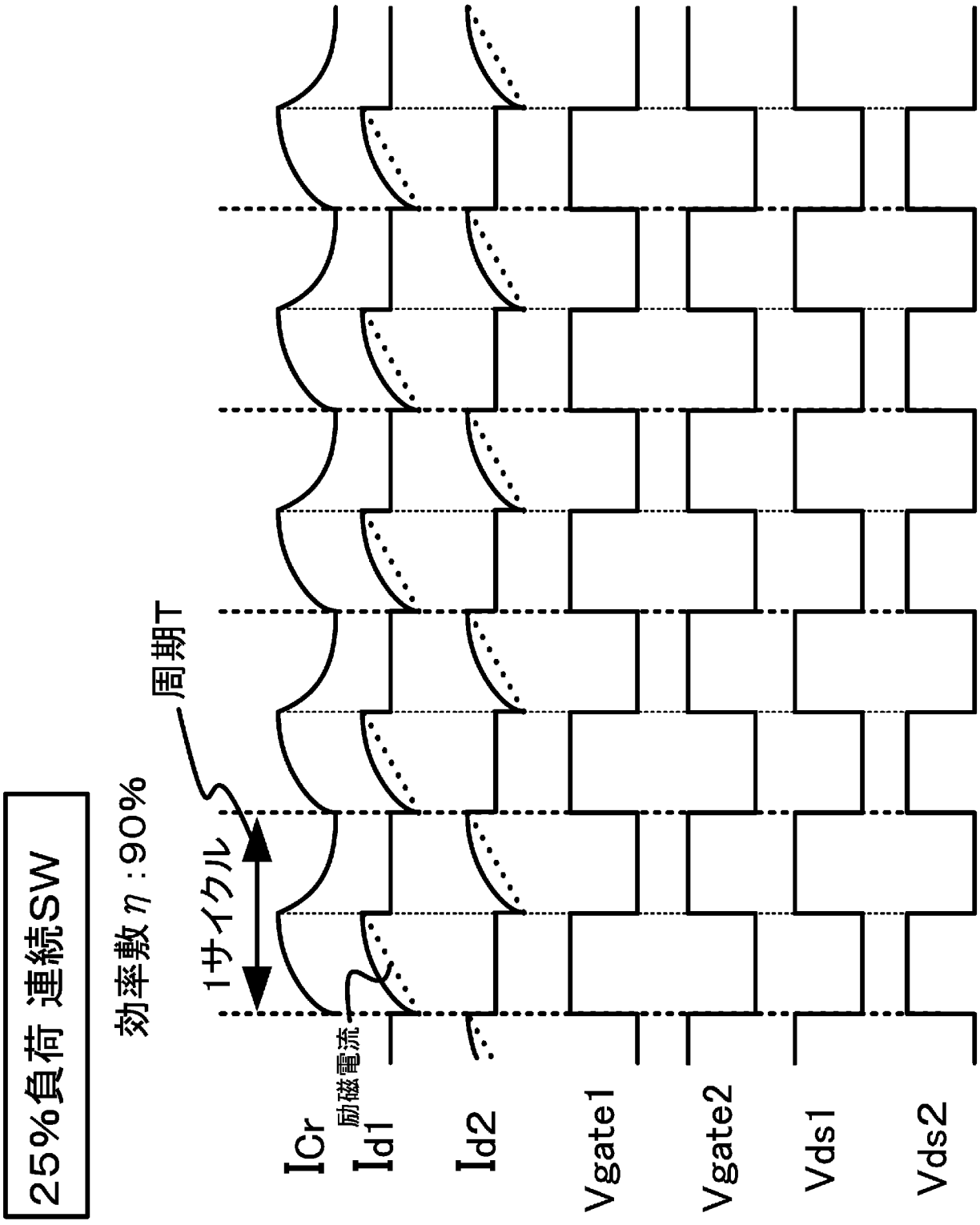
[図14]


RL
負荷
Vout
Cout
OUT
R1
Vsens
R2
PC
SR
(Vref)
D1
S1
S2
D2
T
P
SW
Cr
Vds1
Vds2
Q2
Icr
Id1
Id2
Q1
Gate1
制御回路
Gate2
GND
FB
VCC
CONT
動作モード切換信号
PC
(外部装置)
Vin
Cin
BAT

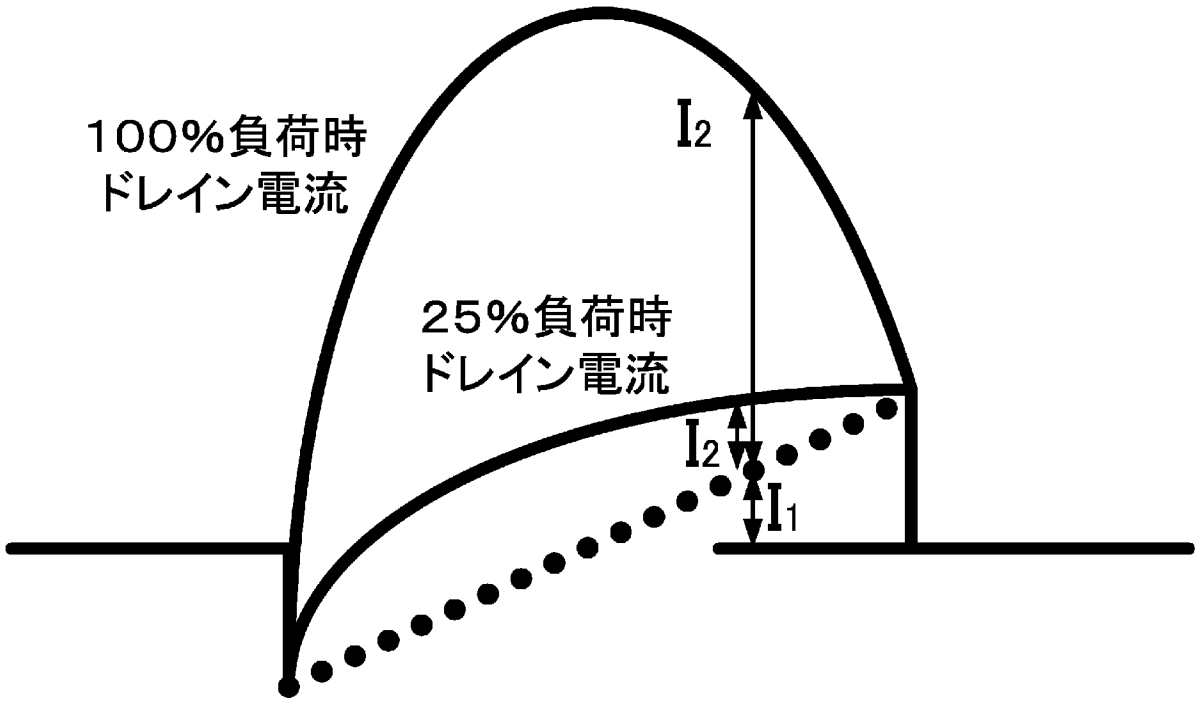
[図15]


100%負荷 連続SW
効率 η :95%
1サイクル
周期T
Icr
励磁電流
Id1
Id2
Vgate1
Vgate2
Vds1
Vds2

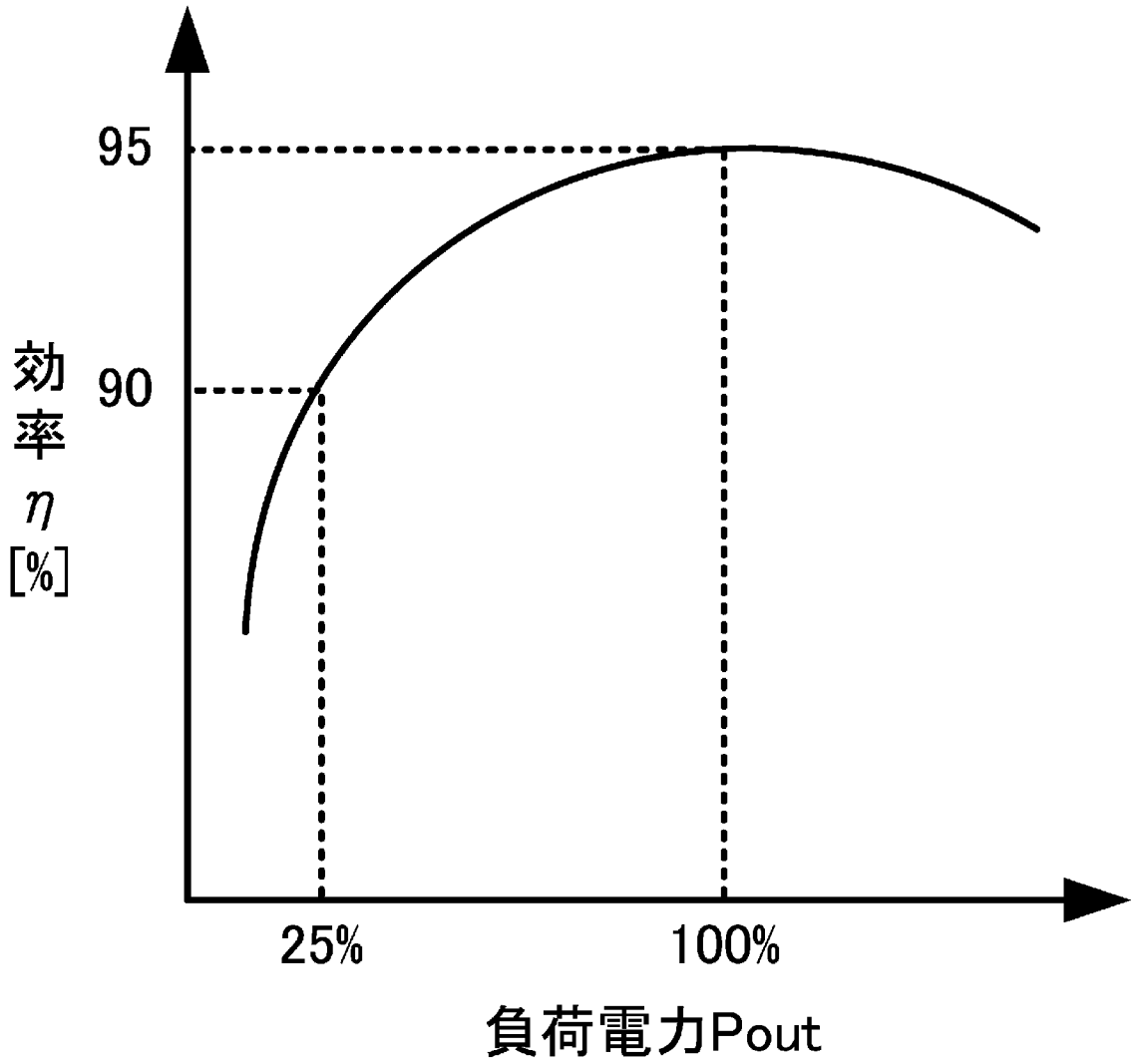
[図16]


25%負荷 連続SW
効率敷 η :90%
周期T
1サイクル
ICr
Id1
励磁電流
Id2
Vgate1
Vgate2
Vds1
Vds2

[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/051085

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-85523 A (Power Integrations, Inc.), 26 April 2012 (26.04.2012), paragraphs [0002], [0011], [0014], [0039]; fig. 1 & US 2012/0092900 A1 paragraphs [0002], [0020], [0023], [0048]; fig. 1 & US 2013/0141955 A1 & US 8736237 B2 & EP 2442434 A2 & CN 102447402 A	1-18
Y	JP 2011-4550 A (Panasonic Corp.), 06 January 2011 (06.01.2011), paragraphs [0007] to [0008], [0036]; fig. 17 & US 2010/0321963 A1 paragraphs [0009] to [0010], [0037]; fig. 2 & WO 2010/146642 A1	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 April 2016 (08.04.16)	19 April 2016 (19.04.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/051085

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-65481 A (Matsushita Electric Industrial Co., Ltd.), 10 March 2005 (10.03.2005), paragraph [0006]; fig. 5 to 6 & US 2005/0024900 A1 paragraph [0008]; fig. 5, 6 & CN 1578082 A	5-6,14-15
Y	WO 2015/002249 A1 (Mitsubishi Electric Corp.), 08 January 2015 (08.01.2015), paragraph [0017] (Family: none)	8-9,17-18

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５１０８５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2012-85523 A（パワー・インテグレイションズ・インコーポレイテッド） 2012.04.26, 段落［０００２］、［００１１］、［００１４］、［００３９］、図１ & US 2012/0092900 A1、段落［０００２］、［００２０］、［００２３］、［００４８］、ＦＩＧ．１ & US 2013/0141955 A1 & US 8736237 B2 & EP 2442434 A2 & CN 102447402 A	1-18

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０８．０４．２０１６	１９．０４．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　４４８４
▲桑▼原　恭雄
電話番号　０３－３５８１－１１０１　内線　３３５７

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2011-4550 A（パナソニック株式会社） 2011.01.06, 段落［０００７］－［０００８］、［００３６］、図１７ & US 2010/0321963 A1 、段落［０００９］－［００１０］、［００３７］、ＦＩＧ．２ & WO 2010/146642 A1	1-18
Ｙ	JP 2005-65481 A（松下電器産業株式会社） 2005.03.10, 段落［０００６］、図５－６ & US 2005/0024900 A1、段落［０００８］、ＦＩＧ．５、ＦＩＧ．６ & CN 1578082 A	5-6, 14-15
Ｙ	WO 2015/002249 A1（三菱電機株式会社） 2015.01.08, 段落［００１７］ （ファミリーなし）	8-9, 17-18