

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 1/073 (2006.01)

G01R 1/04 (2006.01)



[12] 发明专利说明书

专利号 ZL 03814103.5

[45] 授权公告日 2007年11月14日

[11] 授权公告号 CN 100348982C

[22] 申请日 2003.6.16 [21] 申请号 03814103.5

[30] 优先权

[32] 2002.6.19 [33] US [31] 10/177,367

[86] 国际申请 PCT/US2003/018805 2003.6.16

[87] 国际公布 WO2004/001428 英 2003.12.31

[85] 进入国家阶段日期 2004.12.17

[73] 专利权人 佛姆费克托公司

地址 美国加利福尼亚州

[72] 发明人 查尔斯·A·米勒

蒂莫西·E·科珀 初鹿野义一

[56] 参考文献

US4899107 1990.2.6

CN1290034A 2001.4.4

US6131255A 2000.10.17

US5012187 1991.4.30

审查员 徐秋杰

[74] 专利代理机构 北京律盟知识产权代理有限责
任公司

代理人 王允方 刘国伟

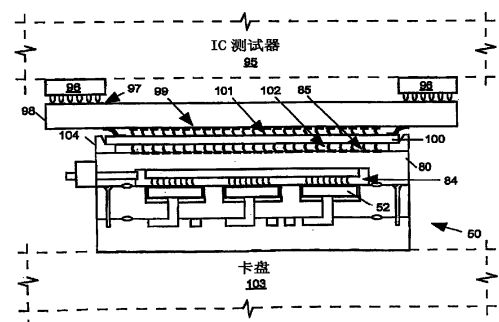
权利要求书7页 说明书16页 附图8页

[54] 发明名称

用于生产良率晶粒的测试仪器和方法

[57] 摘要

切割一半导体晶圆以单一化形成于所述晶圆上的集成电路晶粒。一台晶粒拾取机接着在一载体基底上定位并定向所述单一化晶粒，使得形成于每一晶粒表面上的信号、电源和接地垫片相对于载体基底上的标志而驻留在预定位置，晶粒拾取机可光学地识别该等标志。在晶粒被暂时地固持在载体基底上的适当位置时，其经受一系列的测试和其它处理步骤。因为每一晶粒的信号垫片驻留在预定的位置中，所以可通过适当配置的探头接近其，从而在测试期间为测试设备提供到垫片的信号通道。在每一测试后，晶粒拾取机可以用另一个晶粒取代任何没有通过测试的晶粒，藉此改进随后的测试和其它处理资源的效率。



1. 一种装置，其用于同时固持复数个单一化集成电路裸晶粒并用于提供具有通向所述复数个晶粒中的每个晶粒的信号通路的集成电路测试设备，其中每个晶粒包括一个平坦下表面、一个平坦上表面和在所述晶粒平坦上表面上形成的复数个垫片，所述晶粒通过所述平坦上表面发送和接收信号，所述装置包括：
 - 一个具有复数个凹槽的基底；
 - 其中每个凹槽包括一个上开口和一个平坦底表面，
 - 其中所有凹槽的平坦底表面位于一个共同平面内，
 - 其中每个凹槽的平坦底表面固持一个单独晶粒的平坦下表面，且其所有的平面尺寸大于所述晶粒的平坦下表面；
 - 一个盖子，当被置于所述基底上时，其延伸过每个凹槽的上开口；和
 - 复数个弹性传导探头，其中当所述盖子被置于所述基底上时，每个探头位于所述盖子与在由所述凹槽固持的所述晶粒的上表面上形成的所述垫片中一个单独的垫片之间，其中
 - 所述装置进一步包括安置构件，其用于拾起每个晶粒并将每个晶粒置于所述凹槽中一个单独的凹槽中，每个晶粒的平坦下表面在将盖子置于所述基底之前是位于所述凹槽的平坦底表面上，
 - 所述基底包括参考部件，且
 - 其中，在将所述盖子置于所述基底上之前，所述安置构件光学地识别参考部件的位置并将每个晶粒置于所述凹槽中一个单独的凹槽内，以便使在所述晶粒的平坦上表面上形成的垫片在相对于所识别的参考部件的预定位置中。
2. 根据权利要求 1 所述的装置，其中每个凹槽的平坦底表面包括弹性材料。
3. 根据权利要求 1 所述的装置，

- 其中当所述盖子置于所述基底上时，所述盖子和基底界定了含有所述探头、所述晶粒和所示凹槽的空间边界，和
- 其中所述装置进一步包括用于从所述空间移除空气的构件。
4. 根据权利要求 3 所述的装置，其中所述基底包括一个当将所述盖子置于所述基底上时用于在所述盖子与所述基底之间提供密封的垫圈。
 5. 根据权利要求 1 所述的装置，
其中所述基底进一步包括：复数个通道，每个通道延伸到所述凹槽中一个的单独凹槽的所述平坦底表面；和构件，用于在所述通道中选择性地创造一个部分真空以施加一力将所述晶粒适当固持在所述凹槽的所述平坦底表面上，和用于选择性地释放所述通道中的所述部分真空以终止将所述晶粒适当固持在所述凹槽的平坦底表面上的所述力。
 6. 根据权利要求 1 所述的装置，其进一步包括粘着剂，将置于一凹槽中的每个晶粒的平坦下表面结合到所述晶粒所在的所述凹槽的平坦底表面。
 7. 根据权利要求 1 所述的装置，其进一步包括：
一个装配在所述盖上的电缆连接器，
在所述盖子上形成的信号路径，其用于将所述电缆连接器链接到所述探头，和
一个连接到所述电缆连接器的电缆，用于在所述电缆连接器与所述集成电路测试设备之间提供信号路径。
 8. 根据权利要求 1 所述的装置，其中所述盖子包括：
一个平坦表面，
装配在所述平坦表面上的复数个第二垫片，
复数个信号路径，各自对应于所述探头中一个单独的探头并穿过所述盖子在所述第二垫片之一与在其对应的探头的盖子上的触点之间延伸。
 9. 根据权利要求 8 所述的装置，其进一步包括用于将所述第二垫片链接到所述集成电路测试设备的信号路径。

10. 根据权利要求 1 所述的装置，其中所述探头包括弹簧触点。
11. 根据权利要求 10 所述的装置，其中所述弹簧触点连附到所述盖子。
12. 根据权利要求 10 所述的装置，其中所述弹簧触点连附到所述晶粒的上表面上的垫片。
13. 根据权利要求 1 所述的装置，其中所述探头为形成于所述盖子上的弹性突起。
14. 根据权利要求 1 所述的装置，其进一步包括连附到所述基底的构件用于向所述基底选择性地供热，以将所述基底维持在基本上恒定的温度。
15. 一种装置，其用于同时固持复数个裸露的单一化集成电路晶粒并用于为集成电路测试设备提供到所述复数个晶粒中每一个晶粒的信号通道，其中每一个晶粒包括一个平坦的下部表面、一个平坦的上部表面和形成在所述晶粒的平坦上部表面上的复数个垫片，所述晶粒经由所述垫片发送和接收信号，所述装置包括：

一个具有复数个共平面表面区域的基底，其每一个用于固持所述晶粒中一个单独的晶粒；

一个盖子，当置于所述基底上时，其延伸于由所述共平面表面区域固持的每一个晶粒上；

复数个弹性传导探头，其中当所述盖子置于所述基底上时，每一个探头位于所述盖子与形成在由共平面表面区域固持的所述晶粒上表面上的所述垫片中一个单独的垫片之间；和

安置构件，其用于拾起每一个晶粒并在所述盖子置于所述基底上之前将所述晶粒的平坦的下表面置于所述共平面表面区域中一个单独的表面区域上，其中

所述基底包括参考部件，且

其中所述安置构件光学地识别所述参考部件的位置并将每一个晶粒置于所述共平面表面区域中一个单独的表面区域上，以使得形成在所述晶粒

的平坦上表面上的所述垫片相对于所述经识别参考部件位于预定位置。

16. 根据权利要求 15 所述的装置，

其中当所述盖子置于所述基底上时，所述盖子和基底限定一个含有所述探头和所述晶粒的空间，且

其中所述装置进一步包括用于从所述空间移除空气的构件。

17. 根据权利要求 16 所述的装置，其中所述基底包括一个垫圈，用于当所述盖子置于所述基底上时在所述盖子与所述基底之间提供密封。

18. 根据权利要求 15 所述的装置，

其中所述基底进一步包括复数个通道，每一个通道延伸到共平面表面区域中一个单独的表面区域；和

其中所述装置进一步包括构件，用于选择性地所述通道中创造一部分真空，藉此施加一力而将所述晶粒固持在所述共平面表面区域上的适当位置处，和用于选择性地解除所述通道中的所述部分真空，以终止将所述晶粒固持在所述共平面表面区域上的适当位置处的所述力。

19. 根据权利要求 15 所述的装置，其进一步包括将每一个晶粒的所述平坦下表面结合到其所置于的所述共平面表面区域的粘着物。

20. 根据权利要求 15 所述的装置，其进一步包括附着到所述基底的构件，用于选择性地向所述基底供热以便将所述基底维持在大体恒定的温度。

21. 一种用于处理形成在一个半导体晶圆上的复数个集成电路晶粒的方法，其中每一个晶粒具有一个下表面、一个上表面和位于所述上表面上的复数个垫片，所述晶粒经由所述垫片接收测试信号并发送响应信号，所述方法包括以下步骤：

a. 切割所述晶圆以单一化所述晶粒；

b. 识别在一基底上的标志的位置；

c. 分别拾起每一个晶粒并以其下表面放在所述基底上之方式来放置其，以使得所述基底固持所述晶粒，同时晶粒上表面上的所述垫片位于一个

- 共同平面内且每一个垫片相对于所述标志的经识别位置而占据所述平面内的一预定位置;
- d. 同时以传导探头接触固持在所述基底上的所述晶粒的所述上表面上的所述垫片; 和
- e. 通过向所述晶粒发送测试信号并经由所述探头和所述垫片接收由所述晶粒产生的响应信号, 并处理经接收的响应信号, 来在固持于所述基底上的所述晶粒上进行一第一测试, 以判定所述晶粒中的哪些是有缺陷的。
22. 根据权利要求 21 所述的方法, 其进一步包括以下步骤:
- f. 将固持在所述基底上的所述晶粒加热到一预定温度。
23. 根据权利要求 22 所述的方法, 其中步骤 e 和 f 是同时执行的。
24. 根据权利要求 22 所述的方法, 其中光学地识别所述标志的位置。
25. 根据权利要求 21 所述的方法, 其进一步包括以下步骤:
- f. 解除所述探头与固持在所述基底上的所述晶粒的所述上表面上的所述垫片的接触; 和
- g. 将在步骤 e 发现有缺陷的每一个晶粒从其在所述基底上的位置处移除并将另一个晶粒置于所述基底上的相同位置。
26. 根据权利要求 25 所述的方法, 其进一步包括以下步骤:
- h. 在步骤 g 之后, 以所述传导探头同时接触固持于所述基底上的所述晶粒的所述上表面上的所述垫片; 和
- i. 接着通过向所述晶粒发送测试信号并经由所述探头和所述垫片接收由所述晶粒产生的响应信号, 并处理经接收的响应信号, 来在固持于所述基底上的所述晶粒上进行一第二测试, 以判定所述晶粒中的哪些是有缺陷的。
27. 根据权利要求 26 所述的方法,
- 其中因为响应信号指示在晶粒上表面上的一个垫片由于一低阻抗故障被

连接到一个固定电位源，所以一个晶粒在步骤 e 被判定为有缺陷的，和其中在步骤 e，通过低阻抗路径将所述垫片连接到一共同节点及接着将测试信号中的至少一个发送到所述共同节点，所述测试信号中的至少一个是同时被发送到在所述晶粒上表面上的复数个垫片的，藉此所述低阻抗路径将所述测试信号同时传达到复数个垫片。

28. 一种用于处理在一个半导体晶圆上形成的复数个集成电路晶粒的方法，其中每个晶粒具有一个下表面、一个上表面和位于所述上表面上的复数个垫片，所述晶粒通过所述平坦上表面接收测试信号并发送响应信号，所述方法包括以下步骤：
- a. 以传导探头同时接触在所述半导体晶圆上形成的所述晶粒的上表面上的所述垫片；
 - b. 通过向所述晶粒发送测试信号、并经由所述探头和所述垫片接收由晶粒产生的响应信号和处理所接收的响应信号来在所述半导体晶圆上形成的晶粒上执行一第一测试，以判定所述晶粒中的哪些晶粒是有缺陷的；
 - c. 切分所述晶圆以使晶粒单一化；
 - d. 识别在一基底上的界标的位置；
 - e. 分别拾起每一个晶粒并将其放置成使其下表面搁于所述基底上，以便所述基底固持所述晶粒使其上表面上的垫片驻留于一共同平面内且每个垫片在所述共同平面内占据一相对于所述界标的识别位置的预定位置；
 - g. 以传导探头同时接触固持在所述基底上的所述晶粒的上表面上的垫片；和
 - h. 通过向所述晶粒发送测试信号、并经由所述探头和所述垫片接收由晶粒产生的响应信号并处理经接收的响应信号来在所述半导体晶圆上形成的晶粒上执行一第二测试，以判定所述晶粒中的哪些晶粒是有缺陷的。

29. 根据权利要求 28 所述的方法，其中视觉判定所述界标的位置。
30. 根据权利要求 29 所述的方法，其进一步包括以下步骤：
f. 在步骤 e 之后，将固持在所述基底上的所述晶粒加热到一预定温度。
31. 根据权利要求 29 所述的方法，其进一步包括以下步骤：
i. 在步骤 h 的同时，将固持在所述基底上的晶粒加热到一预定温度。
32. 根据权利要求 28 所述的方法，其进一步包括以下步骤：
j. 移除所述探头避免接触固持在所述基底上的所述晶粒的上表面上的垫片；和
k. 将每个在步骤 e 发现的有缺陷的晶粒从其在所述基底上的位置移出，并将另一个晶粒置于所述基底上的所述位置。
33. 根据权利要求 32 所述的方法，其进一步包括以下步骤：
l. 在步骤 g 之后，以所述传导探头同时接触在固持于所述基底上的晶粒的上表面上的垫片；和
m. 接着，通过向所述晶粒发送测试信号、并经由所述探头和所述垫片接收由所述晶粒产生的响应信号和处理所接收到的响应信号来在所述半导体晶圆上形成的晶粒上执行一第三测试，以判定所述晶粒中的哪些晶粒是有缺陷的。
34. 根据权利要求 28 所述的方法，
其中在步骤 h，所述晶粒中至少一个被判定为是有缺陷的，因为处理所述响应信号指示了其表面上一个垫片通过一个低阻抗故障链接到一个固定电位源，和
其中在步骤 h，所述测试信号中的至少一个被同时发送到所述晶粒的上表面上的复数个垫片，此是通过低阻抗路径将所述垫片连接到一共同节点并接着将所述至少一个测试信号发送到所述共同节点，藉此所述低阻抗路径同时将所述测试信号传达到所述复数个垫片。

用于生产良率晶粒的测试仪器和方法

技术领域

本发明大体上涉及集成电路（IC）的制造和测试过程，且尤其涉及在测试和其它处理步骤期间用于固持 IC 晶粒阵列的载体的使用。

背景技术

图 1 说明了用于制造、封装和测试具有嵌入可修复随机存取存储器（RAM）的 IC 的典型现有技术处理流程。RAM 包括多行及多列用于存储数据的单元，激光可修复 RAM 包括备用的行或列，其可用于代替含有有缺陷单元的行或列。当含有激光可修复存储器的 IC 芯片具有有缺陷的行或列时，通过激光切割 IC 表面上的选定的熔丝使得 IC 使用备用的行或列代替有缺陷的行或列而改变 IC 芯片。

在图 1 中描绘的处理流程中，最初将 IC 作为半导体晶圆上的 IC 晶粒阵列来制造（步骤 10）。接着在从晶圆分离 IC 晶粒之前对嵌入每一 IC 中的激光可修复存储器进行测试（步骤 12）。某些 IC 包括内置的自测试（BIST）电路，其自动测试其嵌入的存储器并在晶粒表面上的垫片处产生指示哪个单元为有缺陷单元的数据。在此情况中，在步骤 12 中采用的晶圆级 IC 测试器探测晶粒上的垫片以获取晶粒内的 BIST 电路在测试期间产生的数据并在存储器测试期间向晶粒提供电源和接地。IC 测试器也可在步骤 12 执行其它测试，诸如（例如）参数测试，在其中测量在 IC 的电源端子处汲取的电流。激光修复系统接着处理每一 IC 的存储器测试数据以确定 IC 的哪一个嵌入存储器行或列含有有缺陷的单元，确定如何分配备用的行和列以修复存储器，且接着采用激光器来修复任何有缺陷的存储器（步骤 14）。在修复有缺陷的存储器之后，可在晶粒仍处于晶圆级时再次测试存储器，以确保修复有效（步骤 16）。在此点上还可使晶粒经受额外的逻辑或参数测试。

接着切割晶圆以分离（“单一化”）所有的晶粒（步骤 18），且将在步骤 16 通过后激光修复测试的晶粒安装在 IC 封装中（步骤 20）。接着可使封装后的 IC 经受额外的屏蔽测试（步骤 22），且接着使通过那些测试的封装 IC 经受老化处理（步骤 24）。老化处理在特定时间量内施加热和电应力到 IC，目的是诱使具有固有缺陷的勉强可操作的 IC 失效。通常通过以下步骤来对 IC 进行老化测试：将 IC 置于电路板插槽中，接着将电路板装载到对流烘箱中，该对流烘箱使 IC 升温以便通过热的方式向 IC 施压，当加热 IC 时，连接到 IC 的电源端子和信号 I/O 端子的电源和测试信号发生器通过电的方式向其施压。在老化后，IC 经受详尽的包括高频逻辑测试和其它测试在内的最终测试（步骤 26）。在最终测试期间，可根据速度等级或其它性能级别将零件“装箱”。

图 1 中说明的处理包括四个分离的测试步骤 12、16、22 及 26。在将晶粒彼此分离并封装之前，在步骤 12 和 16 中晶圆级测试器执行测试以使得仅封装通过那些测试的晶粒。一些制造商将后激光存储器测试步骤 16 合并到预老化测试步骤 22 中或取消预老化测试步骤。但是在这样做的同时，这些制造商遇到了以下问题：封装更多有缺陷的晶粒或将老化资源消耗在于经受老化之前本可分类为缺陷晶粒的晶粒上从而增加了成本。因为晶圆级 IC 测试器必须包括独立的数据输入/输出通道以与其在测试期间接至的每一 IC 垫片通讯，所以在晶圆级上执行的测试通常限于需要测试器仅接至每一 IC 上的相对少数垫片的那些测试。为在步骤 22 和 24 中执行测试，通常将封装的 IC 安装在装载板（load board）中，该等装载板可允许 IC 测试器接至每一封装 IC 的所有 IC 信号、电源和接地管脚。

将用于（例如）倒装芯片模块（FCM）或混合模块中的晶粒不会分离地加以封装。在 FCM 中，使用焊料球、聚合物球、弹簧触点或其它构件将裸晶粒直接安装在基板上，以将 IC 晶粒上的垫片传导地连接到基板上的垫片。一些 FCM 制造商在晶粒单一化后不测试其，而是选择仅测试组装成的 FCM。

然而，因为单个有缺陷的晶粒会使整个 FCM 有缺陷，所以许多制造商发现较好的办法是在将晶粒并入 FCM 之前测试单一化的晶粒。

图 2 为一处理流程图，其说明用于生产待安装于 FCM 中的良率晶粒的现有技术处理。在制造晶圆、于晶圆级进行测试和激光修复（步骤 28）后，且在将晶粒单一化（步骤 30）后，一台晶粒拾取机拾取通过晶圆级测试的每一 IC 并将其放置在测试基板上（步骤 32），使得其可以经受预老化测试（步骤 33）。在晶粒经受了老化（步骤 34）后，晶粒拾取机将晶粒放置在测试基板上（步骤 35），使得其可以经受最后的测试（步骤 36）。接着将良率晶粒安装在 FCM 中（步骤 37），接着对 FCM 进行测试（步骤 38）。

这个系统确保仅将良率晶粒（KGD）并入 FCM 且无需使用可损伤一些晶粒的个别载体，且提供具有阻抗特性的互连系统，这些阻抗特性可更接近稍后将晶粒连接到 FCM 基板的互连系统的特性。然而，在单一化后产生的在许多处理步骤期间分离地处置每一 IC 芯片的需要增加了成本并降低了处理速度。

图 3 说明了一种“晶圆级”测试方法以提供用于并入 FCM 的 KGD。在制造晶圆、存储器测试和激光修复（步骤 40）后，使晶粒在晶圆形式下经受老化测试（步骤 41）和详尽的最终测试（步骤 42）。接着将晶粒单一化（步骤 43）并将 KGD 并入 FCM（步骤 44），接着对 FCM 进行测试（步骤 45）。请注意在这个处理流程中，在将晶粒单一化之前，在晶圆级上执行识别 KGD 所需的所有处理和测试步骤。

因为直到 KGD 已准备好安装在 FCM 中时才对 IC 芯片进行个别处置，所以这种方法大大减少了处理步骤的数目。然而，此系统要求在步骤 42 中使用可接至所有晶粒的所有信号垫片并进行所需要的每一类型测试的通用晶圆级 IC 测试器。因为单一晶圆上的晶粒总体上可具有非常大量的信号垫片，所以通常提供具有足够数量的通道以同时接至所有信号垫片的测试器是不实际的。因此，对晶粒进行最终高频功能测试和其它测试的晶圆级 IC 测

试器通常仅同时测试晶圆上的有限量的晶粒。在对一组晶粒进行测试后，固持晶圆的卡盘重新定位晶圆使得测试器的探头可接至待测试的另一组晶粒的垫片。

图3的晶圆级处理流程的一个优点是直到晶粒准备好安装到FCM中时才需要对个别晶粒进行操纵。但是图3的处理流程具有图2的处理流程所没有的固有低效率。在图2的处理流程中，在步骤28中执行的存储器测试和其它预激光修复测试通常会识别不可予以激光修复的有缺陷晶粒。在步骤30中，那些晶粒在单一化后被丢弃且不会进一步在步骤33中受到测试。类似地，可丢弃在步骤33中没有通过预老化测试的晶粒，使得其不必在步骤34中消耗老化资源或在步骤36中消耗最终测试资源。图3中的处理流程可对晶圆级晶粒进行模拟测试和老化步骤，但是因为直到完成所有的测试和老化步骤后才单一化晶粒，所以在每一测试后不可能丢弃发现有缺陷的晶粒。因而，即使在已发现某些晶粒有缺陷后，所有晶粒仍要经受可能有的所有测试和老化步骤。此种对已知有缺陷的晶粒进行的冗余测试是对测试和老化资源的低效率使用且当晶粒的良率低下时可尤其成问题。

所需要的是一种晶粒载体，其应可允许一种可有效使用测试和老化资源同时可最小化操纵个别晶粒的量的处理流程，其应可不损伤晶粒且可在晶粒尺寸一致性较为欠缺的情况下以高度的精确度准确地定位具有紧密间隔的触点的晶粒。

发明内容

在测试和处理期间，根据本发明一实施例的载体固持单一化晶粒的阵列。该载体包括一个基底，一台常规晶粒拾取机相对于基底上的光学识别的标志而于该基底上定位并定向每一晶粒，使得形成于晶粒的上表面的信号垫片或弹簧触点适当对准以便由测试设备探测。该载体可包括在晶粒下的真空进气口或黏合物，用于在晶粒拾取机将晶粒定位在基底上之后临时使晶粒固持在适当的位置。

在晶粒拾取机将从晶圆上切割下的单一化晶粒定位在载体上后，可对晶粒执行一序列包括测试和老化的处理步骤。在每一测试后，晶粒拾取机可从载体上移除任何没有通过测试的晶粒并用通过测试的晶粒将其取代，使得仅那些通过此测试的晶粒经受随后的测试或处理步骤。

在本发明的一个实施例中，载体包括一个具有一下表面的可移除的盖子，当将该盖子放置在载体上时，该下表面固持连接到 IC 测试器的通道且排列成接触形成于晶粒的上表面上的接触垫片或弹簧触点的探头或垫片。或者在测试期间可以不覆盖载体使得其它种类的探头总成可接至晶粒表面上的垫片或弹簧触点。

本说明书所附加的权利要求书特别指出并清楚地主张本发明的主体。然而，通过根据附图（其中相同符号意指相同元件）阅读本说明书的剩余部分，所属领域的技术人员将最佳地理解到申请者认为是实践本发明的最佳模式的组织和操作方法，以及本发明的另外特征和目的。

附图说明

图 1 为说明典型现有技术处理流程的处理流程图，此流程用于制造、封装和测试具有嵌入的可修复随机存取存储器（RAM）的集成电路；

图 2 和 3 为说明典型现有技术处理的处理流程图，这些处理用于生产待安装在倒装芯片模块中的良率晶粒；

图 4 为根据本发明的一个示范性实施例的晶粒载体的俯视平面图；

图 5 为图 4 的载体的截面平面图；

图 6 为图 4 的载体的截面正视图；

图 7 为图 4 的载体和探头盖子的截面正视图，装配在载体上的探头盖子为外部测试设备提供到固持在载体中的晶粒的信号通道；

图 8 为固持在卡盘上的图 6 的载体和装配在载体上的探头盖子的截面正视图，用于经由探头卡总成和内插板为集成电路测试器提供到固持在载体中的晶粒的信号通道；

图 9 为固持在卡盘上的图 6 的载体的截面正视图，其中集成电路测试器经由探测卡总成接至固持在载体中的晶粒；

图 10 为根据本发明另一示范性实施例的晶粒载体的截面正视图；

图 11 和 12 为说明根据本发明的示范性实施例的用于生产待安装在倒装芯片模块中的良率晶粒的处理的处理流程图；

图 13 为说明某些现有技术互连系统如何将集成电路（IC）测试器的每一通道连接到一个测试中的 IC 装置的一单独垫片的方块图；

图 14 为说明某些现有技术互连系统如何将一个测试器通道同时连接到多个测试中的 IC 装置的垫片的方块图；

图 15 为说明根据本发明一个实施例的载体如何将一个测试器通道同时连接到多个测试中的 IC 装置的垫片的方块图；

图 16 为根据本发明另一个示范性实施例的晶粒载体的截面正视图；

图 17 为放置在装载板上的图 16 的晶粒载体的截面正视图；

图 18 为图 16 的晶粒载体的截面正视图，在该晶粒载体上已安装了一个可移除的外罩以封闭其中的晶粒；

图 19 为根据本发明另一示范性实施例的晶粒载体的平面图；

图 20 为图 19 的晶粒载体的截面正视图；和

图 21 为图 19 的晶粒载体和覆盖该载体的探头盖的剖视图（sectional invention view）。

具体实施方式

本发明涉及一种用于测试和处理固持在一载体上的单一化集成电路（IC）晶粒的阵列的系统，且本说明书描述了申请者认为是实践本发明的最佳模式的本发明的一或多个示范性实施例和应用。然而，无意将本发明限定于下文描述的示范性实施例或该等实施例操作的方式。

图 4 为根据本发明的一个示范性实施例的硅面板载体 50 的俯视平面图，且图 5 和 6 分别为图 4 的载体的截面平面图和截面正视图。载体 50 包括具

有凹槽 56 的 3x3 阵列的基底 54，每一凹槽具有一上部开口和一用于固持一个单独的 IC 晶粒 52 的平坦底部。虽然为简单起见，将图 4-6 的载体 50 说明为具有凹槽 56 的 3x3 阵列，但在本发明的其它实施例中，可设定载体的大小以适应更大或更小的凹槽阵列。

在半导体晶圆上制造晶粒 52 后且在切割晶圆以单一化晶粒后（即，将其分离成个别的 IC 芯片），常规晶粒拾取机将每一晶粒 52 放置在一个单独的凹槽 56 内，使晶粒的下表面停置在凹槽的平坦底部表面上。每一晶粒 52 包括在其上表面上的一组信号、电源和接地垫片 59（图 6），形成于晶粒内部的电路通过这些垫片与外部装置通讯。凹槽的平坦底部表面处在共同的平面中（即，它们“共面”），且当将晶粒 52 放置在凹槽中时，在晶粒上表面上的垫片处在共同的平面中且暴露于凹槽 56 的顶部附近。基底包括一组标志 58，其可由适当配备的常规晶粒拾取机光学地识别。

因为从晶圆单一化晶粒的晶圆锯切过程通常不会以高精度度控制切割宽度或切割位置，所以即使当从相同晶圆上切割时，晶粒表面的外形边缘尺寸可随晶粒不同而变化。因为与晶粒表面上的垫片 59 的本来间距相比晶粒外形边缘尺寸的变化可以很大，所以载体 50 不依靠设定凹槽 56 的大小使得其可将晶粒机械地对准，从而使晶粒的垫片处在其共同平面内的预定位置中。相反地，使在共同平面内的凹槽 56 的底部表面的尺寸大体上大于凹槽所固持的晶粒 52 的下表面的尺寸。超尺寸的（Over-sizing）凹槽 56 允许晶粒拾取机自由定位和定向凹槽内的晶粒 52，使得其垫片相对于光学识别的标志 58 的位置而处在其共同平面内的预定位置处。

一单独的通道 60 从每一凹槽 56 的底部表面延伸穿过基底 54 到可连接到真空泵（未图示）的阀头 64。阀头 64 包括用于每一通道的单独的阀 65，以允许独立控制每一通道 60 中的真空。在晶粒拾取机已相对于所识别的标志 58 将晶粒 52 适当定位于凹槽 56 之一中之后，阀 65 之一经设定以使真空泵可在通道 60 中产生真空，从而使该凹槽将晶粒 52 固持在适当位置。可接

着设定该阀 65 以便即使当真空泵与阀头 64 不连接时仍可维持通道 60 中的真空。同样可对每一通道的阀 65 进行设定以解除其对应通道 60 中的真空，使得可移除该通道 60 所接至的凹槽中的晶粒 52。

在凹槽 56 底部的弹性垫片 66 为晶粒 52 提供缓冲且当抽空通道 60 时在晶粒 52 与凹槽 56 的底部表面之间提供严密的密封。垫片 66 包括在通道 60 上部末端上方的孔隙 68 以允许通道中的真空将晶粒 52 向下拉。

如图 6 中所描绘，载体基底 54 包括含有凹槽 56 且含有通道 60 的垂直部分的上部面板 70。载体基底 54 还包括含有通道 60 的水平部分和阀头 64 的下部面板 72。一组螺栓 74（或其它适当类型的连接器）将上部和下部面板固持在一起，且环绕通道 60 的 O 形环 76 提供两个面板之间的气密封。

经由电缆 75 接收电力的可选用的恒温控制的电加热元件 73 可附着至上部面板 70。加热元件 73 可用以向基底 54 供热，以在测试期间将处于基底中的晶粒 52 保持于所要的作业温度下。元件 73 还可以是一个冷却元件，用于在测试期间冷却晶粒 52。

图 7 说明了一个可以放置在载体基底 54 上的可移除的盖子 80。由半导体基板材料适当形成的盖子 80 具有一组探头 84，该等探头 84 被排列成当盖子 80 放置在载体 50 上时探头 84 接触晶粒 52 的上表面上的垫片 59。另一个环绕凹槽 56 的 O 形环垫圈 86 提供盖子 80 与上部面板 70 之间的气密封。穿过盖子 80 的通道 88 将形成于盖子 80 与上部面板 70 之间的空间 90 连接到另一个真空入口阀 92，此真空入口阀 92 可连接到一真空泵（未图示）。一对导销 85（图 4）从顶部板 70 向上延伸到盖子 80 的下表面中的孔（未图示）内，以确保当盖子 80 放置在顶部板 70 上时，探头 84 接触其对应的在晶粒 52 的上表面上的垫片 59。在将盖子 80 放置在上部板 70 上以后，打开阀 92 以允许真空泵在空间 90 中产生真空，以将盖子 80 固持在适当的位置。当其后阀 92 关闭时，即使当真空泵与阀 92 不连接时，空间 90 仍保持抽空状态，且其中的真空继续将盖子 80 固持在适当的位置直到以后重新打开阀

92。为将晶粒 52 保持在适当的位置，通道 60 中的真空应该强于空间 90 中的真空。

盖子 80 内的通道 94 为在盖子 80 和连接器 93 之间延伸的导体 89 提供路径，该连接器 93 用于连接引向集成电路测试器的电缆 91。位于形成盖子 80 的基板材料层上并延伸穿过这些层的迹线和通路（未图示）将穿过通道 94 的导体连接到形成于基板的下表面上的探头 84。探头 84、穿过盖子 80 的迹线和通路、通道 94 内的导体 89 及电缆 91 在 IC 晶粒 52 的上表面上的垫片 59 和集成电路测试器之间提供信号路径。尽管在图 7 中连接器 93 被展示于盖子 80 的侧部，但可方便地将连接器 93 定位于盖子 80 的侧部或顶部的任何地方或上部面板或下部面板 70、72 上的任何地方。

因为在测试期间和老化处理期间，载体 50 可能经受大范围的温度，所以盖子 80 和板 70 与 72 最好由具有大体上相似热膨胀系数的材料构成，使得即使 IC 52 可能由于载体的热膨胀而移开探头 84 仍可与 IC 52 表面上的垫片 59 保持接触。当垫片 59 较小并紧密地集中在一起时，最好用与形成 IC 52 的半导体材料具有相同热膨胀系数的半导体、陶瓷或其它材料形成盖子 80，使得当 IC 52 随增加的温度而膨胀从而导致垫片 59 移开时，盖子 80 的类似膨胀导致探头 84 以与垫片 59 相同的速率移开。然而，在许多应用中，即使当 IC 52 和盖子 80 由具有稍微不同的热膨胀系数的材料形成时，IC 52 的这种膨胀或收缩也不会显著影响探头 84 和垫片 59 的对准。

代替在探头 84 和一引向 IC 测试器的电缆 91 之间提供信号路径，可如图 8 所示修改盖子 80 以在探头 84 和盖子 80 表面上的一组垫片 85 之间提供信号路径，一 IC 测试器 95 接至该组垫片 85。一组弹簧针连接器 96 接触在一印刷电路负载板 98 的上表面上的垫片 97，该负载板包括将垫片 97 连接到负载板 98 下表面上的另一组垫片 99 的迹线和通路。一内插板 100 包括：一组在其上表面上的弹簧触点 101 以用于接触在负载板 98 的下表面上的垫片 99、另一组弹簧触点 102 以用于接触在盖子 80 的上表面上的垫片 85、及

在弹簧触点 101 与 102 之间提供信号路径的通路。一卡盘 103 将载体 50 抬升到内插板 100 下的位置以使弹簧触点 102 与垫片 85 接触。当垫片 85 接近弹簧触点 102 时,在盖子 80 的表面上形成的压缩挡止件 104 轻推内插板 100 而使其与盖子 80 适当对准。

如图 9 所示,在未安装盖子时,载体 50 可用以固持晶粒 52 同时受到探头卡总成 105 的探测,探头卡总成 105 类似于通常用以在 IC 测试器和形成于晶圆上的 IC 晶粒(尚未彼此分离)的表面上垫片之间提供信号路径的探头卡总成。以引用方式并入本文的 1995 年 11 月 2 日颁发给 Eldridge 等人的美国专利 5,874,662 揭示了所属领域技术人员会了解的晶圆级探头卡总成可经修改用于测试固持在载体 50 中的单一化晶粒的阵列。探头卡总成 105 在其上表面上包括一组接触垫片 106,从测试器 111 向下延伸的弹簧针连接器 107 接触该组接触垫片 106。在探头卡总成 105 的下表面上形成的探头 108 接触 IC 52 的上表面上的垫片。探头卡总成 105 包括提供将垫片 106 连接到探头 108 的垂直和水平信号路径的一个或多个基板层。卡盘 109 将载体 50 适当定位在探头 108 之下,以使所述探头接触 IC 垫片 59。当卡盘 109 将载体 50 提升到探头 108 下的位置时,装配在载体 50 或探头板总成 105 上的周边凸缘 109 充当压缩挡止件。

由于晶圆通常包括的晶粒多于可同时进行测试的晶粒,在测试期间将晶圆固持在探头卡总成之下的卡盘通常在每一组晶粒接受测试后将所述晶圆重新定位,以使相同晶圆上的下一组晶粒可接受测试。同样地,当载体 50 固持的晶粒 52 多于 IC 测试器可同时测试的晶粒时,卡盘 109 必须能将载体 50 精确地置于相对于探头 108 的多个位置处,可是能这样作的卡盘是复杂且昂贵的。使用载体 50 来固持经受测试的晶粒 52 而非测试仍处于晶圆形式的晶粒的优势之一是可设定载体的尺寸以便仅固持与测试器可同时测试的晶粒同样多的晶粒。这样可减少卡盘 109 的成本,因为其不必有能力将载体 50 置于相对于探头 108 的多个不同位置处。

尽管在图 7 和图 8 中例示的本发明示例性实施例例示了将导线结合弹簧触点用作探头 84，但各种其它类型的互连结构也可用以实施探头 84，其包括（例如）弹性微影弹簧触点（lithographic spring contact）、针形探头、眼镜蛇探头（cobra probe）、和由弹性多晶硅和/或其它材料形成的传导凸块凸块。例如，图 10 例示根据本发明的载体的一示范性实施例，除探头 84 是由形成于附着到盖子 80 的下部侧面的半导体基板 82 的下表面上的弹性传导凸块所实施之外，该载体大体上与图 7 中的载体 50 类似。

由于弹簧触点的弹性能使其适应 IC 垫片 59 高度的正常变化，所以弹簧触点尤其适合用作探头 84。由于其尖端易于刮去可能在垫片 59 表面上形成的任何氧化层，所以弹簧触点可比许多其它类型的探头提供更可靠的与垫片 59 的电连接。而且，可以严密控制弹簧触点的阻抗特性以配合以后用以将垫片连接到其预期操作环境中的外电路的互连系统的阻抗特性。

以下文献（以引用方式并入本文）揭示制造弹簧触点的各种方法：2000 年 5 月 16 日颁发给 Khandros 等人的美国专利 6,064,213；2002 年 1 月 8 日颁发给 Eldridge 等人的美国专利 6,336,269；1998 年 2 月 13 日申请的第 09/023,858 号美国专利申请案；及 2000 年 11 月 9 日申请的第 09/710,539 号美国专利申请案；及 2000 年 12 月 22 日申请的第 09/746,716 号美国专利申请案。

某些 IC 包括其信号垫片上的互连结构，诸如（例如）形成在 IC 垫片上的弹簧触点、传导凸块或焊料球。当 IC 被安装于其预期操作环境中时，该等互连结构用以提供通向外部装置的信号路径。当 IC 52 包括这种互连结构时，图 7 的探头 84 可由传导垫片取代，所述传导垫片形成在盖子 80 的下表面上并经由通路、迹线、导体和电缆连接到 IC 测试器。定位基板 82 下表面上的此种垫片以使得当盖子 80 适当地置于基底 70 上时，垫片可与形成于晶粒 52 上的互连结构接触。

相对于测试和处理仍为晶圆形式的晶粒来说，测试和处理固持在载体

50 中的单一化晶粒 52 可促进对测试器资源的更有效使用。图 11 是例示一种制造和测试晶粒的过程的流程图，其中根据本发明的载体被用以在测试处理期间固持单一化晶粒。参看图 11，在晶圆制造（步骤 111）、晶圆级测试（步骤 112）和激光修复（步骤 114）之后，将晶粒单一化（步骤 116）并且只有通过步骤 112 的晶圆级测试或可在步骤 114 被修复的晶粒可置于载体中（步骤 118）。可接着使固持在载体中的晶粒经受预老化测试（步骤 120）。接着可重新装入所述载体（步骤 122）以使其仅含有通过预老化测试的那些晶粒。在老化处理（步骤 124）之后，晶粒经受最终晶粒测试（步骤 126）。在这一点上，仅有通过步骤 126 的最终测试的良率晶粒（KGD）可被安装在倒装芯片模块（FCM）中（步骤 128）。接着在步骤 130 对 FCM 进行测试。

由于仅有通过步骤 112 的晶圆级测试的晶粒被置于载体中（步骤 118），所以在步骤 120 中不会使用测试器资源来测试已知有缺陷的晶粒。通过仅用通过步骤 120 的预老化测试的晶粒重新装入载体（步骤 122），在步骤 124 和 126 中不会使用老化或测试资源来处理已知劣质的晶粒。

图 12 例示了采用载体来固持单一化晶粒的替代 IC 处理流程。在晶圆制造（步骤 132）之后，在晶圆级执行一组“快速分类（fast sort）”测试。快速分类测试包括可在晶圆级被快速执行的测试，诸如（例如），参数测试和用于识别具有通过低阻抗路径短接至电源、接地或接其它电位源的输入端子的 IC 的测试。接着将晶粒单一化（步骤 136），并且将通过快速晶圆分类测试的晶粒置于载体中（步骤 138）。接着使晶粒经受老化处理（步骤 140），且作为在老化期间对晶粒进行电训练的一部分，对晶粒的嵌入存储器进行测试以判定哪些单元有缺陷。

在老化测试和存储器测试之后，将晶粒分类并重新装入载体（步骤 142）。丢弃具有有缺陷存储器且不能修复的晶粒。具有可修复的存储器的晶粒和具有无需修复的存储器的晶粒被置于分开的载体中。接着在步骤 144 修复具有需修复的存储器的晶粒。接着使所有经修复的晶粒和无需修复的晶粒经受最

终测试（步骤 146）。在这一点上，仅有通过步骤 146 的最终测试的 KGD 可被安装在倒装芯片模块（FCM）中（步骤 148）。接着在步骤 150 中测试 FCM。由于在步骤 138 和 142 装入及重新装入载体来去除已知有缺陷及不能修复的晶粒，且由于在步骤 142 需修复的晶粒被隔离于无需修复的晶粒，所述处理在步骤 140、144 和 146 可有效地使用老化、测试和激光修复资源。

当在图 11 的测试步骤 120 或图 12 的步骤 140 中并未在一个载体中发现许多具有缺陷的晶粒时，测试资源和其它资源的使用效率方面的所得增加不能证明有充分理由耗费将晶粒分类并重新装入载体（步骤 122 或步骤 142）所需的时间和资源。因此，除了当一个载体中缺陷晶粒的数量超过临界水平时之外，可对处理进行配置以绕载体重新装入步骤 122 和 142。

如图 13 所示，典型的现有技术 IC 测试器 151 通常包括一组探测器通道 152，每一通道 152 经由互连系统 154 连接到一组测试中晶粒（DUT）156 的一个单独的端子。每一个通道 152 包括一个控制和数据获取系统 158，其用于交替地发送一经由三态缓冲器（tristate buffer）160 输入到测试中晶粒（DUT）的端子的测试信号或对比较器 162 的输出进行采样。比较器 162 将 DUT 输出信号与参考电压进行比较以产生指示 DUT 输出信号为高或低逻辑电平的输出信号。

当同时测试若干相似 DUT 156 时，测试器通道 152 向所有 DUT 156 的对应输入端子发送相似的信号。例如，当测试 9 个 DUT 156，且每一 DUT 具有 8 个输入端子时，则需要一组 72（ 9×8 ）个通道 152 来在测试期间向 DUT 156 提供输入信号，其中每一组通道产生相似的一组 8 个输入信号。

图 14 例示一种现有技术的互连系统 160，其使一个测试器通道能将相同测试信号作为输入发送到若干 DUT 156 的对应输入端。互连系统 160 提供将每一个 DUT 输入端子 164 连接到一个共同节点 166 的单独的隔离电阻器（isolation resistor）162。需要电阻器 162 来将节点 166 隔离于可能在任一端子 164 处的经由一个低阻抗路径连接至一个电位源（诸如电源或接地）

的故障。DUT 输入端子 164 通常为高阻抗。通过在形成于图 7 的盖子 80 中、图 8 的负载板 100 中或图 9 的探头卡总成 105 中的信号路径中包括所述电阻器可提供此种互连布置。然而，当在图 10 的步骤 134 执行的快速晶圆分类测试包括用于判定晶粒的任何输入端子是否经由低阻抗路径连接到电压源的测试时，且当在装入载体（步骤 138）之前丢弃了所有此种晶粒时，则可通过盖子 80（图 7）、负载板 100（图 8）或探头板总成 105（图 9）将一个测试器通道连接到若干 DUT 156 的对应输入端子 164 来实现图 15 的互连布置 157。如图 15 所示，对应的晶粒输入端子 164 经由低电阻路径 168 直接连接到共同节点 166。由于装入载体的 DUT 156 先前在快速晶圆分类阶段（134）经过测试并被判定为在输入端子 164 处无低阻抗故障，所以当将多个 DUT 端子连接到相同测试器通道时，不必在信号路径 168 中提供隔离电阻器。

图 16 为根据本发明的另一例示性实施例的载体 170 的截面正视图，其具有一个包括用于固持晶粒 176 的凹槽 174 的阵列的基底 172。在晶粒拾取机已将晶粒 176 置于垫片 180 上的适当位置处且使晶粒的垫片 182 与基底 172 表面上的对准标志（未图示）适当对准后，粘着物 178（例如，粘性胶）将晶粒 176 暂时结合到位于晶粒 176 下方的弹性垫片 180 上。载体 170 可配有一个类似于图 7 中盖子 80 的盖子，以提供到晶粒 176 表面上的垫片 182 的信号通道。或者，与图 8 中展示的探头卡总成相类似的探头卡总成可用以使测试器接至垫片 182。

图 17 例示被倒转并置于由一个基板形成的负载板 184 上的图 16 的载体 170，所述基板上排列有弹性传导凸块 186 用以接触固持在载体 170 中的晶粒 176 表面上的垫片 182。形成于负载板 184 上的迹线（未图示）将凸块 186 连接到负载板表面上的垫片 188，任何集成电路测试器皆可接至其。

如图 18 所示，在已测试了固持在载体 170 中的晶粒 176 之后，通过将盖子 190 放置在图 16 中的载体上，图 16 的载体 170 可用作装运容器。提供

了夹子 192 或其它附着构件以在装运期间将盖子 190 固持于适当位置。当图 6 的载体 54 配有类似盖子时，其也可用作装运容器。

图 19 和 20 例示了根据本发明的另一个示范性实施例载体 200，其包括一个具有平坦上表面 204 的基底 202，在所述上表面上装配有弹性垫片 206 的阵列。一台晶粒拾取机将晶粒 208 定位在垫片 206 上，使得在晶粒 208 上表面上形成的信号输入/输出垫片 210 相对于在基底 202 的表面 204 上蚀刻出的标志 211 处于共同平面内的预定位置处。粘着物将晶粒 208 暂时固持在垫片 206 上的适当位置，但其允许晶粒拾取机在晶粒接受测试后将晶粒 208 抬离垫片 206。为了简明起见，将载体 200 例示为经设定尺寸以固持晶粒 208 的 3x3 阵列，但可设定载体的尺寸以固持更大或更小的晶粒阵列。使用与使仍然为晶圆形式的晶粒经受类似处理步骤序列所使用的设备大体类似的设备，可使装配在载体 200 上的晶粒 208 经受一序列测试和老化处理步骤。然而，虽然在一个晶圆上的所有晶粒必须经受每一个处理步骤，但晶粒拾取机可在未通过任一处理步骤的任何装配在载体 200 上的晶粒 208 经受下一处理步骤之前用另一晶粒取代其，藉此增加处理设备的使用效率。

或者，如图 21 所示，载体 200 可包括一个可移除的盖子 212，盖子 212 包括用于接至晶粒 208 表面上的垫片的探头 214。当在盖子 212 与基底 202 之间提供合适的垫圈 216 时，通过部分排空盖子与基底之间的空间，可将外罩 212 固持在载体基底 202 上。延伸穿过盖子 212 的迹线和通路可延伸到（例如）盖子 212 表面上的接触垫片（未图示）或延伸到附着至盖子 212 表面的电缆连接器（未图示），以为外部测试设备提供到探头 214 的信号通道。探头 214 可被连附到基底 212 上或被连附到晶粒 208 表面上的信号垫片。代替用粘着物来将晶粒 208 结合到垫片 206，可提供与图 6 中载体 50 的基底 54 的真空通道类似的基底 202 内的真空通道（未图示），以将晶粒 208 固持于适当位置。

前述说明书和附图描述实践本发明的最佳模式的示范性实施例，且所描

述最佳模式的元件或步骤例示了如所附权利要求书陈述的本发明元件或步骤。然而，所附权利要求欲应用到实践本发明的任何模式中，其包括在权利要求中任何一项描述的元件或步骤的组合，包括与在说明书和图示中描述的本发明示范性实施例的例示元件或步骤功能相当的元件或步骤。

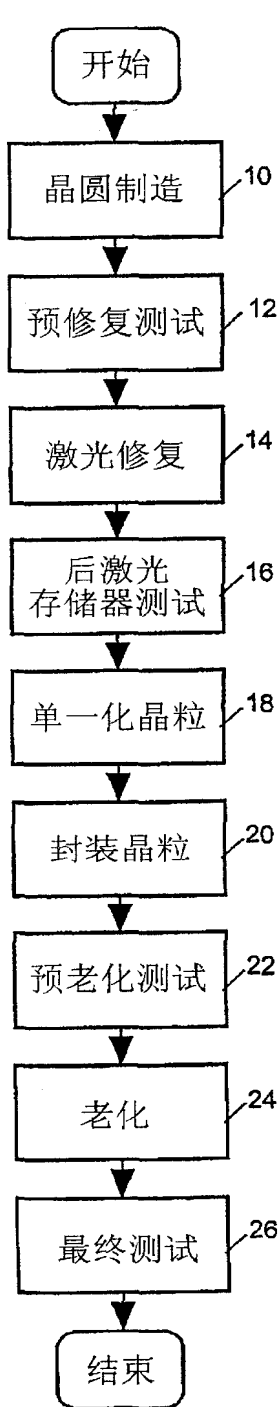


图 1
(现有技术)

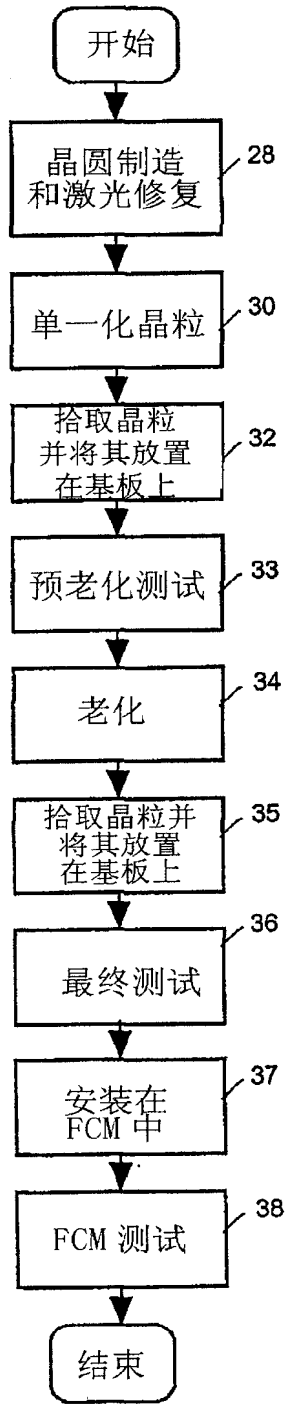


图 2
(现有技术)

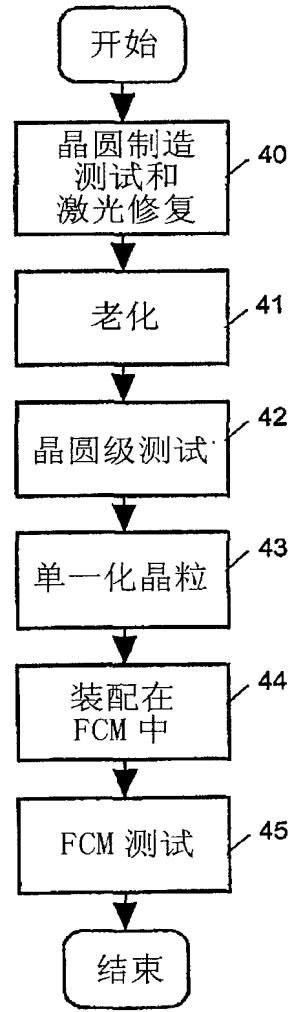


图 3
(现有技术)

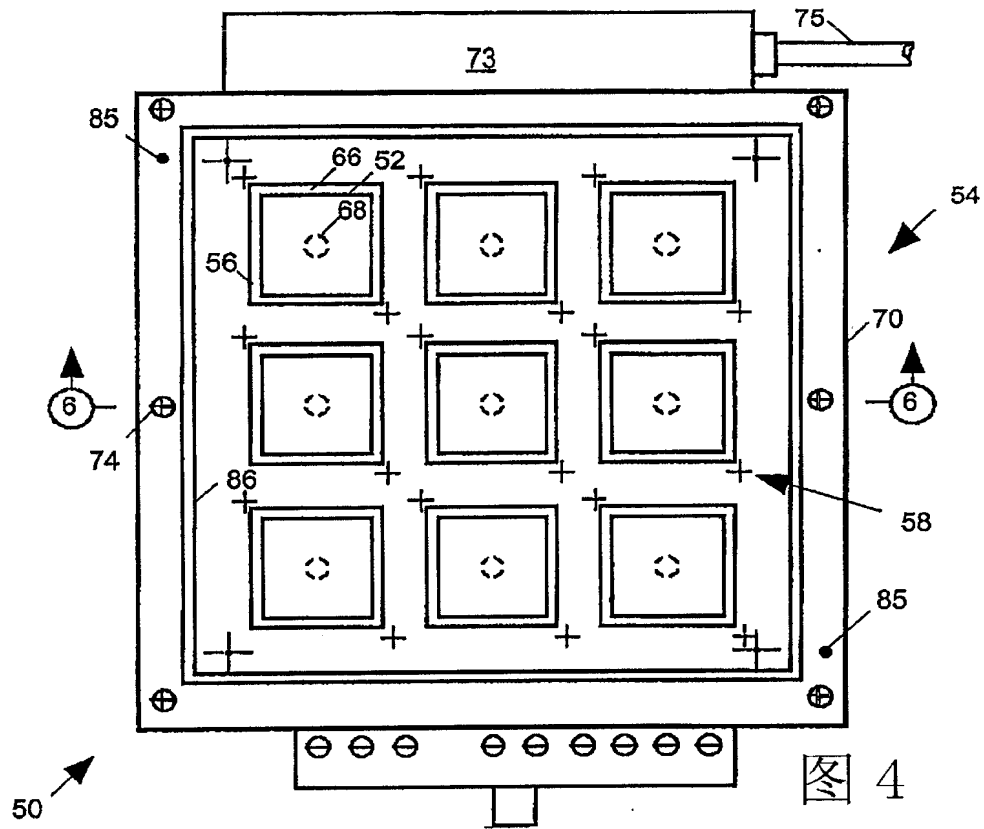


图 4

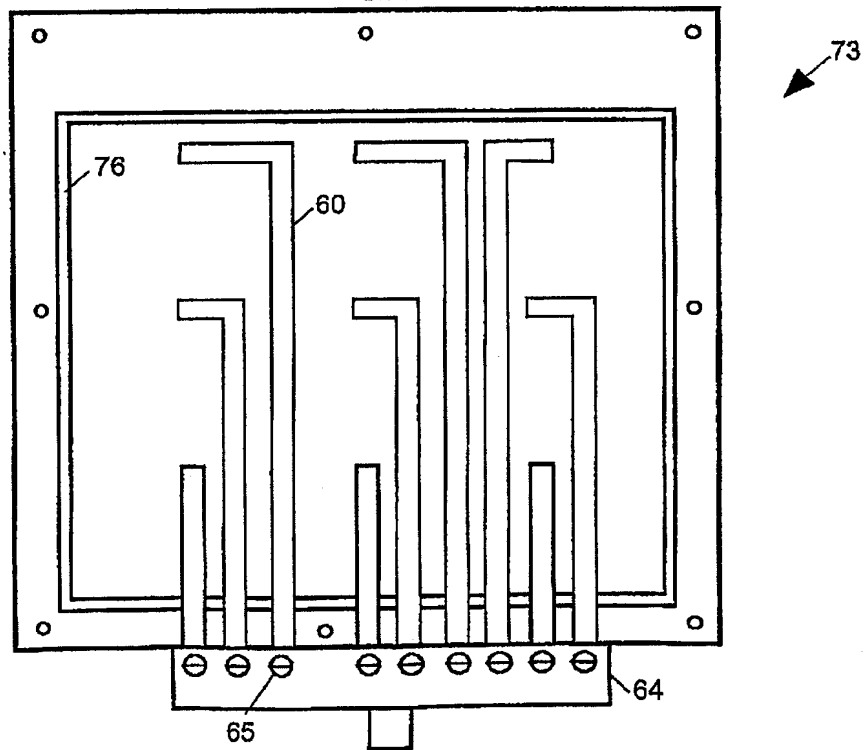


图 5

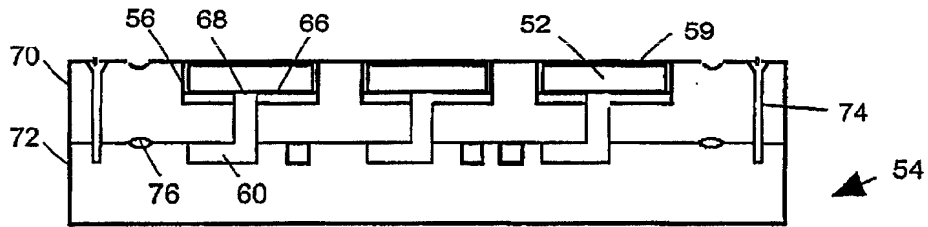


图 6

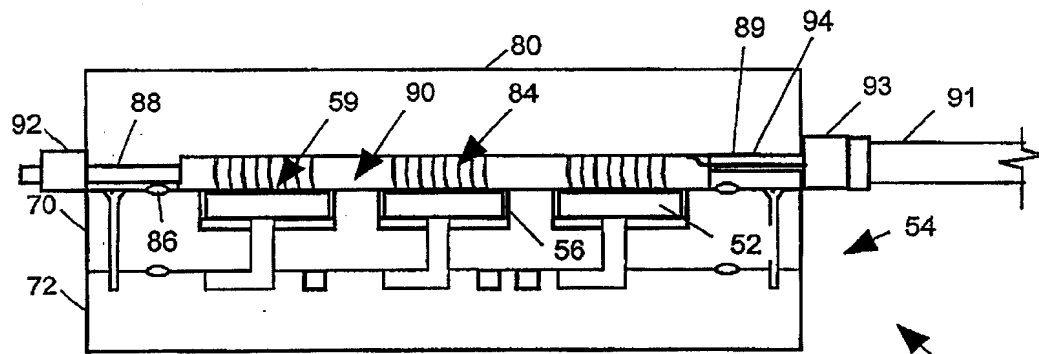


图 7

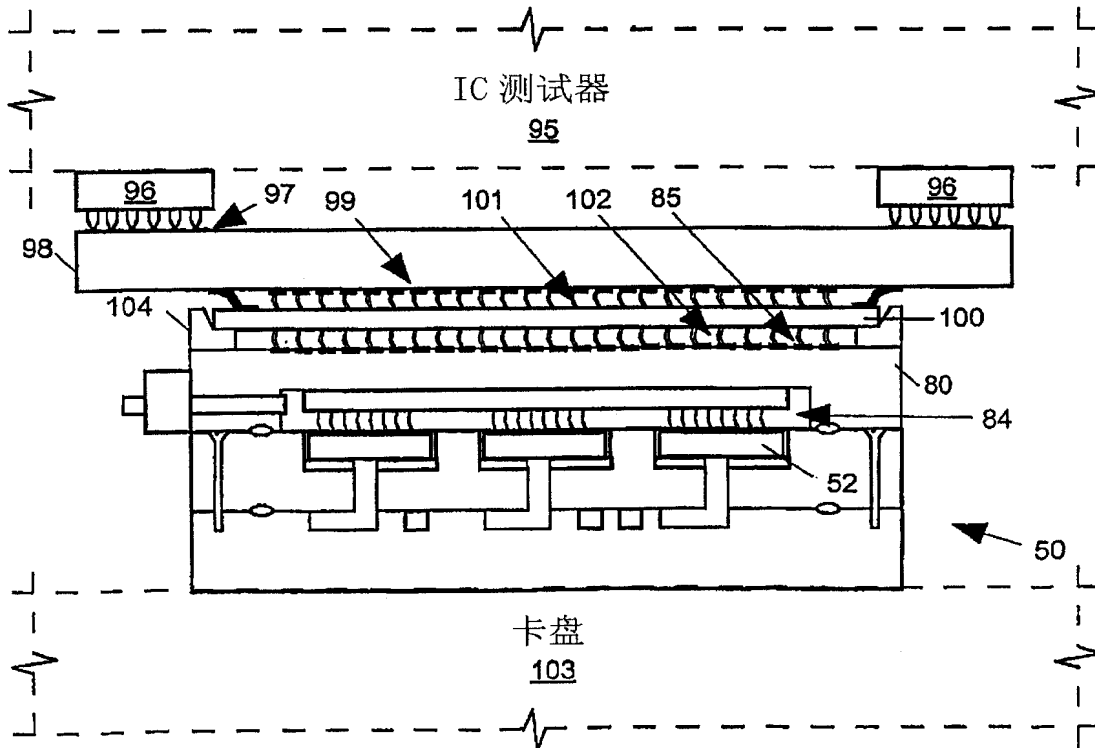


图 8

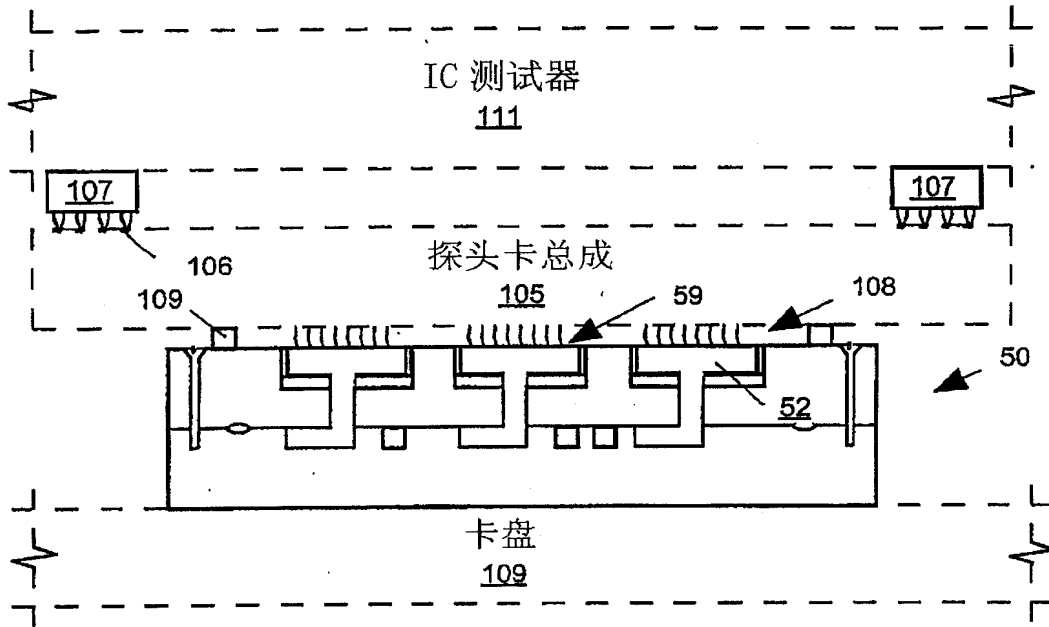


图 9

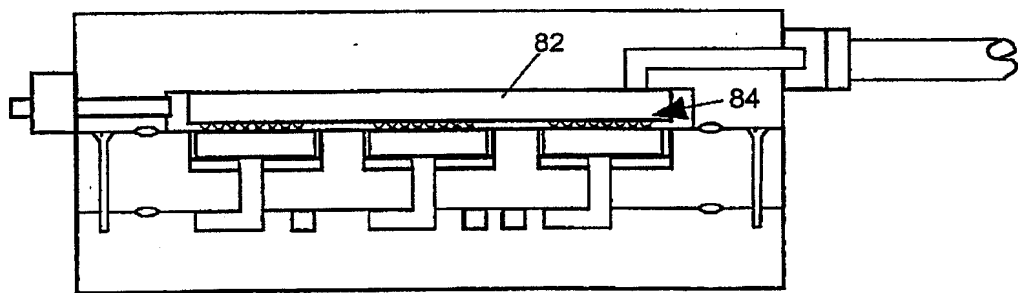


图 10

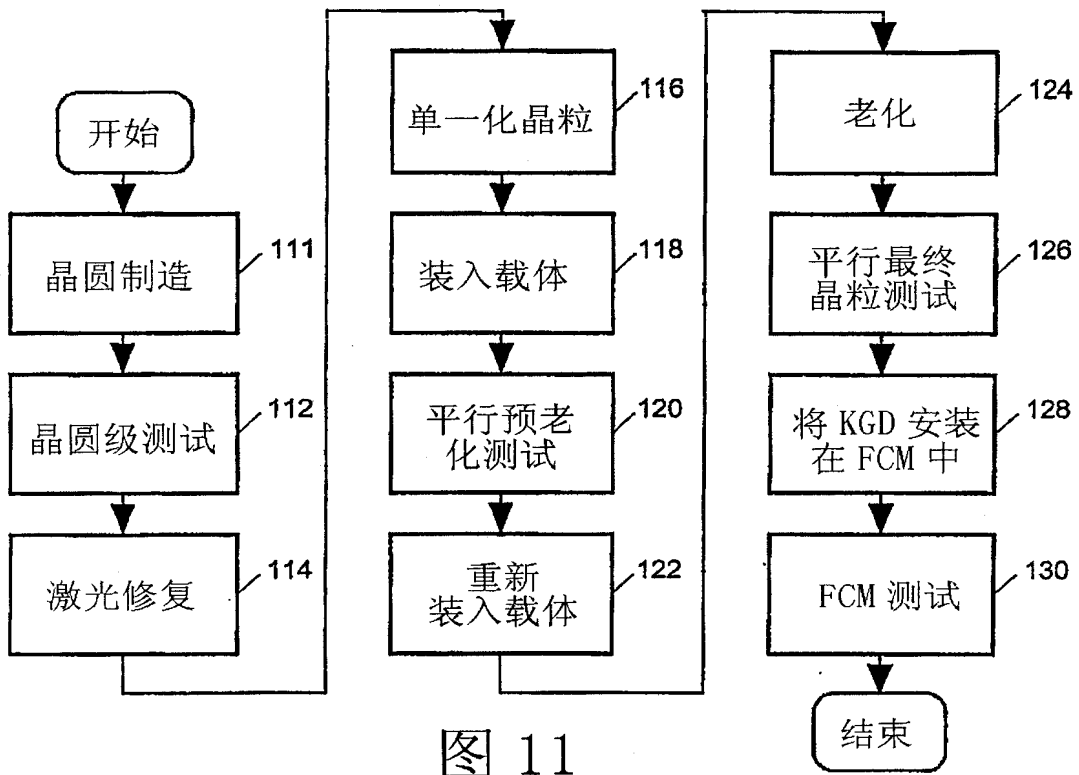


图 11

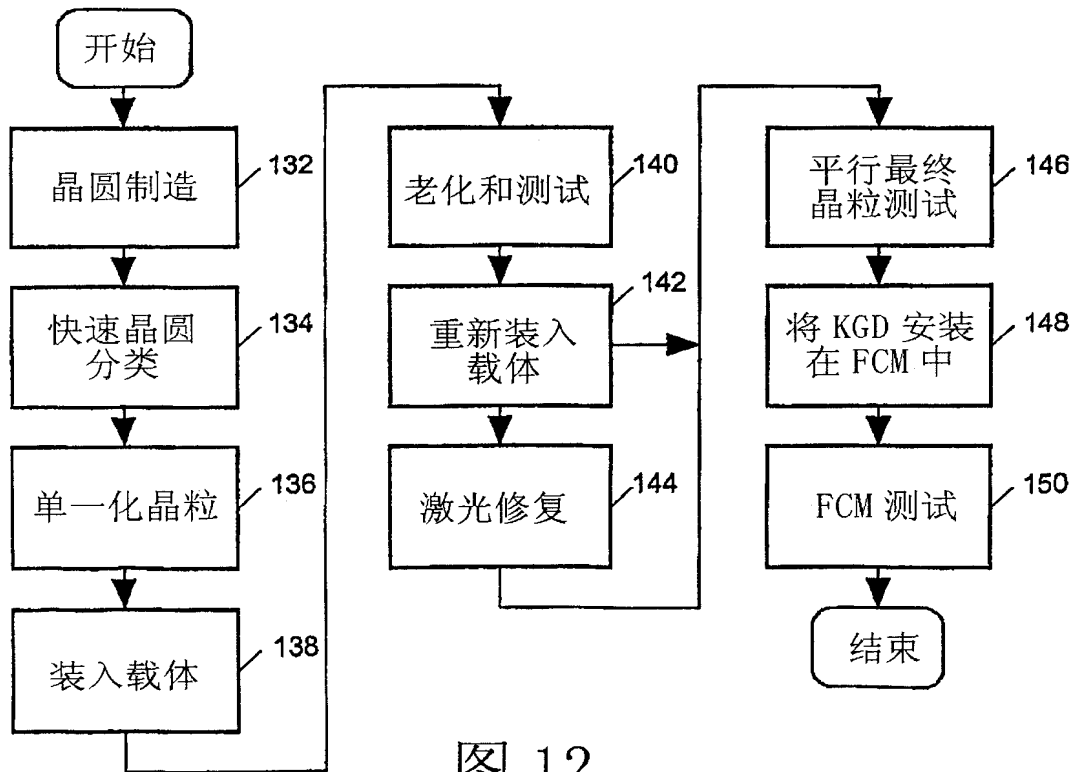


图 12

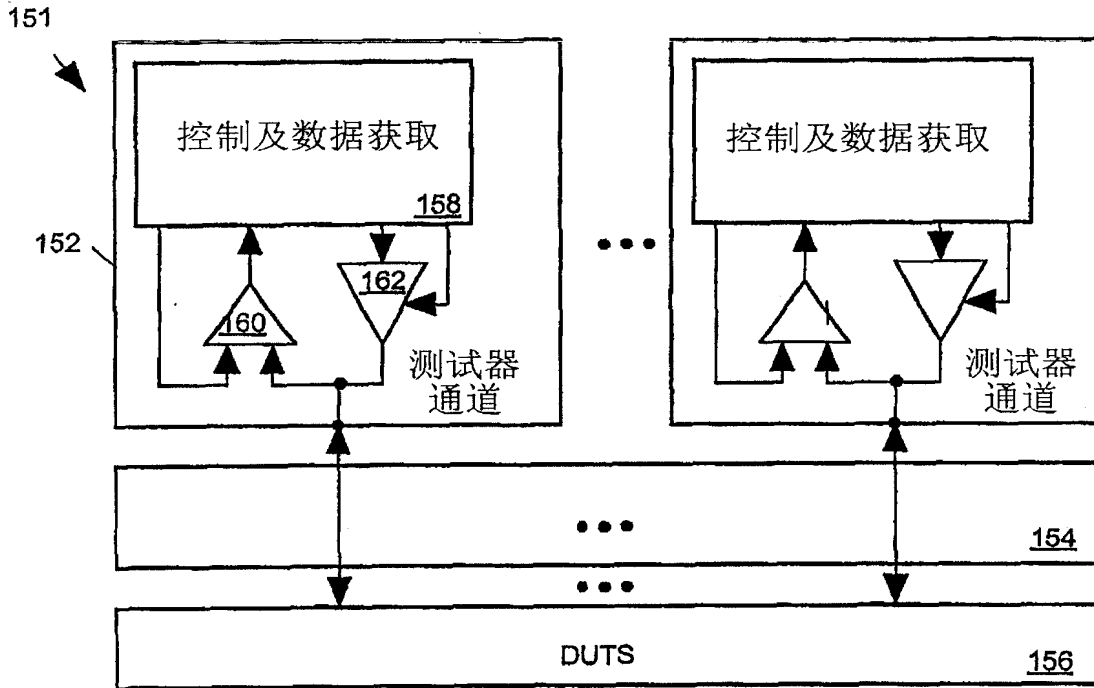


图 13
(现有技术)

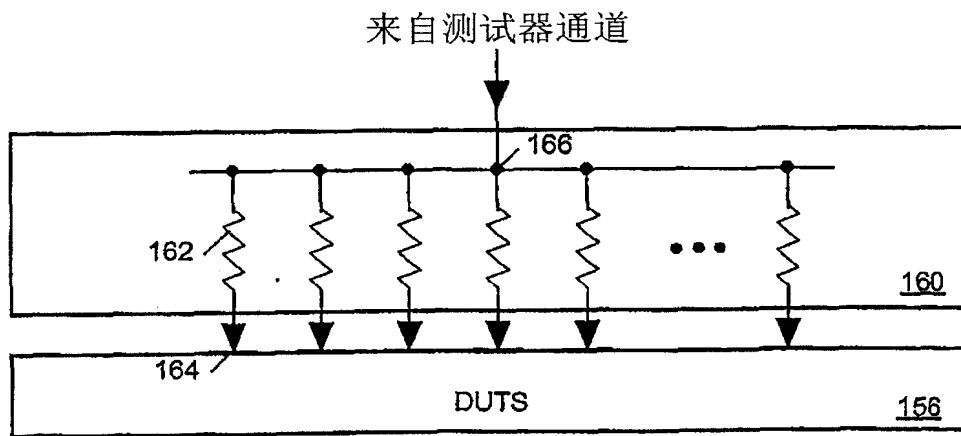


图 14

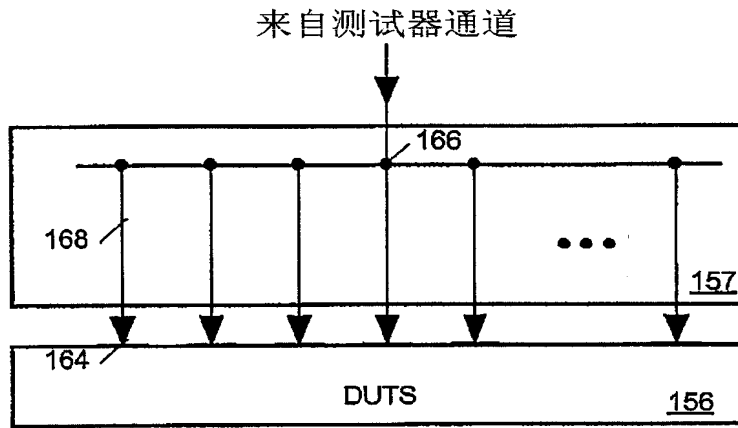


图 15

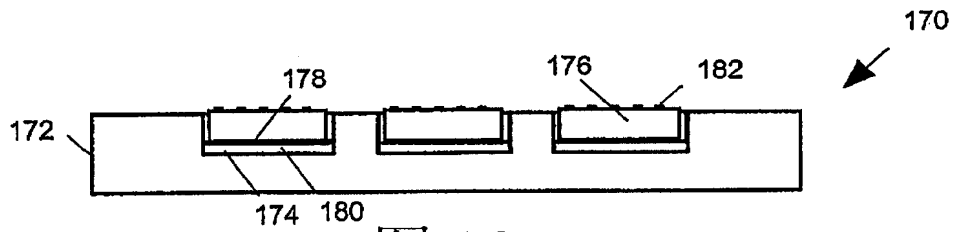


图 16

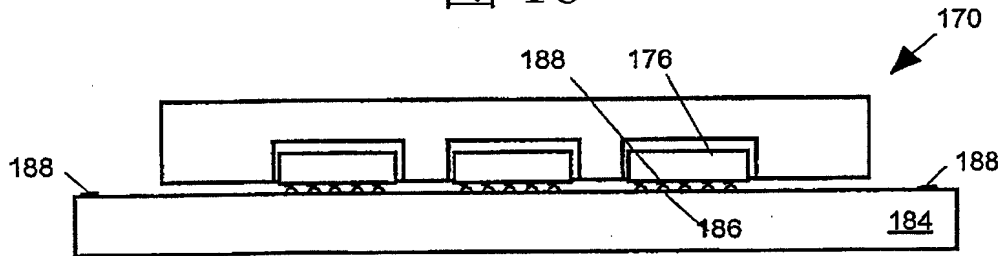


图 17

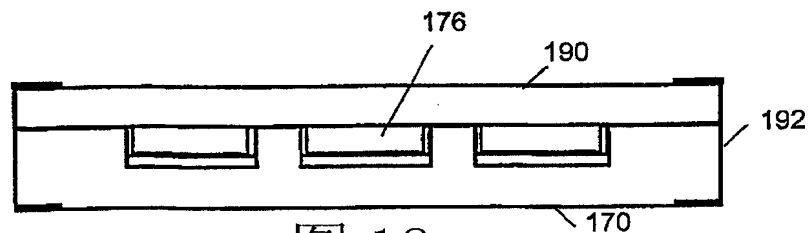


图 18

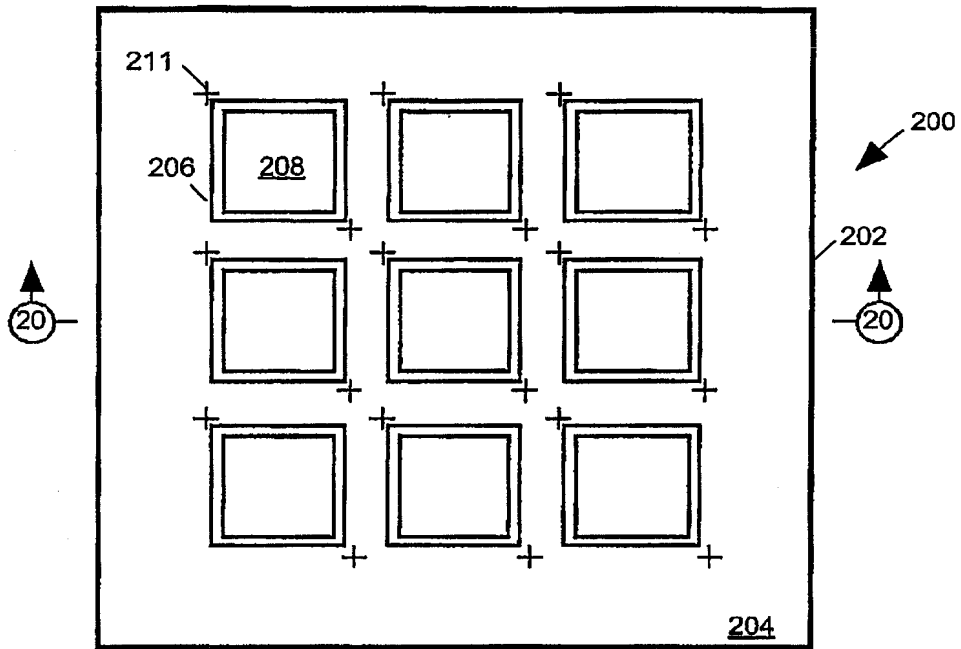


图 19

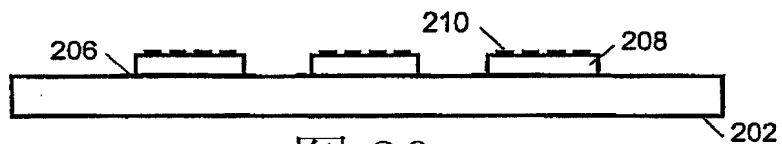


图 20

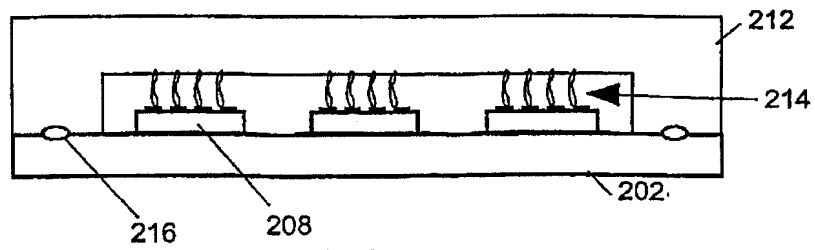


图 21