

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5268574号  
(P5268574)

(45) 発行日 平成25年8月21日(2013.8.21)

(24) 登録日 平成25年5月17日(2013.5.17)

(51) Int.Cl. F I  
H03F 3/195 (2006.01) H03F 3/195

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2008-285858 (P2008-285858)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成20年11月6日(2008.11.6)	(74) 代理人	100076233 弁理士 伊藤 進
(65) 公開番号	特開2010-114689 (P2010-114689A)	(72) 発明者	出口 淳 東京都港区芝浦一丁目1番1号 株式会社東芝内
(43) 公開日	平成22年5月20日(2010.5.20)	(72) 発明者	宮下 大輔 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成23年3月23日(2011.3.23)	審査官	高橋 義昭

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

入力端子及び出力端子をそれぞれ1つ以上有する増幅回路と、  
前記増幅回路と直流的に同等な特性を有するレプリカ回路と、  
前記レプリカ回路のバイアス端子と基準電位点との間に設けられ、当該バイアス端子に参照電圧を生成する参照電圧生成回路と、

前記レプリカ回路のバイアス端子に生成した前記参照電圧と前記増幅回路のバイアス端子に生成される電圧とが入力され、これら2つの電圧の差分を出力する差分回路と、前記増幅回路のバイアス端子と前記基準電位点との間に接続されるトランジスタとを有するフィードバック回路とを具備し、

前記フィードバック回路は、前記差分を前記トランジスタのゲートに入力することによって、前記差分を前記増幅回路のバイアス端子にフィードバックし、前記増幅回路のバイアス端子に生成される電圧を前記レプリカ回路のバイアス端子に生成した前記参照電圧に等しくするようにフィードバック制御する

ことを特徴とする半導体集積回路。

【請求項2】

前記参照電圧生成回路は、電流源で構成されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

同じレベルの直流信号に互いに反転した交流信号が重畳された第1、第2の入力信号が

入力される第1, 第2の入力端子と、各ゲートに前記第1, 第2の入力信号が入力され、各ソースが共通に接続されて差動対をなす第1, 第2のトランジスタと、各一端部が前記第1, 第2のトランジスタの各ドレインに接続され、各他端部が直流電圧源に接続された第1, 第2の負荷と、前記第1, 第2のトランジスタの各ドレインに接続され、出力信号を取り出す第1, 第2の出力端子とを備えた増幅回路と、

ゲートに前記第1, 第2のトランジスタに入力される入力信号の直流成分と同じレベルの直流信号が入力される第3のトランジスタと、一端部が前記第3のトランジスタのドレインに接続され、他端部が前記直流電圧源に接続された第3の負荷とを備え、前記第3のトランジスタは前記増幅回路の前記第1, 第2のトランジスタと直流的に同等な特性を有するレプリカ回路と、

10

前記レプリカ回路の前記第3のトランジスタのソースと基準電位点との間に設けられた電流源で構成され、前記第3のトランジスタのソースと前記電流源の接続点に前記電流源に応じた参照電圧を生成する参照電圧生成回路と、

前記増幅回路の前記第1, 第2のトランジスタの共通接続されたソースと前記基準電位点との間にドレイン・ソースがそれぞれ接続され、該ドレイン・ソース間に流れる電流をゲートに入力する電圧にて制御する第4のトランジスタと、前記レプリカ回路の前記第3のトランジスタのソースに生成した前記参照電圧と前記増幅回路の前記第1, 第2のトランジスタの共通接続されたソースに生成される電圧との差分をとる差分回路とを備え、該差分を前記第4のトランジスタのゲートに入力することによって、前記第1, 第2のトランジスタの共通接続されたソースの電圧を前記レプリカ回路の前記第3のトランジスタの

20

ソースに生成した前記参照電圧に等しくするように負フィードバック制御するフィードバック回路と、

を具備したことを特徴とする半導体集積回路装置。

#### 【請求項4】

前記第4のトランジスタの相互コンダクタンス( $g_m$ )を可変する回路をさらに具備したことを特徴とする請求項3に記載の半導体集積回路装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、所望のトランジスタ特性を確保し、かつA B級バイアスを実現できる半導体集積回路装置に関するものである。

30

#### 【背景技術】

#### 【0002】

高い線形性が要求されるような増幅器ではA B級のバイアス方法が採用される場合がある。入力信号が高周波数(例えば2 . 4 GHz)の場合には例えば以下のようにしてそのAB級バイアスを実現可能である。容量結合を介した交流(以下、AC)信号と抵抗を介した直流(以下、DC)バイアス信号とを重畳して、ソースがGNDなどの基準電位に接地されたトランジスタのゲートに入力する。ここで、増幅器(トランジスタ)の特性については、例えば相互コンダクタンス $g_m$ 一定の電流源を用いてDCバイアスを生成することで所望の特性を得ることができる。このような構成とすることで、ゲートに入力するAC信号の

40

#### 【0003】

入力振幅が大きくなればトランジスタのDC出力電流も増加し、増幅器をA B級バイアスすることが可能になる(例えば、非特許文献1参照)。

しかしながら、同様の構成で、入力信号が低周波数(例えば5 MHz)の場合にはAC信号をコンデンサで容量結合しようとするとき大きな容量が必要となり回路規模が増大する問題がある。そこで、容量結合を無くして、増幅器のA B級バイアスを実現するために、前段回路の出力信号(=前段出力コモンモードDC電圧+前段AC出力信号)を直接トランジスタのゲートに入力すると、トランジスタの特性( $g_m$ など)が前段回路のコモンモード電圧で決まってしまう、所望の特性( $g_m$ など)を得ることが難しい。ここで、トランジスタを所望の特性にする方法としては、前段にレベルシフタを挿入して所望のDCレベル(

50

VDC)を得ることが考えられる。しかし、余分な回路が挿入されることによってどうしても歪みや雑音特性が劣化してしまうという問題が新たに発生する。その他の方法として、所望の特性を得るためにトランジスタのソースに流れる電流を定電流源で規制してしまうとA級バイアスになってしまい線形性が劣化してしまう。

【非特許文献1】D. Yamazaki et al., "2.5-GHz fully-integrated WiMAX transceiver IC for a compact, low-power-consumption RF module," IEEE Radio Frequency Integrated Circuits Symposium, pp.109-pp.112, 2008. (pp.110、Fig.2)

【発明の開示】

【発明が解決しようとする課題】

【0004】

そこで、本発明は上記の問題に鑑み、ある値にゲートDCバイアスされた増幅回路などのトランジスタに対して、所望のトランジスタ特性( $g_m$ など)を確保し、かつ、AB級のバイアスを実現することができる半導体集積回路装置を提供することを目的とするものである。

【課題を解決するための手段】

【0005】

本発明の一態様によれば、入力端子及び出力端子をそれぞれ1つ以上有する増幅回路と、前記増幅回路と直流的に同等な特性を有するレプリカ回路と、前記レプリカ回路のバイアス端子と基準電位点との間に設けられ、当該バイアス端子に参照電圧を生成する参照電圧生成回路と、前記レプリカ回路のバイアス端子に生成した前記参照電圧と前記増幅回路のバイアス端子に生成される電圧とが入力され、これら2つの電圧の差分を出力する差分回路と、前記増幅回路のバイアス端子と前記基準電位点との間に接続されるトランジスタとを有するフィードバック回路とを具備し、前記フィードバック回路は、前記差分を前記トランジスタのゲートに入力することによって、前記差分を前記増幅回路のバイアス端子にフィードバックし、前記増幅回路のバイアス端子に生成される電圧を前記レプリカ回路のバイアス端子に生成した前記参照電圧に等しくするようにフィードバック制御することを特徴とする半導体集積回路装置が提供される。

なお、参照電圧生成回路は、電流源で構成されることが好ましい。

【0006】

本発明の他の態様によれば、同じレベルの直流信号に互いに反転した交流信号が重畳された第1、第2の入力信号が入力される第1、第2の入力端子と、各ゲートに前記第1、第2の入力信号が入力され、各ソースが共通に接続されて差動対をなす第1、第2のトランジスタと、各一端部が前記第1、第2のトランジスタの各ドレインに接続され、各他端部が直流電圧源に接続された第1、第2の負荷と、前記第1、第2のトランジスタの各ドレインに接続され、出力信号を取り出す第1、第2の出力端子とを備えた増幅回路と、ゲートに前記第1、第2のトランジスタに入力される入力信号の直流成分と同じレベルの直流信号が入力される第3のトランジスタと、一端部が前記第3のトランジスタのドレインに接続され、他端部が前記直流電圧源に接続された第3の負荷とを備え、前記第3のトランジスタは前記増幅回路の前記第1、第2のトランジスタと直流的に同等な特性を有するレプリカ回路と、前記レプリカ回路の前記第3のトランジスタのソースと基準電位点との間に設けられた電流源で構成され、前記第3のトランジスタのソースと前記電流源の接続点に前記電流源に応じた参照電圧を生成する参照電圧生成回路と、前記増幅回路の前記第1、第2のトランジスタの共通接続されたソースと前記基準電位点との間にドレイン・ソースがそれぞれ接続され、該ドレイン・ソース間に流れる電流をゲートに入力する電圧にて制御する第4のトランジスタと、前記レプリカ回路の前記第3のトランジスタのソースに生成した前記参照電圧と前記増幅回路の前記第1、第2のトランジスタの共通接続されたソースに生成される電圧との差分をとる差分回路とを備え、該差分を前記第4のトランジスタのゲートに入力することによって、前記第1、第2のトランジスタの共通接続されたソースの電圧を前記レプリカ回路の前記第3のトランジスタのソースに生成した前記参照電圧に等しくするように負フィードバック制御するフィードバック回路と、を具備した

10

20

30

40

50

ことを特徴とする半導体集積回路装置が提供される。

なお、第4のトランジスタの相互コンダクタンス( $g_m$ )を可変する回路をさらに具備してもよい。

【発明の効果】

【0007】

本発明によれば、ある値にゲートDCバイアスされた増幅回路などのトランジスタに対して、所望のトランジスタ特性( $g_m$ など)を確保し、かつ、AB級のバイアスを実現することができる半導体集積回路装置を提供することができる。

【発明を実施するための最良の形態】

【0008】

発明の実施の形態を説明する前に、背景となる関連技術について図14～図18を参照して説明する。

まず、AB級バイアスについて図14及び図15を参照して説明する。図14は、差動トランジスタM1、M2と、各差動トランジスタのドレインに直列接続した負荷抵抗R1、R2と、直流電圧源E(電源ラインで示している)とで構成される増幅回路装置を示している。ここでは、差動トランジスタM1、M2はNチャンネルFET(例えばNMOSトランジスタ)であるとしている。差動トランジスタM1、M2の各ゲートには、DCバイアスVDCに互いに極性反転したAC信号(以下、 $v_p$ 、 $v_n$ 信号)を加えた信号( $V_{DC} + v_p$ 、 $V_{DC} + v_n$ )を入力している。

【0009】

図15は図14の動作説明図であり、横軸にゲートに入力するAC入力振幅をとり、縦軸に差動トランジスタM1、M2のDC出力電流をとっている。AC成分が0のときには、DCバイアスVDCに基づいてDC電流IDCが差動トランジスタM1、M2の各ドレイン電流として流れ、AC成分の入力振幅が増大するに伴ってそのDC出力電流が増加している。このように、DC出力電流が、DCバイアスVDCに基づいた初期値IDCから開始して、AC入力振幅の増大に伴って増加していく入出力状態をAB級増幅又はAB級バイアスと呼んでいる。一方、A級バイアスは常に一定のDC電流を出力しようとする構成であり、AC入力振幅が大きくなった場合には電流が足りずに増幅器の線形性が劣化してしまう。従って、高い線形性が要求されるような増幅器ではAB級のバイアス方法が採用される場合がある。

【0010】

例えば、入力AC信号が高周波数(例えば2.4GHz)の場合には図16に示すようなAB級バイアスされた増幅回路装置が用いられる。図16に示す回路は、直流電圧源Eと電流源IとFETトランジスタM3と抵抗R3、R4とを有したDCバイアス生成回路と、AC信号入力端子T1a、T2aと、差動トランジスタM1、M2と、この差動トランジスタM1、M2の各ゲートにAC信号の交流成分 $v_p$ 、 $v_n$ のみを入力するためのコンデンサC1、C2と、を備えた構成となっている。

【0011】

図16で、入力信号が高周波数の場合にはAC信号 $v_p$ 、 $v_n$ をコンデンサC1、C2でAC成分のみとし、これらをDCバイアスVDCに重畳して差動トランジスタM1、M2の各ゲートに入力する。トランジスタM1、M2の特性( $g_m$ など)は電流源(例えば $g_m$ 一定電流源)Iで決まっている。 $v_p$ 、 $v_n$ は入力AC信号であり、VDCはトランジスタM1、M2のゲートDCバイアスである。このDCバイアスVDCは $g_m$ 一定の電流源Iの電流値を変えることによって電流値に応じた所望な値に設定できる。

【0012】

しかし、入力信号が低周波数(例えば5MHz)の場合には図16のような増幅回路装置を用いることは難しい。何故なら、入力AC信号が低周波数信号の場合に図16のようなコンデンサC1、C2で容量結合しようとするとき非常に大きなコンデンサが必要となりチップ面積を圧迫するためである。そこで、入力AC信号が低周波数の場合でも図17のような構成にすればAB級バイアスが可能である。M1、M2のゲートにはDCバイアスとして

10

20

30

40

50

VDCが、入力AC信号として $v_p$ 、 $v_n$ が入力される。つまり、M1のゲートにはVDC +  $v_p$ が入力され、M2のゲートにはVDC +  $v_n$ が入力される。この場合、トランジスタM1、M2のゲートDCバイアス(VDC)は例えば前段回路の出力コモンモード電圧である。このため、トランジスタM1、M2の特性( $g_m$ など)は前段回路のコモンモード電圧で決まってしまう、しきい値、温度などのばらつきによってトランジスタM1、M2の特性は大きくばらついてしまうことになる。

【0013】

ここで、図17の差動トランジスタM1、M2を所望の特性にする方法としては、前段にレベルシフトを挿入して所望のDCレベル(VDC)を得ることが考えられる。しかし、余分な回路が挿入されることによってどうしても歪みや雑音特性が劣化してしまうという問題が新たに発生する。その他の方法として、所望の特性を得るために差動トランジスタM1、M2のソースに流れる電流を定電流源で規制してしまうとAC信号の入力振幅の増加に対しても出力電流が増えずほぼ一定値に制限され、A級バイアスになってしまい線形性が劣化してしまう。このようなケースは、例えば図18に示す無線送信機では、ミキサ回路13の入力段のトランジスタ回路で起こり得る。

【0014】

図18は図16及び図17の回路装置が適用される無線送信機の構成例を示している。図18は後に述べる本発明の回路装置を適用させることもできる。無線送信機としては例えば携帯電話機や無線LANなどである。

【0015】

図18において、無線送信機は、ベースバンドの入力信号が入力する入力端子11と、入力されたベースバンド信号の低域成分を通過させるローパスフィルタ(以下、LPF)12と、図示しないローカル発振器からの高周波数信号が入力される入力端子14と、この入力端子14に入力した高周波数信号とLPF12から出力された低周波数信号とを混合して高周波数の変調信号を生成するミキサ回路13と、ミキサ回路13からの変調信号を増幅して出力する出力アンプ15と、増幅された変調信号を図示しないアンテナに出力する出力端子16とを備えている。図18では、ベースバンド周波数(低周波数)で動作するローパスフィルタ(LPFF)のコモンモード電圧がミキサ回路13の入力トランジスタ(図17の差動トランジスタM1、M2に相当)のゲートDCバイアスとなり、そこにLPF12からの低周波数AC信号が入力される。

【0016】

そこで、本発明では、図17のミキサ回路13の入力段トランジスタ回路のようなケースにあるように、ある値にゲートDCバイアスされた増幅回路などのトランジスタ回路に対して、所望のトランジスタ特性( $g_m$ など)を確保し、かつ、AB級のバイアスを実現する半導体集積回路装置を提供する。

【0017】

以下、発明の実施の形態について図1～図13を参照して説明する。

図1は本発明に係る半導体集積回路装置のブロック図を示している。

図1において、半導体集積回路装置20は、入力端子T1及び出力端子T4を有する増幅回路21と、増幅回路21と直流的に同等な特性を有するレプリカ回路22と、レプリカ回路22のバイアス端子T7と基準電位点との間に設けられ、バイアス端子T7に参照電圧を生成する参照電圧生成回路23と、レプリカ回路22のバイアス端子T7に生成した参照電圧と増幅回路21のバイアス端子T6に生成される電圧との差分をとり、この差分を増幅回路21のバイアス端子T6に負フィードバックし、バイアス端子T6に生成される電圧をレプリカ回路22のバイアス端子T7に生成した参照電圧に等しくするようにフィードバック制御するフィードバック回路24とを備えている。

【0018】

参照電圧生成回路23は、例えば電流源Iで構成されている。また、フィードバック回路24は、参照電圧生成回路23で生成した参照電圧VREFと増幅回路21のバイアス端子T6に生成される電圧との差分をとる差分回路としての差動アンプDIFと、この差

10

20

30

40

50

分を増幅回路21のバイアス端子T6に負フィードバックするために、バイアス端子T6と基準電位点間に設けられたフィードバックの制御用のトランジスタM4とを備えている。

【0019】

[第1の実施形態]

図2は本発明の第1の実施形態の半導体集積回路装置のブロック図を示している。

図2に示す半導体集積回路装置20Aにおいて、信号入力トランジスタとして差動対をなす差動トランジスタM1, M2があり、それらのソースは共通に接続され、その共通ソースがトランジスタM4のドレインに接続されている。トランジスタM3は、トランジスタM1, M2のレプリカである。差動トランジスタM1, M2のレプリカトランジスタM3のソースはある電流源Iと接続されている。トランジスタM3のソースと差動トランジスタM1, M2の共通ソースとはそれぞれ差動アンプDIFの2つの入力端に接続され、差動アンプDIFの出力端がトランジスタM4のゲートに接続される。つまり、トランジスタM3のソース電圧と差動トランジスタM1, M2のソース電圧は差動アンプDIFの±入力端に入力され、その差分出力がトランジスタM4のゲートに入力されている。トランジスタM4のソースは基準電位点に接続している。トランジスタM1, M2, M3のドレインはそれぞれ負荷Zを介して直流電圧源Eに接続されている。差動トランジスタM1, M2の各ゲートに接続した入力端子T1, T2にはDCバイアス(VDC)とAC信号(vp, vn)が入力され、トランジスタM3のゲートに接続した入力端子T3には差動トランジスタM1, M2と同様のゲートDCバイアス(VDC)が入力される。このトランジスタM3のゲートに入力されるVDCは例えば前段回路のコモンモード電圧である。なお、ここではトランジスタM1~M4は全てNチャンネルFET(例えばNMOSTランジスタ)である。

【0020】

次に、図2の作用効果を図3を参照しながら説明する。図3は図2の動作を説明する図である。

図3において、点線で囲んだ回路は、半導体集積回路装置20Aの本体トランジスタである差動トランジスタM1, M2のDC特性を確保するために設けられており、直流電圧源Eと基準電位点の間に、負荷Z, トランジスタM3, 及び電流源Iが直列接続されている。トランジスタM3のゲートには図示しない前段回路の出力から取り出された直流成分が入力されているが、トランジスタM3の特性(gmなど)を決めているのは定電流源としての電流源Iであり、点線で囲んだ回路部分に流れる電流はこの電流源Iで決まる一定電流値に維持され、トランジスタM3のオーバードライブ電圧(=ゲート・ソース間電圧 - トランジスタしきい値電圧)は一定値に維持されるように動作する。すなわち、トランジスタM3の特性(gm)は、トランジスタM3のゲートに入力される前段回路からの直流電圧VDCに依存せずに電流源Iの電流で決まる。つまり、点線で囲んだ回路部分から仮に電流源Iを削除して、トランジスタM3のソースを直接に基準電位点に接続する構成したとすると、トランジスタM3のオーバードライブ電圧は前段回路からの直流成分VDCに応じて変化する結果、トランジスタM3の特性(gm)も前段回路からの直流成分VDCで決まり、前段回路からの直流成分VDCでトランジスタM3の特性が変化してしまうことになる。本発明の実施形態では、トランジスタM3のバイアスが、ゲートに入力される前段回路からの直流成分VDCで決まるのではなくて、ソースに接続した電流源Iの電流で決められるように構成しているものである。なお、トランジスタM3のソースと電流源Iとの接続点に得られる参照電圧VREFは、電流源Iに対応した電圧値が得られるので、電流源Iの電流値を変えるか、或いは電流源I自体を代えれば参照電圧VREFを変えることができる。また、トランジスタM3のゲートに入力する直流電圧VDCを変化させても電流源Iが動作可能な範囲内で参照電圧VREFを変えることができる。すなわち、参照電圧VREFの値は、電流源Iの電流値によって変えられる一方、トランジスタM3のゲートに入力する直流電圧VDCの値によっても変えられる。しかしながら、ゲートに入力する直流電圧VDCは前段回路からの直流成分によって規定されるものであるから、ユーザーは参照電圧VREFの値を電流源Iの電流値を変えることによって所望の値に設定できることになる。

10

20

30

40

50

## 【 0 0 2 1 】

さらに、本発明の実施形態では、差動アンプ D I F によって差動トランジスタ M1, M2 のソース電位がトランジスタ M3 のソース電位 (即ち参照電圧) V R E F と等しくなるようにトランジスタ M4 を介してフィードバック制御が掛かるようになっている。つまり、差動トランジスタ M1, M2 の共通ソースの電位がトランジスタ M3 のソース電位 V R E F より例えば高くなった場合には、その正の差分値が差動アンプ D I F からトランジスタ M4 リゲートに入力される結果、トランジスタ M4 を流れるドレイン電流が増加し、差動トランジスタ M1, M2 の各ドレイン電流も増加して共通ソースの電位が降下することにより参照電圧 V R E F に近づくように負フィードバックが掛かる。従って、差動アンプ D I F によるフィードバックの帯域が信号帯域よりも広ければ、差動トランジスタ M1, M2 のソースは参照電位 V R E F に接地されていることになり、差動トランジスタ M1, M2 は A B 級バイアスされている状態になる。また、トランジスタ M3 はある電流源 I、例えば g m 一定電流源で D C バイアスされており、V D C、しきい値、温度などのばらつきに寄らずトランジスタ M3 の g m は一定である。そして、差動トランジスタ M1, M2 のオーバードライブ電圧も差動アンプ D I F によるフィードバックによりトランジスタ M3 のオーバードライブ電圧と等しくなる (これは、トランジスタ M3 は差動トランジスタ M1, M2 のレプリカであるためである)。そのため、差動トランジスタ M1, M2 の D C バイアス状態はトランジスタ M3 と等しく、g m 一定で D C バイアスされていることになる。従って、図 2 の構成を用いると A B 級で差動トランジスタ M1, M2 をバイアスしながら、電流源 I によって所望の差動トランジスタ M1, M2 の特性 (g m 一定など) を得ることが可能となる。この構成の場合、図 1 7 の説明で述べたようなレベルシフトなど前段に余分な回路を挿入することによる歪みや雑音特性の劣化も生じない。ここで補足として、レプリカトランジスタ M3 は差動トランジスタ M1, M2 と全く同じである必要はないことを注記しておく。カレントミラーと同様に差動トランジスタ M1, M2 とトランジスタ M3 のサイズ比 (チャンネル幅比など) で D C バイアス状態を調整可能である (そのサイズ比に合わせて負荷 Z のサイズ比も変更する)。

10

20

## 【 0 0 2 2 】

上記機能を確認するために回路シミュレーションを行った。図 2 の構成との比較のために、図 4 に示すような構成でのシミュレーション結果を合わせて示すことにする。図 4 は図 2 で A 級にバイアスされた構成例を示している。

30

図 4 は、図 2 における差動アンプ D I F は削除されており、直流電圧源 E と基準電位点間に、電流源 I と、ドレイン・ゲート間をダイオード接続したトランジスタ M3 とを直列接続し、トランジスタ M3 のゲートをトランジスタ M4 のゲートと共通に接続することによって、カレントミラーを構成している。それ以外の部分は図 2 と同様な構成である。

## 【 0 0 2 3 】

このような構成においては、図 4 の差動トランジスタ M1, M2 の D C バイアス状態 (g m など) は電流源 I をカレントミラーすることによって、図 2 の差動トランジスタ M1, M2 と同様になるようにしている。従って、差動トランジスタ M1, M2 を流れる電流、即ちトランジスタ M4 を流れる電流は電流源 I によって規定され、A C 入力振幅 (v p - v n) が増加してもトランジスタ M4 を流れる D C 電流は殆ど増えないことになる。図 2 及び図 4 において、差動トランジスタ M1, M2 の D C バイアス状態 (g m) は等しいが、図 2 は A B 級、図 4 は A 級でバイアスされていることになる。

40

## 【 0 0 2 4 】

図 5 は A C 入力振幅 (v p - v n) に対するトランジスタ M4 の D C 電流の変化の様子を示している。

図 5 に示すように、図 2 の構成の場合、A C 入力振幅の増加とともにトランジスタ M4 の D C 電流も増加しており、A B 級でバイアスされているのがわかる。一方、図 4 の構成の場合も A C 入力振幅の増加とともにトランジスタ M4 の D C 電流は若干増加しており A B 級動作しているようにも見えるが、実際には A 級動作となっており、これは図 6 を見れば明らかである。

50

## 【 0 0 2 5 】

図 6 は A C 入力振幅 (  $v_p - v_n$  ) に対するトランジスタ M4 のドレイン電圧の変化の様子を示している。

図 6 に示すように、図 4 の構成の場合、A C 入力振幅の増加に伴いトランジスタ M4 のドレイン電圧が増加している。従って、図 4 の構成でのトランジスタ M4 の D C 電流の増加はトランジスタ M4 のチャンネル長変調によって発生していることが分かる。つまり、図 4 の構成の場合、A C 入力振幅の増加とともにトランジスタ M4 のドレイン電圧が増加するため、差動トランジスタ M1, M2 のトランジスタ特性 (  $g_m$  など ) は歪んでくると言える。一方、図 2 の構成では差動トランジスタ M1, M2 の歪み具合は図 4 の構成と比較して小さい。

10

## 【 0 0 2 6 】

図 7 は A C 入力振幅 (  $v_p - v_n$  ) に対するトランジスタ M1 の相互コンダクタンス  $g_m$  の変化の様子を示している。

図 7 に示すように、トランジスタ M1 の  $g_m$  は A C 入力振幅が小さい場合には図 2, 図 4 の構成とも等しいことが分かる。つまり、図 5 から、図 2 の構成では差動トランジスタ M1, M2 を A B 級でバイアスできており、図 7 から差動トランジスタ M1, M2 を所望の D C バイアス状態に設定可能 (  $g_m$  一定など ) であることを示している。さらに前述のように、図 2 の構成の方が図 4 の構成の場合と比較して、A C 入力振幅の増加による  $g_m$  の劣化具合が小さく歪みにくいこともわかる。

20

## 【 0 0 2 7 】

図 8 は A C 入力振幅に対するトランジスタ M1 の A C 出力ドレイン電流を示している。

図 8 に示すように、信号電流は図 2, 図 4 とともにほぼ等しいが、3 次, 5 次歪み電流は図 4 と比較して図 2 の方が 1 4 d B 程度小さいことがわかる。つまり、図 7 で示したのと同様に、図 2 の構成の方が図 4 の構成と比較して歪みにくいと言える。

## 【 0 0 2 8 】

また、図 2 の構成は今後の C M O S プロセスの進展に伴う低電源電圧化に向いている。図 4 の構成と比較して図 2 の構成では、レプリカ回路、差動アンプで余分な電流を消費している。この余剰電流分だけ図 4 の D C バイアス電流を上げれば、図 4 でも確かに線形性を高くすることができる。しかし、電源電圧が低い場合に D C バイアス電流を上げていくと、差動トランジスタ M1, M2 のドレイン電圧が下がってきて差動トランジスタ M1, M2 が飽和領域で動作しなくなってしまう。一方、図 2 の構成の場合は、差動トランジスタ M1, M2 に流れる D C バイアス電流を直接上げるのではなく、その分の電流をレプリカ回路、差動アンプに流すことで線形性を上げる構成になっている。つまり、図 4 の構成の場合と比較して、差動トランジスタ M1, M2 の動作点を変更することなく線形性を上げることが可能であり、低電源電圧に向けた構成になっている。

30

## 【 0 0 2 9 】

第 1 の実施形態によれば、レプリカトランジスタ M3 を利用して本体トランジスタ M1, M2 のソース電位を制御することによって、ある値にゲート D C バイアスされた増幅回路などのトランジスタに対して、所望のトランジスタ特性を確保し、かつ、A B 級のバイアスを実現することができる。

40

## 【 0 0 3 0 】

## [ 第 2 の実施形態 ]

図 9 は本発明の第 2 の実施形態の半導体集積回路装置の回路図を示している。

図 9 に示す半導体集積回路装置 2 0 B が、図 2 の半導体集積回路装置 2 0 A と異なる点は、トランジスタ M4 のサイズ ( チャンネル幅など ) と等価な部分を調整することによってトランジスタ M4 の入力振幅の増加に伴うドレイン電流の増加量を調整可能にしたトランジスタ、即ち  $g_m$  調整可能なトランジスタ M4-1 を設けたものである。これによって、図 5 の二点鎖線に示すようにトランジスタ M4 の D C 電流を増加させたり減少させたりして、トランジスタ M4 の  $g_m$  を可変することができる。

50

## 【 0 0 3 1 】

図 1 0 は  $g_m$  調整可能なトランジスタ M4-1 の構成例を示している。トランジスタ M4-1 は、差動アンプ D I F からの差分信号が入力されるフィードバック入力端子 T10 と、フィードバック出力端子 T8 と、図示しない制御手段からの制御信号が入力される制御端子 T9 と、フィードバック出力端子 T8 と基準電位点間に並列に接続した複数 (例えば 3 つ) のトランジスタ M4a, M4b, M4c と、フィードバック入力端子 T10 と 3 つのトランジスタ M4a, M4b, M4c のゲート間に設けられて、フィードバック入力端子 T10 からの差分信号をトランジスタ M4a のゲートのみに供給するか、トランジスタ M4a のゲートともう 1 つのトランジスタ M4b のゲートに供給するか、或いは、トランジスタ M4a のゲートと他の 2 つのトランジスタ M4b 及び M4c のゲートに供給するかを、制御端子 T9 からの制御信号に応じて選択可能にする  $g_m$  可変部 3 1 とを備えている。

10

## 【 0 0 3 2 】

この構成においては、図示しない制御手段からの制御信号の内容に応じて、 $g_m$  可変部 3 1 が 3 つのトランジスタ M4a, M4b, M4c の 3 つのゲートのうちの幾つのゲートに差動アンプ D I F からの差分信号を入力するかを選択することによって、トランジスタ M4-1 の特性パラメータである  $g_m$  を可変することが可能となる。

## 【 0 0 3 3 】

第 2 の実施形態によれば、フィードバック制御用のトランジスタ M4-1 を流れる電流を調整することにより、本体トランジスタ M1, M2 の信号電流増加に伴う出力電流増加度合いを調整できるので、本体トランジスタの  $g_m$  を可変して、増幅回路の出力の歪み方を調整することが可能となる。

20

## 【 0 0 3 4 】

## [ 第 3 の実施形態 ]

図 1 1 は本発明の第 3 の実施形態の半導体集積回路装置のブロック図を示している。

図 1 1 に示す半導体集積回路装置 2 0 C において、信号入力トランジスタとして差動対をなす差動トランジスタ M11, M12 があり、それらのソースがトランジスタ M14 のドレインに接続されている。トランジスタ M13 は、トランジスタ M11, M12 のレプリカである。差動トランジスタ M11, M12 のレプリカトランジスタ M13 のソースはある電流源 I と接続されている。電流源 I の一端は直流電圧源 E に接続している。なお、トランジスタ M11 ~ M14 は全て P チャンネル F E T (例えば P M O S トランジスタ) である。

30

## 【 0 0 3 5 】

トランジスタ M13 のソースと差動トランジスタ M11, M12 のソースは差動アンプ D I F の 2 つの入力端に接続され、その出力端がトランジスタ M14 のゲートに接続される。つまり、トランジスタ M13 のソース電圧と差動トランジスタ M11, M12 のソース電圧は差動アンプ D I F の  $\pm$  入力端に入力され、その差分出力がトランジスタ M14 のゲートに入力される。トランジスタ M14 のソースは直流電圧源 E に接続している。トランジスタ M11, M12, M13 のドレインはそれぞれ負荷 Z を介して基準電位点に接続されている。差動トランジスタ M11, M12 のゲートには D C バイアス ( $V_{DC}$ ) と A C 信号 ( $v_p, v_n$ ) が入力され、トランジスタ M13 のゲートには差動トランジスタ M11, M12 と同様のゲート D C バイアス ( $V_{DC}$ ) が入力される。このトランジスタ M13 に入力される  $V_{DC}$  は例えば前段回路のコモンモード電圧である。

40

## 【 0 0 3 6 】

上記の図 1 1 の構成においては、図 2 の半導体集積回路装置 2 0 A の構成における上下を逆にし、N チャンネル F E T を P チャンネル F E T に置き換えた構成としたものである。図 1 1 の半導体集積回路装置 2 0 C の動作は図 2 と同様である。

## 【 0 0 3 7 】

第 3 の実施形態によれば、P チャンネル F E T 例えば P M O S トランジスタを用いた半導体集積回路装置においても、第 1 の実施形態と同様に、レプリカトランジスタ M13 を利用して本体トランジスタ M11, M12 のソース電位を制御することによって、ある値にゲート D C バイアスされた増幅回路などのトランジスタに対して、所望のトランジスタ特性を

50

確保し、かつ、A B級のバイアスを実現することができる。

【0038】

[第4の実施形態]

図12は本発明の第4の実施形態の半導体集積回路装置のブロック図を示している。

図12に示す半導体集積回路装置20Dは、図2の半導体集積回路装置2AにおけるトランジスタM2及びその負荷Zを削除して、増幅回路をトランジスタM1とその負荷Zのみで構成したものである。ここで、トランジスタM3は、トランジスタM1のレプリカである。つまり、トランジスタM3はその直流特性がトランジスタM1と同等な直流特性を有するレプリカである。トランジスタM3のドレイン・ソース間を流れる直流電流は、トランジスタM1のドレイン・ソース間を流れる直流電流と同等である。その他の構成及び動作は、図2と同様である。

10

【0039】

図13に示す半導体集積回路装置20Eは、図12の装置における上下を逆にし、NチャンネルFETをPチャンネルFETに置き換えた構成としたものである。

第4の実施形態によれば、差動トランジスタを用いた半導体集積回路装置に限らず、信号増幅用の本体トランジスタが1つの半導体集積回路装置においても、第1及び第3の実施形態と同様に、レプリカトランジスタM3又はM13を利用して本体トランジスタM1又はM11のソース電位を制御することによって、ある値にゲートDCバイアスされた増幅回路などのトランジスタに対して、所望のトランジスタ特性を確保し、かつ、A B級のバイアスを実現することができる。

20

【図面の簡単な説明】

【0040】

【図1】本発明に係る半導体集積回路装置のブロック図。

【図2】本発明の第1の実施形態の半導体集積回路装置のブロック図。

【図3】図2の動作を説明する図。

【図4】図2と比較されるA級にバイアスされた半導体集積回路装置の構成例を示す図。

【図5】AC入力振幅( $v_p - v_n$ )に対するトランジスタM4のDC電流の変化を示す図。

【図6】AC入力振幅( $v_p - v_n$ )に対するトランジスタM4のドレイン電圧の変化を示す図。

30

【図7】AC入力振幅( $v_p - v_n$ )に対するトランジスタM1の相互コンダクタンス $g_m$ の変化を示す図。

【図8】AC入力振幅( $v_p - v_n$ )に対するトランジスタM1の出力ドレイン電流を示す図。

【図9】本発明の第2の実施形態の半導体集積回路装置の回路図。

【図10】 $g_m$ 調整可能なトランジスタの構成例を示す図。

【図11】本発明の第3の実施形態の半導体集積回路装置のブロック図。

【図12】本発明の第4の実施形態の半導体集積回路装置のブロック図。

【図13】図12における上下を逆にし、NチャンネルFETをPチャンネルFETに置き換えた構成を示す図。

40

【図14】A B級バイアスされた増幅回路装置例を示す図。

【図15】A B級バイアスと線形性について説明する図。

【図16】A B級バイアスされた高周波数信号用の増幅回路装置例を示す図。

【図17】A B級バイアスされた低周波数信号用の増幅回路装置例を示す図。

【図18】図16又は図17の回路及び本発明の回路が適用される無線送信機の構成例を示す図。

【符号の説明】

【0041】

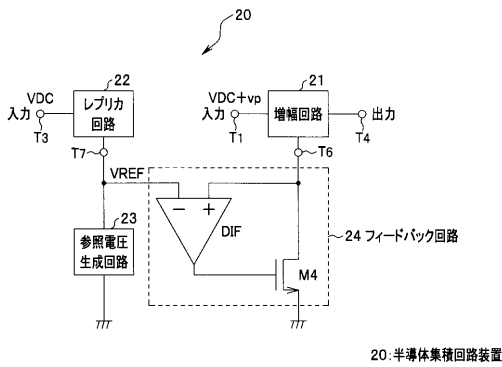
20, 20A, 20B, 20C, 20D, 20E...半導体集積回路装置

21...増幅回路

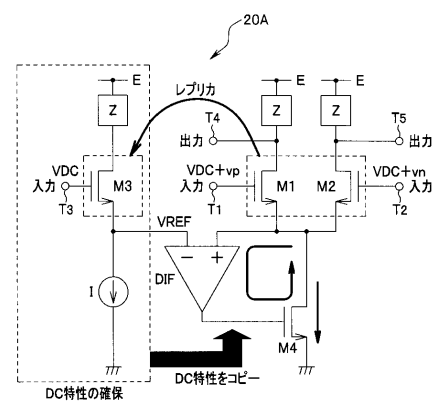
50

- 2 2 ... レプリカ回路
- 2 3 ... 参照電圧生成回路
- 2 4 ... フィードバック回路
- M1, M2, M3, M4... Nチャンネル F E T
- M11, M12, M13, M14... Pチャンネル F E T
- D I F ... 差動アンプ
- E ... 直流電圧源
- I ... 電流源 F E T

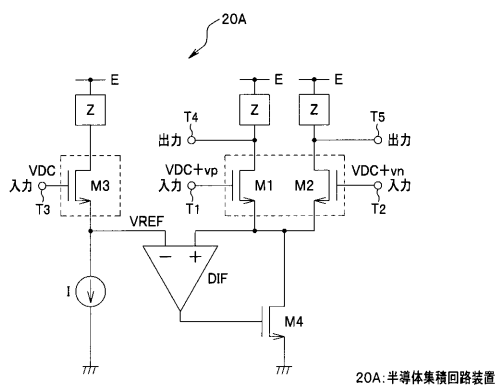
【 図 1 】



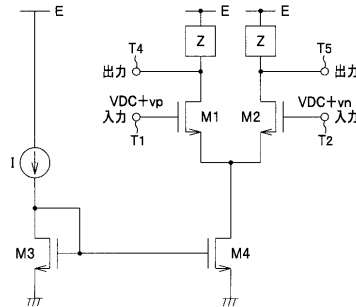
【 図 3 】



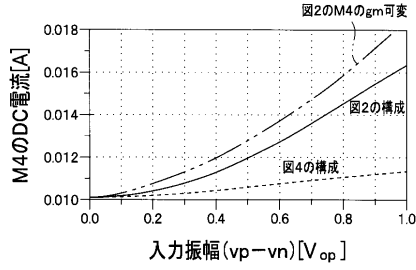
【 図 2 】



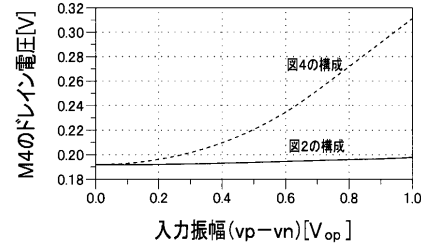
【 図 4 】



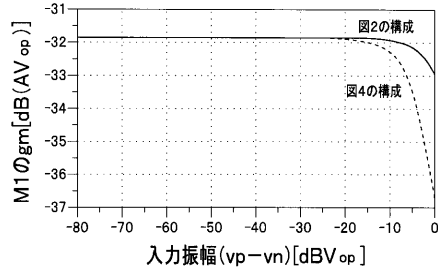
【図5】



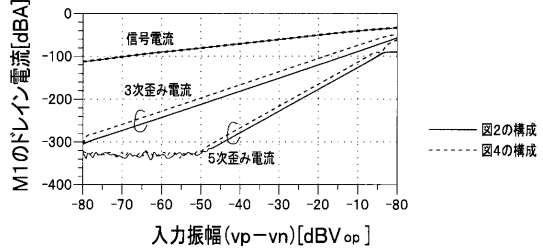
【図6】



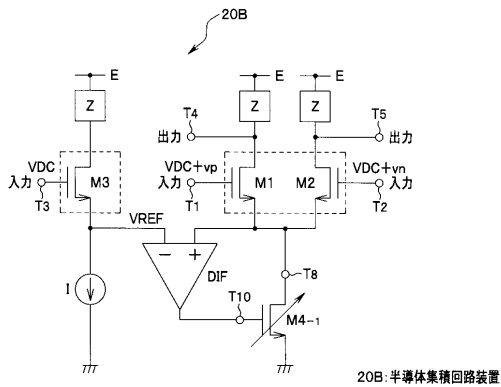
【図7】



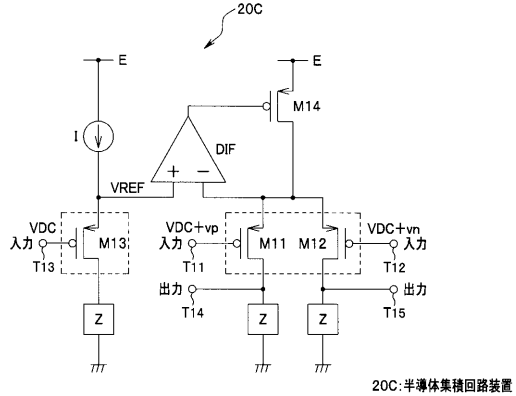
【図8】



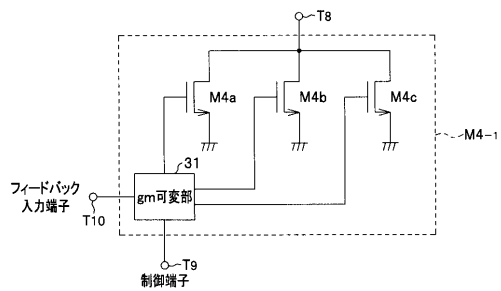
【図9】



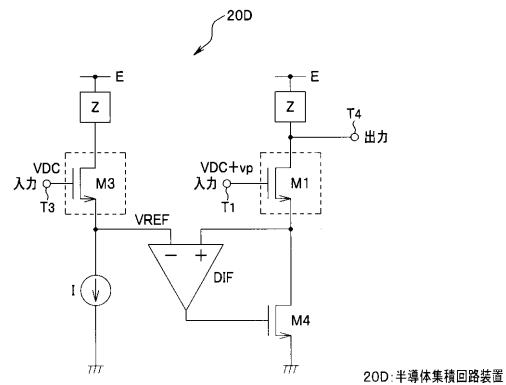
【図11】



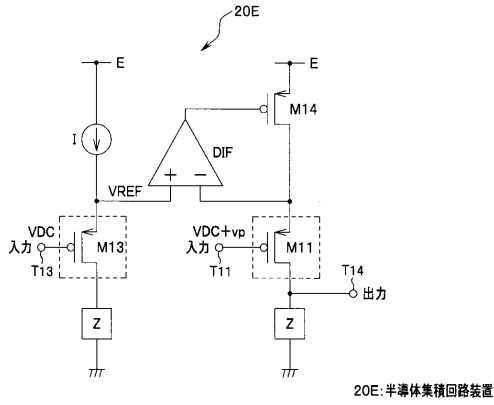
【図10】



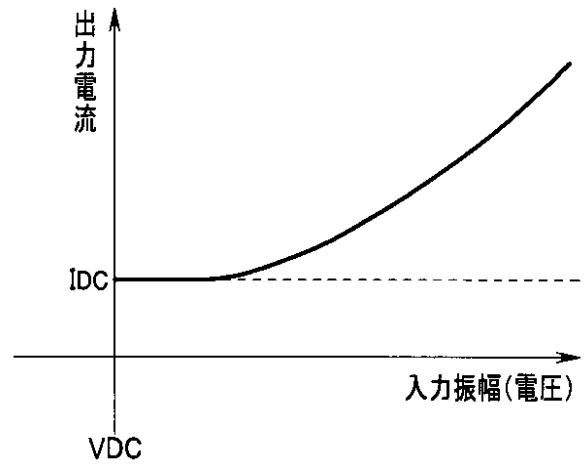
【図12】



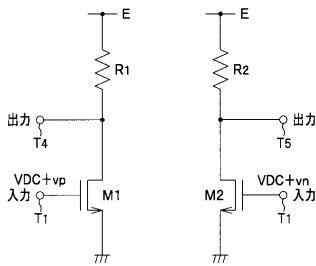
【図13】



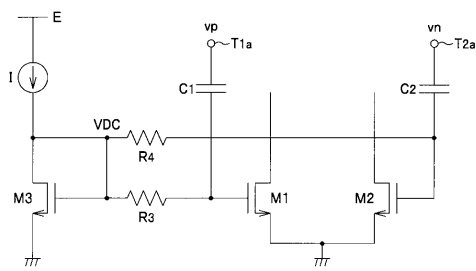
【図15】



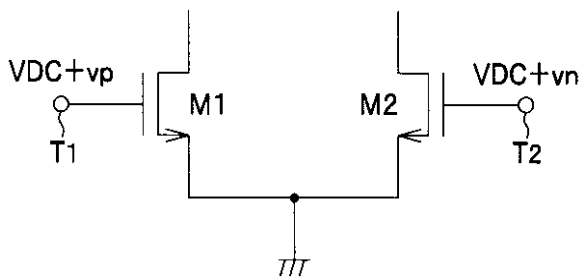
【図14】



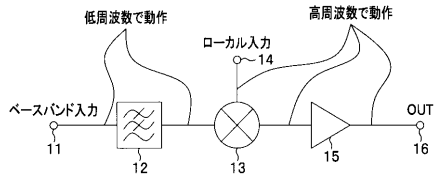
【図16】



【図17】



【図18】



---

フロントページの続き

(56)参考文献 特開2002-076800(JP,A)  
特開2004-247805(JP,A)  
特開平05-252020(JP,A)  
特開昭57-099808(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/195 3/34 3/45