

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/084141

発行日 平成29年4月27日 (2017. 4. 27)

(43) 国際公開日 平成28年6月2日 (2016. 6. 2)

(51) Int. Cl.	F I	テーマコード (参考)
<b>HO 1 L 29/78 (2006.01)</b>	HO 1 L 29/78 6 5 2 K	
<b>HO 1 L 29/12 (2006.01)</b>	HO 1 L 29/78 6 5 2 T	
<b>HO 1 L 21/336 (2006.01)</b>	HO 1 L 29/78 6 5 8 E	
<b>HO 1 L 21/265 (2006.01)</b>	HO 1 L 29/78 6 5 2 D	
	HO 1 L 29/78 6 5 2 F	

審査請求 有 予備審査請求 未請求 (全 43 頁) 最終頁に続く

出願番号 特願2016-561122 (P2016-561122)	(71) 出願人 000005108
(21) 国際出願番号 PCT/JP2014/081148	株式会社日立製作所
(22) 国際出願日 平成26年11月26日 (2014. 11. 26)	東京都千代田区丸の内一丁目6番6号
(81) 指定国 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US	(74) 代理人 110001689 青稜特許業務法人
	(72) 発明者 小林 慶亮 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
	(72) 発明者 久本 大 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
	(72) 発明者 望月 和浩 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

(54) 【発明の名称】 半導体スイッチング素子および炭化珪素半導体装置の製造方法

(57) 【要約】

ゲート絶縁膜における耐圧に優れる炭化珪素半導体装置を提供する。

第1導電型の炭化ケイ素半導体基板と、半導体基板の主面上に形成された第1導電型のドリフト領域と、ドリフト領域の表層に形成された第2導電型のベース領域と、を備え、第2導電型のベース領域の形状は、オフ方向と反対方向の第1導電型のドリフト領域の表面における第2導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、第1導電型のドリフト領域と第2導電型の不純物注入領域の冶金学的境界とがなす角度が90度未満となる特徴を備える。

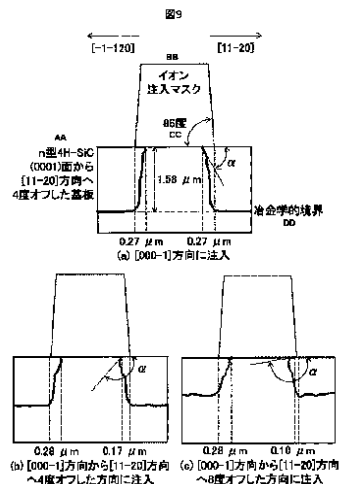


FIG. 9:  
 (a) Implantation in [000-1] direction  
 (b) Implantation in direction 4 degree off to [11-20] direction from [000-1] direction  
 (c) Implantation in direction 8 degree off to [11-20] direction from [000-1] direction  
 AA: Substrate 4 degree off to [11-20] direction from a type 4H-SiC (0001) plane  
 BB: Ion Implantation mask  
 DC: 85 degree  
 DD: Metallurgical boundary

## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体基板と、  
 前記半導体基板上に形成された第 1 導電型のドリフト領域と、  
 前記ドリフト領域の表層に間隔を開けて形成された第 1 及び第 2 の単位セルと、  
 前記第 1 及び第 2 の単位セルに跨るように形成されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成されたゲート電極を備え、  
 前記単位セルの其々は、  
 第 2 導電型のベース領域と、  
 前記ベース領域において表層にそのベース領域に囲まれるように形成された第 1 導電  
 型のソース領域と、を有し、  
 前記ゲート絶縁膜は、  
 前記第 1 の単位セルの前記ソース領域の少なくとも一部、前記ベース領域の少なくと  
 も一部、に被るように形成され、  
 前記第 2 の単位セルの前記ソース領域の少なくとも一部、前記ベース領域の少なくと  
 も一部、に被るように形成され、  
 前記ドリフト領域の少なくとも一部、に被る様に形成されており、  
 前記ゲート絶縁膜下における、前記ベース領域のオフ方向に沿った断面形状は、  
 前記ベース領域の、前記オフ方向と反対方向の、第 2 導電型の不純物注入領域の冶金  
 学的境界の水平方向拡がり端において、  
 前記ドリフト領域の表面近傍における、前記ドリフト領域と前記第 2 導電型の不純物  
 注入領域の冶金学的境界がなす角度が 90 度未満となることを特徴とする半導体スイッ  
 チング素子。

## 【請求項 2】

前記ゲート電極下における、前記第 2 導電型の不純物注入領域である前記ベース領域の  
 水平方向拡がり、アップステップ側の前記単位セルとダウンステップ側の前記単位セル  
 とで、略対称となることを特徴とする請求項 1 記載の半導体スイッチング素子。

## 【請求項 3】

前記半導体基板が n 型 4 H - S i C 基板であり、表面が ( 0 0 0 1 ) 面から [ 1 1 - 2  
 0 ] 方向へ 2 度 ~ 8 度オフしたことを特徴とする請求項 1 記載の半導体スイッチング素子  
 。

## 【請求項 4】

前記ベース領域は、前記第 2 導電型の不純物を前記基板表面に対して斜め方向に注入し  
 て形成されたことを特徴とする請求項 1 記載の半導体スイッチング素子。

## 【請求項 5】

第 1 導電型の半導体基板と、  
 前記半導体基板上に形成された第 1 導電型のドリフト領域と、  
 前記ドリフト領域の表層に間隔を開けて形成された第 1 及び第 2 の単位セルと、  
 前記第 1 及び第 2 の単位セルに跨るように形成されたゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成されたゲート電極を備え、  
 前記単位セルの其々は、  
 第 2 導電型のベース領域と、  
 前記ベース領域において表層にそのベース領域に囲まれるように形成された第 1 導電  
 型のソース領域と、を有し、  
 前記ゲート絶縁膜は、  
 前記第 1 の単位セルの前記ソース領域の少なくとも一部、前記ベース領域の少なくと  
 も一部、に被るように形成され、  
 前記第 2 の単位セルの前記ソース領域の少なくとも一部、前記ベース領域の少なくと  
 も一部、に被るように形成され、  
 前記ドリフト領域の少なくとも一部、に被る様に形成されており、

前記ベース領域は、

前記ドリフト領域の表層に形成された第2導電型の第一のベース領域と第2導電型の第二のベース領域を備え、前記第一のベース領域は前記第二のベース領域よりも浅い位置に形成され、前記第二のベース領域は、前記第一のベース領域の下部に前記第一のベース領域と一部重なるように形成されていることを特徴とする半導体スイッチング素子。

【請求項6】

前記ゲート電極下における、前記第一のベース領域のオフ方向に沿った断面形状は、

前記第一のベース領域の、前記オフ方向と反対方向の、第2導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、

前記ドリフト領域の表面近傍における、前記ドリフト領域と前記第一のベース領域の不純物注入領域の冶金学的境界とがなす角度が90度以上となる特徴を有する請求項5記載の半導体スイッチング素子。

10

【請求項7】

前記第二のベース領域のアップステップ側における前記ドリフト領域との冶金学的境界は、前記第一のベース領域の前記ドリフト領域との冶金学的境界よりも、アップステップ側に突出している特徴を有する請求項5記載の半導体スイッチング素子。

【請求項8】

前記第一のベース領域と、第二のベース領域の境界付近における冶金学的境界に角部がある事を特徴とする請求項5記載の半導体スイッチング素子。

【請求項9】

前記ゲート電極下における、前記第2導電型の不純物注入領域である前記ベース領域の水平方向拡がり、アップステップ側の前記単位セルとダウンスステップ側の前記単位セルとで、略対称となることを特徴とする請求項5記載の半導体スイッチング素子。

20

【請求項10】

前記、第1導電型の炭化ケイ素半導体基板がn型4H-SiC基板であり、表面が(0001)面から[11-20]方向へ4度~8度オフした特徴を有する請求項5記載の半導体スイッチング素子。

【請求項11】

前記第一のベース領域と第二のベース領域は、異なるマスクを用い、前記第2導電型の不純物を前記基板表面に対して注入して形成されたことを特徴とする請求項5記載の半導体スイッチング素子。

30

【請求項12】

前記第一のベース領域は、前記ソース領域を形成するのに用いたマスクを用い、前記第2導電型の不純物を前記基板表面に対して複数方向から斜め方向に注入して形成されたことを特徴とする請求項5記載の半導体スイッチング素子。

【請求項13】

第1導電型の炭化珪素半導体基板表面にステップフロー成長により第1導電型の炭化珪素ドリフト層を形成する工程と、

第2導電型のベース領域を形成する工程と、

第1導電型のソース領域を形成する工程と、

第2導電型のベースコンタクト領域を形成する工程と、

第1導電型のドレイン領域を形成する工程と、を備え、

前記第2導電型のベース領域をウェハ表面に対して斜めにイオン注入して形成する事を特徴とする炭化珪素半導体装置の製造方法。

40

【請求項14】

前記第2導電型のベース領域を形成する工程において、

前記炭化珪素半導体基板として、表面が(0001)面から[11-20]方向へ4度オフしたn型4H-SiC基板を用い、

前記第1導電型の炭化珪素ドリフト層の表面に、Alを[000-1]方向から[-1-120]方向へ0度以上4度未満、または、[000-1]方向から[11-20]方

50

向へ0度以上12度以下の範囲の傾斜した方向にイオン注入する事を特徴とする請求項13記載の炭化珪素半導体装置の製造方法。

【請求項15】

前記第2導電型のベース領域を形成する工程において、

炭化珪素ドリフト層の表面に垂直にイオン注入する工程と、斜めにイオン注入する工程を有することを特徴とする請求項13記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置と、その製造方法、及びこれらを用いた電力変換装置等に関するものである。

10

【背景技術】

【0002】

炭化珪素(SiC)は、シリコンと比べてバンドギャップが大きく、絶縁破壊電界も1桁程度大きいという特徴がある。このため、次世代のパワーデバイスとして有望視され、ダイオードやトランジスタなど様々なデバイスの研究がなされている。特にSiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)は、高耐圧、低損失、高速スイッチングが理論的に可能な素子であり、現在、主流となっているSi-IGBT(Insulated Gate Bipolar Transistor)を置き換えることで電力損失を大幅に低減できると期待され、SiC-MOSFETの研究開発が盛んに行われている。SiCはSiに比べてバンドギャップが広く、高い絶縁破壊強度を有するが、その分SiC-MOSFETやSiC-IGBTではゲート絶縁膜にかかる電界が問題となる。

20

【0003】

このため、ゲート絶縁膜に掛かる電界に偏りが無い様、対称性の良い構造にする事が求められる。SiC-DMOSFET(Double-Diffused MOSTET)では、電流密度向上を目的に、チャネル幅(W)を長くすることが求められる。チャネル幅(W)を長く出来、対称性の良い構造として、p型ベース領域を矩形、六角形にして並べる構造や、p型ベース領域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続する構造が良く知られている。以下では、矩形のp型ベース領域を正方格子状に並べて配置した構造をBOX構造と称し、p型ベース領域を長辺の長い矩形とし、p型ベース領域の長辺端部同士を接続する構造をString構造と称す。

30

【0004】

図1はBOX構造における従来の一般的なSiC-DMOSFETのセルのパターン配置を示す上面図である。p型ベース領域10、ソース領域20、ベースコンタクト領域11の位置関係を示している。ここで(単位)セルとは、少なくともベース領域10とソース領域20を備える単位をいうものとする。

【0005】

図2はString構造における従来の一般的なSiC-DMOSFETのセルのパターン配置を示す上面図である。おなじく、p型ベース領域10、ソース領域20、ベースコンタクト領域11の位置関係を示している。

40

【0006】

図3は図1及び、図2のB-B'における断面図である。図3において、1は基板、2はドリフト層、10はベース領域、11はベースコンタクト領域、20はソース領域、21はドレイン領域、32はゲート絶縁膜、33は層間膜、40はゲート材料膜、41はソースベースコンタクト共通電極、42はドレインコンタクト電極、51はソースベース共通コンタクト、52はドレインコンタクトである。

【0007】

図3に示すようなSiC-DMOSFETは、n+型の炭化珪素基板上1に、n-型ドリフト層2とp型ベース領域10をエピタキシャル成長やイオン注入によって形成し、n+型のソース領域20とp+型のベースコンタクト領域11とn+型のドレイン領域21

50

をイオン注入によって形成する。この様な炭化珪素基板に対し、熱酸化法や堆積酸化膜を利用してゲート絶縁膜32を形成し、ゲート絶縁膜32を介してゲート電極を形成する。更に、n+型のソース領域20とp+型のベースコンタクト領域11に接するように、ソースベース共通コンタクト51と、ドレインコンタクト電極42と、層間膜33、表面保護膜を形成する事で、SiC-DMOSFETが完成する。

【0008】

図4はBOX構造における電界集中点を示す。

【0009】

DMOSFETがオフの時、即ちゲート電極にオン電圧以下の電圧が印加されており、ドレインコンタクト電極に電圧が印加されている場合、図3、図4に示すように、BOX構造においては、セルに囲まれたJFET領域の中心に電界が集中し、ゲート絶縁膜に掛かる電界強度が高くなる事が知られている。また、図2、図3に示すようにString構造においては、p型ベース領域に挟まれたJFET領域の中心線上に電界が集中し、ゲート絶縁膜に掛かる電界強度が高くなる事が知られている。このゲート絶縁膜に掛かる電界を緩和することを目的に、特許文献1や特許文献2に示すようなBOX構造における電界集中領域にp型やp+型の電界緩和領域を追加する発明がある。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2009-094314

20

【特許文献2】特開2013-247252

【発明の概要】

【発明が解決しようとする課題】

【0011】

SiC結晶を電子デバイス用途で用いるためには、異なるポリタイプの混在がないSiC単結晶のエピタキシャル成長技術が重要となる。品質の良いエピタキシャル成長技術としてステップフロー成長法がよく用いられている。ステップフロー成長とは、例えば{0001}面等の結晶面から数度(例えば4度、8度)のオフセット角(以下、オフ角と称す)を導入した面に対して、エピタキシャル成長を行う方法である。例えば図3の構成では、基板1表面にオフ角を導入し、その上にエピタキシャル成長を行う。

30

【0012】

図5はステップフロー成長を用いたエピタキシャルウェハの表面形状を示す断面図である。図5A、5Bに示すようにこのステップフロー成長を用いたエピタキシャルウェハには原理的にオフ角が存在しており、{0001}面はウェハ表面に対してオフ角(例えば2度~8度、以下実施例では主に4度を例にする)の分だけ傾いた左右非対称な結晶となっている。ウェハ表面(主面)1800は幾何学的には、基板表面の最も低い点あるいは高い点を結んだ平面と考えることができる。なお、図5は原理図のため、実際の製品では面や角が、厳密な平面や角を構成していない場合もある。実質的には、ウェハ表面の微細な凹凸を平均化あるいは無視した面と考えることができる。便宜的には、ウェハを例えば図3に示した板形状の物体として把握した場合、その表面と考えればよい。以下では、最も面積の広い面(図5では{0001}面)を階段の踏み面に見立てて、階段の上段側をアップステップ側、下段側をダウンステップ側と呼ぶ。更に、アップステップ側からダウンステップ側に向かう方向をオフ方向と定義する。

40

【0013】

図6は、2次元モンテカルロシミュレーションによる、アルミニウムイオン(Al+)の4H-SiC基板上的エピタキシャル層への注入の計算機実験の結果である。アルミニウムイオンは基板表面に垂直に入射しているものとする。図5に示したようなオフ角に起因する結晶の非対称を考慮して、イオン注入プロファイルの計算をおこなうと、イオン注入が深くなるにつれて、アップステップ側よりもダウンステップ側のプロファイルの方が結晶内に広がる事が判った。これは、エピタキシャル層の表面がオフ角をもつため、注入

50

時に  $A1 +$  イオンが受ける散乱の影響が  $[11 - 20]$  方向と  $[-1 - 120]$  方向とで異なるためである。この  $A1$  の分布の拡がりの違いのために、 $[11 - 20]$  方向の方が  $[-1 - 120]$  方向よりもマスクエッジの下方での  $A1$  の濃度分布の曲率が大きくなり、注入後の  $A1$  の拡散範囲が広い。これは、ゲート酸化膜にかかる電界の電界緩和効果がセルのアップステップ側よりもダウンステップ側の方が大きい事をしめす。

【0014】

図7は上記の電界緩和効果のかたよりによる、BOX構造における電界集中点のずれを示す平面図である。

【0015】

図8は上記の電界緩和効果のかたよりによる、String構造における電界集中点のずれを示す平面図である。

10

【0016】

ゲート酸化膜にかかる電界が強くなる点は、例えば図7に示すBOX構造においては、セルに囲まれたJFET領域の中心からダウンステップ方向へシフトする。図8に示すString構造においては、p型ベース領域に挟まれたJFET領域の中心線上からダウンステップ方向へシフトする。ゲート酸化膜にかかる電界が強くなる点がダウンステップ方向へシフトする事により、従来構造ではゲート絶縁膜における耐圧の低下や、設計との相違が生じ、問題となる。本発明は、上記課題を鑑みてなされたものであり、本発明の目的は耐圧特性に優れるSiC-DMOSFET及びSiC-IGBTを提供する事である。

【課題を解決するための手段】

20

【0017】

本発明の半導体装置によれば、第1導電型の半導体基板と、半導体基板の主面上に形成された第1導電型のドリフト領域と、ドリフト領域の表層に形成された第2導電型のベース領域と、を備え、第2導電型のベース領域の形状は、オフ方向と反対方向の第1導電型のドリフト領域の表面における第2導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、第1導電型のドリフト領域と第2導電型の不純物注入領域の冶金学的境界とがなす角度が90度未満となる特徴を備える。

【0018】

あるいは、第2導電型のベース領域を第1及び第2のベース領域として構成する特徴を備える。

30

【0019】

本発明の他の観点は、上記特徴を有する半導体スイッチング素子、および、これを製造するための製造方法である。

【0020】

本発明の他の観点は、上記特徴を有する半導体スイッチング素子を用いた電力変換装置、3相モータシステム、あるいは、これらを用いた自動車、および鉄道車両である。

【発明の効果】

【0021】

本発明の半導体装置によれば、p型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。

40

【図面の簡単な説明】

【0022】

【図1】従来の縦型炭化珪素半導体装置の平面図である。

【図2】従来の縦型炭化珪素半導体装置の平面図である。

【図3】従来の縦型炭化珪素半導体装置の断面図である。

【図4】従来の縦型炭化珪素半導体装置の平面図である。

【図5A】ステップフロー成長を用いた4H-SiCエピタキシャルウェハ表面形状を示す断面図である。

【図5B】ステップフロー成長を用いた4H-SiCエピタキシャルウェハ表面形状を示

50

す断面図である。

【図6】アルミニウムイオンの4H-SiC基板上的エピタキシャル層への注入の計算機実験の結果を示す断面図である。

【図7】縦型炭化珪素半導体装置の電界集中部のずれを示す平面図である。

【図8】縦型炭化珪素半導体装置の電界集中部のずれを示す平面図である。

【図9】n型4H-SiC[000-1]方向ならびに[000-1]方向から[11-20]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。

【図10】n型4H-SiC[000-1]方向から[-1-120]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。

10

【図11A】実施例1における炭化珪素半導体装置の断面図である。

【図11B】実施例1における炭化珪素半導体装置の断面図である。

【図11C】実施例1における炭化珪素半導体装置の断面図である。

【図11D】実施例1における炭化珪素半導体装置の断面図である。

【図11E】実施例1における炭化珪素半導体装置の断面図である。

【図11F】実施例1における炭化珪素半導体装置の断面図である。

【図11G】実施例1における炭化珪素半導体装置の断面図である。

【図11H】実施例1における炭化珪素半導体装置の断面図である。

【図11I】実施例1における炭化珪素半導体装置の断面図である。

20

【図11J】実施例1における炭化珪素半導体装置の断面図である。

【図11K】実施例1における炭化珪素半導体装置の断面図である。

【図11L】実施例1における炭化珪素半導体装置の断面図である。

【図12A】実施例1～3における炭化珪素半導体装置の平面図である。

【図12B】実施例1～3における炭化珪素半導体装置の断面図である。

【図12C】実施例1～3における炭化珪素半導体装置の平面図である。

【図12D】実施例1～3における炭化珪素半導体装置の断面図である。

【図12E】実施例1～3における炭化珪素半導体装置の平面図である。

【図12F】実施例1～3における炭化珪素半導体装置の断面図である。

【図12G】実施例1～3における炭化珪素半導体装置の平面図である。

30

【図12H】実施例1～3における炭化珪素半導体装置の断面図である。

【図13A】実施例2における炭化珪素半導体装置の断面図である。

【図13B】実施例2における炭化珪素半導体装置の断面図である。

【図13C】実施例2における炭化珪素半導体装置の断面図である。

【図13D】実施例2における炭化珪素半導体装置の断面図である。

【図13E】実施例2における炭化珪素半導体装置の断面図である。

【図13F】実施例2における炭化珪素半導体装置の断面図である。

【図13G】実施例2における炭化珪素半導体装置の断面図である。

【図13H】実施例2における炭化珪素半導体装置の断面図である。

【図13I】実施例2における炭化珪素半導体装置の断面図である。

40

【図13J】実施例2における炭化珪素半導体装置の断面図である。

【図13K】実施例2における炭化珪素半導体装置の断面図である。

【図13L】実施例2における炭化珪素半導体装置の断面図である。

【図14A】実施例3における炭化珪素半導体装置の断面図である。

【図14B】実施例3における炭化珪素半導体装置の断面図である。

【図14C】実施例3における炭化珪素半導体装置の断面図である。

【図14D】実施例3における炭化珪素半導体装置の断面図である。

【図14E】実施例3における炭化珪素半導体装置の断面図である。

【図14F】実施例3における炭化珪素半導体装置の断面図である。

【図14G】実施例3における炭化珪素半導体装置の断面図である。

50

【図14H】実施例3における炭化珪素半導体装置の断面図である。

【図14I】実施例3における炭化珪素半導体装置の断面図である。

【図14J】実施例3における炭化珪素半導体装置の断面図である。

【図14K】実施例3における炭化珪素半導体装置の断面図である。

【図14L】実施例3における炭化珪素半導体装置の断面図である。

【図15】本発明の実施例の電力変換装置（インバータ）の回路図である。

【図16】本発明の実施例の電力変換装置（インバータ）の回路図である。

【図17】本発明の実施例の電気自動車の構成図である。

【図18】本発明の実施例の昇圧コンバータの回路図である。

【図19】本発明の実施例の鉄道車両の構成図である。

10

【発明を実施するための形態】

【0023】

以下の実施例において、便宜上その必要があるときは、複数のセクションまたは実施例に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0024】

また、以下の実施例において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0025】

また、以下の実施例において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

20

【0026】

また、「Aからなる」、「Aよりなる」、「Aを有する」、「Aを含む」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。同様に、以下の実施例において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

30

【0027】

また、以下の実施例で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。なお、実施例を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。特に異なる実施例間で機能が対応するものについては、形状、不純物濃度や結晶性等で違いがあっても同じ符号を付すこととする。また、図は説明の単純化のために、主要部位の構成のみを示しており、図の縮尺や寸法は実際のものとは合わせていない。

【0028】

以下の実施例では、注入イオンの導電型をn-型,n型,n+型,p-型,p型,p+型と称すが、n-型,n型,n+型としたい領域へ注入する不純物は、例えば窒素(N)イオンまたはリン(P)を、p-型,p型,p+型としたい領域へ注入する不純物は、例えばアルミニウム(Al)イオンを用いる。

40

【0029】

以下、本実施例を図面に基づいて詳細に説明する。

【0030】

まず、本発明に先立って本発明者らによって検討されたオフセット角を考慮したアルミニウム(Al)イオンのイオン注入プロファイルについて説明する。

【0031】

図9は、n型4H-SiC[000-1]方向ならびに[000-1]方向から[11-20]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテ

50



カルロシミュレーション結果である。

図10は、 $n$ 型4H-SiC [000-1]方向から[-1-120]方向へオフした方向にAlをイオン注入した場合における冶金学的境界のモンテカルロシミュレーション結果である。

【0032】

図9および図10では、モンテカルロシミュレーションを用いて、表面が(0001)面から[11-20]方向へ4度オフした $n$ 型4H-SiC基板10に対し、種々の方向からAlをイオン注入した場合におけるイオン注入領域の冶金学的境界( $n$ 型4H-SiC基板10とAlイオン注入領域40との境界(pn接合面))を求めた結果である。 $n$ 型4H-SiC基板10中のドナー密度は $3 \times 10^{15} \text{ cm}^{-3}$ 、Alイオンの注入エネルギーの範囲は30keV~150keV、Alイオンの総注入量は $2 \times 10^{14} \text{ cm}^{-2}$ である。

10

【0033】

なお、注入エネルギー、 $n$ 型4H-SiC基板10中のドナー密度、Alイオンの総注入量を変えた場合、冶金学的境界の水平方向拡がりや冶金学的境界の深さの絶対値は変化するが、アップステップ側とダウンステップ側の冶金学的境界の水平方向拡がりの対称性や $n$ 型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は維持される。このため、 $p$ 型ベース領域のイオン注入においても、上記アップステップ側とダウンステップ側の冶金学的境界の水平方向拡がりの対称性や $n$ 型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は維持される。イオン注入マスク50の断面形状は、その側面が $n$ 型4H-SiC基板10の表面に対し86度の傾斜を持つようにした。

20

【0034】

図9(a)は、Alイオンを[000-1]方向に注入した場合のシミュレーション結果を示す。この場合、Alイオンのうち、ある割合は格子の間隙を抜けて結晶の奥深くにまで侵入し(チャネリング)、Alイオン注入領域40の冶金学的境界の深さが1.58 $\mu\text{m}$ まで達する。その一方で、Alイオン注入領域40の冶金学的境界の水平方向拡がりは[11-20]方向および[-1-120]方向に略対称であり、 $n$ 型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりはイオン注入マスク50端から両方向ともに0.27 $\mu\text{m}$ と等しい。

30

【0035】

図9(b)は、Alイオンを[000-1]方向から[-1-120]方向へ4度傾斜した方向に注入、すなわち $n$ 型4H-SiC基板10の表面に垂直に注入した場合のシミュレーション結果を示す。この場合、前記図9(a)に見られるチャネリングは抑制されている。しかし、 $n$ 型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりは、[-1-120]方向が0.28 $\mu\text{m}$ 、[11-20]方向が0.17 $\mu\text{m}$ と非対称となる。

【0036】

図9(c)は、Alイオンを[000-1]方向から[-1-120]方向へ8度傾斜した方向に注入した場合のシミュレーション結果を示す。この場合、 $n$ 型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりの非対称性が、前記図9(b)よりもさらに拡大し、 $n$ 型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりは、[-1-120]方向が0.28 $\mu\text{m}$ 、[11-20]方向が0.10 $\mu\text{m}$ となっている。

40

【0037】

また、図9(b)および(c)に示すように、 $n$ 型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりが非対称となっている場合は、オフ方向と反対方向の $n$ 型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がり端(Alイオン注入領域40の端部)において、 $n$ 型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は

50

90度以上となっている。

【0038】

これに対し、図10(a)、(b)および(c)に示すように、Alイオンを $[000-1]$ 方向から $[11-20]$ 方向へ4度、8度および12度傾斜した方向にそれぞれ注入すると、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりの対称性が回復し、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりは、 $[-1-120]$ 方向および $[11-20]$ 方向のいずれも $0.27\mu\text{m}$ となる。

【0039】

また、図9(a)、図10(a)、(b)および(c)に示すように、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりが対称となっている場合は、オフ方向と反対方向のn型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がり端(Alイオン注入領域40の端部)において、n型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は90度未満となっている。

10

【0040】

なお、図10(d)に示すように、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりの対称性は、Alイオンを $[000-1]$ 方向から $[11-20]$ 方向へ16度傾斜した方向に注入すると消失し、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりは、 $[-1-120]$ 方向が $0.31\mu\text{m}$ 、 $[11-20]$ 方向が $0.05\mu\text{m}$ となる。

20

【0041】

また、図10(d)に示すように、n型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がりが非対称となっている場合は、オフ方向と反対方向のn型4H-SiC基板10の表面におけるAlイオン注入領域40の冶金学的境界の水平方向拡がり端(Alイオン注入領域の端部)において、n型4H-SiC基板10の表面とAlイオン注入領域40の冶金学的境界とがなす角度は90度以上となっている。

【0042】

このように、表面が $(0001)$ 面から $[11-20]$ 方向へ4度オフしたn型4H-SiC基板に対して、Alイオンを $[000-1]$ 方向から $[-1-120]$ 方向へ0度以上、4度未満、または、 $[000-1]$ 方向から $[11-20]$ 方向へ0度以上、12度以下の範囲の傾斜した方向に注入してAlイオン注入領域を形成することにより、SiC-MOS構造におけるp型ベース領域の対称性を従来プロセスよりも向上する事が出来る。この際、Alイオン注入領域の形状は、n型4H-SiC基板の表面におけるAlイオン注入領域の冶金学的境界の水平方向拡がりはオフ方向とその反対方向とで略対称となり、かつ、Alイオン注入領域の形状は、オフ方向と反対方向のn型4H-SiC基板の表面におけるAlイオン注入領域の冶金学的境界の水平方向拡がり端(Alイオン注入領域の端部)において、n型4H-SiC基板の表面とAlイオン注入領域の冶金学的境界とがなす角度が90度未満となる特徴を有する。

30

40

【0043】

次に図6に示した、アルミニウムイオンの4H-SiC基板上のエピタキシャル層への注入の計算機実験の結果について、詳細に説明する。オフ角に起因する結晶の非対称を考慮して、イオン注入プロファイルの計算をおこなうと、イオン注入が深くなるにつれて、アップステップ側よりもダウンステップ側のプロファイルの方が結晶内に広がる。これは、エピタキシャル層の表面がオフ角をもつため、注入時にAl<sup>+</sup>イオンが受ける散乱の影響が $[11-20]$ 方向と $[-1-120]$ 方向とで異なるためである。このAlの分布の拡がりの違いのために、 $[11-20]$ 方向の方が $[-1-120]$ 方向よりもマスクエッジの下方でのAlの濃度分布の曲率が大きくなり、注入後のAlの拡散範囲が広い。

【0044】

50

この振る舞いをMOS構造のp型ベース領域で考えると、チャンネルとなるゲート絶縁膜とp型ベース領域界面では、注入深さが浅いためAl<sup>+</sup>イオンが受ける散乱の影響が小さく、チャンネル長は揃っている。しかしながら、注入深さが深くなるにつれて、Al<sup>+</sup>イオンが受ける散乱の影響が大きくなり、p型ベース領域の冶金学的境界の水平方向拡がりにはアップステップ側よりもダウンステップ側の方が大きくなる。

【0045】

上記検討の結果を受けて、p型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事を目的に、以下ではp型ベース領域の形成に斜方イオン注入法を用いて形成した半導体装置を実施例1で説明する。

【0046】

実施例1のデバイスは、第1導電型の半導体基板と、半導体基板上に形成された第1導電型のドリフト領域と、ドリフト領域の表層に間隔を開けて形成された第1及び第2の単位セルと、第1及び第2の単位セルに跨るように形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極を備える。単位セルの其々は、第2導電型のベース領域と、ベース領域において表層にそのベース領域に囲まれるように形成された第1導電型のソース領域とを有する。ゲート絶縁膜は、第1の単位セルのソース領域の少なくとも一部、ベース領域の少なくとも一部、に被るように形成され、第2の単位セルのソース領域の少なくとも一部、ベース領域の少なくとも一部、に被るように形成され、ドリフト領域の少なくとも一部、に被る様に形成されている。ゲート絶縁膜下における、ベース領域のオフ方向に沿った断面形状は、ベース領域の、オフ方向と反対方向の(すなわちアップステップ側の)、第2導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、ドリフト領域の表面近傍における、ドリフト領域と第2導電型の不純物注入領域の冶金学的境界がなす角度が90度未満となることを特徴とする半導体スイッチング素子である。

【0047】

スイッチング素子のベース領域の製法としては、第2導電型の不純物を基板表面に対して斜め方向に注入して形成する例を説明している。本実施例のデバイスは良好な対称性を有している。

【0048】

また、p型ベース領域の表面近傍と、その他の領域のイオン注入を別マスクとし、二回の注入でp型ベース領域を形成した半導体装置を実施例2と3で説明する。

【0049】

実施例2と3のデバイスとして説明される典型例は、実施例1との変更点を主に説明すれば、ベース領域が、ドリフト領域の表層に形成された第2導電型の第一のベース領域と第2導電型の第二のベース領域を備え、前記第一のベース領域は前記第二のベース領域よりも浅い位置に形成され、第二のベース領域は、第一のベース領域の下部に第一のベース領域と一部重なるように形成されている。

【0050】

実施例2では、第一のベース領域と第二のベース領域は、異なるマスクを用い、第2導電型の不純物を基板表面に対して注入して形成する例を示す。

【0051】

実施例3では、第一のベース領域は、ソース領域を形成するのに用いたマスクを用い、第2導電型の不純物を基板表面に対して複数方向から斜め方向に注入して形成される例を示す。

【0052】

以上のように、以下の実施例では、第2導電型のベース領域を形成する工程において、炭化珪素ドリフト層の表面に斜めにイオン注入する工程を用いる、あるいは、斜めにイオン注入する工程と垂直にイオン注入する工程とをくみあわせて用いることで、デバイスの対称性を改善する手法を示している。

【0053】

ウェハを傾けてイオン注入する工程として、典型例を示せば、表面が(0001)面か

10

20

30

40

50

ら [ 1 1 - 2 0 ] 方向へ 4 度オフした n 型 4 H - S i C 基板の場合、A l イオンを基板の [ 0 0 0 - 1 ] 方向から [ - 1 - 1 2 0 ] 方向へ 0 度以上 4 度未満、または、[ 0 0 0 - 1 ] 方向から [ 1 1 - 2 0 ] 方向へ 0 度以上 1 2 度以下の範囲の傾斜した方向から注入するものがあげられる。

【実施例 1】

【0054】

[ 半 導 体 装 置 ]

図 1 1 K は、本実施例に係わる炭化珪素半導体装置である S i C - M O S F E T の構造を示した断面図である。図 1 1 L はドリフト領域表面と p 型のベース領域の冶金学的境界とがなす角度を示した断面図である。

10

【0055】

図 1 1 K において、炭化珪素半導体装置である S i C - M O S F E T は、表面が ( 0 0 0 1 ) 面から [ 1 1 - 2 0 ] 方向へ 4 度オフした n 型 4 H - S i C 基板と、前記半導体基板の主面上に形成された n 型のドリフト領域とを有する。

【0056】

図 1 1 L にも示すように、上記、ドリフト領域表面と p 型のベース領域のアップステップ側の冶金学的境界とがなす角度が 9 0 度未満となる特徴を有する。さらに、ドリフト領域表面と p 型のベース領域の冶金学的境界から、ドリフト領域内の p 型のベース領域の冶金学的境界までの水平方向拡がり、アップステップ側とダウンステップ側で略対称となる。

20

【0057】

ドリフト領域 2 の表層には間隔を開けて形成された p 型のベース領域 1 0 を有する。p 型のベース領域は、後に図 1 2 で説明するように、p 型ベース領域を矩形、六角形にして並べる構造や、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する構造を用いても良い。本実施例では、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する S t r i n g 構造を用いた。

【0058】

図 1 1 K の構成では、ベース領域 1 0 において表層にそのベース領域 1 0 に囲まれるように形成される n+型のソース領域 2 0 と、ベース領域 1 0 において表層にそのベース領域 1 0 に囲まれるように、且つソース領域 2 0 以外の領域に形成されるベース領域 1 0 よりも高不純物濃度の p+型のベースコンタクト領域 1 1 を有する。p+型のベースコンタクト領域 1 1 とは、ベース領域 1 0 に電氣的な接続を取るための領域である。さらに、ソース領域 2 0、及びベースコンタクト領域 1 1 上にそれぞれの領域と少なくとも一部に被る様に形成された第一の外部接続電極と、ソース領域 2 0 の一部、及びベース領域 1 0、及びドリフト領域 2、及び電界緩和領域上に被る様に形成されたゲート絶縁膜 3 2 と、ソース領域 2 0 とベース領域 1 0 に接するソースベースコンタクト 5 1 と、ウェハの裏面に n 型のドレイン領域 2 1 と、ドレイン領域 2 1 に接するドレインコンタクト 5 2 と、チャネル領域上部のゲート絶縁膜 3 2 に接するゲート電極 4 0 と、ソースベースコンタクト 5 1 と接するソースベースコンタクト共通電極 4 1 と、ドレインコンタクト 5 2 と接するドレインコンタクト電極 4 2 と、表面保護膜を有する。更に、裏面に p 型の領域を追加し、S i C - I G B T としても良い。

30

40

【0059】

なお、p 型ベース領域として B O X 構造を用いる場合には、p 型ベース領域に囲まれるドリフト領域の中心で電界集中を生じるため、p 型の電界緩和領域を設けても良い。

【0060】

図 1 2 に種々の電界緩和領域の形成例を、基板面上から見た平面図および断面図で示す。構成を示す図中のハッチングは図 7 と同様である。

【0061】

電界緩和領域は、図 1 2 A、図 1 2 B に示すようなソース領域とベースコンタクト領域が形成され正方格子状に配列されたベース領域の単位セルにおいて、ベース領域の一つの

50

角部から、その角部と第二近接となる他のセル角部方向に他のベース領域と接続しない範囲で伸展する形状で構成できる。ここで、単位セルとは、少なくともベース領域とソース領域を備える構成をいう。また、第2近接とは、2番目に近い距離の単位セルをいう。距離は、単位セルの幾何学的重心同士の間隔と定義することができる。

【0062】

また、図12C、図12Dに示すようなソース領域とベースコンタクト領域が形成され六角格子状に配列されたベース領域の単位セルにおいてベース領域の角部から、第1近接となる他のセルの2つの角部を直線で結んだ中点方向に他のセルと接続しない範囲で伸展する形状とすることができる。ここで第1近接とは、1番目に近い距離の単位セルをいう。

10

【0063】

本実施例では、p+型のベースコンタクト領域は、前記ソース領域に囲まれるように形成したが、p+型のベースコンタクト領域は、ベース領域にさえ囲まれていれば良いため、必ずしもソース領域に囲まれるように形成する必要は無い。なお、p+型のベースコンタクト領域をソース領域に囲まれるように形成した場合には、ベース領域のコンタクトを取るために、ベース領域とp+型のベースコンタクト領域が接するように形成する必要がある。

【0064】

また、図12E、図12Fに示すような前記ソース領域とベースコンタクト領域が形成され正方格子状に配列された前記ベース領域の4つの単位セルに囲まれた領域において、ゲート絶縁膜に掛かる電界が強くなる点を含むように配置した十字形状の形状や、図12G、図12Hに示すような前記ソース領域とベースコンタクト領域が形成され正方格子状に配列された前記ベース領域の4つの単位セルに囲まれた領域において、ゲート絶縁膜に掛かる電界が強くなる点を含むように配置した直線形状の形状とすることができる。このような電界緩和領域は、以降の他の実施例でも適宜適用が可能である。

20

[半導体装置の製造方法]

次に上記SiC-MOSFETの製造方法について説明する。

【0065】

図11Aから図11Kは、図1と2のB-B'における本実施例1の炭化珪素半導体装置を製造する際の各工程における断面図である。なお、前記断面図は、煩雑さを避けるため、当該工程における主要部位の構成のみを示すもので、正確な断面図には相当しない。

30

【0066】

上記記載の半導体装置は図11Aに示すようなエピタキシャルウェハを用いて作製される。本実施例の炭化珪素基板1には、例えば、4°のオフセットを持つ不純物濃度が例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であるn+型4H-SiCウェハ1を用い、その上に不純物濃度が例えば、 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の炭化珪素エピタキシャル層2を積層した。

【0067】

次に、p型ベース領域10にイオン注入するためにマスク30をして、図11Bに示すように、炭化珪素エピタキシャル層2の表層部に、Alイオンを[000-1]方向から[-1-120]方向へ0度以上4度未満、または、[000-1]方向から[11-20]方向へ0度以上12度以下の範囲の傾斜した方向に注入して、p型ベース領域10を形成した。なお、不純物の注入深さは、注入角によって変化するため、例えば、1μm程度となるように注入エネルギーを調整した。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

40

【0068】

なお、本実施例では、一回の斜め注入でp型ベース領域10を形成したが、図6に示すように、チャンネル付近となるゲート絶縁膜とp型ベース領域界面では、注入深さが浅いためAl+イオンが受ける散乱の影響が小さいため、注入深さが浅い領域をAlイオンを[

50

000-1]方向から[-1-120]方向へ4度傾斜した方向に注入、すなわちn型4H-SiC基板10の表面に垂直に注入して形成し、ついで注入深さが深い領域をA1イオンを[000-1]方向から[-1-120]方向へ0度以上4度未満、または、[000-1]方向から[11-20]方向へ0度以上12度以下の範囲の傾斜した方向に注入しても良い。この方法を用いた場合には、完成した半導体装置は、ドリフト領域表面とp型のベース領域のアップステップ側の冶金学的境界とがなす角度が90度以上となる特徴を有し、ドリフト領域表面とp型のベース領域の冶金学的境界から、ドリフト領域内のp型のベース領域の冶金学的境界までの水平方向拡がり、アップステップ側とダウンステップ側で略対称となる。

#### 【0069】

次に、ソース領域20にイオン注入するためにマスク30をして、図11Cに示すように、炭化珪素エピタキシャル層2の表層部にマスク30を介してNイオンを注入し、ソース領域20を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{cm}^{-3}$ の範囲である。また、ソース領域20に注入するイオンはPイオンでも良い。その後、上記マスク30を除去した。ソース領域20へのイオン注入は、基板に垂直でよい。

#### 【0070】

次に、ベースコンタクト領域11にイオン注入するためにマスク30をして、図11Dに示すように、炭化珪素エピタキシャル層2の表層部にマスク30を介してA1イオンを注入し、ベースコンタクト領域11を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。ただし、注入深さはソース領域20と同程度か、それよりも深くする必要がある。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{cm}^{-3}$ 程度に設定する。また、ベースコンタクト領域11に注入するイオンはBイオンでも良い。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

ベースコンタクト領域11へのイオン注入は、基板に垂直でよい。

#### 【0071】

次に、図11Fに示すように、炭化珪素基板1の裏面に、Nイオンを注入し、ドレイン領域21を形成した。不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ の範囲である。また、ドレイン領域21に注入するイオンはPイオンでも良い。

#### 【0072】

続いて、炭化珪素基板1および炭化珪素エピタキシャル層2の周囲に不純物活性化アニールのキャップ材の炭素膜を堆積させ、不純物活性化アニールを、例えば $1600 \sim 1800$ の温度で不純物活性化アニールを行った。その後、キャップ材の炭素層を酸素プラズマアッシングにより除去し、さらに清浄な表面を得る為に、熱酸化膜を形成し、希釈フッ酸溶液を用いて除去した。

#### 【0073】

次に、図11Gに示すように、前記半導体基板上にゲート絶縁膜32を形成する。本実施例では厚さ $10 \sim 100 \text{nm}$ 程度の堆積酸化膜を形成した。

#### 【0074】

続いて、図11Hに示すように、厚さ $100 \sim 300 \text{nm}$ 程度のn型多結晶シリコン膜からなるゲート材料膜40を堆積した。

#### 【0075】

続いて、図11Iに示すように、ゲート材料膜40を覆うように層間膜33を形成した。

#### 【0076】

続いて、図11Jに示すように、n<sup>+</sup>型のソース領域20とp<sup>+</sup>型ベースコンタクト領域11とコンタクトを取る為に、レジストをマスクに層間膜33をエッチングし、コンタクトホールを形成し、シリサイド用メタルを堆積させ、例えば、 $700 \sim 1000$ のアニール処理によりシリサイド化を行い、ソースベース共通コンタクト51を形成した。

10

20

30

40

50

その後、ゲート電極とコンタクトを取る為に、層間膜 33 をエッチングし、ゲートコンタクトホールを形成した。

【0077】

続いて、図 11K にしめすようなソースベースコンタクト共通電極 41 を形成した。併せて、裏面のドレイン領域 21 上もシリサイド化して、ドレインコンタクト 52 を形成し、更にドレインコンタクト電極 42 を形成した。シリサイドメタルやソースベースコンタクト共通電極 41 とドレインコンタクト電極 42 には例えば Ni, Al 等の金属材料を用いる。その後、デバイス保護の為に絶縁体からなる表面全体を覆う表面保護膜を形成する工程、電極への配線を行う工程を経て、半導体装置が完成する。なお、上記に示したソース領域 20、p 型ベース領域 10、ベースコンタクト領域 11、ドレイン領域 21 の形成する順番は入れ替えても良い。

10

【0078】

本実施例の炭化珪素半導体装置によれば、p 型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。

【実施例 2】

【0079】

[半導体装置]

図 13K は、本実施例に係わる炭化珪素半導体装置である SiC-MOSFET の構造を示した断面図である。図 13L はドリフト領域表面と p 型のベース領域の冶金学的境界とがなす角度を示した断面図である。

20

【0080】

図 13K において、炭化珪素半導体装置である SiC-MOSFET は、以下の特徴を有する。

【0081】

表面が (0001) 面から [11-20] 方向へ 4 度オフした n 型 4H-SiC 基板 1 と、半導体基板 1 の主面上に形成された n 型のドリフト領域とを有する。

【0082】

ドリフト領域の表層には間隔を開けて形成された第一の p 型ベース領域 100 と第二の p 型ベース領域 101 を有する。第一の p 型ベース領域 100 は第二の p 型ベース領域 101 よりも浅い位置に形成され、第二の p 型ベース領域 101 は、第一の p 型ベース領域 100 の下部に第一の p 型ベース領域 100 と一部重なるように形成されている。

30

【0083】

第一の p 型ベース領域 100 においては、図 13L にも示すように、ドリフト領域表面と第一の p 型ベース領域 100 のアップステップ側の冶金学的境界とがなす角度が 90 度以上となる。また、アップステップ側の第二の p 型ベース領域 101 のドリフト領域との冶金学的境界は第一の p 型ベース領域 100 のドリフト領域との冶金学的境界よりも、アップステップ側に突出している。このため、第一の p 型ベース領域 100 と第二の p 型ベース領域 101 の境界付近では冶金学的境界は角部を持つ。

40

【0084】

なお、p 型のベース領域 100, 101 のセル構造は、図 12 に示したように、p 型ベース領域を矩形、六角形にして並べる構造や、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する構造を用いても良い。本実施例では、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する String 構造を用いた。

【0085】

ベース領域 100, 101 において表層にそのベース領域に囲まれるように形成される n+型のソース領域 20 と、ベース領域において表層にそのベース領域に囲まれるように、且つソース領域 20 以外の領域に形成されるベース領域よりも高不純物濃度の p+型の

50

ベースコンタクト領域 11 を有する。p+型のベースコンタクト領域 11 とは、ベース領域に電氣的な接続を取るための領域である。

【0086】

なお、n+型のソース領域 20 の端部から、第二の p 型ベース領域 101 の冶金学的境界までの水平方向の距離は、アップステップ側とダウンステップ側で略対称となる。さらに、ソース領域 20、及びベースコンタクト領域 11 上にそれぞれの領域と少なくとも一部に被る様に形成された第一の外部接続電極と、ソース領域 20 の一部、及びベース領域、及びドリフト領域、及び電界緩和領域上に被る様に形成されたゲート絶縁膜 32 と、ソース領域 20 とベース領域 100, 101 に接するソースベースコンタクト 51 と、ウェハの裏面に n 型のドレイン領域 21 と、ドレイン領域 21 に接するドレインコンタクト 52 と、チャンネル領域上部のゲート絶縁膜 32 に接するゲート電極 40 と、ソースベースコンタクト 51 と接するソースベースコンタクト共通電極 41 と、ドレインコンタクト 52 と接するドレインコンタクト電極 42 と、表面保護膜を有する。更に、裏面に p 型の領域を追加し、SiC-IGBT としても良い。

10

【0087】

なお、p 型ベース領域として BOX 構造を用いる場合には、第二の p 型ベース領域 101 に囲まれるドリフト領域の中心で電界集中を生じるため、先に図 12 で説明したように、p 型の電界緩和領域を設けても良い。

[半導体装置の製造方法]

次に上記 SiC-MOSFET の製造方法について説明する。

20

【0088】

図 13A から図 13K は、図 1 と 2 の B-B' における本実施例 2 の炭化珪素半導体装置を製造する際の各工程における断面図である。なお、前記断面図は、煩雑さを避けるため、当該工程における主要部位の構成のみを示すもので、正確な断面図には相当しない。

【0089】

上記記載の半導体装置は図 13A に示すようなエピタキシャルウェハを用いて作製される。本実施例の炭化珪素基板 1 には、例えば、 $8^\circ$ 、 $4^\circ$ 、 $2^\circ$ 、 $0.5^\circ$  などのオフセットを持つ不純物濃度が例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$  である n+ 型 4H-SiC ウェハを用い、その上に不純物濃度が例えば、 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$  の炭化珪素エピタキシャル層 2 を積層した。

30

【0090】

次に、第一の p 型ベース領域 100 にイオン注入するためにマスクをして、図 13B に示すように、炭化珪素エピタキシャル層 2 の表層部に、[000-1] 方向から [11-20] 方向に 4 度傾斜した方向から、即ちウェハに垂直に、Al イオンを注入した。なお、[000-1] 方向から [-1-120] 方向へ 0 度以上 4 度未満、または、[000-1] 方向から [11-20] 方向へ 0 度以上 12 度以下の範囲の傾斜した方向に注入して、第一の p 型ベース領域を形成しても良い。不純物の注入深さは、例えば、 $0.2 \mu\text{m}$  程度となるようにした。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$  の範囲である。図 6 で説明したように、打ち込み深さの深い領域に比べて、打ち込み深さの浅い領域では、不純物領域の対称性は良好であることが期待できる。その後、上記マスクを除去した。

40

【0091】

続いて、第二の p 型ベース領域 101 にイオン注入するためにマスクをして、図 13C に示すように、炭化珪素エピタキシャル層 2 の表層部に、[000-1] 方向から [11-20] 方向に 4 度傾斜した方向から、即ちウェハに垂直に、Al イオンを注入した。不純物の注入深さは、例えば、ウェハ表面から深さ方向に  $50 \text{ nm}$  の位置よりも深い領域に注入し、例えば、 $1 \mu\text{m}$  程度まで注入した。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$  の範囲である。なお、第二の p 型ベース領域形成に用いたマスクは、第二の p 型ベース領域のアップステップ側の冶金学的境界が、第一の p 型ベース領域のアップステップ側の冶金学的境界よりも、アップステップ方向に位置するように形成さ

50



れるマスクを用いた。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

【0092】

次に、ソース領域20にイオン注入するためにマスクをして、図13Dに示すように、炭化珪素エピタキシャル層2の表層部にマスクを介してNイオンを注入し、ソース領域20を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{cm}^{-3}$ の範囲である。また、ソース領域20に注入するイオンはPイオンでも良い。その後、上記マスクを除去した。

【0093】

次に、ベースコンタクト領域11にイオン注入するためにマスクをして、図13Eに示すように、炭化珪素エピタキシャル層2の表層部にマスクを介してAlイオンを注入し、ベースコンタクト領域11を形成した。なお、不純物の注入深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。ただし、注入深さはソース領域20と同程度か、それよりも深くする必要がある。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{cm}^{-3}$ 程度に設定する。また、ベースコンタクト領域11に注入するイオンはBイオンでも良い。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

【0094】

次に、図13Fに示すように、炭化珪素基板1の裏面に、Nイオンを注入し、ドレイン領域21を形成した。不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ の範囲である。また、ドレイン領域21に注入するイオンはPイオンでも良い。

【0095】

続いて、炭化珪素基板1および炭化珪素エピタキシャル層2の周囲に不純物活性化アニールのキャップ材の炭素膜を堆積させ、不純物活性化アニールを、例えば $1600 \sim 1800$ の温度で不純物活性化アニールを行った。その後、キャップ材の炭素層を酸素プラズマアッシングにより除去し、さらに清浄な表面を得る為に、熱酸化膜を形成し、希釈フッ酸溶液を用いて除去した。

【0096】

次に、図13Gに示すように、前記半導体基板上にゲート絶縁膜32を形成する。本実施例では厚さ $10 \sim 100 \text{nm}$ 程度の堆積酸化膜を形成した。

【0097】

続いて、図13Hに示すように、厚さ $100 \sim 300 \text{nm}$ 程度のn型多結晶シリコン膜からなるゲート材料膜40を堆積した。

【0098】

続いて、図13Iに示すように、ゲート材料膜40を覆うように層間膜33を形成した。

【0099】

続いて、図13Jに示すように、 $n^+$ 型のソース領域20と $p^+$ 型ベースコンタクト領域11とコンタクトを取る為に、レジストをマスクに層間膜33をエッチングし、コンタクトホールを形成し、シリサイド用メタルを堆積させ、例えば、 $700 \sim 1000$ のアニール処理によりシリサイド化を行い、ソースベース共通コンタクト51を形成した。その後、ゲート電極とコンタクトを取る為に、層間膜33をエッチングし、ゲートコンタクトホールを形成した。

【0100】

続いて、図13Kにしめすようなソースベースコンタクト共通電極41を形成した。併せて、裏面のドレイン領域21上もシリサイド化して、ドレインコンタクト52を形成し、更にドレインコンタクト電極42を形成した。シリサイドメタルやソースベースコンタクト共通電極41とドレインコンタクト電極42には例えばNi, Al等の金属材料を用いる。その後、デバイス保護の為に絶縁体からなる表面全体を覆う表面保護膜を形成する

10

20

30

40

50

工程、電極への配線を行う工程を経て、半導体装置が完成する。なお、上記に示したソース領域 20、第一の p 型ベース領域 100、第二の p 型ベース領域 101、ベースコンタクト領域 11、ドレイン領域 21 の形成する順番は入れ替えても良い。

#### 【0101】

本実施例の炭化珪素半導体装置によれば、p 型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。

#### 【実施例 3】

#### 【0102】

[半導体装置]

図 14K は、本実施例に係わる炭化珪素半導体装置である SiC-MOSFET の構造を示した断面図である。図 14L はドリフト領域表面と p 型のベース領域の冶金学的境界とがなす角度を示した断面図である。

#### 【0103】

図 14K において、炭化珪素半導体装置である SiC-MOSFET は、以下の特徴を有する。

#### 【0104】

表面が (0001) 面から [11-20] 方向へ 4 度オフした n 型 4H-SiC 基板 1 と、前記半導体基板の主面上に形成された n 型のドリフト領域とを有する。

#### 【0105】

ドリフト領域の表層には間隔を開けて形成された第一の p 型ベース領域 100 と第二の p 型ベース領域 101 を有する。上記、第一の p 型ベース領域 100 は第二の p 型ベース領域 101 よりも浅い位置に形成され、第二の p 型ベース領域 101 は、第一の p 型ベース領域 100 の下部に第一の p 型ベース領域 100 と一部重なるように形成されている。第一の p 型ベース領域 100 においては、図 14L にも示すように、ドリフト領域表面と第一の p 型ベース領域 100 のダウンステップ側とアップステップ側共に、冶金学的境界とがなす角度が 90 度以上となる特徴を有する。また、第一の p 型ベース領域 100 と第二の p 型ベース領域 101 は別マスクで形成されるため、第一の p 型ベース領域 100 と第二の p 型ベース領域 101 の境界付近では冶金学的境界は角部を持つ。

#### 【0106】

なお、p 型のベース領域 100、101 のセル構造は、p 型ベース領域を矩形、六角形にして並べる構造や、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する構造を用いても良い。本実施例では、p 型ベース領域を長辺の長い矩形とし、p 型ベース領域の長辺端部同士を接続する String 構造を用いた。

#### 【0107】

ベース領域において表層にそのベース領域に囲まれるように形成される n+型のソース領域 20 と、ベース領域において表層にそのベース領域に囲まれるように、且つソース領域 20 以外の領域に形成されるベース領域よりも高不純物濃度の p+型のベースコンタクト領域 11 を有する。p+型のベースコンタクト領域 11 とは、ベース領域に電気的な接続を取るための領域である。なお、n+型のソース領域 20 から、第一の p 型ベース領域 100 の表層、即ち SiC 基板とゲート絶縁膜の界面付近、における p 型ベース領域のドリフト領域表面との冶金学的境界までの長さは、p 型ベース領域におけるアップステップ側とダウンステップ側で略対称となる。

#### 【0108】

また、n+型のソース領域 20 の端部から、第二の p 型ベース領域 101 の冶金学的境界までの水平方向の距離は、アップステップ側とダウンステップ側で略対称となる。

#### 【0109】

さらに、ソース領域 20、及びベースコンタクト領域 11 上にそれぞれの領域と少なくとも一部に被る様に形成された第一の外部接続電極と、ソース領域の一部、及びベース領

10

20

30

40

50

域、及びドリフト領域、及び電界緩和領域上に被る様に形成されたゲート絶縁膜32と、ソース領域とベース領域に接するソースベースコンタクト51と、ウェハの裏面にn型のドレイン領域21と、ドレイン領域21に接するドレインコンタクト52と、チャンネル領域上部のゲート絶縁膜32に接するゲート電極と、ソースベースコンタクトと接するソースベースコンタクト共通電極41と、ドレインコンタクトと接するドレインコンタクト電極42と、表面保護膜を有する。更に、裏面にp型の領域を追加し、SiC-IGBTとしても良い。

#### 【0110】

なお、p型ベース領域としてBOX構造を用いる場合には、第二のp型ベース領域に囲まれるドリフト領域の中心で電界集中を生じるため、先に図12で説明したように、p型の電界緩和領域を設けても良い。

#### [半導体装置の製造方法]

次に上記SiC-MOSFETの製造方法について説明する。

#### 【0111】

図14Aから図14Kは、図1と2のB-B'における本実施例3の炭化珪素半導体装置を製造する際の各工程における断面図である。なお、前記断面図は、煩雑さを避けるため、当該工程における主要部位の構成のみを示すもので、正確な断面図には相当しない。

#### 【0112】

上記記載の半導体装置は図14Aに示すようなエピタキシャルウェハを用いて作製される。本実施例の炭化珪素基板1には、例えば、8°、4°、2°、0.5°などのオフセットを持つ不純物濃度が例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であるn+型4H-SiCウェハを用い、その上に不純物濃度が例えば、 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の炭化珪素エピタキシャル層2を積層した。

#### 【0113】

次に、ソース領域20にイオン注入するためにマスクをして、図14Bに示すように、炭化珪素エピタキシャル層2の表層部にマスク30を介してNイオンを注入し、ソース領域20を形成した。なお、不純物の注入深さは、例えば、0.1~0.5μmの範囲である。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。また、ソース領域20に注入するイオンはPイオンでも良い。

#### 【0114】

その後、図14Cに示すように、ソース領域20にイオン注入するために使用したマスクを用いて、第一のp型ベース領域100を斜方からイオン注入をする方法を用いて形成した。

#### 【0115】

不純物の注入角度、及びマスクのテーパ角、注入エネルギーは、ウェハ垂直方向の不純物の注入深さが、例えば、0.1~0.5μm程度となるように、第一のp型ベース領域100とゲート絶縁膜界面における冶金学的境界の拡がり、即ちp型ベース領域100におけるチャンネル長が、例えば、0.1~1.0μm程度となるように調整した。また、斜方からイオン注入をする際には、第一のp型ベース領域100が持つ辺の数だけ垂直な方向から注入した。例えば、BOX構造では、4辺あるため、4回に分けて注入する。本実施例で用いたString構造においても、終端部を含めると、4辺で形成されているため、各辺に垂直な方向から4回に分けて注入した。

#### 【0116】

本実施例では、不純物の注入深さが約0.2μm、冶金学的境界の拡がり0.5μmになるようにした。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。図6で説明したように、打ち込み深さの深い領域に比べて、打ち込み深さの浅い領域では、不純物領域の対称性は良好であることが期待できる。その後、上記マスクを除去した。

#### 【0117】

次に、第二のp型ベース領域101にイオン注入するためにマスクをして、図14Dに

10

20

30

40

50

示すように、炭化珪素エピタキシャル層2の表層部に、[000-1]方向から[11-20]方向に4度傾斜した方向から、即ちウェハに垂直に、Alイオンを注入した。不純物の注入深さは、例えば、ウェハ表面から深さ方向に50nmの位置よりも深い領域に注入し、例えば、1 $\mu$ m程度まで注入した。また、不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。なお、第二のp型ベース領域形成に用いたマスクは、マスクの開口端部と、前記ソース領域20の形成に用いたマスクの開口端部までの距離が、ダウステップ側よりもアップステップ側の方が長くなるようなマスクを用いた。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

#### 【0118】

次に、ベースコンタクト領域11にイオン注入するためにマスクをして、図14Eに示すように、炭化珪素エピタキシャル層2の表層部にマスクを介してAlイオンを注入し、ベースコンタクト領域11を形成した。なお、不純物の注入深さは、例えば、0.1~0.5 $\mu$ mの範囲である。ただし、注入深さはソース領域20と同程度か、それよりも深くする必要がある。また、不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定する。また、ベースコンタクト領域11に注入するイオンはBイオンでも良い。またこの際、必要性があればp型の電界緩和領域を同時に形成できるマスクを用いても良い。その後、上記マスクを除去した。

#### 【0119】

次に、図14Fに示すように、炭化珪素基板1の裏面に、Nイオンを注入し、ドレイン領域21を形成した。不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。また、ドレイン領域21に注入するイオンはPイオンでも良い。

#### 【0120】

続いて、炭化珪素基板1および炭化珪素エピタキシャル層2の周囲に不純物活性化アニールのキャップ材の炭素膜を堆積させ、不純物活性化アニールを、例えば1600~1800の温度で不純物活性化アニールを行った。その後、キャップ材の炭素層を酸素プラズマアッシングにより除去し、さらに清浄な表面を得る為に、熱酸化膜を形成し、希釈フッ酸溶液を用いて除去した。

#### 【0121】

次に、図14Gに示すように、前記半導体基板上にゲート絶縁膜32を形成する。本実施例では厚さ10~100nm程度の堆積酸化膜を形成した。

#### 【0122】

続いて、図14Hに示すように、厚さ100~300nm程度のn型多結晶シリコン膜からなるゲート材料膜40を堆積した。

#### 【0123】

続いて、図14Iに示すように、ゲート材料膜40を覆うように層間膜33を形成した。

#### 【0124】

続いて、図14Jに示すように、n<sup>+</sup>型のソース領域20とp<sup>+</sup>型ベースコンタクト領域11とコンタクトを取る為に、レジストをマスクに層間膜33をエッチングし、コンタクトホールを形成し、シリサイド用メタルを堆積させ、例えば、700~1000のアニール処理によりシリサイド化を行い、ソースベース共通コンタクト51を形成した。その後、ゲート電極とコンタクトを取る為に、層間膜33をエッチングし、ゲートコンタクトホールを形成した。

#### 【0125】

続いて、図14Kにしめすようなソースベースコンタクト共通電極41を形成した。併せて、裏面のドレイン領域21上もシリサイド化して、ドレインコンタクト52を形成し、更にドレインコンタクト電極42を形成した。シリサイドメタルやソースベースコンタクト共通電極41とドレインコンタクト電極42には例えばNi, Al等の金属材料を用いる。その後、デバイス保護の為に絶縁体からなる表面全体を覆う表面保護膜を形成する

10

20

30

40

50

工程、電極への配線を行う工程を経て、半導体装置が完成する。なお、上記に示したソース領域20、第一のp型ベース領域100、第二のp型ベース領域101、ベースコンタクト領域11、ドレイン領域21の形成する順番は入れ替えても良い。

#### 【0126】

本実施例の炭化珪素半導体装置によれば、p型ベース領域のアップステップ側とダウンステップ側の対称性を向上させる事で、ゲート酸化膜にかかる電界が強くなる点のズレを解消し、従来構造で生じたゲート絶縁膜における耐圧の低下や、設計との相違を解消する。また、実施例2記載の方法より、マスクを一枚減らすことが出来るので、プロセスコストを低減できる。さらに、実施例1及び実施例2記載の方法では、チャンネルをマスクあわせによって形成していたため、チャンネル長のばらつきが生じる可能性がある。本実施例では、n+ソース領域と同一マスクを用いるため、チャンネル長のばらつきを低減することが出来る。

10

#### 【実施例4】

#### 【0127】

本実施例では、前述の実施例1～3記載の半導体装置を備えた電力変換装置について説明する。図15は、本実施例の電力変換装置（インバータ）の回路図である。

#### 【0128】

図15に示すように、本実施例のインバータは、パワーモジュール302内に、スイッチング素子であるSiC-MOSFET304と、ダイオード305とを有する。各単相において、端子306～310を介して、電源電圧（V<sub>cc</sub>）と負荷（例えばモータ）301の入力電位との間にSiC-MOSFET304とダイオード305とが逆並列に接続されており（上アーム）、負荷301の入力電位と接地電位（GND）との間にもSiC-MOSFET素子304とダイオード305とが逆並列に接続されている（下アーム）。つまり、負荷301では各単相に2つのSiC-MOSFET304と2つのダイオード305が設けられており、3相で6つのスイッチング素子304と6つのダイオード305が設けられている。そして、個々のSiC-MOSFET304のゲート電極には、端子311、312を介して、制御回路303が接続されており、この制御回路303によってSiC-MOSFET304が制御されている。従って、本実施例のインバータは、制御回路303でパワーモジュール302を構成するSiC-MOSFET304を流れる電流を制御することにより、負荷301を駆動することができる。

20

30

#### 【0129】

パワーモジュール302内での、SiC-MOSFET304の機能について以下に説明する。負荷301として、例えばモータを制御駆動させるためには所望の電圧の正弦波を負荷301に入力する必要がある。制御回路303はSiC-MOSFET304を制御し、矩形波のパルス幅を動的に変化させるパルス幅変調動作を行っている。出力された矩形波はインダクタを経ることで、平滑化され、擬似的な所望の正弦波となる。SiC-MOSFET304は、このパルス幅変調動作を行うための矩形波を作り出す。

#### 【0130】

SiC-MOSFET304に、前述の実施例1～3の半導体装置を用いることにより、例えば、SiC-MOSFET304のオン抵抗が小さいので、冷却のためのヒートシンクなどの構造を小さくし、パワーモジュール302を小型化および軽量化することができる。ひいては電力変換装置を小型化および軽量化することができる。また、SiC-MOSFET304のゲート絶縁膜の信頼性が高いので、パワーモジュール302を長寿命化することができる。

40

#### 【0131】

また、本実施例の電力変換装置は、3相モータシステムとすることができる。図15に示した負荷301は3相モータであり、スイッチング素子に前述の実施例1～3において説明した半導体装置を備えた電力変換装置を用いることにより、3相モータシステムの小型化や高性能化を実現することができる。

#### 【実施例5】

50

## 【0132】

本実施例では、前述の実施例1～3記載の半導体装置を備える電力変換装置を説明する。図16は、本実施例の電力変換装置（インバータ）を示す回路図である。

## 【0133】

図16に示すように、本実施例のインバータは、パワーモジュール402内にスイッチング素子としてSiC-MOSFET404を備えている。各単相において、端子405～409を介して、電源電圧（Vcc）と負荷（例えばモータ）401の入力電位との間にSiC-MOSFET404が接続されており（上アーム）、負荷401の入力電位と接地電位（GND）の間にもSiC-MOSFET素子404が接続されている（下アーム）。つまり、負荷401では各単相に2つのSiC-MOSFET404が設けられており、3相で6つのスイッチング素子404が設けられている。そして、個々のSiC-MOSFET304のゲート電極には、端子410、411を介して、制御回路403が接続されており、この制御回路403によってSiC-MOSFET404が制御されている。従って、本実施例のインバータでは、制御回路403でパワーモジュール402内のSiC-MOSFET404を流れる電流を制御することにより、負荷401を駆動することができる。

10

## 【0134】

パワーモジュール402内のSiC-MOSFET404の機能について以下に説明する。SiC-MOSFETの機能の1つとして、本実施例でも実施例3と同様に、パルス幅変調動作を行うための矩形波を作り出す機能を有している。本実施例ではさらに、SiC-MOSFET404は、実施例3のダイオード305の役割も担う。例えば、モータのように負荷401にインダクタンスを含む場合、SiC-MOSFET404をOFFしたとき、インダクタンスに蓄えられたエネルギーを必ず放出しなければならない（還流電流）。実施例3では、ダイオード305がこの役割を担う。一方、本実施例では、同期整流駆動を用いるので、環流電流を流す役割をSiC-MOSFET404が担う。本実施例の同期整流駆動では、還流時にSiC-MOSFET404のゲートをONにし、SiC-MOSFET404を逆導通させる。

20

## 【0135】

したがって、還流時導通損失はダイオードの特性ではなく、SiC-MOSFET404の特性で決まる。また、同期整流駆動を行う場合、上下アームが短絡することを防ぐため、上下のSiC-MOSFETが共にOFFとなる不動作時間が必要となる。この不動作時間の間はSiC-MOSFET404のドリフト層とp型ボディ層によって形成される内蔵PNダイオードが駆動する。ただし、SiCはキャリアの走行距離がSiより短く、不動作時間の間の損失は小さく、例えば、実施例3のダイオード305をSiCショットキーバリアダイオードとした場合と、同等である。

30

## 【0136】

このように、本実施例では、SiC-MOSFET404に、前述の実施例1～3の半導体装置を用いることにより、例えば、SiC-MOSFET404が高性能な分、還流時の損失を小さくでき、さらなる高性能化が可能になる。また、還流ダイオードをSiC-MOSFET404とは別に設けないため、パワーモジュール402をさらに小型化することができる。

40

## 【0137】

また、本実施例の電力変換装置は、3相モータシステムとすることができる。図21に示した負荷401は3相モータであり、パワーモジュール402に、前述の実施例1～3記載の半導体装置を備えることにより、3相モータシステムの小型化や高性能化を実現することができる。

## 【実施例6】

## 【0138】

実施例4または実施例5で説明した3相モータシステムは、ハイブリット自動車、電気自動車、燃料電池自動車などの自動車に用いることができる。本実施例では、3相モータ

50

システムを搭載した自動車を、図 17 および図 18 を用いて説明する。図 17 は、本実施例の電気自動車の構成を示す概略図である。図 18 は、本実施例の昇圧コンバータの回路図である。

【0139】

図 17 に示すように、本実施例の電気自動車は、駆動輪 501a および駆動輪 501b が接続された駆動軸 502 に動力を入出力可能とする 3 相モータ 503 と、3 相モータ 503 を駆動するためのインバータ 504 と、バッテリー 505 と、を備える。さらに、本実施例の電気自動車は、昇圧コンバータ 508 と、リレー 509 と、電子制御ユニット 510 と、を備え、昇圧コンバータ 508 は、インバータ 504 が接続された電力ライン 506 と、バッテリー 505 が接続された電力ライン 507 とに接続されている。

10

【0140】

3 相モータ 503 は、永久磁石が埋め込まれたロータと、3 相コイルが巻回されたステータとを備えた同期発電電動機である。インバータ 504 には、前述の実施例 3 または前述の実施例 4 において説明したインバータを用いることができる。

【0141】

昇圧コンバータ 508 は図 18 に示すように、インバータ 513 に、リアクトル 511 および平滑用コンデンサ 112 が接続された構成からなる。インバータ 513 は、例えば、前述の実施例 4 で説明したインバータと同様であり、インバータ内の素子構成も同じである。本実施例でも、実施例 4 と同様にスイッチング素子を SiC-MOSFET 514 とし、同期整流駆動させる。

20

【0142】

図 17 の電子制御ユニット 510 は、マイクロプロセッサと、記憶装置と、入出力ポートとを備えており、3 相モータ 503 のロータ位置を検出するセンサからの信号、またはバッテリー 505 の充放電値などを受信する。そして、インバータ 504、昇圧コンバータ 508、およびリレー 509 を制御するための信号を出力する。

【0143】

このように、本実施例によれば、電力変換装置であるインバータ 504 および昇圧コンバータ 508 に、前述の実施例 3 および前述の実施例 4 の電力変換装置を用いることができる。また、3 相モータ 503、およびインバータ 504 などからなる 3 相モータシステムに、前述の実施例 3 または前述の実施例 4 の 3 相モータシステムを用いることができる。これにより、電気自動車の省エネルギー化、小型化、軽量化や電力変換装置の省スペース化を図ることができる。

30

【0144】

なお、本実施例では、電気自動車について説明したが、エンジンも併用するハイブリッド自動車、バッテリー 505 が燃料電池スタックとなった燃料電池自動車にも同様に上述の 3 相モータシステムを適用することができる。

【実施例 7】

【0145】

実施例 4 および実施例 5 の 3 相モータシステムは、鉄道車両に用いることができる。本実施例では、3 相モータシステムを用いた鉄道車両を図 19 を用いて説明する。図 19 は、本実施例の鉄道車両のコンバータおよびインバータを含む回路図である。

40

【0146】

図 19 に示すように、鉄道車両には架線 OW (例えば 25 kV) からパンタグラフ PG を介して電力が供給される。トランス 609 を介して電圧が 1.5 kV まで降圧され、コンバータ 607 で交流から直流に変換される。さらに、キャパシタ 608 を介してインバータ 602 で直流から交流に変換されて、負荷 601 である 3 相モータが駆動される。コンバータ 607 内の素子構成は実施例 3 のように SiC-MOSFET およびダイオードを併用してもよく、また実施例 4 のように SiC-MOSFET 単独でもよい。

【0147】

本実施例では、実施例 5 のようにスイッチング素子を SiC-MOSFET 604 とし

50

て同期整流駆動させる。なお、図19では、実施例4で説明した制御回路は省略している。また、図中、符号RTは線路、符号WHは車輪を示す。

【0148】

このように本実施例によればコンバータ607に、実施例4または実施例5の電力変換装置を用いることができる。また、負荷601、インバータ602、および制御回路からなる3相モータシステムに、実施例4または実施例5の3相モータシステムを用いることができる。これにより、鉄道車両の省エネルギー化や、3相モータシステムを含む床下部品の小型化による低床化および軽量化を図ることができる。

【0149】

本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

10

【0150】

トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができる。

【0151】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

20

【産業上の利用可能性】

【0152】

本発明は、炭化ケイ素を用いた半導体装置およびその半導体装置の製造方法、ならびにその半導体装置を用いたパワーモジュール、インバータ、自動車および鉄道車両に適用して有効である。

【符号の説明】

【0153】

30

- 1 炭化珪素基板
- 2 炭化珪素層
- 10 ベース領域
- 11 ベースコンタクト領域
- 20 ソース領域
- 21 ドレイン領域
- 30 マスク
- 32 ゲート絶縁膜
- 33 層間膜
- 40 ゲート材料膜
- 41 ソースベースコンタクト共通電極
- 42 ドレインコンタクト電極
- 51 ソースベース共通コンタクト
- 52 ドレインコンタクト
- 60 電界緩和領域
- 100 第一のベース領域
- 101 第二のベース領域
- 301 負荷
- 302 パワーモジュール
- 303 制御回路

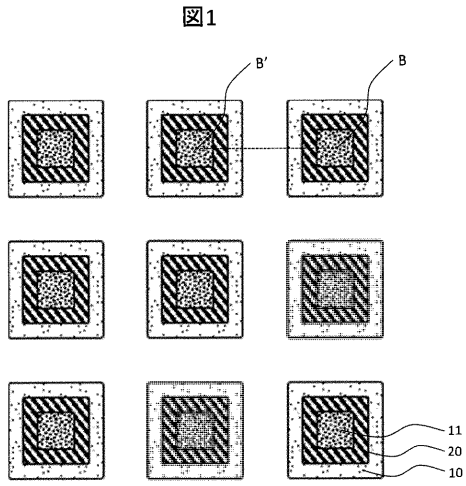
40

50

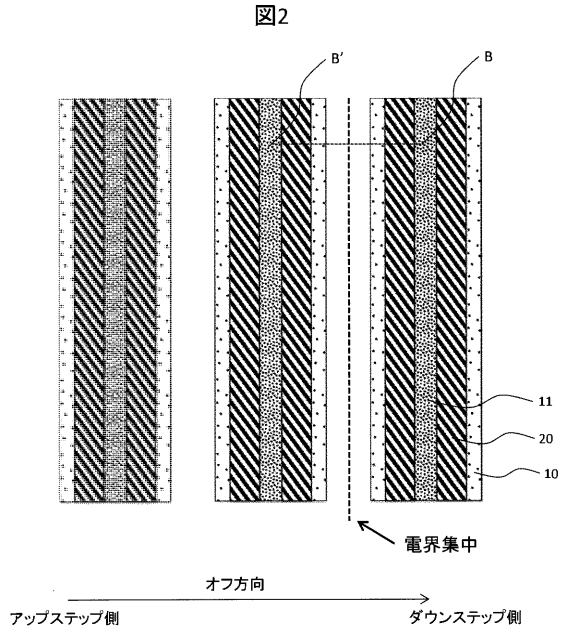


3 0 4	S i C - M O S F E T	
3 0 5	ダイオード	
3 0 6 ~ 3 1 2	端子	
4 0 1	負荷	
4 0 2	パワーモジュール	
4 0 3	制御回路	
4 0 4	S i C - M O S F E T	
4 0 5 ~ 4 1 1	端子	
5 0 1 a	駆動輪	
5 0 1 b	駆動輪	10
5 0 2	駆動軸	
5 0 3	3相モータ	
5 0 4	インバータ	
5 0 5	バッテリー	
5 0 6	電力ライン	
5 0 7	電力ライン	
5 0 8	昇圧コンバータ	
5 0 9	リレー	
5 1 0	電子制御ユニット	
5 1 1	リアクトル	20
5 1 2	平滑用コンデンサ	
5 1 3	インバータ	
5 1 4	S i C - M O S F E T	
6 0 1	負荷	
6 0 2	インバータ	
6 0 7	コンバータ	
6 0 8	キャパシタ	
6 0 9	トランス	
O W	架線	
P G	パンタグラフ	30
R T	線路	
W H	車輪	

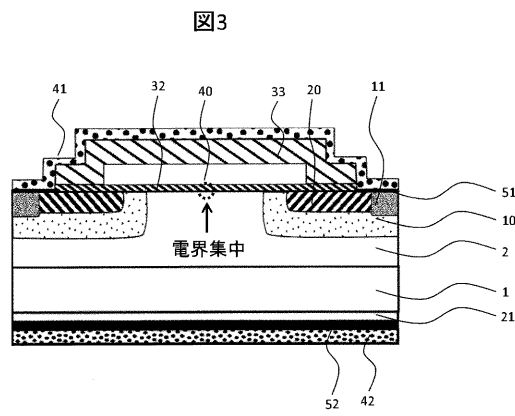
【 図 1 】



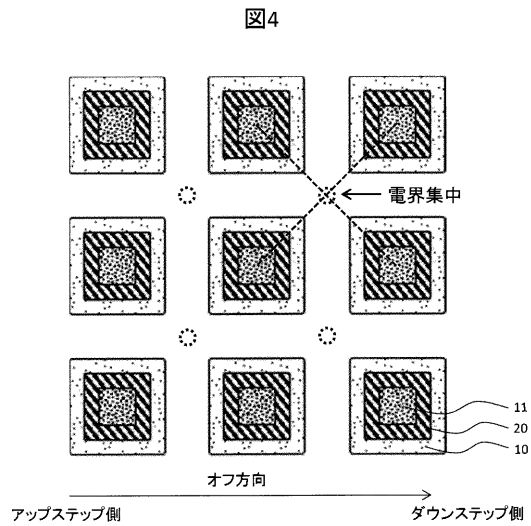
【 図 2 】



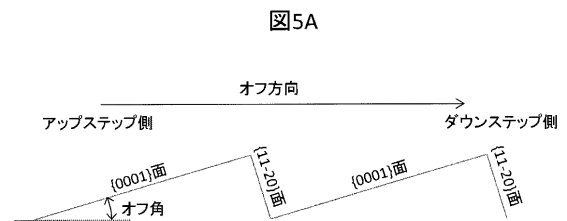
【 図 3 】



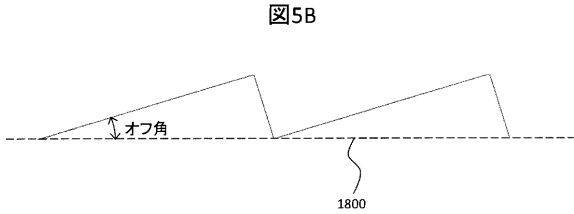
【 図 4 】



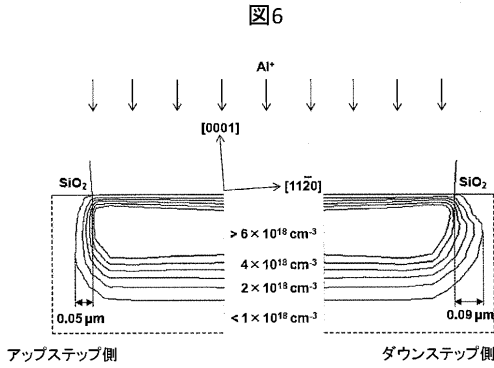
【 図 5 A 】



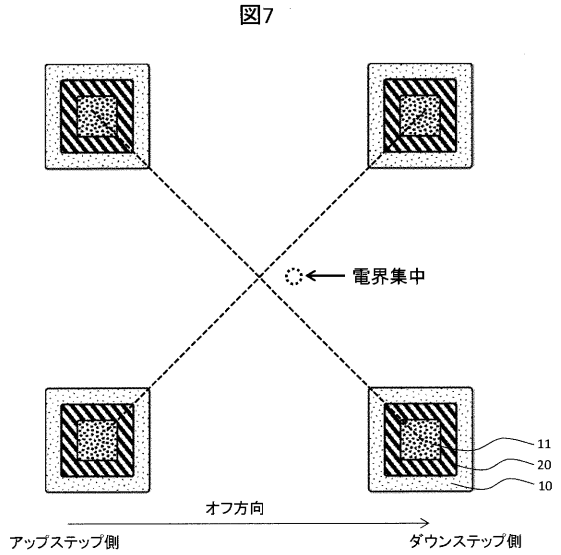
【 図 5 B 】



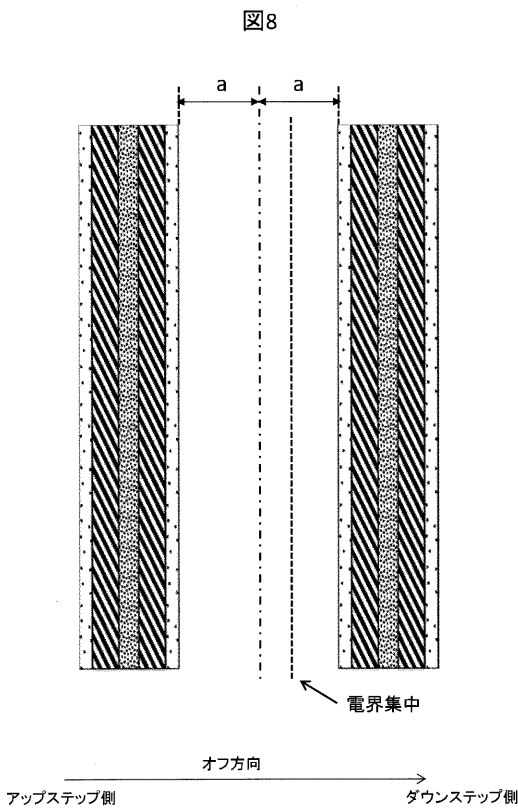
【 図 6 】



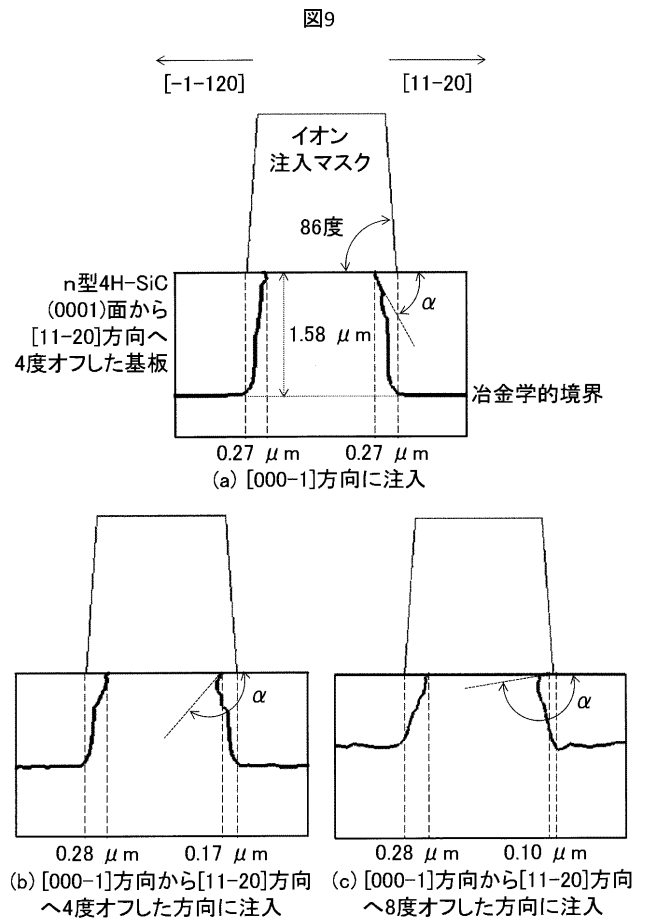
【 図 7 】



【 図 8 】

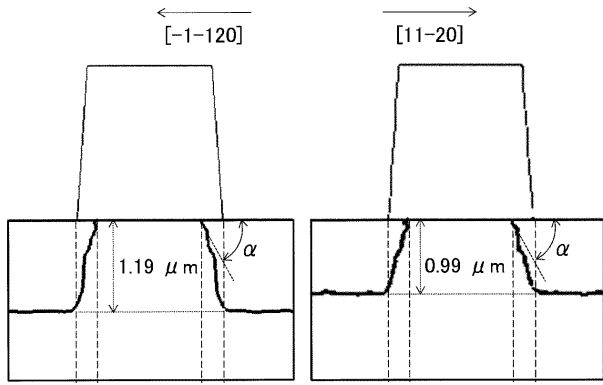


【 図 9 】

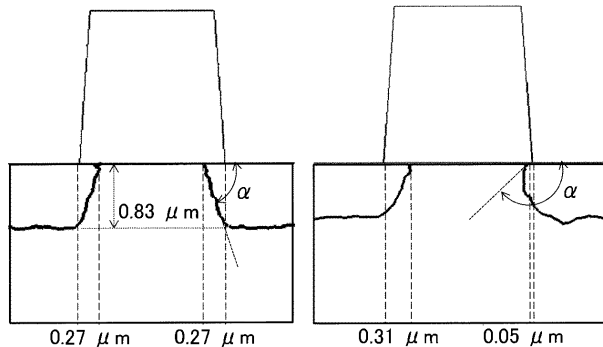


【 図 1 0 】

図10



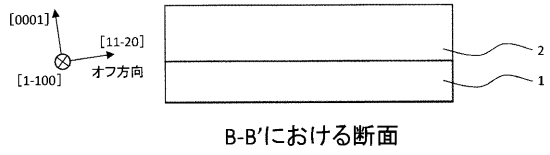
(a) [000-1]方向から[-1-120]方向へ4度オフした方向に注入  
 (b) [000-1]方向から[-1-120]方向へ8度オフした方向に注入



(c) [000-1]方向から[-1-120]方向へ12度オフした方向に注入  
 (d) [000-1]方向から[-1-120]方向へ16度オフした方向に注入

【 図 1 1 A 】

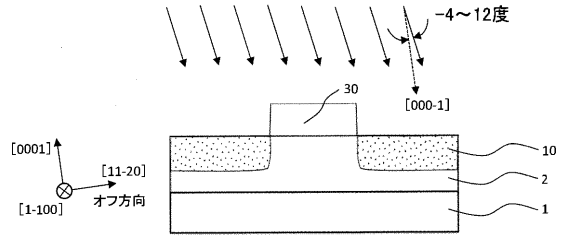
図11A



B-B'における断面

【 図 1 1 B 】

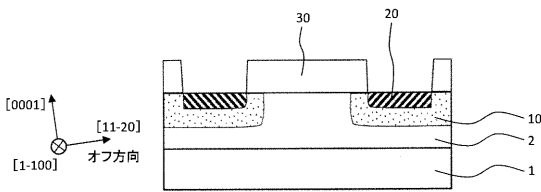
図11B



B-B'における断面

【 図 1 1 C 】

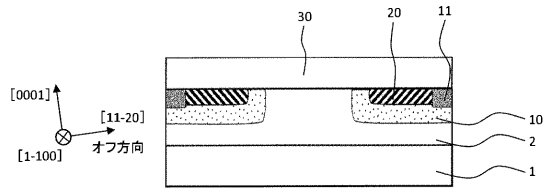
図11C



B-B'における断面

【 図 1 1 E 】

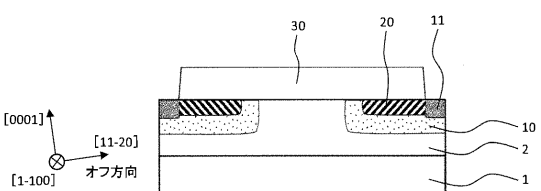
図11E



B-B'における断面

【 図 1 1 D 】

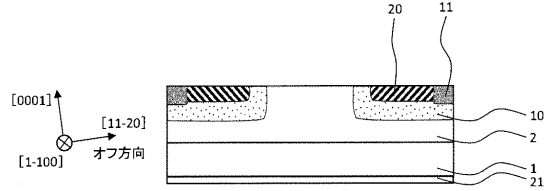
図11D



B-B'における断面

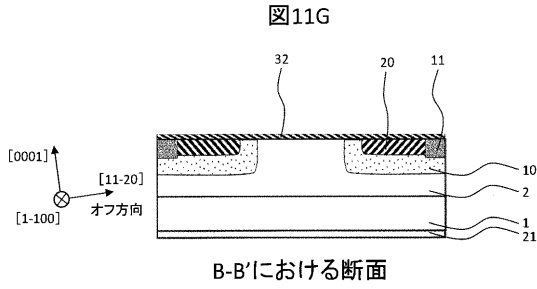
【 図 1 1 F 】

図11F

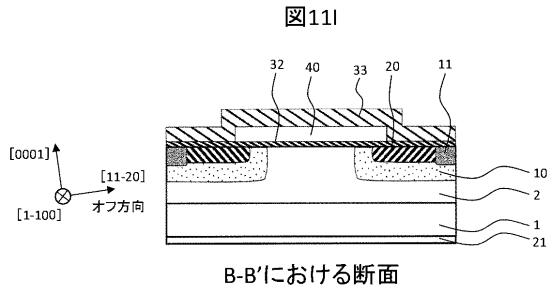


B-B'における断面

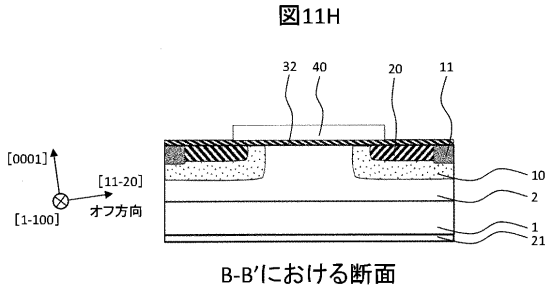
【 図 1 1 G 】



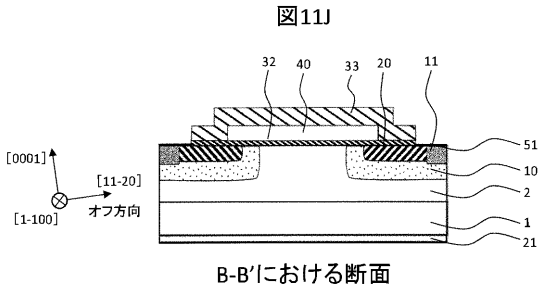
【 図 1 1 I 】



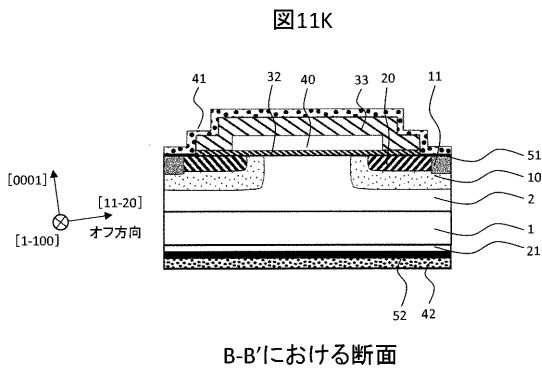
【 図 1 1 H 】



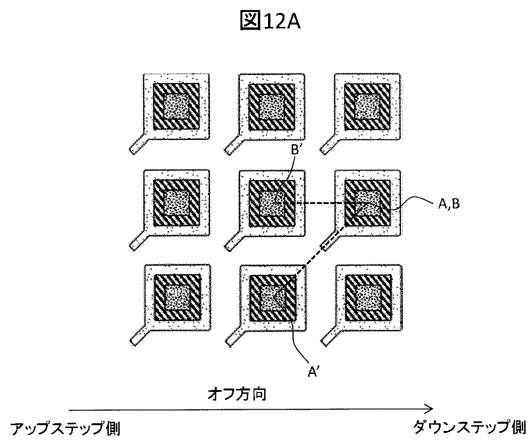
【 図 1 1 J 】



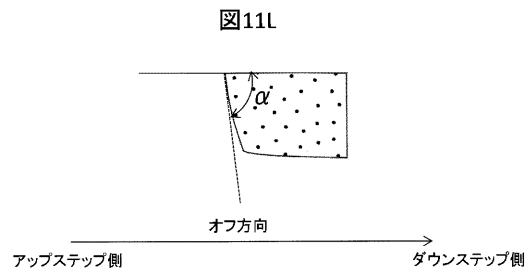
【 図 1 1 K 】



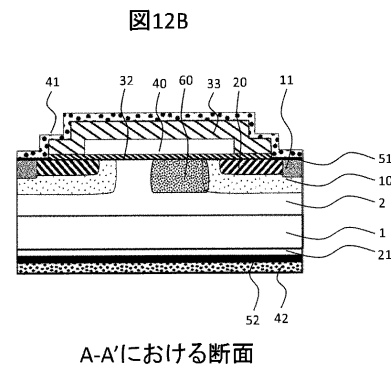
【 図 1 2 A 】



【 図 1 1 L 】

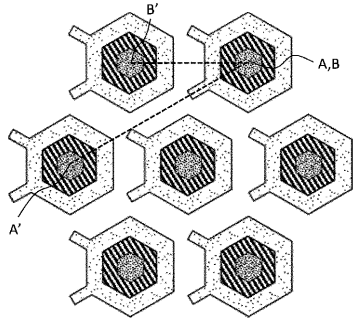


【 図 1 2 B 】



【 図 1 2 C 】

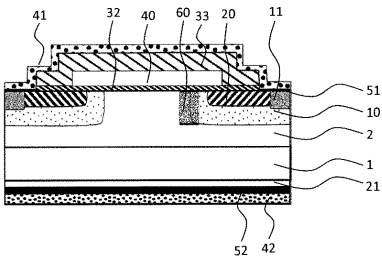
図12C



アップステップ側 ← オフ方向 → ダウンステップ側

【 図 1 2 D 】

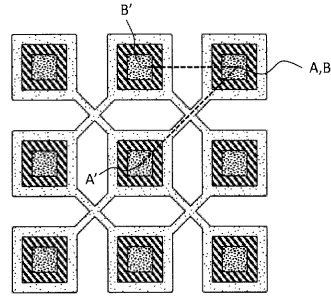
図12D



A-A'における断面

【 図 1 2 E 】

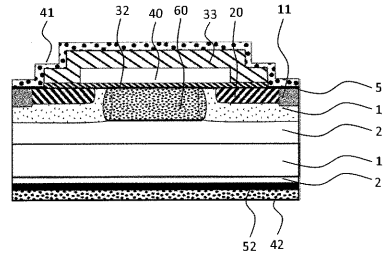
図12E



アップステップ側 ← オフ方向 → ダウンステップ側

【 図 1 2 F 】

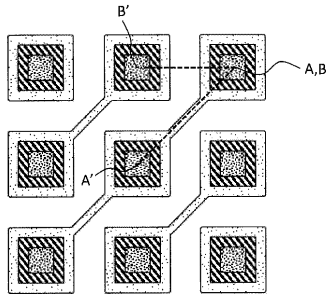
図12F



A-A'における断面

【 図 1 2 G 】

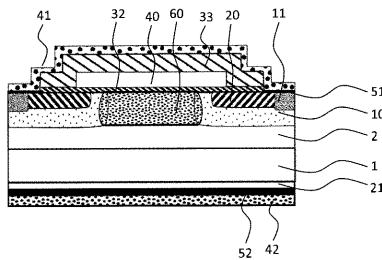
図12G



アップステップ側 ← オフ方向 → ダウンステップ側

【 図 1 2 H 】

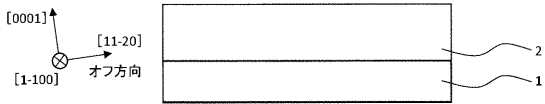
図12H



A-A'における断面

【 図 1 3 A 】

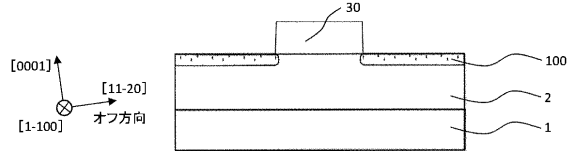
図13A



B-B'における断面

【 図 1 3 B 】

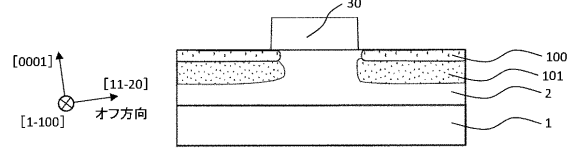
図13B



B-B'における断面

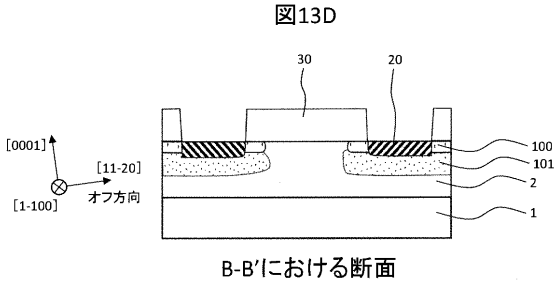
【 図 1 3 C 】

図13C

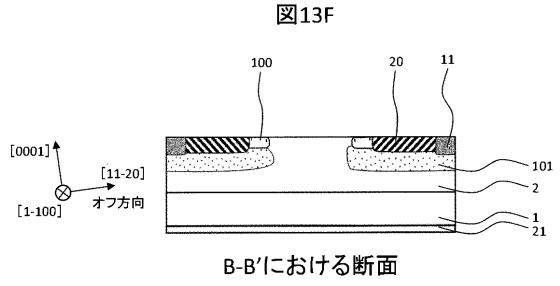


B-B'における断面

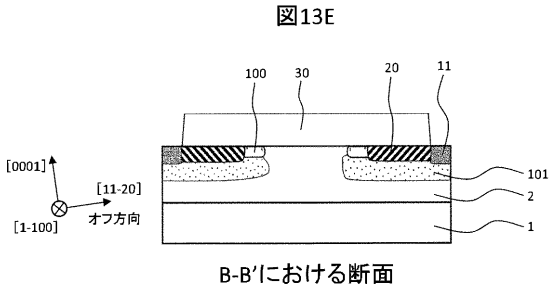
【 図 1 3 D 】



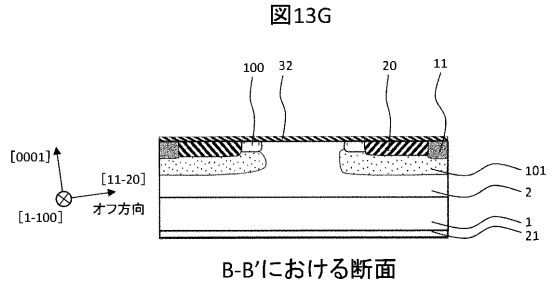
【 図 1 3 F 】



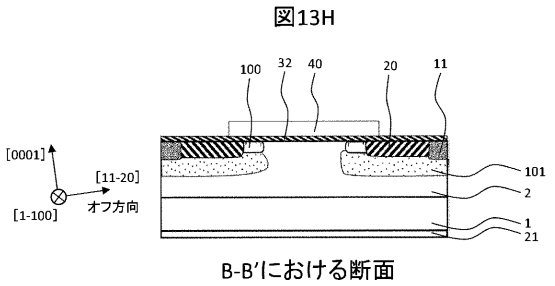
【 図 1 3 E 】



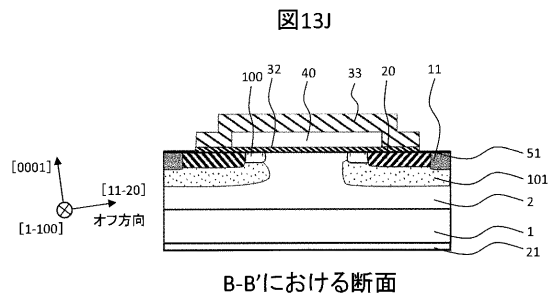
【 図 1 3 G 】



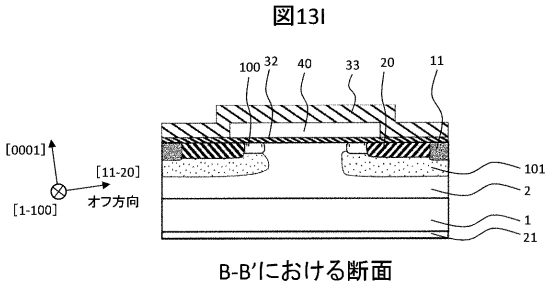
【 図 1 3 H 】



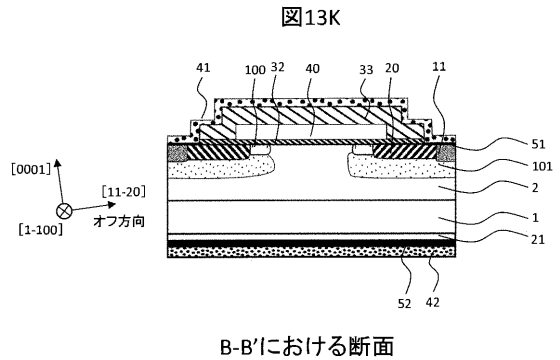
【 図 1 3 J 】



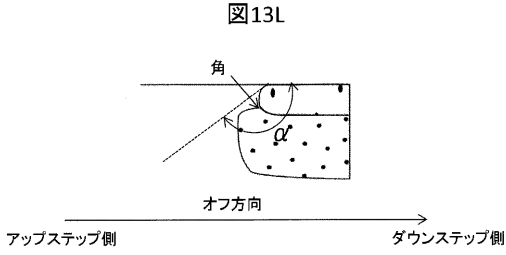
【 図 1 3 I 】



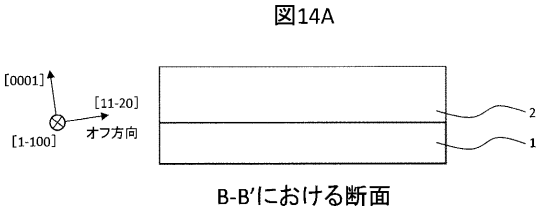
【 図 1 3 K 】



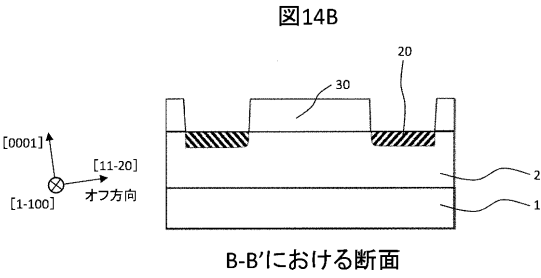
【 図 1 3 L 】



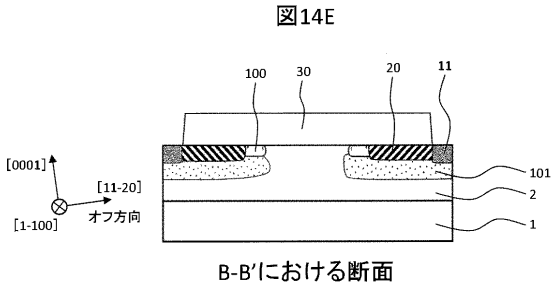
【 図 1 4 A 】



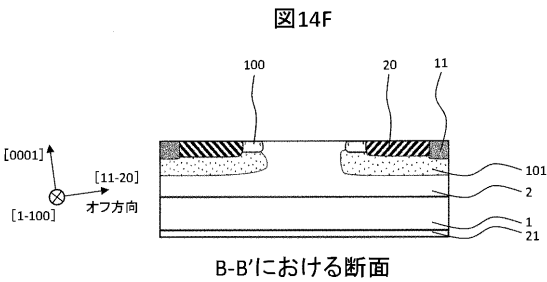
【 図 1 4 B 】



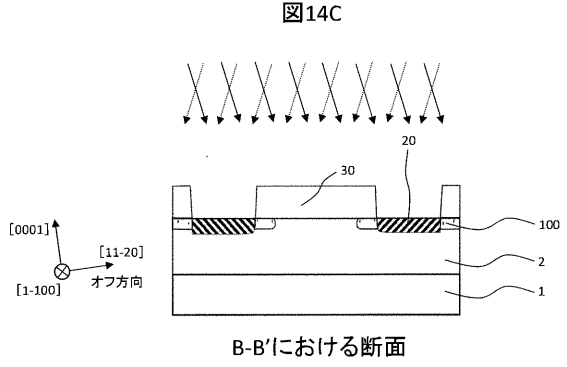
【 図 1 4 E 】



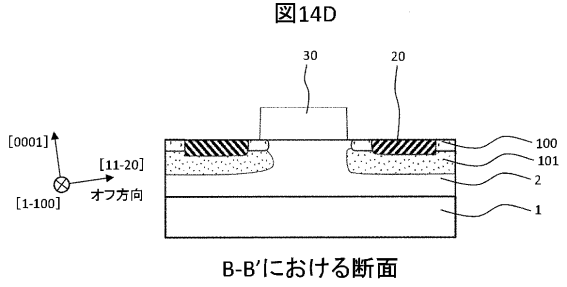
【 図 1 4 F 】



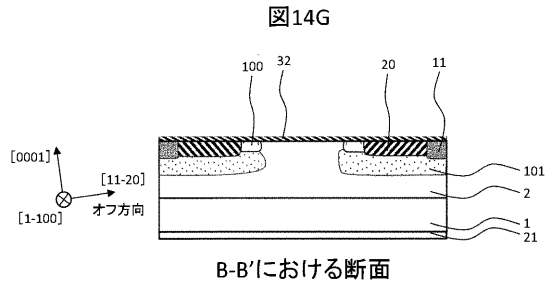
【 図 1 4 C 】



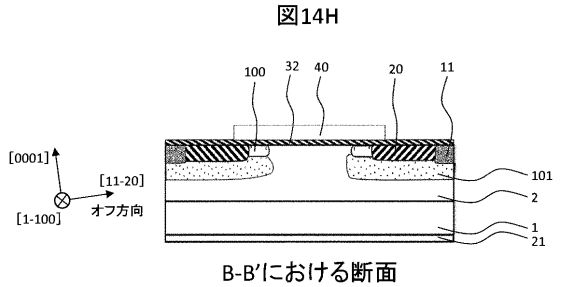
【 図 1 4 D 】



【 図 1 4 G 】

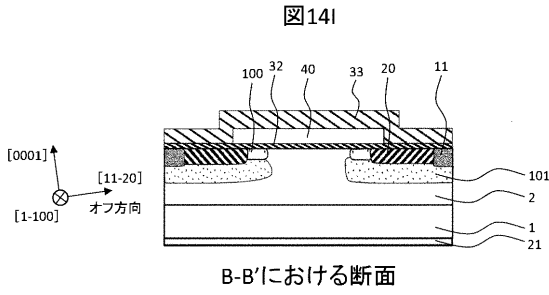


【 図 1 4 H 】

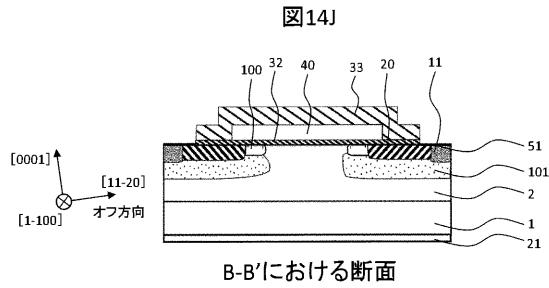




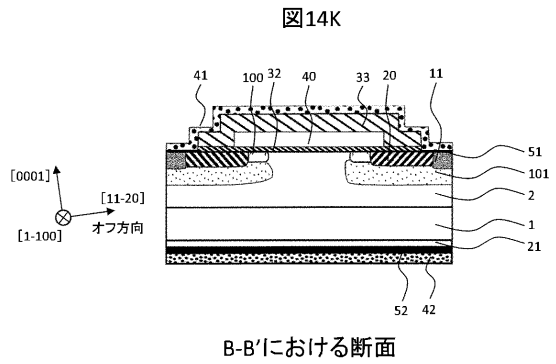
【図14I】



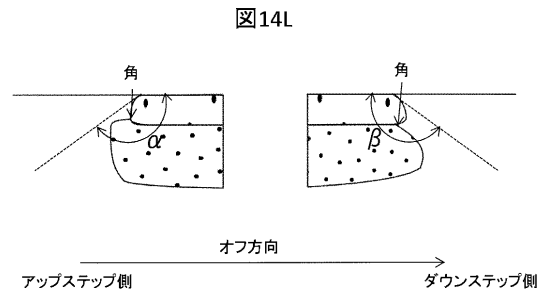
【図14J】



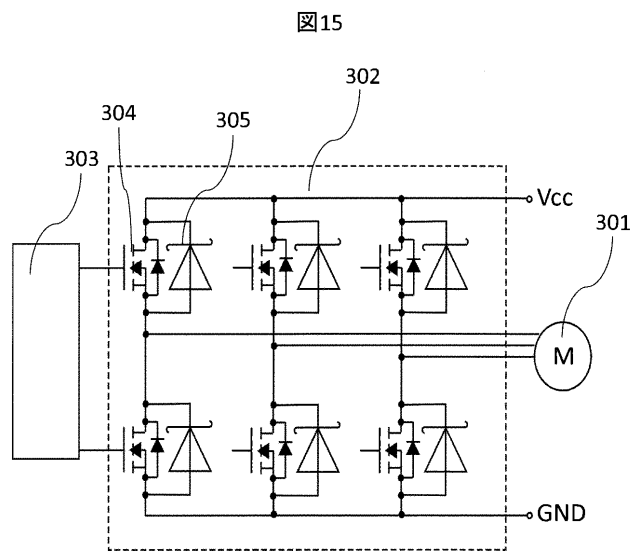
【図14K】



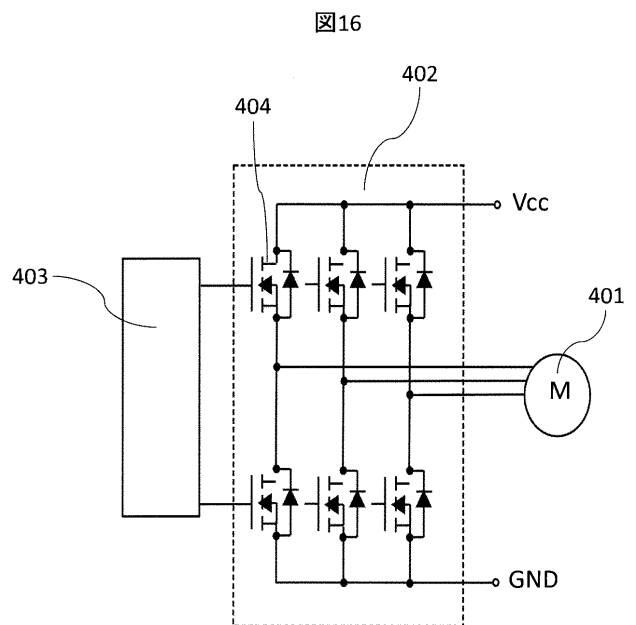
【図14L】



【図15】

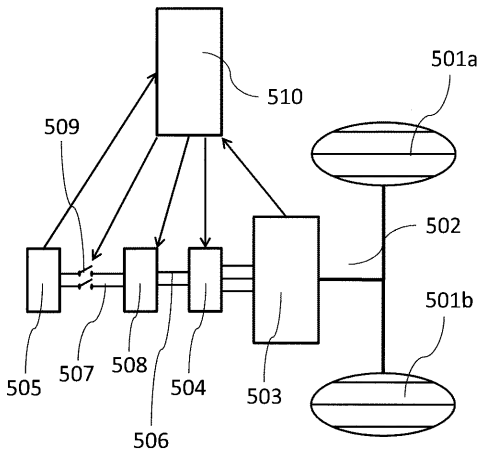


【図16】



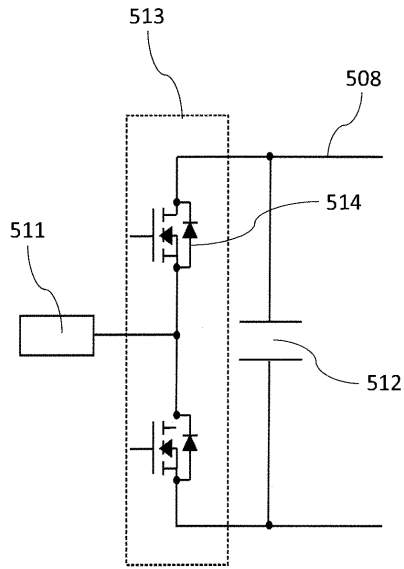
【 図 1 7 】

図17



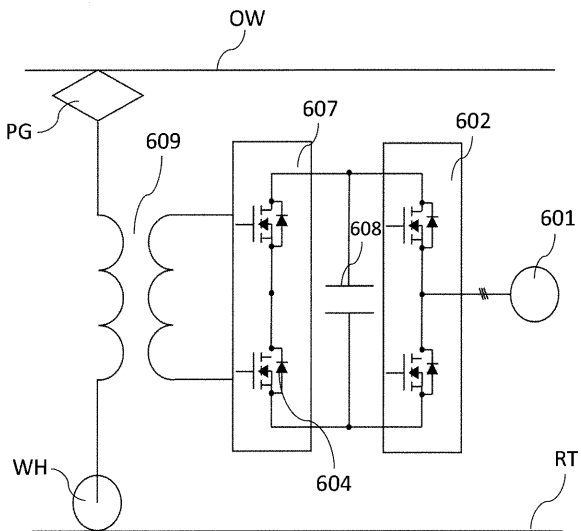
【 図 1 8 】

図18



【 図 1 9 】

図19



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/081148

A. CLASSIFICATION OF SUBJECT MATTER H01L29/78(2006.01)i, H01L21/336(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78, H01L21/336		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/080641 A1 (Mitsubishi Electric Corp.), 06 June 2013 (06.06.2013), paragraphs [0014] to [0025]; fig. 1 & US 2014/0299891 A & DE 112012005039 T	1-4
Y	JP 2007-103585 A (Sumitomo Electric Industries, Ltd.), 19 April 2007 (19.04.2007), paragraphs [0003], [0033] to [0036]; fig. 5 (Family: none)	1-4
Y	JP 2011-23675 A (Hitachi, Ltd.), 03 February 2011 (03.02.2011), paragraphs [0033], [0036] & US 2011/0018004 A1	1-4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 24 February 2015 (24.02.15)	Date of mailing of the international search report 03 March 2015 (03.03.15)	
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.	

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/081148

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-267762 A (Mitsubishi Electric Corp.), 25 November 2010 (25.11.2010), paragraphs [0008] to [0010] (Family: none)	1-4
Y	JP 2013-105799 A (Mitsubishi Electric Corp.), 30 May 2013 (30.05.2013), paragraph [0027] (Family: none)	1-4

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/081148

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:  
See extra sheet.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1-4

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/081148

Continuation of Box No.III of continuation of first sheet(2)

Document 1: WO 2013/080641 A1 (Mitsubishi Electric Corp.), 06 June 2013 (06.06.2013), paragraphs [0014] to [0025]; fig. 1 & US 2014/0299891 A

Document 1 has disclosed the invention of an MOSFET having a drift layer (20), gate insulating film (50), gate electrode (60), well region (30), and source region (40).

Consequently, it is considered that the following inventions are set forth in the present application, and said inventions have no other common technical feature which is considered to be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

(Invention 1) the inventions of claims 1-4:

A feature wherein a base region cross-sectional shape in the off direction under a gate insulating film has an angle of less than 90 degrees, said angle being formed between a drift region and a metallurgical boundary of a second conductivity-type impurity implanted region in the vicinity of a surface of the drift region at a horizontally expanded end of the metallurgical boundary of the second conductivity-type impurity implanted region of the base region, said end being in the direction opposite to the off direction.

(Invention 2) the inventions of claims 5-12:

A feature wherein: a base region is provided with a second conductivity-type first base region and a second conductivity-type second base region, which are formed on a surface layer of a drift region; the first base region is formed at a position shallower than the second base region; the second base region is formed below the first base region such that a part of the second base region overlaps the first base region.

(Invention 3) the inventions of claims 13-15:

A feature, which is provided with a step for forming a first conductivity-type silicon carbide drift layer on a first conductivity-type silicon carbide semiconductor substrate surface by means of step flow growth, a step for forming a second conductivity-type base region, a step for forming a first conductivity-type source region, a step for forming a second conductivity-type base contact region, and a step for forming a first conductivity-type drain region, and which forms the second conductivity-type base region by diagonally implanting ions into a wafer surface.

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 8 1 1 4 8									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L21/336											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2015年										
日本国実用新案登録公報	1996-2015年										
日本国登録実用新案公報	1994-2015年										
国際調査で使用了電子データベース (データベースの名称、調査に使用了用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	WO 2013/080641 A1 (三菱電機株式会社) 2013.06.06, [0014]-[0025], [図1] & US 2014/0299891 A & DE 112012005039 T	1-4									
Y	JP 2007-103585 A (住友電気工業株式会社) 2007.04.19, 【0003】、【0033】 - 【0036】、【図5】 (ファミリーなし)	1-4									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 24.02.2015		国際調査報告の発送日 03.03.2015									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 行武 哲太郎	5 F 4447								
		電話番号 03-3581-1101 内線	3516								

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 8 1 1 4 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-23675 A (株式会社日立製作所) 2011.02.03, 【0033】、【0036】 & US 2011/0018004 A1	1-4
Y	JP 2010-267762 A (三菱電機株式会社) 2010.11.25, 【0008】 - 【0010】 (ファミリーなし)	1-4
Y	JP 2013-105799 A (三菱電機株式会社) 2013.05.30, 【0027】 (ファミリーなし)	1-4



国際調査報告

国際出願番号 PCT/J P 2 0 1 4 / 0 8 1 1 4 8

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。  
特別ページを参照。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1-4

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2009年7月)

国際調査報告

国際出願番号 PCT/JP2014/081148

文献 1 : WO 2013/080641 A1 (三菱電機株式会社) 2013.06.06,  
[0014]-[0025], [図 1] & US 2014/0299891 A

文献 1 には、ドリフト層 20 と、ゲート絶縁膜 50 と、ゲート電極 60 と、ウェル領域 30 と、ソース領域 40 とを有する MOSFET の発明が記載されている。

してみると、本願には以下の発明が記載されていると認められ、当該発明は、PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通する技術的特徴が存在しない。

(発明 1) 請求項 1-4 に係る発明 :

ゲート絶縁膜下における、ベース領域のオフ方向に沿った断面形状は、ベース領域の、オフ方向と反対方向の、第 2 導電型の不純物注入領域の冶金学的境界の水平方向拡がり端において、ドリフト領域の表面近傍における、ドリフト領域と第 2 導電型の不純物注入領域の冶金学的境界がなす角度が 90 度未満となること。

(発明 2) 請求項 5-12 に係る発明 :

ベース領域は、ドリフト領域の表層に形成された第 2 導電型の第一のベース領域と第 2 導電型の第二のベース領域を備え、第一のベース領域は第二のベース領域よりも浅い位置に形成され、第二のベース領域は、第一のベース領域の下部に第一のベース領域と一部重なるように形成されていること。

(発明 3) 請求項 13-15 に係る発明 :

第 1 導電型の炭化珪素半導体基板表面にステップフロー成長により第 1 導電型の炭化珪素ドリフト層を形成する工程と、第 2 導電型のベース領域を形成する工程と、第 1 導電型のソース領域を形成する工程と、第 2 導電型のベースコンタクト領域を形成する工程と、第 1 導電型のドレイン領域を形成する工程と、を備え、第 2 導電型のベース領域をウェハ表面に対して斜めにイオン注入して形成すること。

## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 2 S
	H 0 1 L 29/78	6 5 2 J
	H 0 1 L 29/78	6 5 2 C
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 29/78	6 5 2 E
	H 0 1 L 21/265	V
	H 0 1 L 21/265	U

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。