

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4149404号
(P4149404)

(45) 発行日 平成20年9月10日(2008.9.10)

(24) 登録日 平成20年7月4日(2008.7.4)

(51) Int.Cl. F I
G06F 11/22 (2006.01) G06F 11/22 340E

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2004-93053 (P2004-93053)	(73) 特許権者	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成16年3月26日(2004.3.26)	(73) 特許権者	594091019 株式会社 沖テクノコラージュ 東京都八王子市東浅川町550番地の1
(65) 公開番号	特開2005-284354 (P2005-284354A)	(74) 代理人	100086807 弁理士 柿本 恭成
(43) 公開日	平成17年10月13日(2005.10.13)	(72) 発明者	山崎 博 東京都八王子市東浅川町550番地の1 株式会社 沖テクノコラージュ内
審査請求日	平成18年8月25日(2006.8.25)	(72) 発明者	長友 憲一郎 東京都八王子市東浅川町550番地の1 株式会社 沖テクノコラージュ内

最終頁に続く

(54) 【発明の名称】 エバリュエーションチップ

(57) 【特許請求の範囲】

【請求項1】

割り込み変更信号を出力する複数の割り込み優先順位決定回路と、割り込み信号を出力する複数の割り込み信号生成回路と、割り込みベクタアドレス生成回路と、命令実行手段とを備え、

外部から与えられる複数の割り込み要求信号に基づき、対応する割り込み処理を順に実行するエバリュエーションチップにおいて、

前記割り込み優先順位決定回路は、対応する前記割り込み信号生成回路以外が生成した複数の前記割り込み信号と、外部から与えられる割り込み優先順位変更制御用の複数の制御信号との論理を求めて、前記割り込み変更信号を出力し、

前記割り込み信号生成回路は、対応する前記割り込み優先順位決定回路が出力する前記割り込み変更信号と、対応する前記割り込み要求信号との論理を求めて、前記複数の割り込み要求信号の全てが発生しているときに、前記複数の制御信号で設定される優先順位に従って、前記割り込み信号を順に生成し、

前記割り込みベクタアドレス生成回路は、複数の前記割り込み信号をエンコードして割り込みベクタアドレスを生成し、

前記命令実行手段は、前記割り込みベクタアドレスに基づき、外部から優先順に取り込んだ割り込み命令をデコードしてこのデコード結果を順に実行すること

を特徴とするエバリュエーションチップ。

【請求項2】

10

20

前記複数の制御信号は、外部の制御信号入力端子から入力される構成にしたことを特徴とする請求項 1 記載のエバリュエーションチップ。

【請求項 3】

前記複数の制御信号は、外部から与えられるデータに基づき、内部に設けた複数の優先順位制御レジスタにより生成する構成にしたことを特徴とする請求項 1 記載のエバリュエーションチップ。

【請求項 4】

前記複数の制御信号は、外部から与えられるシリアルデータに基づき、内部に設けた割り込み優先順位制御シフトレジスタにより、パワーオン時に生成する構成にしたことを特徴とする請求項 1 記載のエバリュエーションチップ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エミュレータ (emulator) に用いるマイクロコンピュータ (以下「マイコン」という。) 等のプログラム開発用集積回路であるエバリュエーションチップ (evaluation chip、以下「EVAチップ」という。)、特に命令実行の割り込み優先順位を任意に変更できる EVA チップに関するものである。

【背景技術】

【0002】

従来、EVAチップに関する技術としては、例えば、次のような文献に記載されるものがあった。

20

【0003】

【特許文献 1】特開平 5 - 151014 号公報

【0004】

この特許文献 1 に記載された EVA チップは、外部のプログラムメモリに格納されたプログラムの評価を行うものであり、中央処理装置 (以下「CPU」という。) 部、及びデータラッチ部等を内蔵している。この種の EVA チップでは、CPU 部により、プログラムメモリから取り込まれた命令がデコードされてこのデコード結果が実行される。この命令実行結果は、データラッチ部で一時保持された後、選択的に外部に出力される。このデータに対し、外部に設けられたトレース回路等によって評価が行われる。

30

【0005】

このような特許文献 1 に記載された EVA チップにおいて、プログラムメモリに格納されたプログラムに対し、外部から与えられる複数の割り込み要求信号により割り込み処理を行う場合、チップ内に割り込み回路が設けられる。この割り込み回路では、複数の割り込み要求信号が外部から与えられると、予め設定された割り込みの優先順位に従い、複数の割り込み信号を生成し、これらをエンコード (コード化) して割り込みベクタアドレスを生成し、この割り込みベクタアドレスにより CPU 部で割り込み処理を行わせる。ここで、割り込みの優先順位が予め設定されているのは、割り込みの優先順位が仕様で決められているので、優先順位を固定することにより、割り込み回路の構成を簡単にできるからである。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の割り込み回路を内蔵した EVA チップでは、内部の CPU 部の割り込み部分で、優先順位の仕様変更が発生した場合、又は、CPU 部のシリーズ品において、割り込み部分で優先順位の仕様が異なる場合、用意されている EVA チップは、搭載されている割り込み回路の優先順位が固定されているため、EVA チップが使用できなくなり、不利不便であった。

【課題を解決するための手段】

【0007】

50

前記課題を解決するために、本発明のEVAチップは、割り込み変更信号を出力する複数の割り込み優先順位決定回路と、割り込み信号を出力する複数の割り込み信号生成回路と、割り込みベクタアドレス生成回路と、命令実行手段とを備え、外部から与えられる複数の割り込み要求信号に基づき、対応する割り込み処理を順に実行するEVAチップにおいて、次のような構成にしている。

【0008】

前記割り込み優先順位決定回路は、対応する前記割り込み信号生成回路以外が生成した複数の前記割り込み信号と、外部から与えられる割り込み優先順位変更制御用の複数の制御信号との論理を求めて、前記割り込み変更信号を出力する回路である。前記割り込み信号生成回路は、対応する前記割り込み優先順位決定回路が出力する前記割り込み変更信号と、対応する前記割り込み要求信号との論理を求めて、前記複数の割り込み要求信号の全てが発生しているときに、前記複数の制御信号で設定される優先順位に従って、前記割り込み信号を順に生成する回路である。前記割り込みベクタアドレス生成回路は、複数の前記割り込み信号をエンコードして割り込みベクタアドレスを生成する回路である。更に、前記命令実行手段は、前記割り込みベクタアドレスに基づき、外部から優先順に取り込んだ割り込み命令をデコードしてこのデコード結果を順に実行するものである。

10

【発明の効果】

【0009】

本発明のEVAチップによれば、外部から与えられる割り込み優先順位変更制御用の複数の制御信号により、各割り込み信号生成回路の割り込み優先順位を任意に変更可能な構成にしたので、複数の割り込み信号生成回路の優先順位が異なる命令実行手段に対して、1種類のEVAチップで対応可能となり、使い勝手が良く、コストを削減できる。

20

【0010】

複数の制御信号を、複数の優先順位制御レジスタにより生成する構成にすると、割り込み数が増加しても制御信号入力端子数が増加しないので、端子ネックを解消できる。

【0011】

複数の制御信号を、割り込み優先順位制御シフトレジスタにより生成する構成にすると、EVAチップを制御するCPU等に頼らないスタンドアロン方式の動作が可能となる。

【発明を実施するための最良の形態】

30

【0012】

本発明のEVAチップでは、外部から与えられる割り込み優先順位変更制御用の複数の制御信号と、複数の割り込み信号との論理をそれぞれ求めて、割り込み変更信号をそれぞれ出力する複数の割り込み優先順位決定回路と、前記複数の割り込み変更信号と、外部から与えられる複数の割り込み要求信号との論理を求めて、前記各割り込み信号をそれぞれ出力する複数の割り込み信号生成回路と、前記複数の割り込み信号をエンコードして割り込みベクタアドレスを生成する割り込みベクタアドレス生成回路と、前記割り込みベクタアドレスに基づき、外部から優先順に取り込んだ割り込み命令をデコードしてこのデコード結果を順に実行するマイコンコアで構成された命令実行手段とを備えている。

40

【0013】

ここで、前記複数の制御信号は、外部の制御信号入力端子から入力される構成、或いは、外部から与えられるデータに基づき、内部に設けた複数の優先順位制御レジスタにより生成する構成にしている。又、前記複数の制御信号は、外部から与えられるシリアルデータに基づき、内部に設けた割り込み優先順位制御シフトレジスタにより、パワーオン時に生成する構成にしても良い。

【実施例1】

【0014】

(構成)

図1は、本発明の実施例1を示すEVAチップの概略の構成図である。

【0015】

50

このEVAチップ10は、外部のプログラムメモリ100に格納されたプログラムの評価を行うものであり、そのプログラムに対する割り込み優先順位変更制御用の複数（例えば、4つ）の各4ビット制御信号S11, S12, S13, S14を入力する4組の制御信号入力端子11-1~11-4, 12-1~12-4, 13-1~13-4, 14-1~14-4と、4つの割り込み要求信号を入力する4つの割り込み要求信号入力端子15-1~15-4と、プログラムメモリ100から取り込んだ命令を入力する命令入力端子16と、その命令を取り込むためのアドレスを出力するアドレス出力端子17と、複数のデータ出力端子18と、複数の制御信号を出力する複数の制御信号出力端子19とを有している。

【0016】

各制御信号S11, S12, S13, S14は、例えば、4ビットのデジタル信号でそれぞれ構成され、これらを入力するための4組の制御信号入力端子11-1~11-4, 12-1~12-4, 13-1~13-4, 14-1~14-4に、4つの割り込み優先順位決定回路20-1~20-4がそれぞれ接続されている。各割り込み優先順位決定回路20-1~20-4は、外部から入力される各制御信号S11~S14と、チップ内部から与えられる4つの割り込み信号S31-1~S31-4の内の3つの割り込み信号との論理をそれぞれ求めて、割り込み変更信号S24-1~S24-4をそれぞれ出力する回路である。

【0017】

割り込み優先順位決定回路20-1は、入力端子11-2~11-4と割り込み信号S31-2~S31-4線とに接続された3つの2入力ANDゲート21-1, 22-1, 23-1と、これらのANDゲート21-1~23-1の出力端子と入力端子11-1とに接続された1つの4入力ORゲート24-1とで構成され、このORゲート24-1から割り込み変更信号S24-1が出力される。同様に、他の各割り込み優先順位決定回路20-2~20-4も、各3つの2入力ANDゲート21-2~23-2, 21-3~23-3, 21-4~23-4と、各1つの4入力ORゲート24-2~24-4とで構成され、この各ORゲート24-2~24-4から各割り込み変更信号S24-2~S24-4がそれぞれ出力される。これらの各割り込み変更信号S24-1~S24-4線には、4つの割り込み信号生成回路（例えば、割り込みモジュール）30-1~30-4がそれぞれ接続されている。

【0018】

各割り込みモジュール30-1~30-4は、各割り込み変更信号S24-1~S24-4と、外部から入力される各割り込み要求信号S15-1~S15-4との論理（例えば、AND論理）を求めて、各割り込み信号S31-1~S31-4をそれぞれ出力する回路であり、例えば、各1つの2入力ANDゲート31-1~31-4により構成されている。割り込み信号S31-1~S31-4線は、ANDゲート21-1~23-1, 21-2~23-2, 21-3~23-3, 21-4~23-4の入力端子に接続されると共に、割り込みベクタアドレス生成回路40に接続されている。割り込みベクタアドレス生成回路40は、4つの割り込み信号S31-1~S31-4をエンコードして割り込みベクタアドレスS40を生成する回路であり、例えば、エンコーダ組み合わせ回路等で構成されている。この割り込みベクタアドレス生成回路40の出力端子には、命令実行手段（例えば、CPUで構成された対象マイコンのコア、これを以下単に「マイコンコア」という。）50が接続されている。

【0019】

マイコンコア50は、割り込みベクタアドレスS40に基づき、プログラムメモリ100から優先順に取り込んだ割り込み命令（割り込みプログラム）をデコードしてこのデコード結果を順に実行するものであり、これには命令入力端子16、アドレス出力端子17、複数のデータ出力端子18、及び複数の制御信号出力端子19が接続されている。このマイコンコア50は、例えば、命令入力端子16から取り込んだプログラムメモリ100内の割り込みプログラムを命令レジスタで保持し、その割り込みプログラムを命令デコー

10

20

30

40

50

ダで解読して各種の制御信号を出力する制御部 5 1 と、算術論理ユニット（以下「ALU」という。）5 2 - 1 でデータの算術演算と論理演算を行い、そのデータを累算器であるアキュムレータ（以下「ACC」という。）5 2 - 2 で一時記憶する演算部 5 2 と、プログラムメモリ 1 0 0 に対するリードアドレスを指定するプログラムカウンタや各種のレジスタを有するレジスタ部 5 3 と、データの記憶を行う随時読み書き可能なメモリ（以下「RAM」という。）5 4 とを備えている。

【0020】

このマイコンコア 5 0 からは、例えば、ACC 5 2 - 2 へのライトデータ、RAM 5 4 のライトデータ、及び RAM 5 4 に対するライトアドレスが出力され、データバスを介して複数のデータ出力端子 1 8 から外部へ出力される。更に、マイコンコア 5 0 内の制御部 5 1 から、ACC 5 2 - 2 のライトデータのラッチタイミングを示す ACC データラッチ信号、RAM 5 4 へのライトデータのラッチタイミングを示す RAM データラッチ信号、及び RAM アドレスのラッチタイミングを示す RAM アドレスラッチ信号等が出力され、複数の信号線を介して複数の制御信号出力端子 1 9 から外部へ出力される。

10

【0021】

（動作）

EVA チップ 1 0 を用いてプログラムメモリ 1 0 0 内のプログラムの評価を行う場合、マイコンコア 5 0 内のレジスタ部 5 3 からライトアドレスを出力し、このライトアドレスを出力端子 1 7 を介してプログラムメモリ 1 0 0 へ与え、そのライトアドレスに対応する命令を読み出す。読み出された命令は、入力端子 1 6 を介してマイコンコア 5 0 内の制御部 5 1 へ送られる。制御部 5 1 では、プログラムメモリ 1 0 0 からの命令を命令レジスタに一時記憶し、この記憶した命令を命令デコーダでデコードしてマイコンコア 5 0 内を制御する各種の制御信号を出力すると共に、ACC データラッチ信号、RAM データラッチ信号、及び RAM アドレスラッチ信号等を出力して複数の出力端子 1 9 から外部へ送出する。マイコンコア 5 0 内では、演算部 5 2 内の ALU 5 2 - 1 及び ACC 5 2 - 2 等を用いて演算を行い、プログラムメモリ 1 0 0 からの命令を実行してこの命令実行結果を RAM 5 4 等に格納し、複数の出力端子 1 8 から外部へ送出する。

20

【0022】

出力端子 1 8 及び 1 9 に接続された外部の図示しない装置では、例えば、ACC データラッチ信号に基づき、ACC データをラッチし、トレース回路等によってその ACC データの評価を行う。

30

【0023】

マイコンコア 5 0 は、プログラムメモリ 1 0 0 内の命令の実行中に、外部からの割り込み要求信号 S 1 5 - 1 ~ S 1 5 - 4 に基づき、割り込みベクタアドレス生成回路 4 0 から、第 1 優先順位の割り込みベクタアドレス S 4 0 が与えられると、現在の命令実行を中断し、その割り込みベクタアドレス S 4 0 で指定されるプログラムメモリ 1 0 0 内の割り込みプログラムを実行する。割り込みプログラムの実行が終了すると、中断していた命令の実行を再開する。

【0024】

その後、外部からの割り込み要求信号 S 1 5 - 1 ~ S 1 5 - 4 に基づき、割り込みベクタアドレス生成回路 4 0 から、第 2、第 3、第 4 優先順位の割り込みベクタアドレス S 4 0 が順次与えられると、マイコンコア 5 0 によって前記と同様の割り込み処理が行われる。

40

【0025】

従来の EVA チップでは、割り込みの優先順位が、割り込み要因を接続する順番で予め決定されているが、本実施例 1 では、外部から入力端子 1 1 - 1 ~ 1 1 - 4, 1 2 - 1 ~ 1 2 - 4, 1 3 - 1 ~ 1 3 - 4, 1 4 - 1 ~ 1 4 - 4 に与える制御信号 S 1 1 ~ S 1 4 の電位（例えば、グランド GND 電位の論理 0 又は電源電位 VCC の論理 1）により、各割り込みモジュール 3 0 - 1 ~ 3 0 - 4 の割り込み優先順位を任意に切り替えることができる。

50

【 0 0 2 6 】

例えば、割り込み優先順位を割り込みモジュール 3 0 - 2、割り込みモジュール 3 0 - 4、割り込みモジュール 3 0 - 1、割り込みモジュール 3 0 - 3 の順にするには、各入力端子 1 1 - 1 ~ 1 1 - 4, 1 2 - 1 ~ 1 2 - 4, 1 3 - 1 ~ 1 3 - 4, 1 4 - 1 ~ 1 4 - 4 に与える制御信号 S 1 1 ~ S 1 4 の電位を次のように設定する。この際、外部から入力端子 1 5 - 1 ~ 1 5 - 4 に与える割り込み要求信号 S 1 5 - 1 ~ S 1 5 - 4 の電位は、全て 1 にする。

入力端子 1 1 - 1 ~ 1 1 - 4 に与える制御信号 S 1 1 の電位 ; 0, 0, 0, 1

入力端子 1 2 - 1 ~ 1 2 - 4 に与える制御信号 S 1 2 の電位 ; 1, 0, 0, 0

入力端子 1 3 - 1 ~ 1 3 - 4 に与える制御信号 S 1 3 の電位 ; 0, 0, 1, 0

入力端子 1 4 - 1 ~ 1 4 - 4 に与える制御信号 S 1 4 の電位 ; 0, 1, 0, 0

10

【 0 0 2 7 】

入力端子 1 2 - 1 の電位が 1 のため、OR ゲート 2 4 - 2 の出力の割り込み変更信号 S 2 4 - 2 の電位が 1、AND ゲート 3 1 - 2 の出力の割り込み信号 S 3 1 - 2 が 1 となり、割り込みモジュール 3 0 - 1 が第 1 優先順位となる。割り込み信号 S 3 1 - 2 の電位が 1 のため、AND ゲート 2 1 - 4 の出力電位が 1、OR ゲート 2 4 - 4 の出力の割り込み変更信号 S 2 4 - 4 の電位が 1、AND ゲート 3 1 - 4 の出力の割り込み信号 S 3 1 - 4 の電位が 1 となり、割り込みモジュール 3 0 - 4 が第 2 優先順位となる。

【 0 0 2 8 】

割り込み信号 S 3 1 - 4 の電位が 1 のため、AND ゲート 2 3 - 1 の出力電位が 1、OR ゲート 2 4 - 1 の出力の割り込み変更信号 S 2 4 - 1 の電位が 1、AND ゲート 3 1 - 1 の出力の割り込み信号 S 3 1 - 1 の電位が 1 となり、割り込みモジュール 3 0 - 1 が第 3 優先順位となる。割り込み信号 S 3 1 - 1 の電位が 1 のため、AND ゲート 2 2 - 3 の出力電位が 1、OR ゲート 2 4 - 3 の出力の割り込み変更信号 S 2 4 - 3 の電位が 1、AND ゲート 3 1 - 3 の出力の割り込み信号 S 3 1 - 3 の電位が 1 となり、割り込みモジュール 3 0 - 3 が第 4 優先順位となる。

20

【 0 0 2 9 】

そのため、第 1、第 2、第 3、第 4 優先順位の割り込み信号 S 3 1 - 2, S 3 1 - 4, S 3 1 - 1, S 3 1 - 3 に対応する割り込みベクタアドレス S 4 0 が、割り込みベクタアドレス生成回路 4 0 から出力され、その優先順位に従ってマイコンコア 5 0 が割り込み処理を行う。

30

【 0 0 3 0 】

(効果)

本実施例 1 では、外部から入力端子 1 1 - 1 ~ 1 1 - 4, 1 2 - 1 ~ 1 2 - 4, 1 3 - 1 ~ 1 3 - 4, 1 4 - 1 ~ 1 4 - 4 に与える制御信号 S 1 1 ~ S 1 4 の電位により、各割り込みモジュール 3 0 - 1 ~ 3 0 - 4 の割り込み優先順位を任意に変更可能な構成にしたので、割り込みモジュール 3 0 - 1 ~ 3 0 - 4 の優先順位が異なるマイコンコア 5 0 に対して、1 種類の E V A チップ 1 0 で対応可能となり、使い勝手が良く、コストを削減できる。

【 実施例 2 】

40

【 0 0 3 1 】

(構成)

図 2 は、本発明の実施例 2 を示す E V A チップの概略の構成図であり、実施例 1 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 3 2 】

実施例 1 の E V A チップ 1 0 では、割り込みモジュール 3 0 - 1 ~ 3 0 - 4 における割り込み優先順位の切り替え手段として、制御信号入力端子 1 1 - 1 ~ 1 1 - 4, 1 2 - 1 ~ 1 2 - 4, 1 3 - 1 ~ 1 3 - 4, 1 4 - 1 ~ 1 4 - 4 を設けている。これに対し、本実施例 2 の E V A チップ 1 0 A では、その制御信号入力端子 1 1 - 1 ~ 1 1 - 4, 1 2 - 1 ~ 1 2 - 4, 1 3 - 1 ~ 1 3 - 4, 1 4 - 1 ~ 1 4 - 4 に代えて、4 つのデータ入力端子

50

61～64と、これらにそれぞれ接続された4つの優先順位制御レジスタ71～74とを設けている。

【0033】

各データ入力端子61～64には、EVAチップ10Aを制御するCPU等から、割り込み優先順位に関するデータが入力される。各優先順位制御レジスタ71～74は、各データ入力端子61～64から入力されるデータを保持し、図1の割り込み優先順位変更制御用の4ビット制御信号に対応する4ビット信号をそれぞれ出力する回路であり、この回路の出力端子が、図1と同様のANDゲート21-1～23-1, 21-2～23-2, 21-3～23-3, 21-4～23-4及びORゲート24-1～24-4に接続されている。その他の構成は、図1の実施例1と同様である。

10

【0034】

(動作)

EVAチップ10Aを用いてプログラムメモリ100内のプログラムの評価を行う場合は、実施例1と同様に動作する。

【0035】

本実施例2では、EVAチップ10Aを制御するCPU等から与えられるデータを、データ入力端子61～64を介して優先順位制御レジスタ71～74に書き込むことで、割り込みモジュール30-1～30-4における割り込み優先順位を任意に切り替えることができる。

【0036】

20

例えば、割り込み優先順位を割り込みモジュール30-2、割り込みモジュール30-4、割り込みモジュール30-1、割り込みモジュール30-3の順にするには、各優先順位制御レジスタ71～74の4ビット出力端子の電位が、次のような状態になるように、外部からデータ入力端子61～64を介して設定する。この際、外部から入力端子15-1～15-4に与える割り込み要求信号S15-1～S15-4の電位は、全て論理1にする。

優先順位制御レジスタ71の4ビット出力端子の電位；01H (= 0, 0, 0, 1)

優先順位制御レジスタ72の4ビット出力端子の電位；08H (= 1, 0, 0, 0)

優先順位制御レジスタ73の4ビット出力端子の電位；02H (= 0, 0, 1, 0)

優先順位制御レジスタ74の4ビット出力端子の電位；04H (= 0, 1, 0, 0)

30

【0037】

優先順位制御レジスタ72の上から1ビット目の出力端子の電位が1のため、実施例1と同様に、ORゲート24-2の出力の割り込み変更信号S24-2の電位が1、ANDゲート31-2の出力の割り込み信号S31-2が1となり、割り込みモジュール30-1が第1優先順位となる。割り込み信号S31-2の電位が1のため、ANDゲート21-4の出力電位が1、ORゲート24-4の出力の割り込み変更信号S24-4の電位が1、ANDゲート31-4の出力の割り込み信号S31-4の電位が1となり、割り込みモジュール30-4が第2優先順位となる。

【0038】

割り込み信号S31-4の電位が1のため、ANDゲート23-1の出力電位が1、ORゲート24-1の出力の割り込み変更信号S24-1の電位が1、ANDゲート31-1の出力の割り込み信号S31-1の電位が1となり、割り込みモジュール30-1が第3優先順位となる。割り込み信号S31-1の電位が1のため、ANDゲート22-3の出力電位が1、ORゲート24-3の出力の割り込み変更信号S24-3の電位が1、ANDゲート31-3の出力の割り込み信号S31-3の電位が1となり、割り込みモジュール30-3が第4優先順位となる。

40

【0039】

そのため、実施例1と同様に、第1、第2、第3、第4優先順位の割り込み信号S31-2, S31-4, S31-1, S31-3に対応する割り込みベクタアドレスS40が、割り込みベクタアドレス生成回路40から出力され、その優先順位に従ってマイコンコ

50

ア50が割り込み処理を行う。

【0040】

(効果)

本実施例2では、次の(1)、(2)のような効果がある。

【0041】

(1) 本実施例2では、EVAチップ10Aを制御するCPU等から与えられるデータを優先順位制御レジスタ71~74に書き込むことで、各割り込みモジュール30-1~30-4の割り込み優先順位を任意に変更可能な構成にしたので、実施例1と同様に、割り込みモジュール30-1~30-4の優先順位が異なるマイコンコア50に対して、1種類のEVAチップ10Aで対応可能となり、使い勝手が良く、コストを削減できる。

10

【0042】

(2) 実施例1では、割り込み数が増加すると、EVAチップ10において制御する制御信号入力端子11-1~11-4, 12-1~12-4, 13-1~13-4, 14-1~14-4の数も増加し、EVA端子ネックになる虞がある。これに対し、本実施例2では、EVAチップ10A内に優先順位制御レジスタ71~74を設けることで、端子ネックを解消できる。

【実施例3】

【0043】

(構成)

図3は、本発明の実施例3を示すEVAチップの概略の構成図であり、実施例1、2を示す図1、図2中の要素と共通の要素には共通の符号が付されている。

20

【0044】

実施例2のEVAチップ10Aでは、割り込みモジュール30-1~30-4における割り込み優先順位の切り替え手段として、データ入力端子61~64及び優先順位制御レジスタ71~74を設けている。これに対し、本実施例3のEVAチップ10Bでは、そのデータ入力端子61~64及び優先順位制御レジスタ71~74に代えて、3つの入力端子81~83と、これらに接続された12ビットの割り込み優先順位制御シフトレジスタ90とを設けている。

【0045】

入力端子81は、外部から優先順位シリアル12ビットデータS81を入力する端子、入力端子82は、外部から同期クロックS82を入力する端子、及び、入力端子83は、外部からクロックイネーブル信号S83を入力する端子である。12ビットの割り込み優先順位制御シフトレジスタ90は、外部から与えられる同期クロックS82に基づき、外部から与えられるシリアル12ビットデータS81を取り込んでパラレルデータに変換し、図1の割り込み優先順位変更制御用の4ビット制御信号×4に対応する16ビット信号をパラレルに出力する回路であり、この回路の16個の出力端子が、図1と同様のANDゲート21-1~23-1, 21-2~23-2, 21-3~23-3, 21-4~23-4及びORゲート24-1~24-4に接続されている。その他の構成は、図1、図2の実施例1、2と同様である。

30

【0046】

(動作)

EVAチップ10Bを用いてプログラムメモリ100内のプログラムの評価を行う場合は、実施例1、2と同様に動作する。

40

【0047】

本実施例3では、EVAチップ外部で予めスイッチ等で用意したシリアル12ビットデータS81を同期型シリアル転送方式で入力端子81へ送信すると、そのシリアル12ビットデータS81が、同期クロックS82に基づき、シフトレジスタ90に取り込まれ、送信が終了したところで、そのシリアル12ビットデータS81が該シフトレジスタ90によりパラレルデータに変換されて出力され、優先順位が決定される。シフトレジスタ90への同期クロックS82がイネーブルであることを制御するクロックイネーブル信号S

50

83の入力端子83を設けているが、そのクロックイネーブル信号S83は、電源投入時に装置をリセット状態にするためのパワーオンリセットの例えば論理“L”区間に、イネーブルになるようにする。

【0048】

例えば、割り込み優先順位を割り込みモジュール30-2、割り込みモジュール30-4、割り込みモジュール30-1、割り込みモジュール30-3の順にするには、EVAチップ外部に予めスイッチ等で用意した次のようなシリアル12ビットデータS81を、入力端子81を介してシフトレジスタ90へ送信する。この際、外部から入力端子15-1～15-4に与える割り込み要求信号S15-1～S15-4の電位は、全て論理1にする。

シリアル12ビットデータS81；

0, 0, 0, 1 / 1, 0, 0, 0 / 0, 0, 1, 0 / 0, 1, 0, 0

【0049】

シフトレジスタ90の上から5ビット目の出力端子の電位が1のため、実施例1、2と同様に、ORゲート24-2の出力の割り込み変更信号S24-2の電位が1、ANDゲート31-2の出力の割り込み信号S31-2が1となり、割り込みモジュール30-1が第1優先順位となる。割り込み信号S31-2の電位が1のため、ANDゲート21-4の出力電位が1、ORゲート24-4の出力の割り込み変更信号S24-4の電位が1、ANDゲート31-4の出力の割り込み信号S31-4の電位が1となり、割り込みモジュール30-4が第2優先順位となる。

【0050】

割り込み信号S31-4の電位が1のため、ANDゲート23-1の出力電位が1、ORゲート24-1の出力の割り込み変更信号S24-1の電位が1、ANDゲート31-1の出力の割り込み信号S31-1の電位が1となり、割り込みモジュール30-1が第3優先順位となる。割り込み信号S31-1の電位が1のため、ANDゲート22-3の出力電位が1、ORゲート24-3の出力の割り込み変更信号S24-3の電位が1、ANDゲート31-3の出力の割り込み信号S31-3の電位が1となり、割り込みモジュール30-3が第4優先順位となる。

【0051】

そのため、実施例1、2と同様に、第1、第2、第3、第4優先順位の割り込み信号S31-2, S31-4, S31-1, S31-3に対応する割り込みベクタアドレスS40が、割り込みベクタアドレス生成回路40から出力され、その優先順位に従ってマイコンコア50が割り込み処理を行う。

【0052】

(効果)

本実施例3では、次の(1)、(2)のような効果がある。

【0053】

(1) 本実施例3では、割り込み優先順位制御シフトレジスタ90の平行出力データにより、各割り込みモジュール30-1～30-4の割り込み優先順位を任意に変更可能な構成にしたので、実施例1、2と同様に、割り込みモジュール30-1～30-4の優先順位が異なるマイコンコア50に対して、1種類のEVAチップ10Bで対応可能となり、使い勝手が良く、コストを削減できる。

【0054】

(2) 実施例2では、EVAチップ制御用のCPU等によってレジスタ71～74にデータを書き込む必要があるので、スタンドアローン(stand-alone)方式(装置自身を持つ機能だけで入力から出力までの一通りの動作を完結させることのできる方式)が実現できない。これに対し、本実施例3では、シフトレジスタ90を設けることで、EVAチップ10Bのパワーオン時に割り込み優先順位が決定されるので、EVAチップ10Bを制御するCPU等に頼らないスタンドアローン方式の動作が可能となる。

【実施例4】

【 0 0 5 5 】

本発明は、上記実施例に限定されず、種々の変形が可能である。この変形例である実施例 4 としては、例えば、次の (a)、(b) のようなものがある。

【 0 0 5 6 】

(a) 割り込み優先順位決定回路 2 0 - 1 ~ 2 0 - 4、割り込みモジュール 3 0 - 1 ~ 3 0 - 4、優先順位制御レジスタ 7 1 ~ 7 4、及び割り込み優先順位制御シフトレジスタ 9 0 の数やビット数は、割り込み数に応じて任意に変更でき、又、それらを図示以外の回路で構成しても良い。

【 0 0 5 7 】

(b) マイコンコア 5 0 は、他の機能ブロック等を付加する等して図示以外の構成に変更しても良い。 10

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 本発明の実施例 1 を示す E V A チップの概略の構成図である。

【 図 2 】 本発明の実施例 2 を示す E V A チップの概略の構成図である。

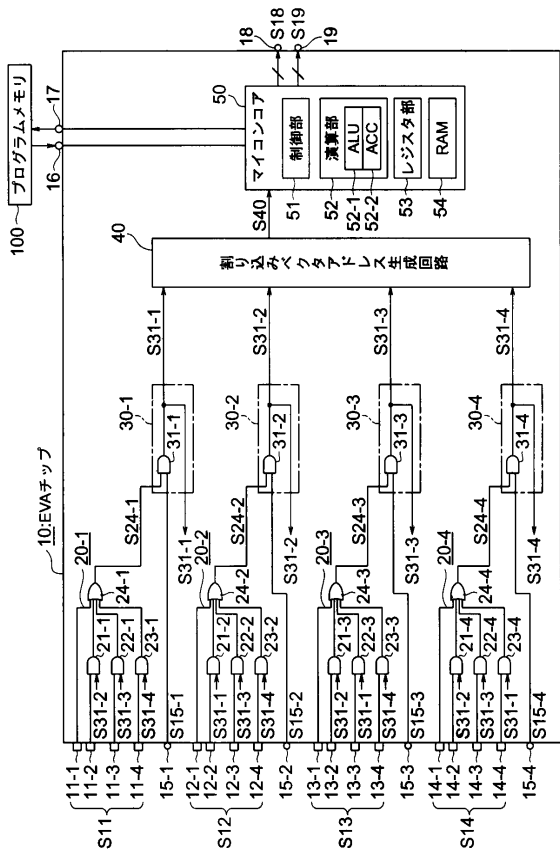
【 図 3 】 本発明の実施例 3 を示す E V A チップの概略の構成図である。

【 符号の説明 】

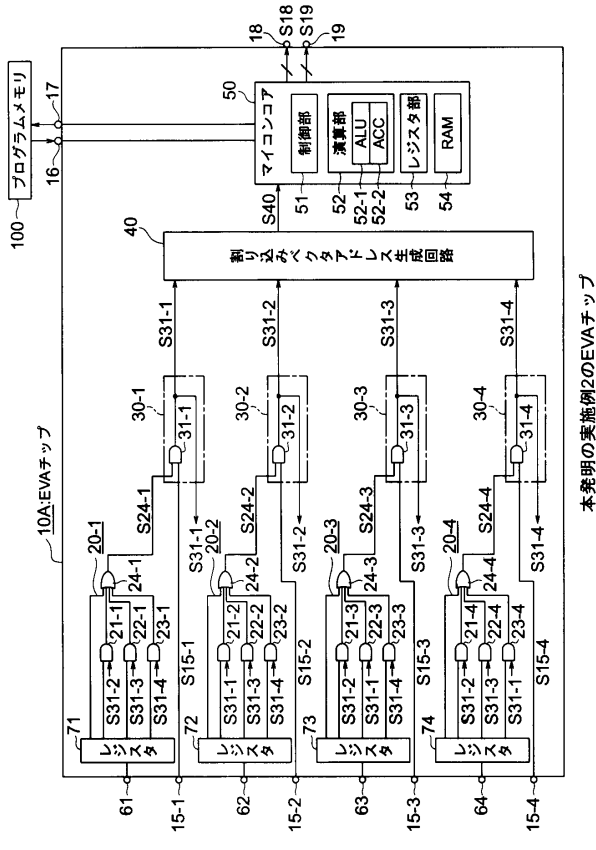
【 0 0 5 9 】

1 0 , 1 0 A , 1 0 B	E V A チップ	
1 1 - 1 ~ 1 1 - 4 , 1 2 - 1 ~ 1 2 - 4 , 1 3 - 1 ~ 1 3 - 4 , 1 4 - 1 ~ 1 4 - 4	制御信号入力端子	20
1 5 - 1 ~ 1 5 - 4	割り込み要求信号入力端子	
2 0 - 1 ~ 2 0 - 4	割り込み優先順位決定回路	
3 0 - 1 ~ 3 0 - 4	割り込みモジュール	
4 0	割り込みベクタアドレス生成回路	
5 0	マイコンコア	
7 1 ~ 7 4	優先順位制御レジスタ	
9 0	割り込み優先順位制御シフトレジスタ	
1 0 0	プログラムメモリ	

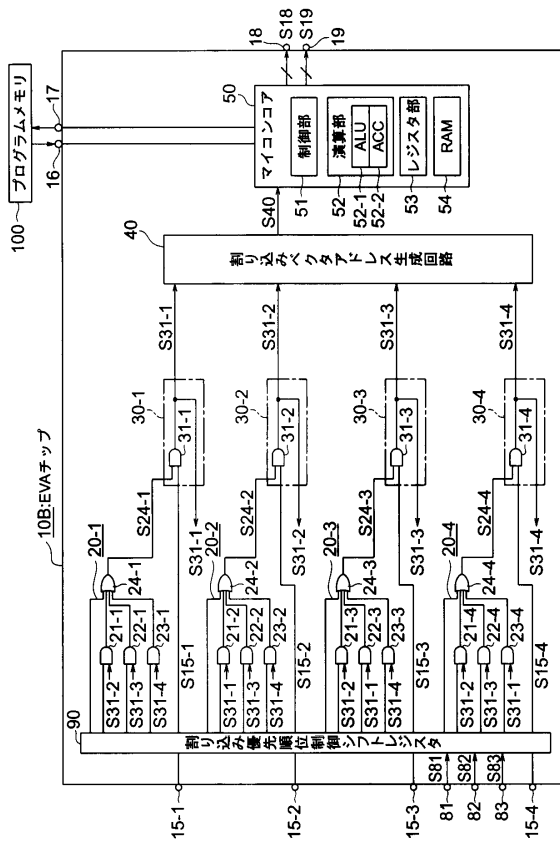
【図 1】



【図 2】



【図 3】



本発明の実施例1のEVAチップ

本発明の実施例2のEVAチップ

本発明の実施例3のEVAチップ

フロントページの続き

審査官 須田 勝巳

(56)参考文献 特開平07-049793(JP,A)
特開平10-260930(JP,A)
特公平03-076495(JP,B2)

(58)調査した分野(Int.Cl., DB名)
G06F 11/22