

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月26日(26.04.2018)



(10) 国際公開番号

WO 2018/074434 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/78 (2006.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2017/037428
- (22) 国際出願日: 2017年10月16日(16.10.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-203599 2016年10月17日(17.10.2016) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 大井 幸多 (OHI Kota); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 小野澤 勇一 (ONozawa Yuichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 伊倉 巧裕 (IKURA Yoshihiro); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人 (RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

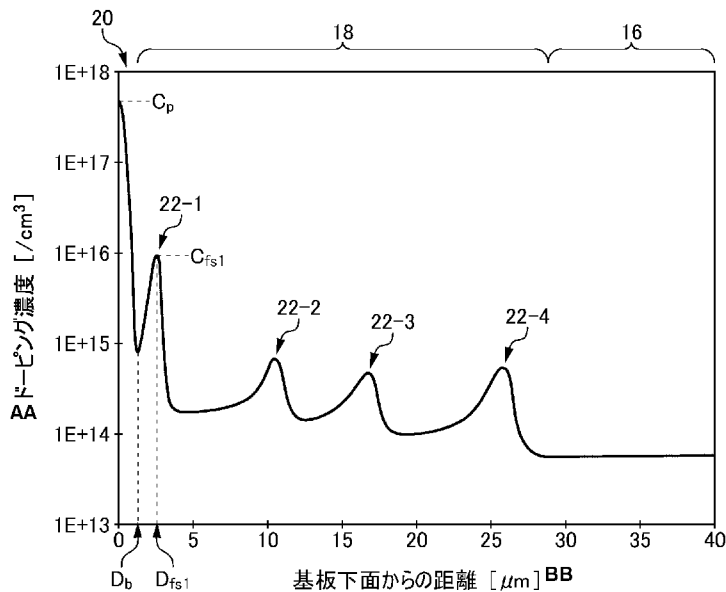


FIG. 2:
AA Doping concentration [1/cm³]
BB Distance from lower surface of substrate [μm]

(57) Abstract: Provided is a semiconductor device which comprises: a semiconductor substrate; a drift region of a first conductivity type, which is formed in the semiconductor substrate; a collector region of a second conductivity type, which is formed in the semiconductor substrate between the drift region and the lower surface of the semiconductor substrate; and a high-concentration region of the first conductivity type, which is formed in the semiconductor substrate between the drift region and the collector region and has a higher doping concentration than the drift region. The doping concentration distribution in the high-concentration region in the depth direction of the semiconductor substrate has one or more peaks; and the distance between the lower surface of the semiconductor substrate and a first peak which is closest to the lower surface of the semiconductor substrate among the peaks of the doping concentration distribution in the high-concentration



CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲 (条約第19条(1))

region is 3 μ m or less.

(57) 要約: 半導体基板と、半導体基板に形成された第1導電型のドリフト領域と、半導体基板において、半導体基板の下面とドリフト領域との間に形成された第2導電型のコレクタ領域と、半導体基板においてドリフト領域とコレクタ領域との間に形成され、ドリフト領域よりもドーピング濃度が高い第1導電型の高濃度領域とを備え、半導体基板の深さ方向における、高濃度領域のドーピング濃度分布は1つ以上のピークを有し、高濃度領域のドーピング濃度分布のピークのうち、最も半導体基板の下面側の第1のピークと、半導体基板の下面との距離が3 μ m以下である半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] IGBT（絶縁ゲート型バイポーラトランジスタ）等の半導体装置において、半導体基板の裏面側にフィールドストップ層を形成する構造が知られている（例えば、特許文献1参照）。

特許文献1 国際公開第2013/100155号パンフレット

解決しようとする課題

[0003] IGBT等の半導体装置は、耐量が大きいたことが好ましい。

一般的開示

[0004] 本発明の一つの態様においては、半導体基板を備える半導体装置を提供する。半導体装置は、半導体基板に形成された第1導電型のドリフト領域を備えてよい。半導体装置は、半導体基板において、半導体基板の下面とドリフト領域との間に形成された第2導電型のコレクタ領域を備えてよい。半導体装置は、半導体基板においてドリフト領域とコレクタ領域との間に形成され、ドリフト領域よりもドーピング濃度が高い第1導電型の高濃度領域を備えてよい。半導体基板の深さ方向における、高濃度領域のドーピング濃度分布は1つ以上のピークを有してよい。高濃度領域のドーピング濃度分布のピークのうち、最も半導体基板の下面側の第1のピークと、半導体基板の下面との距離が $3\mu\text{m}$ 以下であってよい。

[0005] 高濃度領域のドーピング濃度を、高濃度領域を深さ方向にわたって積分した積分濃度の値が、臨界積分濃度以上であってよい。第1のピークと、半導体基板の下面との距離が $2\mu\text{m}$ 以下であってよい。第1のピークのドーピング濃度は、 $1.0 \times 10^{16}/\text{cm}^3$ 以下であってよい。第1のピークのドーピング濃度は、 $6.7 \times 10^{15}/\text{cm}^3$ 以下であってよい。コレクタ領域のドー

ピング濃度は、 $1.0 \times 10^{18} / \text{cm}^3$ 以下であってよい。コレクタ領域のドーピング濃度は、 $5.0 \times 10^{17} / \text{cm}^3$ 以下であってよい。コレクタ領域および第1のピークの深さ方向における境界位置と、半導体基板の下面との距離が $0.5 \mu\text{m}$ 以上、 $1.0 \mu\text{m}$ 以下であってよい。

[0006] コレクタ領域のドーピング濃度 C_p [$/\text{cm}^3$]、第1のピークのドーピング濃度 C_{fs1} [$/\text{cm}^3$]、および、第1のピークの深さ位置 D_{fs1} [μm]が下式を満たしてよい。

$$D_{fs1} < -2.0 \times 10^{-16} \times C_{fs1} + b$$

ただし、 $b = 4.0 \times 10^{-18} \times C_p + 2.9$ である。

[0007] 半導体装置は、半導体基板においてドリフト領域と半導体基板の上面との間に形成される第2導電型のベース領域を更に備えてよい。高濃度領域におけるドーピング濃度分布は複数のピークを有してよい。ベース領域とドリフト領域との第1pn接合から、高濃度領域とコレクタ領域との第2pn接合に向かって、ドリフト領域と、高濃度領域のドーピング濃度を積分した積分濃度が、臨界積分濃度の0.6倍に達する位置が、高濃度領域におけるピークのうち最も半導体基板の下面側の第1のピークと、第1のピークの隣の第2のピークとの間に位置してよい。

[0008] 積分濃度が臨界積分濃度に達する位置が、高濃度領域の第1のピーク位置から、第1のピークを含む山形のドーピング濃度分布の半値全幅だけ下側となる位置から、高濃度領域の第1のピーク位置から半値全幅だけ上側となる位置までの間の領域にあってよい。

[0009] 空間電荷領域が少なくともドリフト領域と高濃度領域において第2のピークを含む山形のドーピング濃度分布を有する領域に形成されていてよい。半導体装置は、ベース領域と半導体基板の上面との間に形成された第1導電型のソース領域を備えてよい。半導体装置は、半導体基板の上面からソース領域およびベース領域を貫通してドリフト領域に達するトレンチMOSゲートを備えてよい。電流利得 α_{PNP} が、電子の飽和速度 $v_{sat,n}$ および正孔の飽和速度 $v_{sat,p}$ と、トレンチMOSゲートの飽和電流密度 $J_{sat,n}$ およびドリフ

ト領域のドーピング濃度 N_D に対して、

[数8]

$$1 - \frac{1}{1 + v_{sat,p} \left(\frac{1}{v_{sat,n}} - \frac{qN_D}{J_{sat,n}} \right)}$$

よりも大きくてよい。

[0010] 電流利得 α_{PNP} が、電子の飽和速度 $v_{sat,n}$ および正孔の飽和速度 $v_{sat,p}$ に対して、

[数81B]

$$1 - \frac{1}{1 + \frac{v_{sat,p}}{v_{sat,n}}}$$

よりも大きくてよい。

[0011]

トレンチMOSゲートの飽和電流密度 $J_{sat,n}$ は、 μ_n を反転層チャネルの電子移動度、 C_{ox} をMOSゲートの容量、 L_{CH} を反転層チャネル幅、ゲート電圧を V_G 、ゲート閾値を V_T 、 f_A を反転層チャネルを1つ含む単位セルが面積 1 cm^2 あたりに含まれる個数として、

[数8C]

$$J_{sat,n} = \left(\frac{\mu_n C_{ox}}{2L_{CH}} \right) (V_G - V_T)^2 f_A$$

であり、

f_A が 5×10^7 個以下であってよい。

[0012] 高濃度領域が水素ドナーを含んでよい。第1のピークの位置から、高濃度領域とコレクタ領域とのpn接合の位置までの積分濃度は、臨界積分濃度以下であってよい。半導体装置は、ベース領域とドリフト領域との間に設けられ、ドリフト領域よりもドーピング濃度の高い第1導電型の蓄積領域を備えてよい。半導体基板の深さ方向におけるベース領域の上端から蓄積領域の上端までの長さは、半導体基板の下面から第1のピークまでの距離 D_{fs1} と、半導体基板の下面から高濃度領域とコレクタ領域とのpn接合の位置までの距離 D_b との差分の長さ $D_{fs1} - D_b$ よりも長くてよい。

[0013] 上記の発明の概要は、本発明の特徴の全てを列挙したものではない。これらの特徴群のサブコンビネーションも発明となりうる。

図面の簡単な説明

[0014] [図1]本発明の実施形態に係る半導体装置100の断面斜視図である。

[図2]半導体基板10の深さ方向におけるドーピング濃度分布の一例を示す図である。

[図3]横軸を第1のピーク22-1と半導体基板10の下面との距離 D_{fs1} とし、縦軸をコレクタ領域20のドーピング濃度 C_p としたときの、裏面アバランシェが生じるか否かの境界を示す図である。

[図4]図3に示した裏面アバランシェが生じるか否かの境界を、横軸をドーピング濃度 C_{fs1} とし、縦軸を距離 D_{fs1} として、コレクタ領域20のドーピング濃度 C_p 毎に示した図である。

[図5]コレクタ領域20のドーピング濃度 C_p と、切片bとの関係を示す図である。

[図6]数式8において、 N_D をパラメータとして、 $J_{sat,n}$ に対する α_{PNP} の依存性を示すグラフである。

[図7]実施例A、実施例Bおよび比較例について、深さ方向における積分濃度およびドーピング濃度分布を示す図である。

[図8]半導体装置100の断面の他の例を示す図である。

[図9]半導体装置100の断面の他の例を示す図である。

発明を実施するための形態

[0015] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0016] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」

の方向は重力方向に限定されない。

[0017] 各実施例においては、第1導電型をn型、第2導電型をp型とした例を示しているが、第1導電型をp型、第2導電型をn型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。また、本明細書、請求の範囲および図面においてn E mと表記した数値は、 $n \times 10^m$ を意味する。

[0018] 本明細書等においてドーピング濃度とは、ドナーまたはアクセプタ化した不純物の濃度を指す。本明細書等において、ドナーおよびアクセプタの濃度差をドーピング濃度とする場合がある。また、ドーピング領域におけるドーピング濃度分布のピーク値を、当該ドーピング領域におけるドーピング濃度とする場合がある。

[0019] 図1は、本発明の実施形態に係る半導体装置100の断面斜視図である。半導体装置100は、半導体基板10の深さ方向に電流を流す縦型の装置である。半導体装置100は、IGBTを含むパワー半導体であってよい。

[0020] 半導体装置100は、半導体基板10、エミッタ電極52およびコレクタ電極54を備える。エミッタ電極52は、半導体基板10の上面に形成される。コレクタ電極54は、半導体基板10の下面に形成される。本例では、半導体基板10の上面および下面と垂直な方向を、半導体基板10の深さ方向と称する。また、図1においては深さ方向をZ軸方向とする。図1に示した断面においてZ軸と垂直な方向をX軸とする。XZ断面に垂直な方向をY軸とする。エミッタ電極52およびコレクタ電極54は、アルミニウム等の金属材料で形成される。

[0021] 半導体基板10は、シリコンまたは化合物半導体等の半導体材料で形成される。半導体基板10には所定の濃度の不純物がドーピングされる。本例の半導体基板10は、n型の導電型を有する。

[0022] 半導体基板10の内部には、n+型のソース領域12、p型のベース領域14、n型のドリフト領域16、n+型のバッファ領域18、p+型のコレクタ領域20、および、1以上のゲートトレンチ部30が形成される。

- [0023] ドリフト領域 16 は、リン等の n 型不純物を含む。一例として、半導体基板 10 の領域のうち、ソース領域 12、ベース領域 14、バッファ領域 18 およびコレクタ領域 20 等の他の領域が形成されずに残存した領域がドリフト領域 16 として機能する。
- [0024] ベース領域 14 は、ボロン等の p 型不純物を含む。ベース領域 14 は、ドリフト領域 16 の上側に形成される。本例のベース領域 14 は、ドリフト領域 16 と接して形成されている。他の例では、ベース領域 14 とドリフト領域 16 との間に、n+型の蓄積領域等の他の領域が形成されていてもよい。
- [0025] ソース領域 12 は、リン等の n 型不純物を、ドリフト領域 16 よりも高濃度を含む。ソース領域 12 は、ベース領域 14 の上面に選択的に形成される。ソース領域 12 の下側にはベース領域 14 が配置されている。半導体基板 10 の上面には、ソース領域 12 およびベース領域 14 が露出する。ゲートトレンチ部 30 は、半導体基板 10 の上面から、ソース領域 12 およびベース領域 14 を貫通して形成される。ゲートトレンチ部 30 の下端は、ドリフト領域 16 内に配置されている。
- [0026] ゲートトレンチ部 30 は、トレンチ内壁に形成されたゲート絶縁膜 32 と、トレンチ内においてゲート絶縁膜 32 に覆われたゲート電極 34 とを有する。一例として、ゲート絶縁膜 32 は、トレンチ内壁を酸化した酸化膜である。ゲート電極 34 は、例えば不純物がドーピングされたポリシリコン等の導電材料で形成される。ゲートトレンチ部 30 は、トレンチ MOS ゲートの一例である。
- [0027] ゲート電極 34 は、少なくとも、ソース領域 12 の下端と対向する位置から、ドリフト領域の上端と対向する位置まで形成される。ベース領域 14 においてゲート電極 34 と対向する部分には、ゲート電極 34 にしきい値電圧以上の電圧が印加されることでチャンネルが形成される。
- [0028] なお、図 1 に示した電極、領域等の各部分は、図 1 に示した断面と垂直な方向（Y 軸方向）に延伸して形成されている。例えばそれぞれのゲートトレンチ部 30 は、当該断面と垂直な方向に延伸したストライプ形状を有する。

また、図 1 の例におけるソース領域 12 は、ゲートトレンチ部 30 と平行して、当該断面と垂直な方向に延伸してストライプ状に形成されている。他の例では、ソース領域 12 およびベース領域 14 が、当該断面と垂直な方向において、半導体基板 10 の上面に交互に露出するように設けられていてもよい。

[0029] ゲートトレンチ部 30 とエミッタ電極 52 との間には、層間絶縁膜 56 が設けられる。層間絶縁膜 56 は、例えばボロンおよびリン等が添加されたシリケートガラスである。層間絶縁膜 56 は、ソース領域 12 およびベース領域 14 の少なくとも一部が露出するように設けられる。層間絶縁膜 56 に覆われていないソース領域 12 およびベース領域 14 と、エミッタ電極 52 とが電氣的に接続する。

[0030] コレクタ領域 20 は、ボロン等の p 型不純物を含む。コレクタ領域 20 は、半導体基板 10 の下面と、ドリフト領域 16 との間に形成される。本例のコレクタ領域 20 は、半導体基板 10 の下面において露出しており、コレクタ電極 54 と電氣的に接続する。

[0031] バッファ領域 18 は、水素等の n 型不純物を含む。バッファ領域 18 の n 型不純物は、水素ドナーであってよい。水素ドナーは、プロトン等の水素イオンのイオン注入と熱処理により形成される。バッファ領域 18 におけるドーピング濃度は、ドリフト領域 16 のドーピング濃度よりも高い。バッファ領域 18 は、ドリフト領域 16 とコレクタ領域 20 との間に形成される高濃度領域の一例である。バッファ領域 18 を設けることで、ベース領域 14 とドリフト領域 16 との境界から広がる空乏層が、コレクタ領域 20 まで到達することを抑制できる。バッファ領域 18 は、フィールドストップ層として機能する。

[0032] 半導体装置 100 のエミッタコレクタ間に電源電圧が直接的に印加される負荷短絡状態となると、エミッタ側から多量の電子がドリフト領域 16 に注入され、ドリフト領域 16 内のドナーの正電荷が電子の負電荷により相殺される。この結果、ドリフト領域 16 で電圧を負担することができずに、半導

体基板 10 のコレクタ側の狭い領域に電界が集中してしまい、裏面アバランシェ破壊が生じる場合がある。

[0033] 裏面アバランシェ破壊を抑制するためには、短絡状態においてエミッタ側から注入される電子の量を少なくすることが考えられる。しかし、エミッタ側から注入される電子の量を少なくするために、しきい値電圧を上げる、または、チャネル密度を低減すると、半導体装置 100 の最大電流が低下し、且つ、オン電圧が増大してしまう。

[0034] 裏面アバランシェ破壊を抑制して短絡耐量を増大させる他の方法として、コレクタ側からドリフト領域 16 に注入するホールを増やすことが考えられる。これにより、短絡状態時にエミッタ側から注入される電子の負電荷を、コレクタ側から注入されるホールの正電荷で相殺できる。

[0035] コレクタ側からのホール注入量は、半導体装置 100 における寄生 pnp トランジスタの電流増幅率 α_{PNP} を増大させることで増加する。電流増幅率 α_{PNP} は下式で与えられる。

$$\alpha_{PNP} = \gamma_C \cdot \alpha_T \cdot \gamma_E$$

ただし、 γ_C は寄生 pnp トランジスタのコレクタ注入効率、 α_T は寄生 pnp トランジスタのベース伝達効率、 γ_E は寄生 pnp トランジスタのエミッタ注入効率である。本例の IGBT の場合のエミッタ注入効率 γ_E は、コレクタ領域 20 からバッファ領域 18 へ注入される正孔電流の注入効率である。

[0036] コレクタ領域 20 のドーピング濃度を高くすることで、寄生 pnp トランジスタのコレクタ注入効率 γ_C が増大する。しかし、コレクタ領域 20 のドーピング濃度を高くすると、ターンオフ損失が増大してしまう。

[0037] このため、寄生 pnp トランジスタのベース伝達効率 α_T を増大させて、コレクタ側からのホール注入量を増大させることが好ましい。半導体装置 100 においては、バッファ領域 18 のドーピング濃度のピーク位置を調整することで、ベース伝達効率 α_T を増大させている。

[0038] 図 2 は、半導体基板 10 の深さ方向におけるドーピング濃度分布の一例を示す図である。図 2 では、コレクタ領域 20、バッファ領域 18 およびドリ

フト領域 16 の一部のドーピング濃度分布を示している。図 2 において横軸は、半導体基板 10 の下面からの距離を示しており、縦軸は単位体積当たりのドーピング濃度を対数で示している。

[0039] ドリフト領域 16 は、概ね一定のドーピング濃度を有する。本例のドリフト領域 16 に含まれる不純物は n 型である。バッファ領域 18 におけるドーピング濃度分布は、1 つ以上のピーク 22 を有する。本例のバッファ領域 18 に含まれる不純物は n 型である。本例のバッファ領域 18 は、半導体基板 10 の下面側から順番に、第 1 のピーク 22-1、第 2 のピーク 22-2、第 3 のピーク 22-3 および第 4 のピーク 22-4 を有する。

[0040] ここで、バッファ領域 18 におけるドーピング濃度のピーク 22 のうち、最も半導体基板 10 の下面側の第 1 のピーク 22-1 の位置を、半導体基板 10 の下面に近づけることで、裏面アバランシェ耐量を増大させることができる。

[0041] 第 1 のピーク 22-1 の位置を半導体基板 10 の下面に近づけることで、第 1 のピーク 22-1 と、コレクタ領域 20 のドーピング濃度のピーク位置との距離が減少する。コレクタ領域 20 から注入されるホールの一部は、第 1 のピーク 22-1 において再結合して消滅するが、第 1 のピーク 22-1 をコレクタ領域 20 に近づけることで、第 1 のピーク 22-1 を通過するホールの割合を増大させることができる。これにより、寄生 pnp トランジスタのベース伝達効率 α_T を増大させ、裏面アバランシェ耐量を増大させることができる。

[0042] 本例では、第 1 のピーク 22-1 におけるドーピング濃度を C_{fs1} 、コレクタ領域 20 におけるドーピング濃度を C_p とする。また、半導体基板 10 の下面と、第 1 のピーク 22-1 との距離を D_{fs1} とする。また、n 型の第 1 のピーク 22-1 および p 型のコレクタ領域 20 の境界と、半導体基板 10 の下面との距離を D_b とする。第 1 のピーク 22-1 の深さ方向における位置は、ドーピング濃度が極大値を示す位置とする。n 型の第 1 のピーク 22-1 および p 型のコレクタ領域 20 の境界位置は、ドーピング濃度が極小値を示す

位置となる。

- [0043] また本例において、半導体基板 10 の下面から見て最も浅い第 1 のピーク 22-1 は、他のピーク 22 よりもドーピング濃度が高い。例えば第 1 のピーク 22-1 は、他のいずれのピーク 22 よりも、ドーピング濃度が 10 倍以上高い。また、コレクタ領域 20 のドーピング濃度 C_p は、第 1 のピーク 22-1 のドーピング濃度 C_{fs1} よりも高い。例えばコレクタ領域 20 のドーピング濃度 C_p は、第 1 のピーク 22-1 のドーピング濃度 C_{fs1} よりも 10 倍以上高い。
- [0044] 第 1 のピーク 22-1 と、半導体基板 10 の下面との距離 D_{fs1} は、一般に $3.6 \mu m$ 程度である。これに対して、本例の半導体装置 100 における当該距離 D_{fs1} は、 $3.0 \mu m$ 以下である。このように、一般的な半導体装置に比べて第 1 のピーク 22-1 を浅く配置することで、裏面アバランシェ耐量の向上という効果を奏することができる。当該距離 D_{fs1} は、 $2.5 \mu m$ 以下であってよく、 $2.0 \mu m$ 以下であってよく、 $1.5 \mu m$ 以下であってよく、 $1.0 \mu m$ 以下であってもよい。
- [0045] 一方で、距離 D_{fs1} を小さくしていくと、コレクタ領域 20 を形成できる領域が小さくなってしまい、ホールの注入効率を向上させることが難しくなる。このため、コレクタ領域 20 からのホールの注入効率を向上させるべく、距離 D_b は $0.5 \mu m$ 以上であることが好ましい。距離 D_b は $1.0 \mu m$ 以下であってよい。距離 D_{fs1} は、 $1.0 \mu m$ 以上であってよい。
- [0046] 本例では、半導体基板 10 の下面を基準として、第 1 のピーク 22-1 の位置を規定したが、他の例では、コレクタ領域 20 におけるドーピング濃度分布のピーク位置を基準としてもよい。つまり、上述した距離 D_{fs1} を、コレクタ領域 20 におけるドーピング濃度分布のピークと、第 1 のピーク 22-1 との距離としてもよい。本例では、半導体基板 10 の下面位置と、コレクタ領域 20 におけるドーピング濃度分布のピーク位置とはほぼ同一である。
- [0047] 図 3 は、横軸を第 1 のピーク 22-1 と半導体基板 10 の下面との距離 D_{fs1} とし、縦軸をコレクタ領域 20 のドーピング濃度 C_p としたときの、裏面ア

バランシェが生じるか否かの境界を示す図である。縦軸は対数軸である。

[0048] 図3の例では、第1のピーク22-1のドーピング濃度 C_{fs1} を、 $3.3 \times 10^{15} / \text{cm}^3$ 、 $6.7 \times 10^{15} / \text{cm}^3$ 、 $1.0 \times 10^{16} / \text{cm}^3$ の3通りに設定して、それぞれの場合の境界を示している。なお図3では、定格電圧1200Vの半導体装置100に対して、コレクターエミッタ間電圧として600V（電源電圧）を印加し、ゲートエミッタ間電圧として20Vを印加している。なお、印加電圧の条件を変更しても、図3と同様の結果が得られる。

[0049] 図3の四角および三角等で示されるプロットはサンプル値を示しており、実線はサンプル値を曲線で近似した近似曲線を示している。近似曲線の左側の領域では裏面アバランシェが発生せず、右側の領域では裏面アバランシェが発生する。

[0050] 図3に示すように、距離 D_{fs1} を小さくすることで、コレクタ領域20のドーピング濃度 C_p をそれほど高くせずとも、裏面アバランシェの発生を防ぐことができる。このため、ターンオフ損失を増大させずに、短絡耐量を向上させることができる。

[0051] また、半導体装置100が高速で動作する場合、コレクタ領域20のドーピング濃度 C_p を高くすることが困難になる。一例として半導体装置100は、2kHz以上、30kHz以下程度の周波数でスイッチング動作する場合がある。本例の半導体装置100は、コレクタ領域20のドーピング濃度 C_p が低くても、裏面アバランシェの発生を防ぐことができる。このため、スイッチング動作の高速化と、短絡耐量の向上を両立することができる。

[0052] 一例として、距離 D_{fs1} を3 μm 以下として、ドーピング濃度 C_{fs1} を $1.0 \times 10^{16} / \text{cm}^3$ 以下としてよい。これにより、コレクタ領域20のドーピング濃度 C_p を $5.0 \times 10^{17} / \text{cm}^3$ 程度まで下げても、裏面アバランシェの発生を抑制できる。ドーピング濃度 C_p は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上であってよい。また、ドーピング濃度 C_{fs1} を $6.7 \times 10^{15} / \text{cm}^3$ 以下としてもよい。これにより、コレクタ領域20のドーピング濃度 C_p を 4.0×1

$0.17 / \text{cm}^3$ 程度まで下げても、裏面アバランシェの発生を抑制できる。ドーピング濃度 C_p は、 $4.0 \times 10^{17} / \text{cm}^3$ 以上であってよい。また、ドーピング濃度 C_{fs1} を $3.3 \times 10^{15} / \text{cm}^3$ 以下としてもよい。これにより、コレクタ領域20のドーピング濃度 C_p を $2.0 \times 10^{17} / \text{cm}^3$ 程度まで下げても、裏面アバランシェの発生を抑制できる。ドーピング濃度 C_p は、 $2.0 \times 10^{17} / \text{cm}^3$ 以上であってよい。

[0053] 一例として、距離 D_{fs1} を $2 \mu\text{m}$ 以下として、ドーピング濃度 C_{fs1} を $1.0 \times 10^{16} / \text{cm}^3$ 以下としてよい。これにより、コレクタ領域20のドーピング濃度 C_p を $3.0 \times 10^{17} / \text{cm}^3$ 程度まで下げても、裏面アバランシェの発生を抑制できる。コレクタ領域20のドーピング濃度 C_p は、 $3.0 \times 10^{17} / \text{cm}^3$ 以上であってよい。また、ドーピング濃度 C_{fs1} を $6.7 \times 10^{15} / \text{cm}^3$ 以下としてもよい。これにより、コレクタ領域20のドーピング濃度 C_p を $2.0 \times 10^{17} / \text{cm}^3$ 程度まで下げても、裏面アバランシェの発生を抑制できる。コレクタ領域20のドーピング濃度 C_p は、 $2.0 \times 10^{17} / \text{cm}^3$ 以上であってよい。また、ドーピング濃度 C_{fs1} を $3.3 \times 10^{15} / \text{cm}^3$ 以下としてもよい。これにより、コレクタ領域20のドーピング濃度 C_p を非常に小さくしても、裏面アバランシェの発生を抑制できる。

[0054] 一例として、距離 D_{fs1} を $1.5 \mu\text{m}$ 以下として、ドーピング濃度 C_{fs1} を $1.0 \times 10^{16} / \text{cm}^3$ 以下としてよい。これにより、コレクタ領域20のドーピング濃度 C_p を $2.0 \times 10^{17} / \text{cm}^3$ 程度まで下げても、裏面アバランシェの発生を抑制できる。コレクタ領域20のドーピング濃度 C_p は、 $2.0 \times 10^{17} / \text{cm}^3$ 以上であってよい。また、ドーピング濃度 C_{fs1} を $6.7 \times 10^{15} / \text{cm}^3$ 以下としてもよい。これにより、コレクタ領域20のドーピング濃度 C_p を非常に小さくしても、裏面アバランシェの発生を抑制できる。

[0055] 一例として、距離 D_{fs1} を $1.5 \mu\text{m}$ 以下として、ドーピング濃度 C_{fs1} を $1.0 \times 10^{16} / \text{cm}^3$ 以下としてよい。これにより、コレクタ領域20のドーピング濃度 C_p を非常に小さくしても、裏面アバランシェの発生を抑制できる。距離 D_{fs1} は $1.0 \mu\text{m}$ 以下であってもよい。

[0056] また、コレクタ領域20のドーピング濃度 C_p は、一例として $1.0 \times 10^{18} / \text{cm}^3$ 以下である。これにより、半導体装置100を高速動作させることが容易となる。ドーピング濃度 C_p は、 $5.0 \times 10^{17} / \text{cm}^3$ 以下であってもよい。図3に示すように、ドーピング濃度 C_p を $5.0 \times 10^{17} / \text{cm}^3$ 以下としても、距離 D_{fs1} を $3 \mu\text{m}$ 以下とすることで、裏面アバランシェの発生を容易に抑制できる。この場合、第1のピーク22-1のドーピング濃度 C_{fs1} は、 $1.0 \times 10^{16} / \text{cm}^3$ 以下であることが好ましい。また、ドーピング濃度 C_p は、 $2.0 \times 10^{17} / \text{cm}^3$ 以下とすることもできる。この場合、距離 D_{fs1} は $2.0 \mu\text{m}$ 以下であることが好ましい。

[0057] 図4は、図3に示した裏面アバランシェが生じるか否かの境界を、横軸をドーピング濃度 C_{fs1} とし、縦軸を距離 D_{fs1} として、コレクタ領域20のドーピング濃度 C_p 毎に示した図である。図4の横軸は対数軸である。図4の四角および三角等で示されるプロットはサンプル値を示しており、実線はサンプル値を直線で近似した近似直線を示している。近似直線の下側の領域では裏面アバランシが発生せず、上側の領域では裏面アバランシェが発生する。

[0058] 図4に示すように、近似直線の傾きは、コレクタ領域20のドーピング濃度 C_p によらず一定値となる。本例における近似直線の傾きは、 -2.0×10^{16} 程度であった。第1のピーク22-1の深さ位置 D_{fs1} と、第1のピーク22-1のドーピング濃度 C_{fs1} とは、下式を満たすことが好ましい。

$$D_{fs1} < -2.0 \times 10^{-16} \times C_{fs1} + b \quad \dots \text{式(1)}$$

なお、 b は図4に示した近似直線の切片であり、コレクタ領域20のドーピング濃度 C_p に応じて定まる。

[0059] 図5は、コレクタ領域20のドーピング濃度 C_p と、切片 b との関係を示す図である。図5における丸印は、図4に示した各直線の切片をプロットしている。図5における実線は、各プロットを直線で近似している。図5に示すように、コレクタ領域20のドーピング濃度 C_p と、切片 b との関係は直線で近似できる。当該直線は、下式で与えられる。

$$b = 4.0 \times 10^{-18} \times C_p + 2.9 \quad \dots \text{式(2)}$$

[0060] コレクタ領域 20 のドーピング濃度 C_p 、第 1 のピーク 22-1 のドーピング濃度 C_{fs1} 、および、第 1 のピーク 22-1 の深さ位置 D_{fs1} は、式 (1) および式 (2) の関係を満たすことが好ましい。これにより、裏面アバランシェを防ぐことができる。

[0061] 短絡時に、裏面側（すなわちコレクタ側）でアバランシェ破壊が生じるのは、以下の理由による。IGBT のゲートがオフで、コレクタ・エミッタ間に電圧が印加された状態では、空乏層が形成されている。裏面側では空乏層が最浅のバッファ領域 18（または、バッファ領域 18 において最も裏面側に近いドーピング濃度のピーク）で止められている。すなわち、空乏層の裏面側の端は、裏面側の最浅のバッファ領域 18 のピーク位置前後に位置している。空乏層端から裏面側には、最浅のバッファ領域 18 およびコレクタ領域があり、これら二層は、空間電荷密度が 0 となる電荷中性領域である。

[0062] IGBT のゲートをオンにすると、ベース領域に形成された反転層から電子が空乏層に直接入り、空乏層端までドリフトする。その後、電荷中性領域を経てコレクタ領域に侵入する。一方、電子の侵入に応じて、コレクタ領域から正孔が最浅のバッファ領域 18 に侵入する。最浅のバッファ領域 18 の電荷中性領域を経て、正孔は空乏層端から空乏層に侵入し、ベース領域に向かってドリフトする。

[0063] コレクタ・エミッタ間電流の電流密度は、ゲートをオンにすると瞬時に増加する。ゲート電圧を V_G 、ゲート閾値を V_T とすると、 $V_G - V_T$ で決まる飽和電流値 J_{sat} まで、コレクタ・エミッタ間電流の電流密度が増加する。 J_{sat} は、

[数1]

$$J_{sat} = \left(\frac{\mu_n C_{ox}}{2L_{CH}} \right) (V_G - V_T)^2 \left(\frac{1}{1 - \alpha_{PNP}} \right) f_A$$

である。 μ_n は反転層チャネルの電子移動度 (cm^2/Vs)、 C_{ox} は MOS ゲートの容量 (F/cm^2)、 L_{CH} は反転層チャネル幅 (cm)、 α_{PNP} は IGBT におけるコレクタ領域 (P) - バッファ領域およびドリフト層 (N) - ベース領域 (P) の電流利得、 f_A は反転層チャネルを 1 つ含む単位セルが

面積 1 cm^2 あたりに含まれる個数である。単位セルとは、奥行き（ y 方向）を $1 \mu\text{m}$ とし、ゲートトレンチ部30の幅方向の中央位置から、ゲートトレンチ部30の配列ピッチの半分だけ離れた位置までの領域を指す。図1に示した断面においては、ゲートトレンチ部30の幅方向の中央から、隣接するベース領域14の幅方向の中央までの領域が単位セルに相当する。幅方向とは、図1に示した断面において深さ方向とは垂直な X 軸方向である。単位セルの幅を W_{cell} （ μm ）、奥行き（ Y 軸方向）を $1 \mu\text{m}$ として、 $f_A = 1 \text{ E}8 / W_{cell}$ である。なお奥行き方向には同じ構造が所定長さにおいて連続するとする。実際の半導体装置における単位セルの個数は、例えば活性領域でMOSゲートを形成した領域の面積（ cm^2 ）に f_A を掛けた値となる。

[0064] 一例としてゲート電圧は、 $10 \sim 20 \text{ V}$ であり、例えば 15 V である。一例としてゲート閾値は $6 \sim 9 \text{ V}$ であり、例えば 7.8 V である。 μ_n は $500 \sim 800 (\text{cm}^2/\text{Vs})$ であってよい。 C_{ox} はゲート絶縁膜を t_{ox} （ cm ）、絶縁膜の誘電率を ϵ_{ox} （ F/cm ）、として、 ϵ_{ox} / t_{ox} であらわされる。一例として t_{ox} は $0.05 \sim 0.25 \mu\text{m}$ （ cm への換算は $1 \text{ E}-4$ を乗ずる）であり、例えば $0.2 \mu\text{m}$ である。 ϵ_{ox} は、絶縁膜がシリコン酸化膜であれば、真空の誘電率に比誘電率 3.9 を乗じた値である。絶縁膜はシリコン酸化膜に限らず、シリコン窒化膜、その他誘電体であってよい。一例として反転層チャネル幅は、 $1 \sim 3 \mu\text{m}$ であり、例えば $2 \mu\text{m}$ である。

[0065] J_{sat} は、MOSゲートから電子が注入される部分の $J_{sat,n}$ を用いて、コレクタ領域から注入される正孔で増幅される正孔電流の分 J_p を追加し、

[数2A]

$$J_{sat} = J_{sat,n} \left(\frac{1}{1 - \alpha_{PNP}} \right) \equiv J_{sat,n} + J_p$$

と書くと、 J_p は、

[数2B]

$$J_p = J_{sat,n} \left(\frac{\alpha_{PNP}}{1 - \alpha_{PNP}} \right)$$

となる。また、 $J_{sat,n}$ は、

[数2C]

$$J_{sat,n} = \left(\frac{\mu_n C_{ox}}{2L_{CH}} \right) (V_G - V_T)^2 f_A$$

である。

[0066] 短絡発生時のドリフト領域におけるポアソンの式は、電荷密度を用いて、正孔濃度を p ($/\text{cm}^3$)、電子濃度を n ($/\text{cm}^3$)、ドリフト領域のドーピング濃度を N_D ($/\text{cm}^3$) として、

[数3]

$$\text{div } E = \left(\frac{q}{\epsilon_0 \epsilon_r} \right) (p - n + N_D)$$

である。ドーピング濃度とは、半導体基板10にドーパされたリン等の不純物のうち活性化している不純物の濃度であってよい。ドリフト領域にアクセプタは無いとしている。短絡発生直前では、IGBTには電源電圧 V_{CC} が印加されているため、ドリフト領域はすでに空乏化しており、空間電荷領域が形成されている。このとき、電子は存在しないとみなせるので、空間電荷密度は $p + N_D > 0$ となり、空間電荷は正の値をしめす。よって、電界 E の傾きは正であり、電界強度のピークの位置は、ベース領域とドリフト領域との $p-n$ 接合の近傍となる。

[0067] ゲートがオンして短絡が発生すると、MOSゲートから注入される電子は、少なくとも $V_G - V_T$ によってきまる飽和電流密度の値は流れるから、電子電流密度が数 $100\text{ A}/\text{cm}^2$ 以上、例えば $1000\text{ A}/\text{cm}^2$ と仮定する。空間電荷領域ではキャリアの速度は飽和していると考えてよいから、シリコンでは電子で $v_{sat,n} \sim 1\text{ E } 7$ (cm/s)、正孔で $v_{sat,p} \sim 7\text{ E } 6$ (cm/s) 程度である。そのため、空間電荷領域内の電子濃度は、

[数4]

$$n = \frac{J_{sat,n}}{qv_{sat,n}}$$

とあらわされるので、 $3\text{ E } 14 / \text{cm}^3$ 程度となる。ドリフト領域のドーピン

グ濃度は、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^3$ であるから、短絡時の電子濃度は、すでにドーピング濃度より高い。したがって、コレクタ領域から注入される正孔の密度とのバランスによっては、空間電荷は正から負に極性が反転する。そのため、電界 E の傾きは正から負に反転する。電界 E の傾きが反転することで、電界強度のピークの位置は、おもて面側の $p-n$ 接合近傍の位置から、裏面側に移動する。正孔濃度が少なく、空間電荷が負の値で増加し、さらに電界強度のピーク値が臨界電界強度に達すれば、アバランシェが裏面側で発生し、素子の破壊に至る。

[0068] 特に、半導体装置 100 では裏面側にドリフト領域 16 よりも高濃度のバッファ領域 18 を備えるため、耐圧低下を防ぐためには、ドリフト領域 16 の濃度を、バッファ領域 18 を備えない構造よりも低くすることが好ましい。その結果、短絡発生時に、ドリフト領域 16 における空間電荷の極性の反転が一層生じやすいという課題を有する。

[0069] 短絡発生後に、空間電荷の極性の反転を防ぐには、ドリフト領域 16 において、

[数5]

$$p + N_D > n$$

を満たすように、正孔をドリフト領域 16 に注入させることである。特に、本例では、バッファ領域 18 が形成されていないドリフト領域 16 で、上式を満たすように正孔濃度を維持することである。このことは、数式 2 B で、 α_{PNP} を増加させることで得られる。空間電荷領域において、正孔も電子と同様にドリフトしているため、速度は飽和している。よって空間電荷領域における正孔濃度は、

[数6]

$$p = \frac{J_p}{qv_{sat,p}}$$

とあらわされる。そこで、数式 5 は、数式 2 B と数式 4 を代入して、

[数7]

$$\left(\frac{J_{sat,n}}{qv_{sat,p}}\right)\left(\frac{\alpha_{PNP}}{1-\alpha_{PNP}}\right) + N_D > \left(\frac{J_{sat,n}}{qv_{sat,n}}\right)$$

となる。これを α_{PNP} に対して変形すると、

[数8]

$$\alpha_{PNP} > 1 - \frac{1}{1 + v_{sat,p} \left(\frac{1}{v_{sat,n}} - \frac{qN_D}{J_{sat,n}} \right)}$$

と表される。

[0070] 数式8では、デバイスの構造を反映する変数は、 α_{PNP} 、 N_D 、 $J_{sat,n}$ である。電流利得 α_{PNP} は、短絡発生前のオフ状態で電源電圧が印加されているときの値か、または、短絡発生時の値であってよく、0～1の間の値である。数式2Aと数式6から、 α_{PNP} が1に近いほど、空間電荷領域における正孔濃度は増加する。よって、短絡発生時に、ドリフト領域16における空間電荷の極性の反転を抑えるには、数式8において α_{PNP} が、右辺より大きければ良い。

[0071] 数式8において、 α_{PNP} は少なくとも0より大きければよく、この場合、右辺における分数の値が1より小さければよい。すなわち、数式8の右辺の括弧内の値が、例えば正の値であればよい。この場合、

[数9]

$$N_D < \frac{J_{sat,n}}{qv_{sat,n}}$$

となり、MOSゲートから注入される電子による飽和電流密度 $J_{sat,n}$ を電荷素量および電子の飽和速度で割った値が、ドリフト領域のドナーのドーピング濃度より大きければよい。

[0072] 半導体装置100の定格電圧または耐圧が高ければ高いほど、ドリフト領域16のドナーのドーピング濃度 N_D を低くする。そこで、数式8において N_D を0に近づけた極限を取ると、 α_{PNP} は、

[数8B]

$$\alpha_{PNP} > 1 - \frac{1}{1 + \frac{v_{sat,p}}{v_{sat,n}}}$$

となる。シリコンの場合、上記の値を代入すると、 $\alpha_{PNP} > 0.4118$ となる。すなわち、 α_{PNP} が 0.4118 より大きければ、数式5, 7, 8は必ず満たすことができるので、好ましい。

[0073] 図6は、数式8において、 N_D をパラメータとして、 $J_{sat,n}$ に対する α_{PNP} の依存性を示すグラフである。半導体基板10の材料はシリコンとしたが、SiC、GaN等でもかまわない。数式8を満たすのは、ドリフト領域16の各ドーピング濃度 N_D において、グラフの線よりも上（すなわち、縦軸 α_{PNP} の数値が大きくなる側）の領域である。つまり各グラフの線は、各 N_D における α_{PNP} の下限線である。 N_D が高くなると、 α_{PNP} の下限線が低くなり、数式8を満たす領域は広くなる。これらのドリフト領域16の濃度に応じて、数式8を満たす α_{PNP} を定めてよい。さらに、各 N_D において、 α_{PNP} は、下限値の1.5倍以上であってよく、さらに2倍以上であってよい。 N_D が低くなると、下限となる α_{PNP} は上記の値 0.4118 に収束する。

[0074] また、数式8において、 α_{PNP} が例えば 0.33 以上であってよい。この場合、数式8の右辺の括弧内の値が $0.5 / v_{sat,p}$ 以上であってよい。この場合、

[数10]

$$N_D > \frac{J_{sat,n}}{q} \left(\frac{1}{v_{sat,n}} - \frac{0.5}{v_{sat,p}} \right)$$

となる。数式10は、 $J_{sat,n}$ 以外は定数となって、

[数11]

$$N_D > 1.7857 \times 10^{11} J_{sat,n}$$

となる。すなわち、ドリフト領域16のドナーのドーピング濃度 N_D が、電子による飽和電流密度 $J_{sat,n}$ に 1.7857×10^{11} をかけた値よりも大きてよい。

[0075] α_{PNP} が、数式8を満たすことについては、以下のようになる。 α_{PNP} は、前述のように $\gamma_C \cdot \alpha_T \cdot \gamma_E$ である。コレクタ注入効率 γ_C は1としてよい。ベース輸送効率 α_T は、

[数12]

$$\alpha_T = \frac{1}{\cosh(W_{CNZ}/L_a)}$$

であらわされる。 W_{CNZ} は電荷中性領域のZ方向の長さ (μm)、 L_a は両極性拡散長 (μm) である。 W_{CNZ} については後述する。 L_a は $(D_a / \tau_{HL})^{0.5}$ である。ここで D_a (cm^2/s) はキャリアの両極性拡散係数で、電子・正孔それぞれの拡散係数を D_n , D_p として、 $2D_p D_n / (D_p + D_n)$ であらわされる。 τ_{HL} (s) は、電子・正孔のライフタイムをそれぞれ τ_n , τ_p として、 $\tau_{HL}^{-1} = \tau_n^{-1} + \tau_p^{-1}$ であらわされる。 γ_E は、エミッタ電流利得を β_E として、

[数13]

$$\gamma_E = \beta_E / (1 + \beta_E)$$

であらわされる。さらに β_E は、

[数14]

$$\beta_E = \left(\frac{D_{p,CNZ}}{D_{n,P}} \right) \left(\frac{L_{n,C}}{W_{CNZ}} \right) \left(\frac{N_{A,C}}{N_{D,CNZ}} \right) \left(\frac{n_{ie,CNZ}^2}{n_{ie,P}^2} \right)$$

であらわされる。添え字Pは、コレクタ領域を示す。 $L_{n,C}$ はコレクタ領域20における電子の拡散長 (μm)、 $N_{A,C}$ はコレクタ領域20の最大アクセプタ濃度、 $N_{D,CNZ}$ は電荷中性領域におけるドナー濃度、 n_{ie} は電荷中性領域 (CNZ)、コレクタ領域 (P) における有効真性キャリア濃度 (cm^{-3}) である。

[0076] エミッタ電流利得 β_E を示す数式14において、デバイスの構造を反映する主な変数は、 $L_{n,C}$ 、 W_{CNZ} 、 $N_{A,C}$ 、 $N_{D,CNZ}$ の4つである。このうち、 $L_{n,C}$ は、コレクタ領域20の深さ X_P が $0.2 \sim 0.5 \mu m$ 程度であり、拡散長 $L_{n,C}$ より十分薄いトランパレント・エミッタのため、数式10において、 L

n , c を X_P に置き換えてよい。電流利得 α_{PNP} は、 $0 \sim 1$ の間の値であり、上記4つの変数を、(1) 少なくとも α_{PNP} が1に近くなるか、あるいは(2) α_{PNP} が数式8を満たすようにしてよい。

[0077] $N_{A, C}$ は、コレクタ領域20の最大濃度であり、 $1E16 \sim 1E18 / cm^3$ 程度である。 $N_{D, CNZ}$ は電荷中性領域のドーピング濃度で、例えば最浅のバッファ領域18のうち、空乏化していない領域の最大濃度としてよい。最浅のバッファ領域18とは、図2に示した最浅のピーク22-1を含み、ドーピング濃度分布が単一の山形となっている領域であってよい。ドーピング濃度分布における単一の山形の境界は、深さ方向において山形のピーク位置から裾方向に移動した場合に、ドーピング濃度が減少から増加に転ずる位置、または、減少から一定値に転ずる位置であってよい。

[0078] 最浅のバッファ領域18のドーピング濃度は、以下のように設定してよい。短絡時には、空間電荷領域における電子の存在のため、短絡していないときよりも空間電荷密度が小さくなる。そこで、最浅のバッファ領域18のドーピング濃度を深さ方向に積分した積分濃度が臨界積分濃度 n_c よりも大きくなるように、最浅のバッファ領域18のドーピング濃度を設定することが望ましい。ここで臨界積分濃度 n_c とは、臨界電界強度 E_c に半導体の誘電率を乗じて電荷素量 q で割った値であり、例えばシリコンでは $1.2E12 / cm^2$ である。バッファ領域18全体の積分濃度が、臨界積分濃度 n_c よりも大きくてよい。

[0079] 最浅のバッファ領域18の深さ方向における長さは、例えば $5 \mu m$ 以下であってよく、ドーピング濃度のピーク値は $2.4E15 / cm^3$ 以上であってよい。最浅のバッファ領域18で空乏化していない領域を $N_{D, CNZ}$ としてよい。 $(N_{A, C} / N_{D, CNZ})$ は、4以上400以下であってよく、10以上200以下であってよい。

[0080] 図7は、実施例A、実施例Bおよび比較例について、深さ方向における積分濃度およびドーピング濃度分布を示す図である。図7における(a)は、積分濃度を示す。積分濃度は、ベース領域14とドリフト領域16との p_n

接合の位置から、裏面側に向かって、ドリフト領域 16 およびバッファ領域 18 のドーピング濃度を、所定の位置まで積分した積分濃度分布の図である。図 7 における (b) は、(a) に対応するドーピング濃度分布の図である。なお、図 7 は、裏面のコレクタ領域 20、バッファ領域 18 の最浅のピーク 22-1 および隣のピーク 22-2 を拡大した範囲を示している。ドリフト領域 16 は図 7 の表示範囲よりおもて面側に存在する。

[0081] 積分濃度が $0.6 n_c$ に達する位置が、バッファ領域 18 における最浅のピーク 22-1 の位置と、隣のピーク 22-2 との間であってよい。実施例 A は、積分濃度が $0.6 n_c$ に達する位置が、最浅のピーク 22-1 よりも隣のピーク 22-2 に近く、図 7 (a) の横軸の $101.5 \mu m$ の位置である。実施例 B は、積分濃度が $0.6 n_c$ に達する位置が、隣のピーク 22-2 よりも最浅のピーク 22-1 に近く、図 7 (a) の横軸の $104.7 \mu m$ の位置である。

[0082] また、実施例 A および実施例 B のように、積分濃度が $0.6 n_c$ に達する位置のドーピング濃度は、隣のピーク 22-2 のピーク濃度の半値より低くてよい。図 7 中の比較例は、積分濃度が $0.6 n_c$ に達する位置のドーピング濃度が隣のピーク 22-2 のピーク濃度の半値より大きい。

[0083] また、積分濃度が臨界積分濃度 n_c に達する位置が、ピーク 22-1 の位置から、ピーク 22-1 を含む山形分布の半値全幅を上下両側に設けた範囲 R1 内であってよい。また、最浅のピーク 22-1 の位置から、バッファ領域と 18 コレクタ領域 20 との p n 接合の位置までの積分濃度は、 n_c 以下であってよい。これにより、短絡時におけるコレクタ領域 20 からの正孔電流の注入効率を増加させ、より安定的に α_{PNP} を高くでき、例えば 0.5 以上にすることができる。

[0084] 本例の場合、短絡前のオフ状態で、電源電圧が印加されているときは、空乏層端はピーク 22-1 と、ピーク 22-2 との間にある。電源電圧は定格電圧の 50%~70% 程度で、例えば 66% である。この場合、空乏層端までの積分濃度は、 n_c の 60%~80% である。

[0085] 短絡時の電荷中性領域の長さ W_{CNZ} は、最浅のバッファ領域18のうち、空乏化していない領域の長さとなる。最浅のバッファ領域18が短絡時に空間電荷領域を止める場合、一部が空乏化して残りが電荷中性領域となる。このため、電荷中性領域の長さ W_{CNZ} は $3\mu m$ 以下となる。一方、コレクタ領域に空間電荷領域が達すると正孔が直接的に空間電荷領域に注入される。このため、空間電荷領域がおもて面側に縮み、電源電圧をサポートできなくなり、半導体装置が破壊する。これを防ぐためには、電荷中性領域の長さ W_{CNZ} は、数式12の α_T が0.1以下となる L_a よりは大きい必要があり、例えば W_{CNZ} は $0.5\mu m$ 以上であればよい。

[0086] また、数式7から、 α_{PNP} を十分高くして、例えば0.8以上とし、短絡時にはMOSゲートからの電子の飽和電流密度を小さくすれば、数式5の関係を成立させやすいことがわかる。電子の飽和電流密度を小さくするには、数式2Cで、 f_A を小さくすればよい。

[0087] 図8は、半導体装置100の断面の他の例を示す図である。本例の半導体装置100は、ゲートトレンチ部30の間に、1以上のダミートレンチ部40を備える。ダミートレンチ部40は、ダミー絶縁膜42およびダミー導電部44を備える。ダミー絶縁膜42は、ダミートレンチの内壁に形成される。ダミー導電部44は、ダミートレンチ内においてダミー絶縁膜42に覆われている。ダミー導電部44は、エミッタ電極52と電氣的に接続される。

[0088] ゲートトレンチ部30およびダミートレンチ部40は、深さ方向と垂直な配列方向において一定のピッチで設けられる。本例では、ゲートトレンチ部30およびダミートレンチ部40が1つずつ交互に配置されている。この場合、単位セルには1つのゲートトレンチ部30と、1つのダミートレンチ部40とが含まれる。単位セルの幅 W_{cell} を $2\mu m$ 以上とすることで、 f_A は $5E7$ 個以下となり、数式5を成立させることができる。

[0089] また、それぞれのゲートトレンチ部30の間に、2本以上のダミートレンチ部40を配置してもよい。ダミートレンチ部40を2本以上設け、 W_{cell} を $3\mu m$ 以下とすることで、 f_A は $3.3E7$ 個以下とできる。以上のよ

うな範囲で、数式 5, 7, 8 を満たしていればよい。

[0090] なお、図 8 における半導体装置 100 は、半導体基板 10 にトランジスタ部 70 とダイオード部 80 が設けられている。トランジスタ部 70 には、上述したゲートトレンチ部 30 およびダミートレンチ部 40 が設けられる。ダイオード部 80 には、ダミートレンチ部 40 が設けられており、ゲートトレンチ部 30 は設けられなくともよい。また、ダイオード部 80 には、ソース領域 12 が設けられない。また、コレクタ領域 20 に代えて、 n 型のカソード領域 82 が設けられている。

[0091] 図 9 は、半導体装置 100 の断面の他の例を示す図である。本例の半導体装置 100 は、蓄積領域 17 を備えた点で図 1 から図 8 において説明した半導体装置 100 と異なる。図 9 においては、図 8 に示した半導体装置 100 に、蓄積領域 17 を設けた構造を示している。蓄積領域 17 以外の構造は、図 1 から図 8 において説明したいずれかの態様の半導体装置 100 と同一であってよい。

[0092] 蓄積領域 17 はベース領域 14 とドリフト領域 16 の間に設けられ、ドリフト領域 16 よりも高いドーピング濃度を備えた n 型の領域である。蓄積領域 17 は、ドリフト領域 16 よりもドナーが高濃度に蓄積された領域である。蓄積領域 17 の下端の深さは、半導体基板 10 の上面からみて、トレンチ部底部よりも浅くてよい。

[0093] 半導体基板 10 の深さ方向におけるエミッタ領域 12 から蓄積領域 17 までの長さ A （つまり、ベース領域 14 の上端から、蓄積領域 17 の上端までの長さ A ）は、反転層チャネル幅 L_{CH} と同じであってよい。長さ A は、半導体基板 10 の下面から第 1 のピーク 22-1 までの距離 D_{fs1} と、半導体基板 10 の下面から第 1 のピーク 22-1 およびコレクタ領域 20 の境界（すなわち、バッファ領域 18 とコレクタ領域 20 との pn 接合の位置）までの距離 D_b との差分の長さ $D_{fs1} - D_b$ よりも長くてよい。蓄積領域 17 では、電界強度が高くなるため、空間電荷領域が上面側に若干狭くなり、電荷中性領域の長さ W_{CNZ} がその分上面側に長くなる場合がある。これに対して、長さ A を

$D_{fs1} - D_b$ よりも長くすることで、数式 2 c の L_{CH} を増加させて電子飽和電流密度を低くし、電子の注入を抑制させる。これにより、所定の α_{PNP} の値に対して、数式 5 の条件を達成しやすくでき、空間電荷の極性の反転を防ぐことができる。

[0094] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

符号の説明

[0095] 10・・・半導体基板、12・・・ソース領域、14・・・ベース領域、16・・・ドリフト領域、17・・・蓄積領域、18・・・バッファ領域、20・・・コレクタ領域、22・・・ピーク、30・・・ゲートトレンチ部、32・・・ゲート絶縁膜、34・・・ゲート電極、40・・・ダミートレンチ部、42・・・ダミー絶縁膜、44・・・ダミー導電部、52・・・エミッタ電極、54・・・コレクタ電極、56・・・層間絶縁膜、70・・・トランジスタ部、80・・・ダイオード部、82・・・カソード領域、100・・・半導体装置

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板に形成された第1導電型のドリフト領域と、
 前記半導体基板において、前記半導体基板の下面と前記ドリフト領域との間に形成された第2導電型のコレクタ領域と、
 前記半導体基板において前記ドリフト領域と前記コレクタ領域との間に形成され、前記ドリフト領域よりもドーピング濃度が高い第1導電型の高濃度領域と
 を備え、
 前記半導体基板の深さ方向における、前記高濃度領域のドーピング濃度分布は1つ以上のピークを有し、
 前記高濃度領域の前記ドーピング濃度分布のピークのうち、最も前記半導体基板の下面側の第1のピークと、前記半導体基板の下面との距離が $3\mu\text{m}$ 以下である半導体装置。
- [請求項2] 前記高濃度領域のドーピング濃度を、前記高濃度領域を深さ方向にわたって積分した積分濃度の値が、臨界積分濃度以上である
 請求項1に記載の半導体装置。
- [請求項3] 前記第1のピークと、前記半導体基板の下面との距離が $2\mu\text{m}$ 以下である
 請求項1または2に記載の半導体装置。
- [請求項4] 前記第1のピークのドーピング濃度は、 $1.0 \times 10^{16} / \text{cm}^3$ 以下である
 請求項1から3のいずれか一項に記載の半導体装置。
- [請求項5] 前記第1のピークのドーピング濃度は、 $6.7 \times 10^{15} / \text{cm}^3$ 以下である
 請求項1から3のいずれか一項に記載の半導体装置。
- [請求項6] 前記コレクタ領域のドーピング濃度は、 $1.0 \times 10^{18} / \text{cm}^3$ 以下である

請求項 1 から 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記コレクタ領域のドーピング濃度は、 $5.0 \times 10^{17} / \text{cm}^3$ 以下である

請求項 1 から 5 のいずれか一項に記載の半導体装置。

[請求項8] 前記コレクタ領域および前記第 1 のピークの深さ方向における境界位置と、前記半導体基板の下面との距離が $0.5 \mu\text{m}$ 以上、 $1.0 \mu\text{m}$ 以下である

請求項 1 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記コレクタ領域のドーピング濃度 C_p [$/\text{cm}^3$]、前記第 1 のピークのドーピング濃度 C_{fs1} [$/\text{cm}^3$]、および、前記第 1 のピークの深さ位置 D_{fs1} [μm] が下式を満たす

$$D_{fs1} < -2.0 \times 10^{-16} \times C_{fs1} + b$$

$$\text{ただし、 } b = 4.0 \times 10^{-18} \times C_p + 2.9$$

請求項 1 から 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記半導体基板において前記ドリフト領域と前記半導体基板の上面との間に形成される第 2 導電型のベース領域を更に備え、

前記高濃度領域におけるドーピング濃度分布は複数のピークを有し、

前記ベース領域と前記ドリフト領域との第 1 p n 接合から、前記高濃度領域と前記コレクタ領域との第 2 p n 接合に向かって、前記ドリフト領域と、前記高濃度領域のドーピング濃度を積分した積分濃度が、臨界積分濃度の 0.6 倍に達する位置が、前記高濃度領域におけるピークのうち最も半導体基板の下面側の第 1 のピークと、前記第 1 のピークの隣の第 2 のピークとの間に位置する

請求項 1 に記載の半導体装置。

[請求項11] 前記積分濃度が臨界積分濃度に達する位置が、前記高濃度領域の第 1 のピーク位置から、前記第 1 のピークを含む山形のドーピング濃度分布の半値全幅だけ下側となる位置から、前記高濃度領域の第 1 のピ

ーク位置から前記半値全幅だけ上側となる位置までの間の領域にある
請求項 10 に記載の半導体装置。

[請求項12] 空間電荷領域が少なくとも前記ドリフト領域と前記高濃度領域において前記第2のピークを含む山形のドーピング濃度分布を有する領域に形成されており、

前記ベース領域と前記半導体基板の上面との間に形成された第1導電型のソース領域と、

前記半導体基板の上面から前記ソース領域および前記ベース領域を貫通して前記ドリフト領域に達するトレンチMOSゲートと、を備え、

電流利得 α_{PNP} が、電子の飽和速度 $v_{sat,n}$ および正孔の飽和速度 $v_{sat,p}$ と、

前記トレンチMOSゲートの飽和電流密度 $J_{sat,n}$ および前記ドリフト領域のドーピング濃度 N_D に対して、

[数81]

$$1 - \frac{1}{1 + v_{sat,p} \left(\frac{1}{v_{sat,n}} - \frac{qN_D}{J_{sat,n}} \right)}$$

よりも大きい

請求項 11 に記載の半導体装置。

[請求項13] 電流利得 α_{PNP} が、電子の飽和速度 $v_{sat,n}$ および正孔の飽和速度 $v_{sat,p}$ に対して、

[数81B]

$$1 - \frac{1}{1 + \frac{v_{sat,p}}{v_{sat,n}}}$$

よりも大きい

請求項 12 に記載の半導体装置。

[請求項14] 前記トレンチMOSゲートの飽和電流密度 $J_{sat,n}$ は、 μ_n を反転層チャネルの電子移動度、 C_{ox} をMOSゲートの容量、 L_{CH} を反転

層チャネル幅、ゲート電圧を V_G 、ゲート閾値を V_T 、 f_A を反転層チャネルを 1 つ含む単位セルが面積 1 cm^2 あたりに含まれる個数として、

[数8C]

$$J_{\text{sat},n} = \left(\frac{\mu_n C_{\text{ox}}}{2L_{\text{CH}}} \right) (V_G - V_T)^2 f_A$$

であり、

f_A が 5×10^7 個以下である

請求項 12 または 13 に記載の半導体装置。

[請求項15] 前記高濃度領域が水素ドナーを含む

請求項 1 から 14 のいずれか一項に記載の半導体装置。

[請求項16] 前記第 1 のピークの位置から、前記高濃度領域と前記コレクタ領域との p n 接合の位置までの前記積分濃度は、前記臨界積分濃度以下である

請求項 10 から 14 のいずれか一項に記載の半導体装置。

[請求項17] 前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型の蓄積領域をさらに備え、

前記半導体基板の深さ方向における前記ベース領域の上端から前記蓄積領域の上端までの長さは、前記半導体基板の下面から前記第 1 のピークまでの距離 D_{fs1} と、前記半導体基板の下面から前記高濃度領域と前記コレクタ領域との p n 接合の位置までの距離 D_b との差分の長さ $D_{fs1} - D_b$ よりも長い

請求項 10 から 14 のいずれか一項に記載の半導体装置。

補正された請求の範囲
[2018年3月9日(09.03.2018)国際事務局受理]

- [請求項1] 半導体基板と、
 前記半導体基板に形成された第1導電型のドリフト領域と、
 前記半導体基板において、前記半導体基板の下面と前記ドリフト領域との間に形成された第2導電型のコレクタ領域と、
 前記半導体基板において前記ドリフト領域と前記コレクタ領域との間に形成され、前記ドリフト領域よりもドーピング濃度が高い第1導電型の高濃度領域と
 を備え、
 前記半導体基板の深さ方向における、前記高濃度領域のドーピング濃度分布は1つ以上のピークを有し、
 前記高濃度領域の前記ドーピング濃度分布のピークのうち、最も前記半導体基板の下面側の第1のピークと、前記半導体基板の下面との距離が $3\mu\text{m}$ 以下である半導体装置。
- [請求項2] 前記高濃度領域のドーピング濃度を、前記高濃度領域を深さ方向にわたって積分した積分濃度の値が、臨界積分濃度以上である
 請求項1に記載の半導体装置。
- [請求項3] 前記第1のピークと、前記半導体基板の下面との距離が $2\mu\text{m}$ 以下である
 請求項1または2に記載の半導体装置。
- [請求項4] 前記第1のピークのドーピング濃度は、 $1.0 \times 10^{16} / \text{cm}^3$ 以下である
 請求項1から3のいずれか一項に記載の半導体装置。
- [請求項5] 前記第1のピークのドーピング濃度は、 $6.7 \times 10^{15} / \text{cm}^3$ 以下である
 請求項1から3のいずれか一項に記載の半導体装置。

[請求項6] 前記コレクタ領域のドーピング濃度は、 $1.0 \times 10^{18} / \text{cm}^3$ 以下である

請求項1から5のいずれか一項に記載の半導体装置。

[請求項7] 前記コレクタ領域のドーピング濃度は、 $5.0 \times 10^{17} / \text{cm}^3$ 以下である

請求項1から5のいずれか一項に記載の半導体装置。

[請求項8] 前記コレクタ領域および前記第1のピークの深さ方向における境界位置と、前記半導体基板の下面との距離が $0.5 \mu\text{m}$ 以上、 $1.0 \mu\text{m}$ 以下である

請求項1から7のいずれか一項に記載の半導体装置。

[請求項9] 前記コレクタ領域のドーピング濃度 C_p [$/ \text{cm}^3$]、前記第1のピークのドーピング濃度 C_{fs1} [$/ \text{cm}^3$]、および、前記第1のピークの深さ位置 D_{fs1} [μm] が下式を満たす

$$D_{fs1} < -2.0 \times 10^{-16} \times C_{fs1} + b$$

$$\text{ただし、} b = 4.0 \times 10^{-18} \times C_p + 2.9$$

請求項1から8のいずれか一項に記載の半導体装置。

[請求項10] 前記半導体基板において前記ドリフト領域と前記半導体基板の上面との間に形成される第2導電型のベース領域を更に備え、
前記高濃度領域におけるドーピング濃度分布は複数のピークを有し、
前記ベース領域と前記ドリフト領域との第1pn接合から、前記高濃度領域と前記コレクタ領域との第2pn接合に向かって、前記ドリフト領域と、前記高濃度領域のドーピング濃度を積分した積分濃度が、臨界積分濃度の0.6倍に達する位置が、前記高濃度領域におけるピークのうち最も半導体基板の下面側の第1のピークと、前記第1のピークの隣の第2のピークとの間に位置する

請求項1に記載の半導体装置。

[請求項11] (補正後)

前記半導体基板において前記ドリフト領域と前記半導体基板の上面

との間に形成される第2導電型のベース領域を更に備え、

前記高濃度領域におけるドーピング濃度分布は複数のピークを有し、

前記ベース領域と前記ドリフト領域との第1 p n 接合から、前記高濃度領域と前記コレクタ領域との第2 p n 接合に向かって、前記ドリフト領域と、前記高濃度領域のドーピング濃度を積分した積分濃度が臨界積分濃度に達する位置が、前記高濃度領域の第1のピーク位置から、前記第1のピークを含む山形のドーピング濃度分布の半値全幅だけ下側となる位置から、前記高濃度領域の第1のピーク位置から前記半値全幅だけ上側となる位置までの間の領域にある

請求項1に記載の半導体装置。

[請求項12] (補正後)

前記半導体基板において前記ドリフト領域と前記半導体基板の上面との間に形成される第2導電型のベース領域を更に備え、

前記高濃度領域におけるドーピング濃度分布は、最も半導体基板の下面側の第1のピークと、前記第1のピークの隣の第2のピークとを含む複数のピークを有し、

空間電荷領域が少なくとも前記ドリフト領域と前記高濃度領域において前記第2のピークを含む山形のドーピング濃度分布を有する領域に形成されており、

前記ベース領域と前記半導体基板の上面との間に形成された第1導電型のソース領域と、

前記半導体基板の上面から前記ソース領域および前記ベース領域を貫通して前記ドリフト領域に達するトレンチMOSゲートと、を備え、

電流利得 α_{PNP} が、電子の飽和速度 $v_{sat, n}$ および正孔の飽和速度 $v_{sat, p}$ と、

前記トレンチMOSゲートの飽和電流密度 $J_{sat, n}$ および前記ドリフト領域のドーピング濃度 N_D に対して、

【数81】

$$1 - \frac{1}{1 + v_{sat,p} \left(\frac{1}{v_{sat,n}} - \frac{qN_D}{J_{sat,n}} \right)}$$

よりも大きい

請求項 1 に記載の半導体装置。

[請求項13] 電流利得 α_{PNP} が、電子の飽和速度 $v_{sat,n}$ および正孔の飽和速度 $v_{sat,p}$ に対して、

【数 8 1 B】

$$1 - \frac{1}{1 + \frac{v_{sat,p}}{v_{sat,n}}}$$

よりも大きい

請求項 1 2 に記載の半導体装置。

[請求項14] 前記トレンチMOSゲートの飽和電流密度 $J_{sat,n}$ は、 μ_n を反転層チャネルの電子移動度、 C_{ox} をMOSゲートの容量、 L_{CH} を反転層チャネル幅、ゲート電圧を V_G 、ゲート閾値を V_T 、 f_A を反転層チャネルを 1 つ含む単位セルが面積 1 cm^2 あたりに含まれる個数として、

【数 8 C】

$$J_{sat,n} = \left(\frac{\mu_n C_{ox}}{2L_{CH}} \right) (V_G - V_T)^2 f_A$$

であり、

f_A が 5×10^7 個以下である

請求項 1 2 または 1 3 に記載の半導体装置。

[請求項15] 前記高濃度領域が水素ドナーを含む

請求項 1 から 1 4 のいずれか一項に記載の半導体装置。

[請求項16] (補正後)

前記第 1 のピークの位置から、前記高濃度領域と前記コレクタ領域との p n 接合の位置までの前記積分濃度は、前記臨界積分濃度以下である

請求項 1 0 または 1 1 に記載の半導体装置。

[請求項17] 前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型の蓄積領域をさらに備え、

前記半導体基板の深さ方向における前記ベース領域の上端から前記蓄積領域の上端までの長さは、前記半導体基板の下面から前記第1のピークまでの距離 D_{fs1} と、前記半導体基板の下面から前記高濃度領域と前記コレクタ領域とのpn接合の位置までの距離 D_b との差分の長さ $D_{fs1} - D_b$ よりも長い

請求項10から14のいずれか一項に記載の半導体装置。

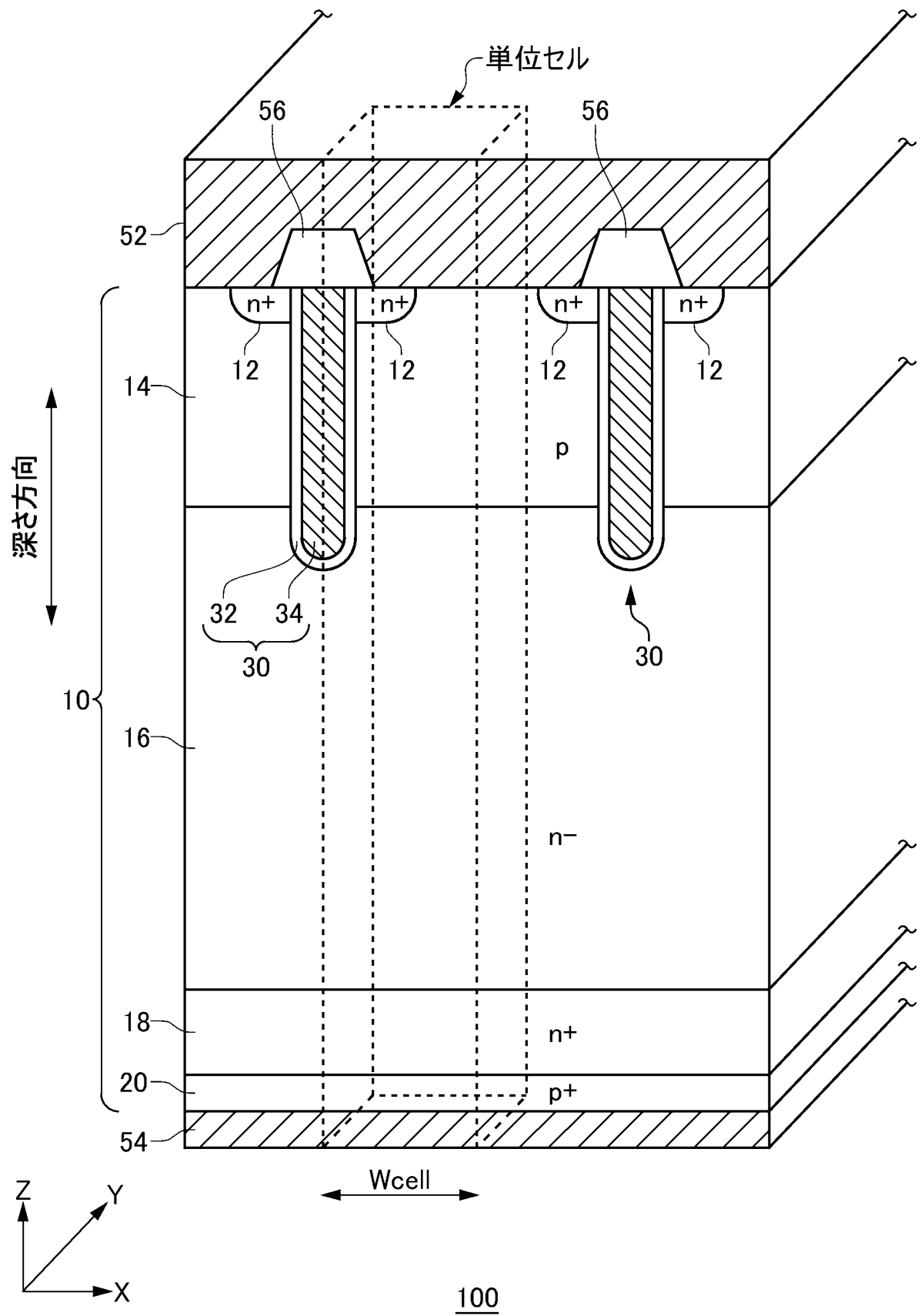
[請求項18] (追加)

MOSゲートを更に備え、

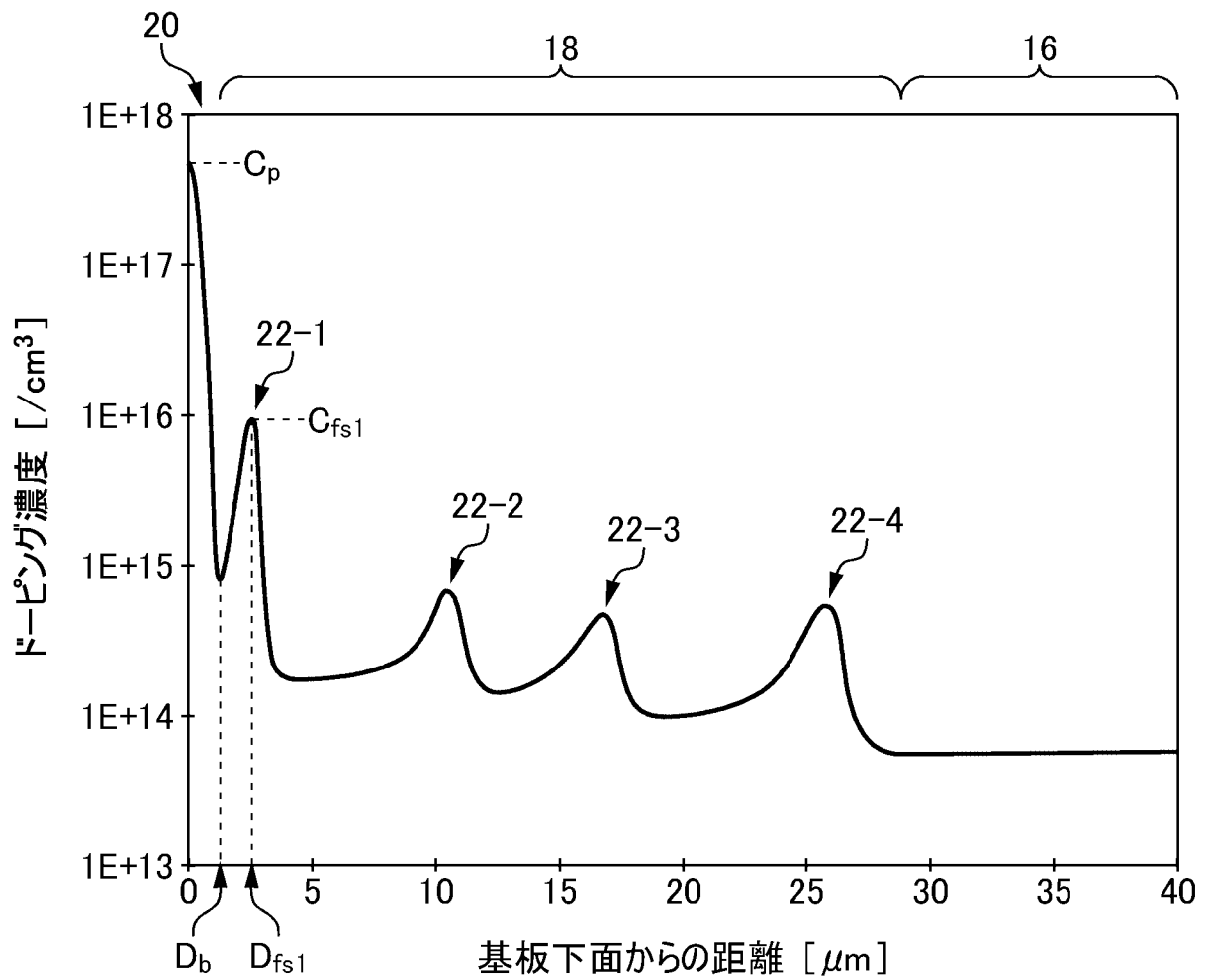
前記ドリフト領域のドナーのドーピング濃度が、前記MOSゲートから注入される電子による飽和電流密度に 1.7857×10^{11} を乗算した値より大きい

請求項1に記載の半導体装置。

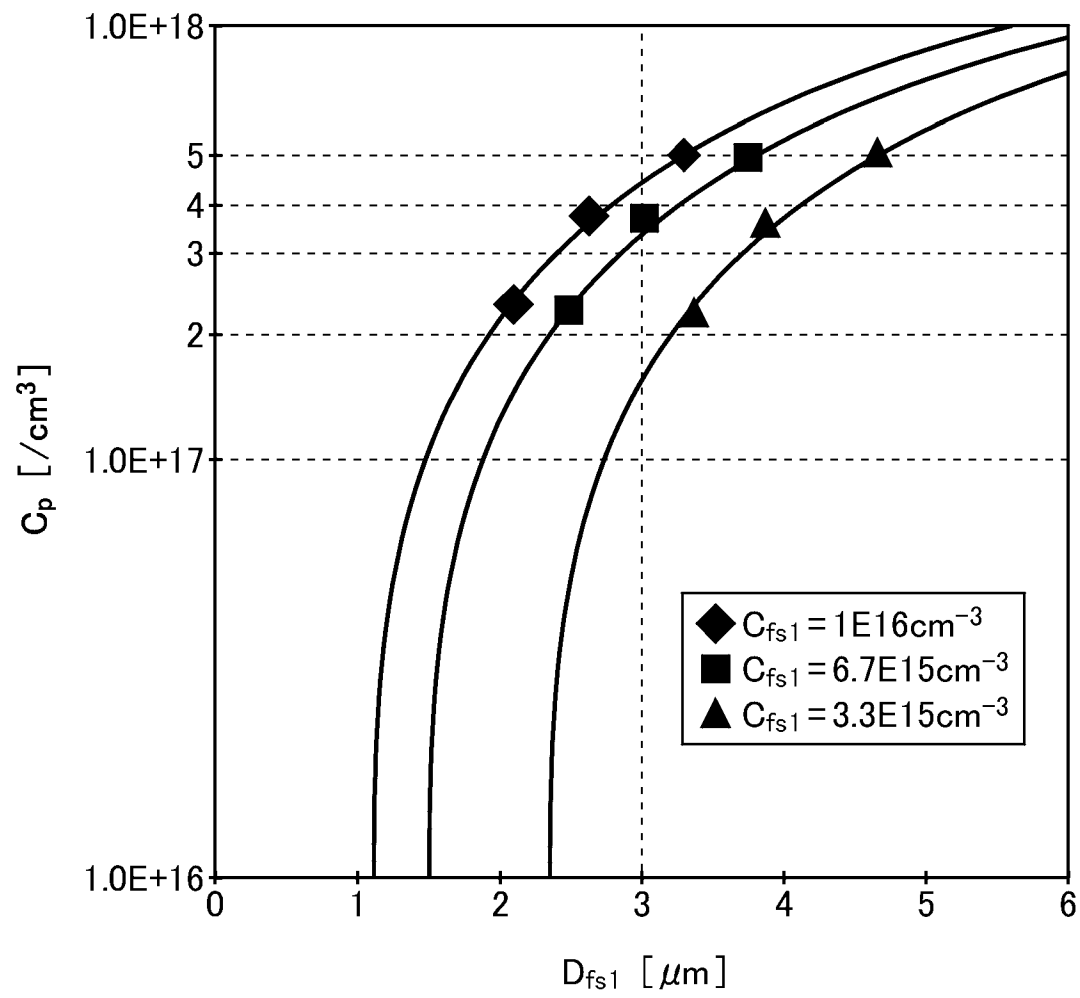
[図1]



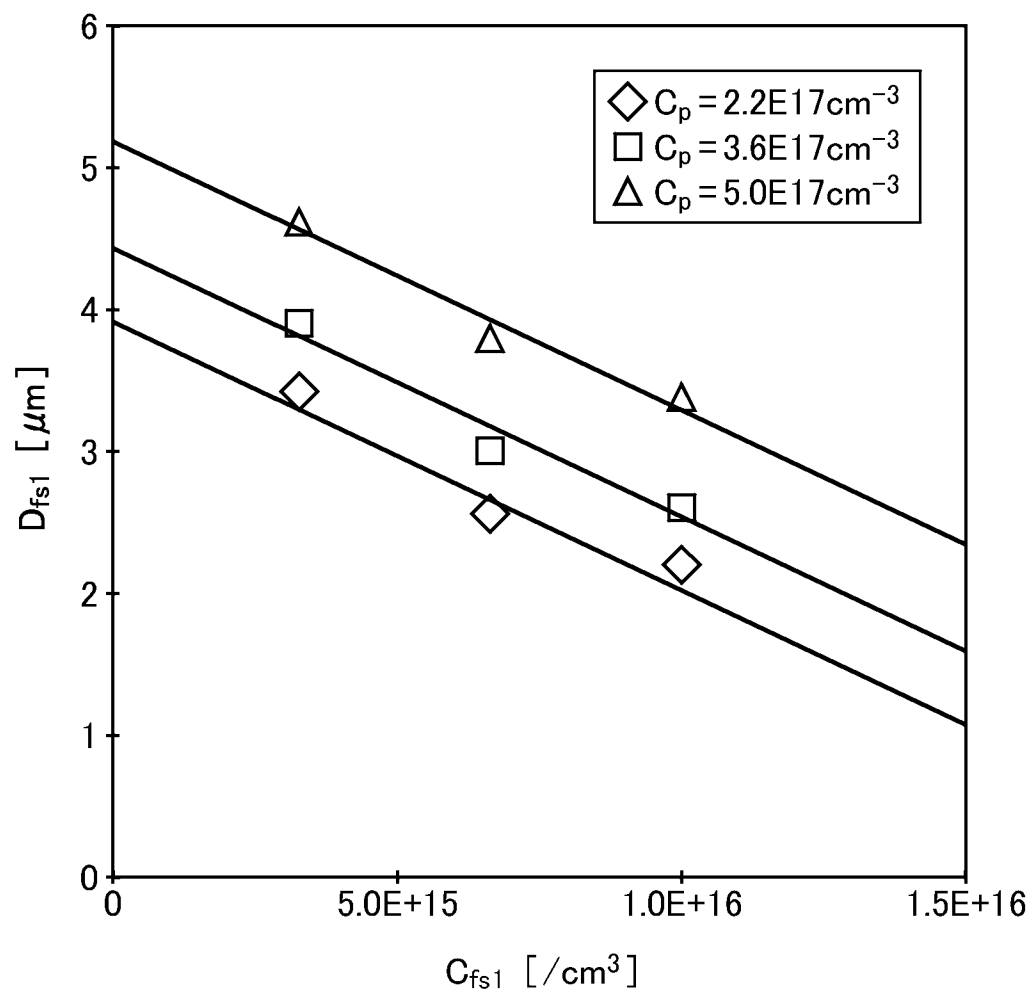
[図2]



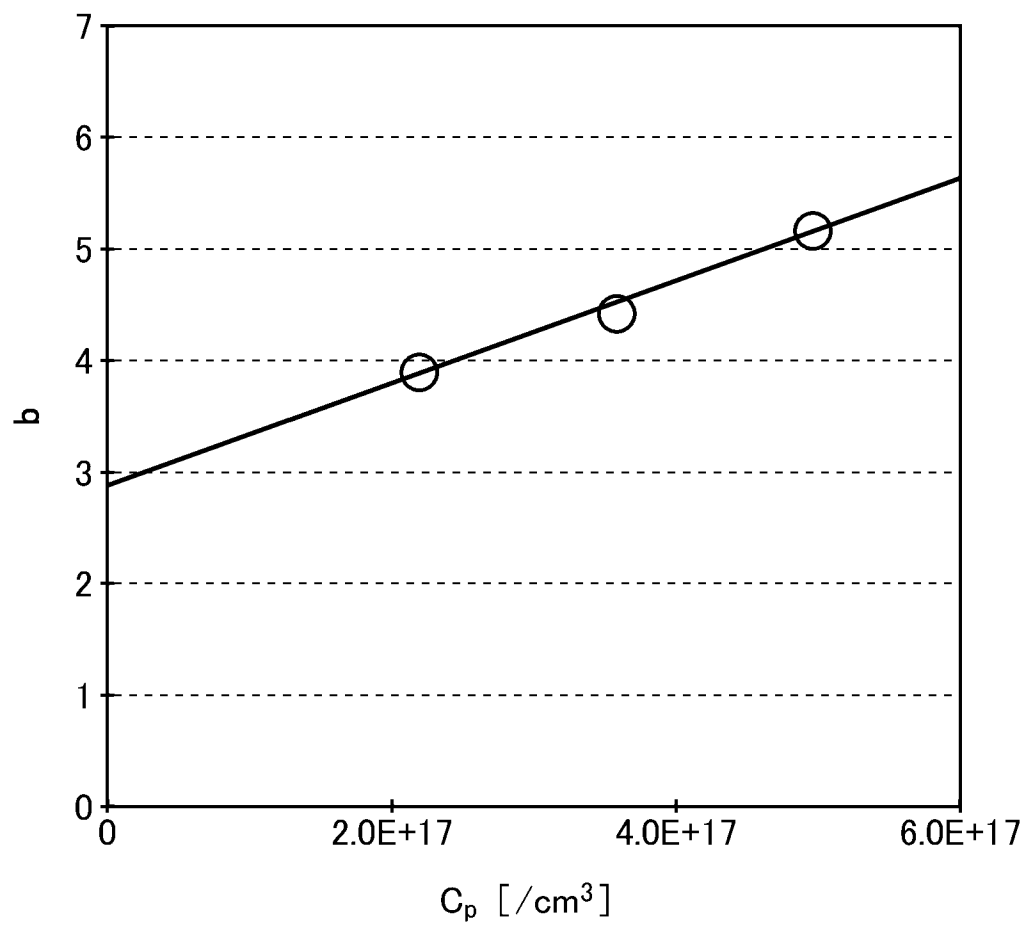
[図3]



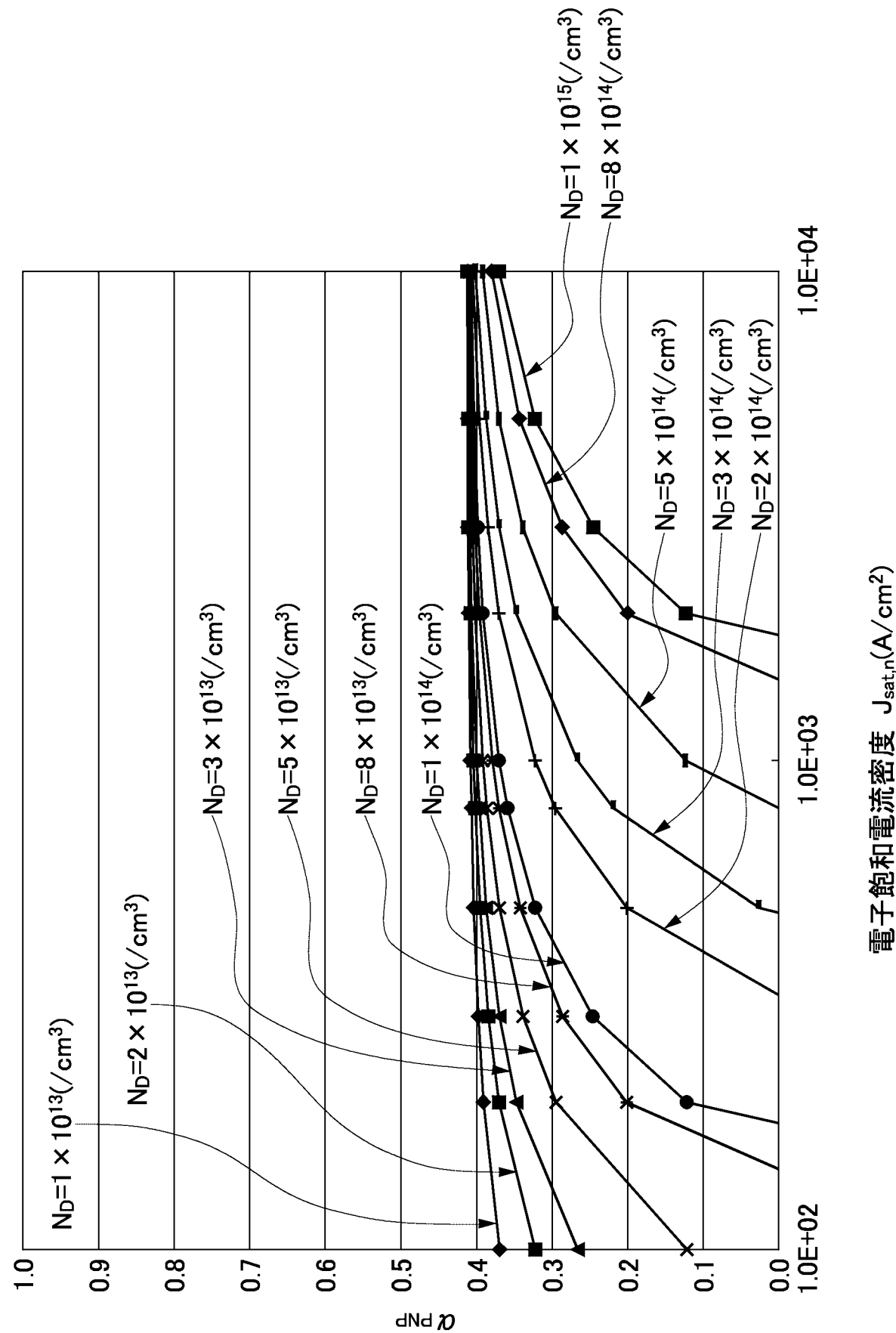
[図4]



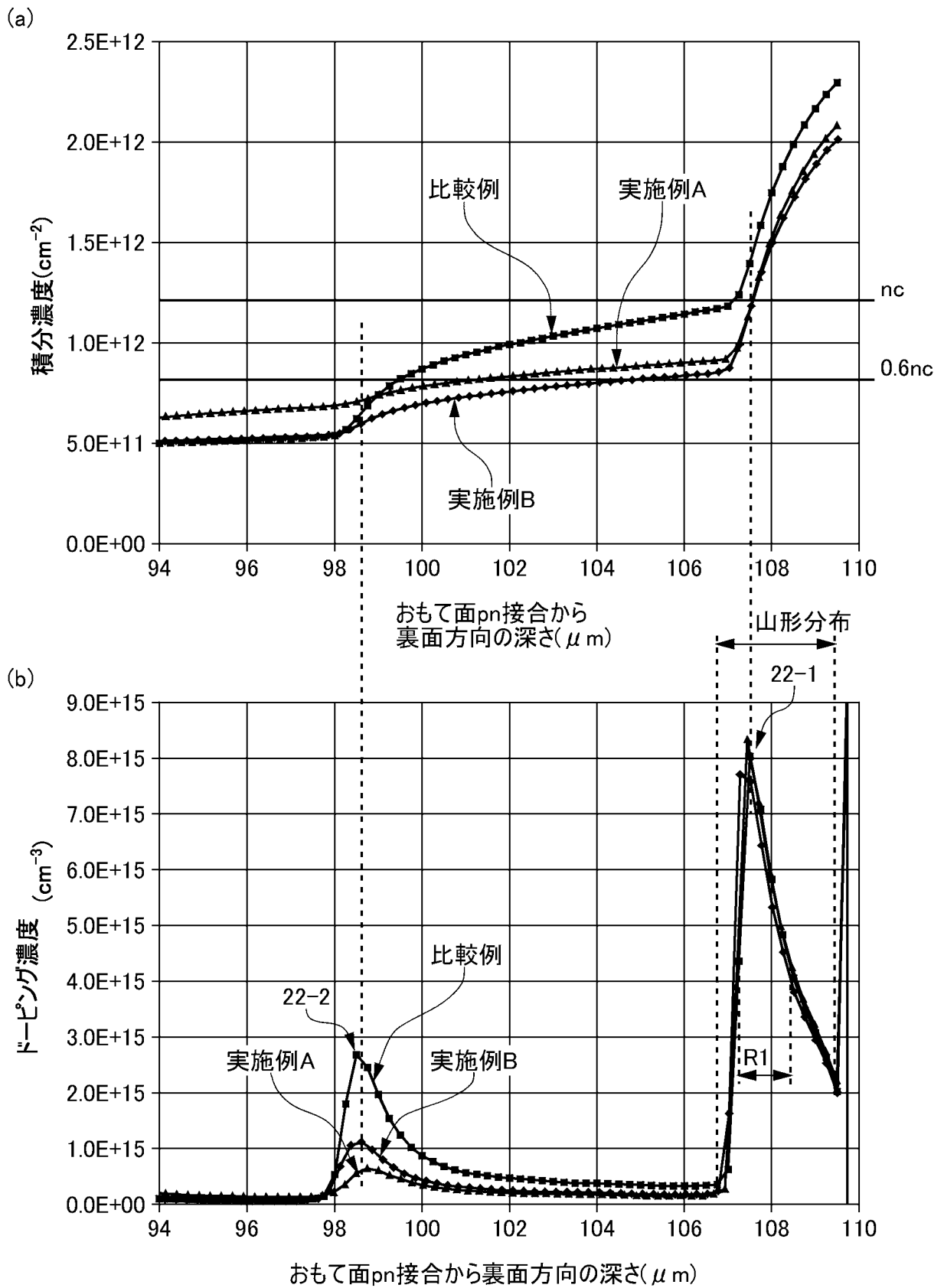
[図5]



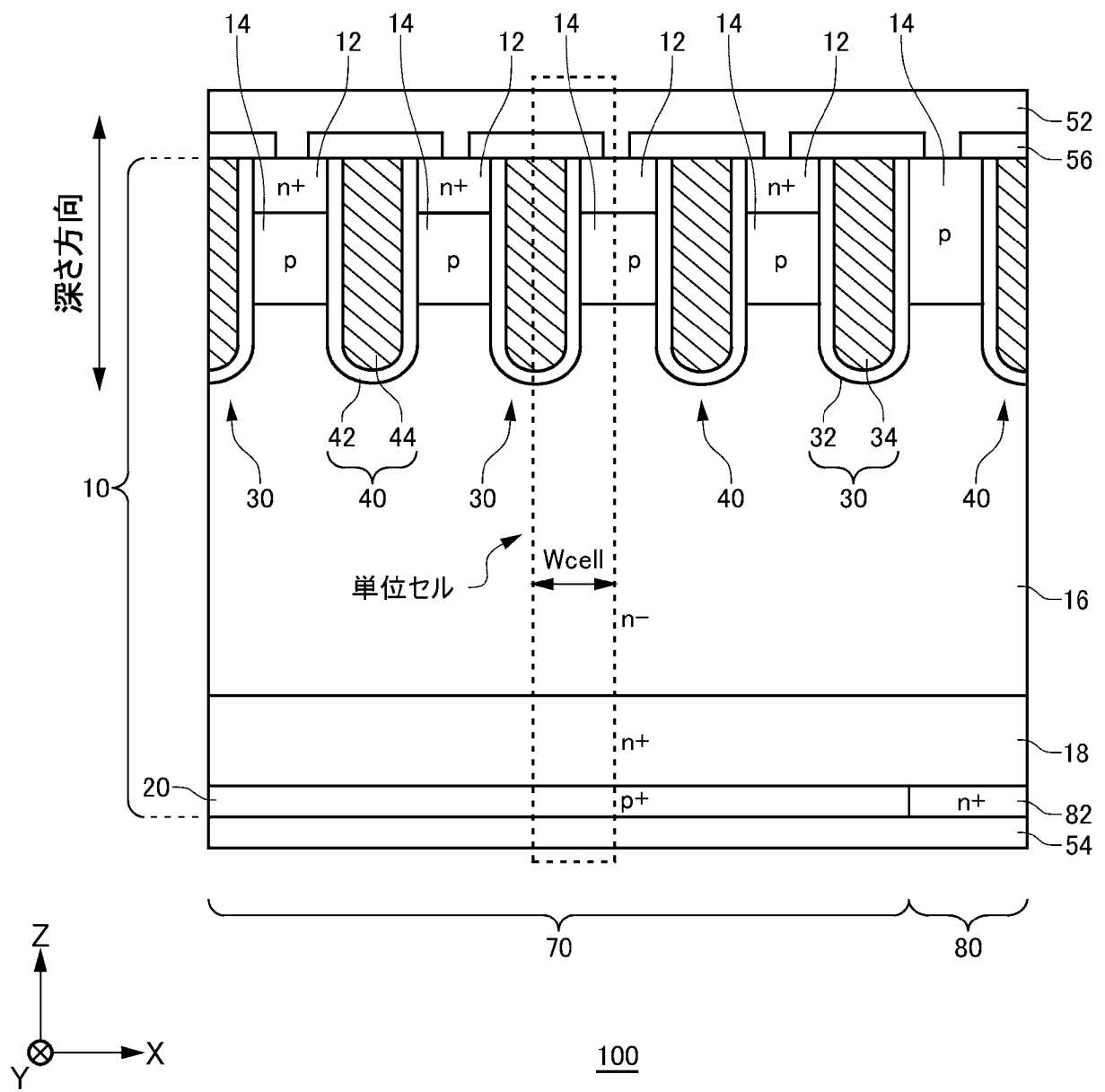
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/037428

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/739 (2006.01) i, H01L29/12 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/739, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2015/093190 A1 (FUJI ELECTRIC CO., LTD.) 25 June 2015, paragraphs [0103]-[0107], fig. 9, 10 & US 2016/0197143 A1, paragraphs [0141]-[0145], fig. 9, 10 & DE 112014003712 T5 & CN 105531825 A	1-3, 6-8, 15 4, 5, 9-14, 16, 17
X A	JP 2009-176892 A (FUJI ELECTRIC CO., LTD.) 06 August 2009, paragraphs [0053], [0118]-[0121], fig. 14 & US 2012/0064706 A1, paragraphs [0081], [0140]-[0143], fig. 14 & US 2009/0184340 A1 & CN 101494223 A & CN 102983159 A	1, 6, 8, 15 2-5, 7, 9-14, 16, 17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 December 2017

Date of mailing of the international search report

09 January 2018

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/037428

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-246597 A (FUJI ELECTRIC CO., LTD.) 30 August 2002, paragraphs [0018]-[0030], fig. 1 (Family: none)	1, 3-7, 15 2, 8-14, 16, 17
X A	JP 2006-049933 A (TOSHIBA CORPORATION) 16 February 2006, paragraphs [0017]-[0030], fig. 1, 3, 4 (Family: none)	1-4, 15 5-14, 16, 17
A	WO 2016/051970 A1 (FUJI ELECTRIC CO., LTD.) 07 April 2016, paragraphs [0013]-[0050], fig. 1-4 & US 2017/0018434 A1, paragraphs [0030]-[0061], fig. 1-4 & CN 106062960 A	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/739(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/739, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2015/093190 A1（富士電機株式会社） 2015.06.25, 段落[0103]-[0107], 図9, 10 & US 2016/0197143 A1, 段落[0141]-[0145], 図9, 10 & DE 112014003712 T5 & CN 105531825 A	1-3, 6-8, 15 4, 5, 9-14, 16, 17
X A	JP 2009-176892 A（富士電機デバイステクノロジー株式会社） 2009.08.06, 段落[0053], [0118]-[0121], 図14 & US 2012/0064706 A1, 段落[0081], [0140]-[0143], 図14 & US 2009/0184340 A1 & CN 101494223 A & CN 102983159 A	1, 6, 8, 15 2-5, 7, 9-14, 16, 17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22.12.2017

国際調査報告の発送日

09.01.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2002-246597 A (富士電機株式会社) 2002. 08. 30, 段落[0018]-[0030], 図 1 (ファミリーなし)	1, 3-7, 15 2, 8-14, 16, 17
X A	JP 2006-049933 A (株式会社東芝) 2006. 02. 16, 段落[0017]-[0030], 図 1, 3, 4 (ファミリーなし)	1-4, 15 5-14, 16, 17
A	WO 2016/051970 A1 (富士電機株式会社) 2016. 04. 07, 段落[0013]-[0050], 図 1-4 & US 2017/0018434 A1, 段落[0030]-[0061], 図 1-4 & CN 106062960 A	1-17