



(12) 发明专利

(10) 授权公告号 CN 102738141 B

(45) 授权公告日 2015. 03. 04

(21) 申请号 201110081711. 2

审查员 毕长栋

(22) 申请日 2011. 03. 29

(73) 专利权人 旺宏电子股份有限公司  
地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 陈信良 陈永初 吴锡垣

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021  
代理人 周国城

(51) Int. Cl.  
H01L 27/02(2006. 01)  
H01L 29/74(2006. 01)  
H01L 21/8228(2006. 01)

(56) 对比文件  
CN 1402358 A, 2003. 03. 12,  
CN 101315929 A, 2008. 12. 03,  
US 2010/0103570 A1, 2010. 04. 29,

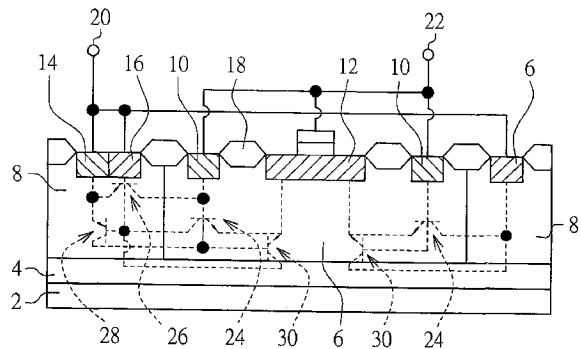
权利要求书2页 说明书4页 附图4页

(54) 发明名称

半导体结构及其制造方法与操作方法

(57) 摘要

本发明公开了一种半导体结构及其制造方法与操作方法。半导体结构包括第一阱区、第二阱区、第一掺杂区、第二掺杂区、阳极与阴极。第二阱区邻近第一阱区。第一掺杂区位于第二阱区上。第二掺杂区位于第一阱区上。阳极耦接至第一掺杂区与第二阱区。阴极耦接至第一阱区与第二掺杂区。第一阱区与第一掺杂区具有第一导电型。第二阱区与第二掺杂区具有第二导电型。第二导电型相反于第一导电型。



1. 一种半导体结构,包括:

- 一第一阱区;
- 一第二阱区,邻近该第一阱区;
- 一第一掺杂区,位于该第二阱区上;
- 一第二掺杂区,位于该第一阱区;
- 一阳极,耦接至该第一掺杂区与该第二阱区;及
- 一阴极,耦接至该第一阱区与该第二掺杂区;

其中,该第一阱区与该第一掺杂区具有一第一导电型,该第二阱区及该第二掺杂区具有一第二导电型,该第二导电型相反于该第一导电型;该第二阱区、该第一阱区与该第二掺杂区形成一第一双极结晶体管,该第一双极结晶体管具有一第一元件类型;该第一掺杂区、该第二阱区与该第一阱区形成一第二双极结晶体管,该第二双极结晶体管具有一第二元件类型,该第二元件类型相反于该第一元件类型。

2. 根据权利要求1所述的半导体结构,其中该第一元件类型是NPN型,该第二元件类型是PNP型。

3. 根据权利要求1所述的半导体结构,其中该第一双极结晶体管与该第二双极结晶体管是电性并联。

4. 根据权利要求1所述的半导体结构,其中,

该第二阱区是该第一双极结晶体管的集极,该第一阱区是该第一双极晶体管的基极,该第二掺杂区是该第一双极晶体管的射极,

该第一掺杂区是该第二双极晶体管的射极,该第二阱区是该第二双极晶体管的基极,该第一阱区是该第二双极晶体管的集极。

5. 根据权利要求1所述的半导体结构,其中该第一导电型是P型,该第二导电型是N型。

6. 一种半导体结构的制造方法,包括:

- 形成互相邻近的一第一阱区与一第二阱区;
- 形成一第一掺杂区于该第二阱区上;
- 形成一第二掺杂区于该第一阱区上;
- 耦接一阳极至该第一掺杂区与该第二阱区;及
- 耦接一阴极至该第一阱区与该第二掺杂区;

其中,该第一阱区与该第一掺杂区具有一第一导电型,该第二阱区与该第二掺杂区具有一第二导电型,该第二导电型相反该第一导电型;该第二阱区、该第一阱区与该第二掺杂区形成一第一双极结晶体管,该第一双极结晶体管具有一第一元件类型;该第一掺杂区、该第二阱区与该第一阱区形成一第二双极结晶体管,该第二双极结晶体管具有一第二元件类型,该第二元件类型相反于该第一元件类型。

7. 一种半导体结构的操作方法,包括:

- 提供一半导体结构,包括:
  - 一第一阱区;
  - 一第二阱区,邻近该第一阱区;
  - 一第一掺杂区,位于该第二阱区上;及

一第二掺杂区,位于该第一阱区上,其中,该第一阱区与该第一掺杂区具有一第一导电型,该第二阱区与该第二掺杂区具有一第二导电型,第二导电型相反该第一导电型;

开启一第一双极结晶体管,该第一双极结晶体管具有一第一元件类型,并且是由该第二阱区、该第一阱区与该第二掺杂区所形成;及

开启一第二双极结晶体管,该第二双极结晶体管具有一第二元件类型,该第二元件类型相反于该第一元件类型,且该第二双极结晶体管是由该第一掺杂区、该第二阱区与该第一阱区所形成,其中该第一双极结晶体管与该第二双极结晶体管是电性并联。

8. 根据权利要求 7 所述的半导体结构的操作方法,更包括:

耦接一阳极至该第一掺杂区与该第二阱区;及

耦接一阴极至该第一阱区与该第二掺杂区。

9. 根据权利要求 7 所述的半导体结构的操作方法,其中该第二双极结晶体管是在该第一双极结晶体管开启之后开启。

## 半导体结构及其制造方法与操作方法

### 技术领域

[0001] 本发明是有关于半导体结构及其制造方法与操作方法，特别是有关于具有并联的 NPN BJT 与 PNP BJT 的半导体结构及其制造方法与操作方法。

### 背景技术

[0002] 静电放电 (ESD) 是不同物体与静电电荷累积之间静电电荷转移的现象。ESD 发生的时间非常的短暂，只在几个纳米秒的程度之内。ESD 事件中产生非常高的电流，且电流值通常是几安培。因此，一旦 ESD 产生的电流流过半导体集成电路，半导体集成电路通常会被损坏。故当半导体集成电路中产生高压 (HV) 静电电荷时，电源线之间的 ESD 防护装置必须提供放电路径以避免半导体集成电路受到损坏。

[0003] 然而，一般 ESD 防护装置需要额外的大设计面积与额外的工艺。因此成本增加。请参照图 1，举例来说，一般硅控整流器 (SCR) 中 PNP 双极晶体管 (BJT) 与 NPN BJT 是电性串联。此外，一般具有低维持电压的 ESD 防护装置在正常的操作过程中容易发生闩锁。

### 发明内容

[0004] 有鉴于此，本发明的一个目的在于提供一种半导体结构。该半导体结构包括第一阱区、第二阱区、第一掺杂区、第二掺杂区、阳极与阴极。第二阱区邻近第一阱区。第一掺杂区位于第二阱区上。第二掺杂区位于第一阱区上。阳极耦接至第一掺杂区与第二阱区。阴极耦接至第一阱区与第二掺杂区。第一阱区与第一掺杂区具有第一导电型。第二阱区与第二掺杂区具有第二导电型。第二导电型相反于第一导电型。

[0005] 本发明的另一个目的在于提供一种半导体结构的制造方法。该方法包括以下步骤。形成互相邻近的第一阱区与第二阱区。形成第一掺杂区于第二阱区上。形成第二掺杂区于第一阱区上。耦接阳极于第一掺杂区与第二阱区。耦接阴极于第一阱区与第二掺杂区。第一阱区与第一掺杂区具有第一导电型。第二阱区与第二掺杂区具有第二导电型。第二导电型相反于第一导电型。

[0006] 本发明的再一个目的在于提供一种半导体结构的操作方法。方法包括以下步骤。提供半导体结构。半导体结构包括第一阱区、第二阱区、第一掺杂区与第二掺杂区。第二阱区邻近于第一阱区。第一掺杂区位于第二阱区上。第二掺杂区位于第一阱区上。第一阱区与第一掺杂区具有第一导电型。第二阱区与第二掺杂区具有第二导电型。第二导电型相反于第一导电型。开启由第二阱区、第一阱区与第二掺杂区形成的具有第一元件类型的第一双极晶体管 (BJT)。开启由第一掺杂区、第二阱区与第一阱区形成的具有第二元件类型的第二 BJT。第一元件类型相反于第二元件类型。第一 BJT 与第二 BJT 是电性并联。

[0007] 以下参照图示作说明。

### 附图说明

[0008] 图 1 绘示一般半导体结构的等效电路。

- [0009] 图 2 绘示根据一实施例的半导体结构的上视图。
- [0010] 图 3 绘示图 2 的半导体结构沿 AB 线的剖面图。
- [0011] 图 4 绘示根据一实施例的半导体结构的上视图。
- [0012] 图 5 绘示图 4 半导体结构沿 CD 线的剖面图。
- [0013] 图 6 绘示根据一些实施例的半导体结构的等效电路。
- [0014] 图 7 绘示一实施例的半导体结构的 I-V 曲线图。
- [0015] 图 8 绘示一比较例的半导体结构的 I-V 曲线图。
- [0016] **【主要元件符号说明】**
- [0017] 2 :衬底层
- [0018] 4 :埋藏层
- [0019] 6、106 :第一阱区
- [0020] 8 :第二阱区
- [0021] 10 :第三掺杂区
- [0022] 12、112 :第二掺杂区
- [0023] 14 :第一掺杂区
- [0024] 16 :第四掺杂区
- [0025] 18 :绝缘元件
- [0026] 20、132 :阳极
- [0027] 22、122 :阴极
- [0028] 24 :第一双极晶体管 (BJT)
- [0029] 26、28 :第二 BJT
- [0030] 30 :第三 BJT
- [0031] 134 :介电层
- [0032] 136 :电极层

### 具体实施方式

[0033] 图 2 绘示根据一实施例的半导体结构的上视图。图 3 绘示图 2 的半导体结构沿 AB 线的剖面图。图 4 绘示根据一实施例的半导体结构的上视图。图 5 绘示图 4 的半导体结构沿 CD 线的剖面图。图 6 绘示根据一些实施例的半导体结构的等效电路。图 7 绘示一实施例的半导体结构的 I-V 曲线图。图 8 绘示一比较例的半导体结构的 I-V 曲线图。

[0034] 请参照图 3, 半导体结构包括衬底层 2。衬底层 2 可为块材例如硅, 或以掺杂或外延成长的方式形成。埋藏层 4 形成于衬底层 2 上。埋藏层 4 可以掺杂或外延成长的方式形成。埋藏层 4 可为深阱或具有多层的叠层结构。于一些实施例中, 是省略埋藏层 4。第一阱区 6 形成于埋藏层 4 上。第二阱区 8 形成于埋藏层 4 上。第一阱区 6 与第二阱区 8 是互相邻近。于一些实施例中, 举例来说, 第一阱区 6 与第二阱区 8 是分别通过掺杂形成于衬底上的掩模层 (未显示) 露出的衬底所形成。在掺杂步骤之后, 移除掩模层。

[0035] 绝缘元件 18 形成于第一阱区 6 与第二阱区 8 上。绝缘元件 18 并不限于如图 3 所示的区域氧化硅 (LOCOS)。于一些实施例中, 绝缘元件 18 也可浅沟槽隔离 (STI)。绝缘元件 18 可包括氧化物例如氧化硅。

[0036] 第一掺杂区 14 形成于第二阱区 8 上。第二掺杂区 12 形成于第一阱区 6 上。第三掺杂区 10 形成于第一阱区 6 上。第四掺杂区 16 形成于第二阱区 8 上。于一些实施例中,举例来说,第一掺杂区 14、第二掺杂区 12、第三掺杂区 10 与第四掺杂区 16 是分别通过掺杂衬底,例如形成于衬底上的掩模层(未显示)露出的第一阱区 6 与第二阱区 8 所形成。在掺杂步骤之后,移除掩模层。于一实施例中,第一掺杂区 14 是邻近第四掺杂区 16 的一部分,如图 2 所示。

[0037] 请参照图 3,在一些实施例中,衬底层 2、第一阱区 6、第三掺杂区 10 与第一掺杂区 14 具有第一导电型。此外,埋藏层 4、第二阱区 8、第二掺杂区 12 与第四掺杂区 16 具有与第一导电型相反的第二导电型。举例来说,第一导电型是 P 型,第二导电型是 N 型。第一阱区 6 的掺杂浓度可高于衬底层 2 的掺杂浓度。第三掺杂区 10 与第一掺杂区 14 的掺杂浓度可分别高于第一阱区 6 的掺杂浓度。埋藏层 4、第二掺杂区 12 与第四掺杂区 16 的掺杂浓度可分别高于第二阱区 8 的掺杂浓度。

[0038] 请参照图 3,于一实施例中,阳极 20 耦接至第一掺杂区 14,且也耦接至第四掺杂区 16、第二阱区 8 与埋藏层 4。此外,阴极 22 耦接至第二掺杂区 12 且也耦接至第三掺杂区 10 与第一阱区 6。

[0039] 请参照图 3,于一实施例中,第二阱区 8、第一阱区 6 与第二掺杂区 12 形成具有第一元件类型的第一双极结晶体管(BJT)24。第一掺杂区 14、第二阱区 8 与第一阱区 6 形成具有第二元件类型的第二 BJT 26 与 28。第一元件类型是相反于第二元件类型。埋藏层 4、第一阱区 6 与第二掺杂区 12 形成具有第一元件类型的第三 BJT 30。举例来说,第一元件类型是 NPN 型,且第二元件类型是 PNP 型。于其它实施例中,也可使用具有相反类型的金属氧化半导体晶体管(MOS)(例如 NMOS 与 PMOS)或具有相反类型(N 型与 P 型)的场效应晶体管。

[0040] 如图 3 所示,第二阱区 8、第一阱区 6 与第二掺杂区 12 可分别为第一 BJT 24 的集极、基极与射极。第一掺杂区 14、第二阱区 8 与第一阱区 6 分别为第二 BJT 26 与 28 的射极、基极与集极。第一 BJT 24 与第二 BJT 26 是电性并联。第一 BJT 24 与第二 BJT 28 也是电性并联。埋藏层 4、第一阱区 6 与第二掺杂区 12 分别为第三 BJT 30 的集极、基极与射极。

[0041] 图 5 所示的半导体结构与图 3 所示的半导体结构的不同处在于,栅极 132 是形成于两个第二掺杂区 112 之间的第一阱区 106 上。栅极 132 包括介电层 134 与电极层 136。电极层 136 形成于介电层 134 上。电极层 136 可以单晶硅或双晶硅工艺形成。此外,电极层 136 耦接至阴极 122。

[0042] 半导体结构可用作 ESD 装置。NPN BJT 与 PNP BJT 是整合至一 ESD 装置。因此可缩减金属导线与 ESD 装置的布局面积。实施例中半导体结构的总设计面积是小于一般的 ESD 装置。半导体结构不具有场板效应,因此对路线安排不敏感。半导体结构可通过标准的 BCD 工艺制造。因此,不需要额外的掩模或工艺。实施例的半导体结构可应用于任何适当的工艺或操作电压(高压(HV)或低压(LV)装置),例如一般的 DC 电路操作。

[0043] 于实施例中,具有电性并联的第一 BJT 与第二 BJT 的半导体结构的等效电路是如图 6 所示。

[0044] 于一操作方法中,是以逐步(stage by stage)的方式开启第一 BJT 与第二 BJT 用以作高压 ESD 防护结构。举例来说,PNP BJT 是在 NPN BJT 触发且开启之后开启。如图 7

所示,在操作过程中,是触发开启 NPN BJT。骤回是由 PNP BJT 的开启决定。ESD 装置的开启电阻 ( $R_{on}$ ; I-V 曲线图的斜率) 是在骤回决定之后得到。开启的 NPN BJT 与 PNP BJT 同时放电的 ESD 电流是高的。如图 7 所示的实施例的半导体结构的  $R_{on}$  是小于如图 8 所示的具有一般 NPN BJT 的比较例的  $R_{on}$ 。相较于比较例,实施例的半导体结构的单元节距 (cell pitch) 缩减 53.24%。维持电压与第二击穿触发电流分别增进 21.14% 与 60.12%。于其它实施例中,装置可通过施加至栅极或基极的额外偏压提前开启。

[0045] 于实施例中,半导体结构的击穿电压近似 HV 装置操作电压。触发电压低于 HV 装置的击穿电压。维持电压高。因此,举例来说,相较于一般的硅控整流器 (SCR),实施例的半导体结构能更轻易地避免发生闩锁。

[0046] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟悉此项技艺者,在不脱离本发明的精神和范围内,当可做些许更动与润饰,因此本发明的保护范围当视随附的权利要求范围所界定的为准。

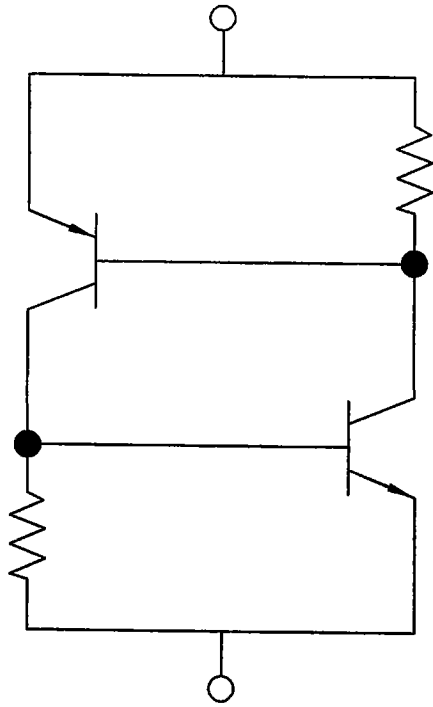


图 1

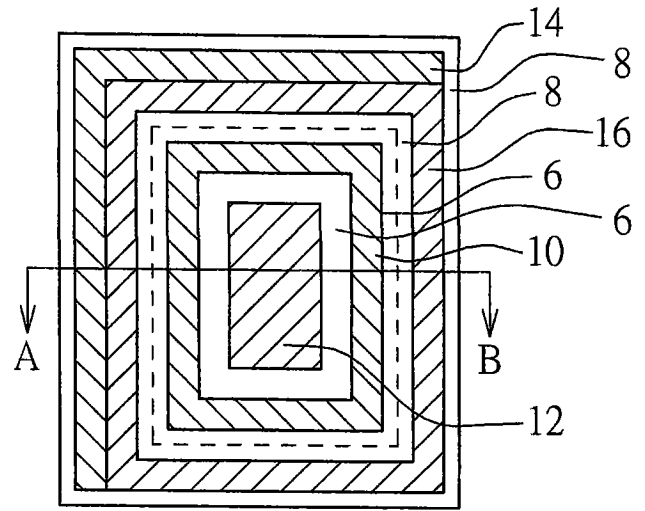


图 2

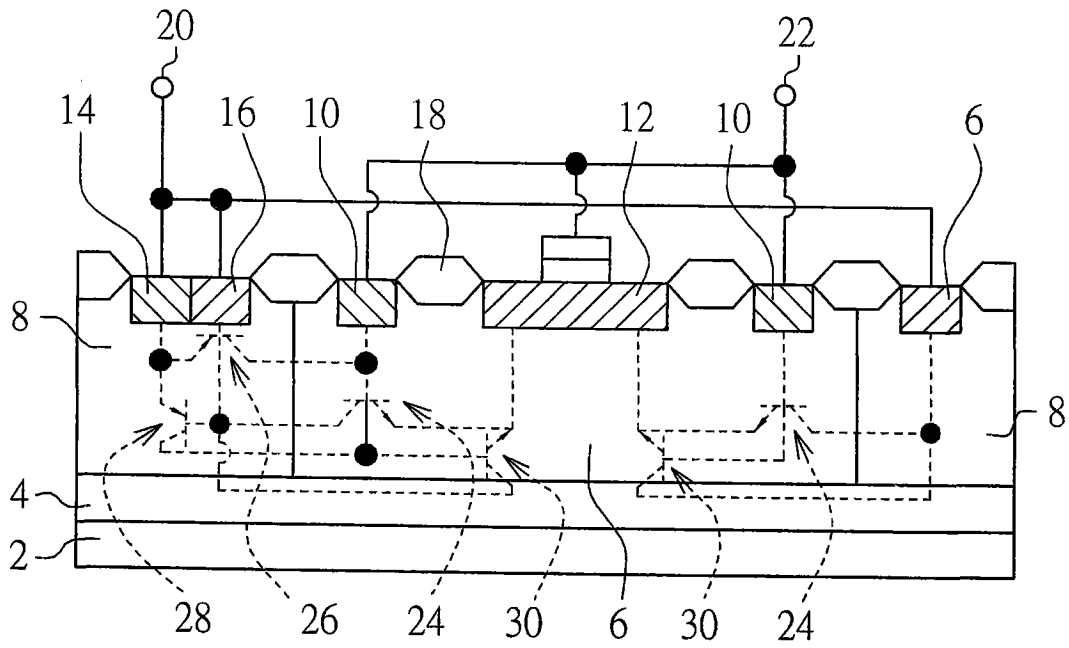


图 3



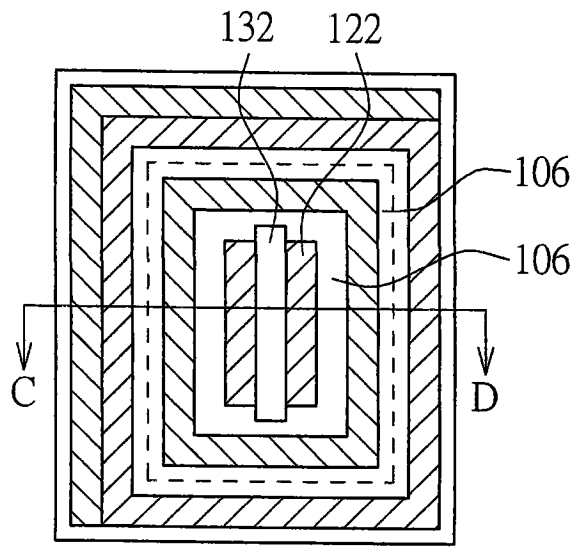


图 4

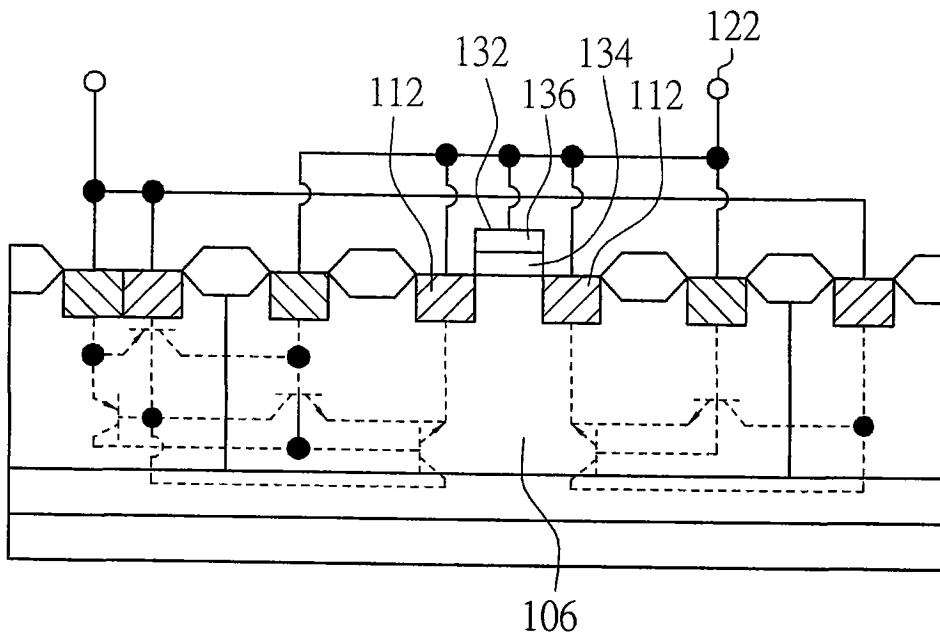


图 5

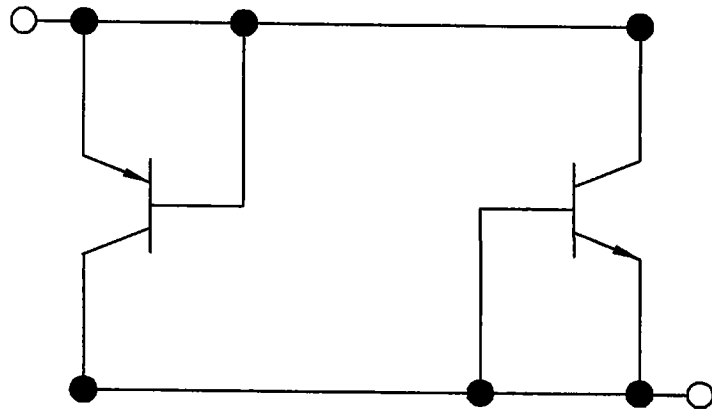


图 6

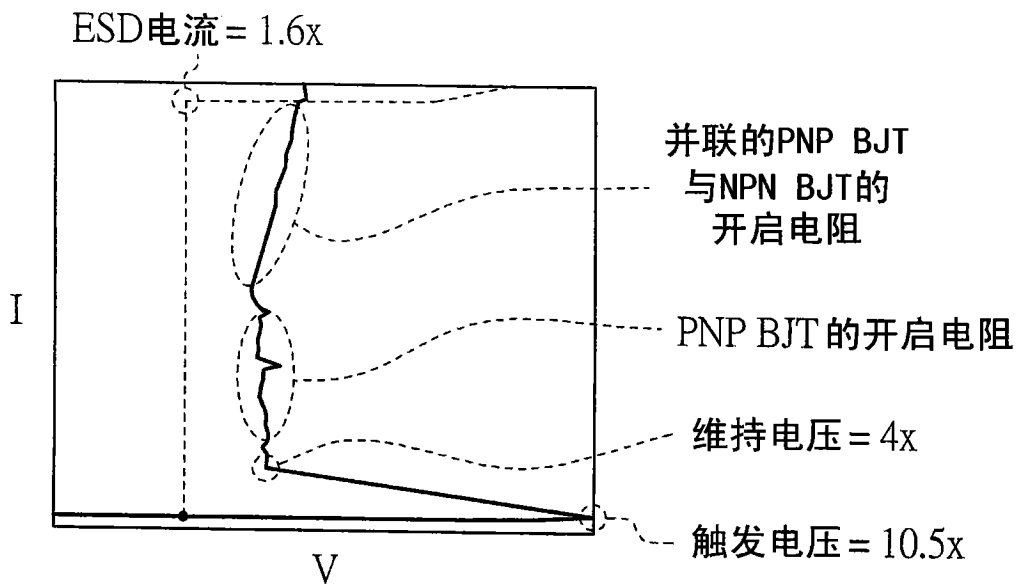


图 7

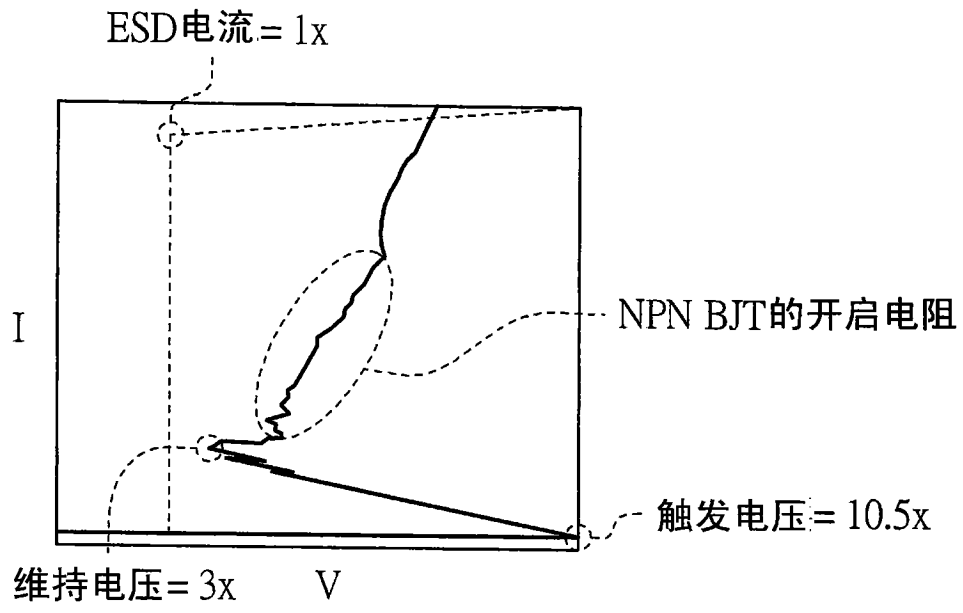


图 8