

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】 第 6 部門第 4 区分  
 【発行日】 平成 18 年 4 月 6 日 (2006.4.6)

【公開番号】 特開 2004-111029(P2004-111029A)  
 【公開日】 平成 16 年 4 月 8 日 (2004.4.8)  
 【年通号数】 公開・登録公報 2004-014  
 【出願番号】 特願 2003-301117(P2003-301117)  
 【国際特許分類】

**G 1 1 C 29/12 (2006.01)**

**G 0 1 R 31/28 (2006.01)**

**G 0 1 R 31/3183 (2006.01)**

【F I】

G 1 1 C 29/00 6 7 1 B

G 0 1 R 31/28 B

G 0 1 R 31/28 Q

G 0 1 R 31/28 V

【手続補正書】

【提出日】 平成 18 年 2 月 17 日 (2006.2.17)

【手続補正 1】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のクロックで動作するメモリと、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値および前記第 3 のクロックの信号値のいずれか一方に応じて選択的に出力し、前記メモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 2】

第 1 のクロックで動作するメモリと、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値に応じて選択的に出力し、前記メモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 3】

第 1 のクロックで動作するメモリと、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータ

を生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値0を付加して第2のテストデータを生成するLSB0処理部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値1を付加して第3のテストデータを生成するLSB1処理部と、

前記LSB0処理部および前記LSB1処理部からそれぞれ出力される前記第2および第3のテストデータのいずれか一方を前記第2のクロックの信号値に応じて選択的に出力し、前記メモリへ第4のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項4】

前記第2のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項3に記載の半導体集積回路。

【請求項5】

第1のクロックで動作するメモリと、

前記第1のクロックの1/2の周波数の第2のクロックで動作し、第1のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値0を付加して第2のテストデータを生成するLSB0処理部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値1を付加して第3のテストデータを生成するLSB1処理部と、

前記第2のクロックと前記第2のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記LSB0処理部および前記LSB1処理部からそれぞれ出力される前記第2および第3のテストデータのいずれか一方を前記クロック選択部の出力に応じて選択的に出力し、前記メモリへ第4のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項6】

第1のクロックで動作するメモリと、

前記第1のクロックに同期して前記メモリから出力される第1の出力データを、前記第1のクロックの1/2の周波数の第2のクロックによって取り込む記憶素子と、

前記第2のクロックによって動作し、前記記憶素子から出力される第2の出力データと、前記第1の出力データの直後に前記メモリから出力される第3の出力データとを、それぞれ所定の期待値と比較する期待値比較部とを備えた半導体集積回路。

【請求項7】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択的に出力し、前記ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項8】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項9】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値0を付加して第2のテストデータを生成するLSB0処理部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値1を付加して第3のテストデータを生成するLSB1処理部と、

前記LSB0処理部および前記LSB1処理部からそれぞれ出力される前記第2および第3のテストデータのいずれか一方を前記第2のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第4のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項10】

前記第2のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項9に記載の半導体集積回路。

【請求項11】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックと同じ周波数の第2のクロックで動作し、第1のテストデータを生成するテストパターン生成部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値0を付加して第2のテストデータを生成するLSB0処理部と、

前記テストパターン生成部で生成される前記第1のテストデータに最下位ビットとして数値1を付加して第3のテストデータを生成するLSB1処理部と、

前記第2のクロックと前記第2のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記LSB0処理部および前記LSB1処理部からそれぞれ出力される前記第2および第3のテストデータのいずれか一方を前記クロック選択部の出力に応じて選択的に出力し、前記ダブルデータレートメモリへ第4のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項12】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックに同期して前記ダブルデータレートメモリから出力される第1の出力データを、前記第1のクロックと同じ周波数の第2のクロックによって取り込む記憶素子と、

前記第2のクロックによって動作し、前記記憶素子から出力される第2の出力データと、前記第1の出力データの直後に前記ダブルデータレートメモリから出力される第3の出力データとを、それぞれ所定の期待値と比較する期待値比較部とを備えた半導体集積回路。

【請求項13】

第1のクロックで動作するメモリのテスト方法であって、

前記第1のクロックの1/2の周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択して前記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項14】

第1のクロックで動作するメモリのテスト方法であって、

前記第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成し、前記第1のテストデータに最下位ビットとして数値0を付加して第2のテストデータを生成するとともに、前記第1のテストデータに最下位ビットとして数値1を付加して第3のテストデータを生成し、前記第2および第3のテストデータのいずれか一方を前記第2のクロックの信号値に応じて選択して、前記メモリに入力することを特徴とするメモリのテスト方法。

【請求項15】

第1のクロックで動作するメモリのテスト方法であって、

第1のクロックに同期してメモリから出力される第1のデータを、前記第1のクロックの $1/2$ の周波数の第2のクロックによって第2のデータとして保持し、前記第2のデータと、前記第1のデータの直後に前記第1のクロックに同期して前記メモリから出力される第3のデータとを、前記第2のクロックによってそれぞれ所定の期待値と比較することを特徴とするメモリのテスト方法。

【請求項16】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項17】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成し、前記第1のテストデータに最下位ビットとして数値0を付加して第2のテストデータを生成するとともに、前記第1のテストデータに最下位ビットとして数値1を付加して第3のテストデータを生成し、前記第2および第3のテストデータのいずれか一方を前記第2のクロックの信号値に応じて選択して、前記ダブルデータレートメモリに入力することを特徴とするメモリのテスト方法。

【請求項18】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

第1のクロックに同期してダブルデータレートメモリから出力される第1のデータを、前記第1のクロックと同じ周波数の第2のクロックによって第2のデータとして保持し、前記第2のデータと、前記第1のデータの直後に前記第1のクロックに同期して前記ダブルデータレートメモリから出力される第3のデータとを、前記第2のクロックによってそれぞれ所定の期待値と比較することを特徴とするメモリのテスト方法。

【請求項19】

前記第2のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項1に記載の半導体集積回路。

【請求項20】

前記第2のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項2に記載の半導体集積回路。

【請求項21】

前記第2のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項7に記載の半導体集積回路。

【請求項22】

前記第2のクロックを遅延し、遅延クロックとして前記テストデータ選択部に与える遅延回路を設けたことを特徴とする請求項8に記載の半導体集積回路。

【請求項23】

第 1 のクロックで動作するメモリと、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 2 のクロックと前記第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記クロック選択部の出力に応じて選択的に出力し、前記メモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 24】

第 1 のクロックで動作するメモリと、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 2 のクロックと前記第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記クロック選択部の出力に応じて選択的に出力し、前記メモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 25】

第 1 のクロックで動作するダブルデータレートメモリと、

前記第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 2 のクロックと前記第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記クロック選択部の出力に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 26】

第 1 のクロックで動作するダブルデータレートメモリと、

前記第 1 のクロックと同じ周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、

前記第 2 のクロックと前記第 2 のクロックの反転クロックとのいずれか一方を選択できるクロック選択部と、

前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記クロック選択部の出力に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 27】

第 1 のクロックで動作するメモリのテスト方法であって、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで第 1 のテストデータを生成す

るとともに、前記第2のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択して前記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項28】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項29】

第1のクロックで動作するメモリと、

前記第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項30】

第1のクロックで動作するメモリと、

前記第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項31】

第1のクロックで動作するメモリと、

前記第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項32】

第1のクロックで動作するメモリと、

前記第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備

えた半導体集積回路。

【請求項 33】

第 1 のクロックで動作するダブルデータレートメモリと、  
前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、  
前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、  
前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値および前記第 3 のクロックの信号値のいずれか一方に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 34】

第 1 のクロックで動作するダブルデータレートメモリと、  
前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、  
前記第 2 のクロックの反転クロックである第 3 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、  
前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 35】

第 1 のクロックで動作するダブルデータレートメモリと、  
前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、  
前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、  
前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 36】

第 1 のクロックで動作するダブルデータレートメモリと、  
前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、  
前記第 2 のクロックで動作し、第 2 のテストデータを生成する第 2 のテストパターン生成部と、  
前記第 1 のテストパターン生成部および前記第 2 のテストパターン生成部からそれぞれ出力される前記第 1 および第 2 のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、前記ダブルデータレートメモリへ第 3 のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項 37】

第 1 のクロックで動作するメモリのテスト方法であって、  
前記第 1 のクロックの  $1/4$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックの反転クロックである第 3 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値および前記第 3 のクロックの信号値のいずれか一方に応じて選択して前記メモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 38】

第 1 のクロックで動作するメモリのテスト方法であって、

前記第 1 のクロックの  $1/4$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックの反転クロックである第 3 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、制御信号に応じて選択して前記メモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 39】

第 1 のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックの反転クロックである第 3 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値および前記第 3 のクロックの信号値のいずれか一方に応じて選択して前記ダブルデータレートメモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 40】

第 1 のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックの反転クロックである第 3 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、制御信号に応じて選択して前記ダブルデータレートメモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 41】

第 1 のクロックで動作するメモリのテスト方法であって、

前記第 1 のクロックの  $1/4$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値に応じて選択して前記メモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 42】

第 1 のクロックで動作するメモリのテスト方法であって、

前記第 1 のクロックの  $1/4$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、制御信号に応じて選択して前記メモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 43】

第 1 のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、前記第 2 のクロックの信号値に応じて選択して前記ダブルデータレートメモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 44】

第 1 のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第 1 のクロックの  $1/2$  の周波数の第 2 のクロックで第 1 のテストデータを生成するとともに、前記第 2 のクロックで第 2 のテストデータを生成し、前記第 1 および第 2 のテストデータのいずれか一方を、制御信号に応じて選択して前記ダブルデータレートメモリへ第 3 のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項 45】

第 1 のクロックで動作するメモリと、

前記第 1 のクロックの周波数より低い周波数の第 2 のクロックで動作し、第 1 のテストデータを生成する第 1 のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項46】

第1のクロックで動作するメモリと、

前記第1のクロックの1/4の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2または第3のクロックから作られる制御信号に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項47】

第1のクロックで動作するメモリと、

前記第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項48】

第1のクロックで動作するメモリと、

前記第1のクロックの1/4の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックから作られる制御信号に応じて選択的に出力し、前記メモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項49】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択的に出力し、前記ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項50】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2または第3のクロックから作られる制御信号に応じて選択的に出力し、前記ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項51】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択的に出力し、前記ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項52】

第1のクロックで動作するダブルデータレートメモリと、

前記第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、

前記第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、

前記第1のテストパターン生成部および前記第2のテストパターン生成部からそれぞれ出力される前記第1および第2のテストデータのいずれか一方を、前記第2のクロックから作られる制御信号に応じて選択的に出力し、前記ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えた半導体集積回路。

【請求項53】

第1のクロックで動作するメモリのテスト方法であって、

前記第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択して前記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項54】

第1のクロックで動作するメモリのテスト方法であって、

前記第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2または第3のクロックから作られる制御信号に応じて選択して前記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

【請求項55】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値および前記第3のクロックの信号値のいずれか一方に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

## 【請求項 56】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックの1/2の周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2または第3のクロックから作られる制御信号に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

## 【請求項 57】

第1のクロックで動作するメモリのテスト方法であって、

前記第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択して前記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

## 【請求項 58】

第1のクロックで動作するメモリのテスト方法であって、

前記第1のクロックの1/4の周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックから作られる制御信号に応じて選択して前記メモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

## 【請求項 59】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックの信号値に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

## 【請求項 60】

第1のクロックで動作するダブルデータレートメモリのテスト方法であって、

前記第1のクロックの1/2の周波数の第2のクロックで第1のテストデータを生成するとともに、前記第2のクロックで第2のテストデータを生成し、前記第1および第2のテストデータのいずれか一方を、前記第2のクロックから作られる制御信号に応じて選択して前記ダブルデータレートメモリへ第3のテストデータとして入力することを特徴とするメモリのテスト方法。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

これらの構成によれば、第2のクロックと第2のクロックの反転クロックとのいずれか一方をクロック選択部で選択し、選択されたクロックに応じてテストデータ選択部で第1および第2のテストデータのいずれか一方を選択するようにしたので、クロック選択部の選択の状態を逆にすることで、第1および第2のテストデータを各々選択するタイミングを逆にすることができる。その結果、テストパターンの質が高くなるとともに、テストパターンとしてアドレス信号を与えるときにアドレス信号のインクリメントおよびデクリメントを選択的に行うことができる。その他は第1、第2、第6または第7の発明と同様である。

第21の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの1/2の周波数の第2のクロックで第1のテストデータを生

成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第22の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックと同じ周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第23の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第24の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第25の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第26の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第27の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択的に出力し、ダブルデータレートメモリへ第3

のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第6の発明と同様の作用効果を奏する。

第28の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第6の発明と同様の作用効果を奏する。

第29の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第7の発明と同様の作用効果を奏する。

第30の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、制御信号に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第7の発明と同様の作用効果を奏する。

第31の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第32の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、制御信号に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第33の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第34の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロック

クで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、制御信号に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

。

この方法によれば、第14の発明と同様の作用効果を奏する。

第35の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第36の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、制御信号に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第37の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第38の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、制御信号に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第39の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第40の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2または第3のクロックから作られる制御信号に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第41の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパター

ン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第42の発明の半導体集積回路は、第1のクロックで動作するメモリと、第1のクロックの $1/4$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックから作られる制御信号に応じて選択的に出力し、メモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第1の発明と同様の作用効果を奏する。

第43の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第6の発明と同様の作用効果を奏する。

第44の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックの反転クロックである第3のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2または第3のクロックから作られる制御信号に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第6の発明と同様の作用効果を奏する。

第45の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの周波数より低い周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第7の発明と同様の作用効果を奏する。

第46の発明の半導体集積回路は、第1のクロックで動作するダブルデータレートメモリと、第1のクロックの $1/2$ の周波数の第2のクロックで動作し、第1のテストデータを生成する第1のテストパターン生成部と、第2のクロックで動作し、第2のテストデータを生成する第2のテストパターン生成部と、第1のテストパターン生成部および第2のテストパターン生成部からそれぞれ出力される第1および第2のテストデータのいずれか一方を、第2のクロックから作られる制御信号に応じて選択的に出力し、ダブルデータレートメモリへ第3のテストデータとして入力するテストデータ選択部とを備えている。

この構成によれば、第7の発明と同様の作用効果を奏する。

第47の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロック

の信号値および第3のクロックの信号値のいずれか一方に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第48の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2または第3のクロックから作られる制御信号に応じて選択してメモリへ第3のテストデータとして入力する。

。

この方法によれば、第11の発明と同様の作用効果を奏する。

第49の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値および第3のクロックの信号値のいずれか一方に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第50の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックの反転クロックである第3のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2または第3のクロックから作られる制御信号に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第51の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第52の発明のメモリのテスト方法は、第1のクロックで動作するメモリのテスト方法であって、第1のクロックの $1/4$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックから作られる制御信号に応じて選択してメモリへ第3のテストデータとして入力する。

この方法によれば、第11の発明と同様の作用効果を奏する。

第53の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの周波数より低い周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックの信号値に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。

第54の発明のメモリのテスト方法は、第1のクロックで動作するダブルデータレートメモリのテスト方法であって、第1のクロックの $1/2$ の周波数の第2のクロックで第1のテストデータを生成するとともに、第2のクロックで第2のテストデータを生成し、第1および第2のテストデータのいずれか一方を、第2のクロックから作られる制御信号に応じて選択してダブルデータレートメモリへ第3のテストデータとして入力する。

この方法によれば、第14の発明と同様の作用効果を奏する。