



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0028065
(43) 공개일자 2018년03월15일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 23/48</i> (2006.01) <i>H01L 21/02</i> (2006.01)
 <i>H01L 21/50</i> (2006.01) <i>H01L 23/00</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 23/48</i> (2013.01)
 <i>H01L 21/02</i> (2013.01)</p> <p>(21) 출원번호 10-2018-0025374(분할)
 (22) 출원일자 2018년03월02일
 심사청구일자 없음</p> <p>(62) 원출원 특허 10-2016-0182703
 원출원일자 2016년12월29일
 심사청구일자 2016년12월29일</p> <p>(30) 우선권주장
 13/725,539 2012년12월21일 미국(US)</p> | <p>(71) 출원인
 인텔 코퍼레이션
 미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200</p> <p>(72) 발명자
 오카, 미히르 에이.
 미국 85226 아리조나주 챌들러 넘버2026 노쓰 루얼 로드 900
 마네팔리, 라홀 엔.
 미국 85286 아리조나주 챌들러 사우쓰 파고 코트 1158
 (뒷면에 계속)</p> <p>(74) 대리인
 양영준, 백만기</p> |
|--|---|

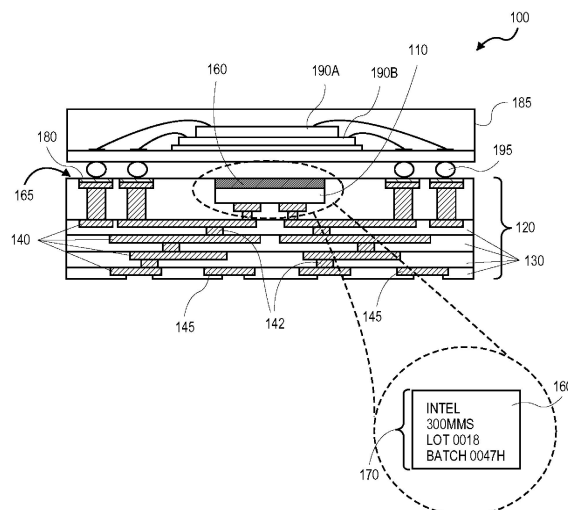
전체 청구항 수 : 총 1 항

(54) 발명의 명칭 **내장된 다이 패키지의 다이 후면 필름상의 레이저 마크 콘트라스트 개선을 위한 마이크로전자 패키지 및 마이크로전자 패키징 방법**

(57) 요약

콘택 포인트를 갖는 디바이스 측을 포함하는 다이; 및 상기 다이의 디바이스 측 상에 배치된 빌드-업 캐리어; 및 적어도 20%의 마크 콘트라스트를 포함하는 마킹 가능한 재료를 포함하는, 상기 다이의 후면 상에 배치된 필름을 포함하는 장치. 다이의 디바이스 측에 인접하여 빌드-업 캐리어의 몸체를 형성하는 단계; 및 적어도 20%의 마크 콘트라스트를 포함하는 마킹 가능한 재료를 포함하는 필름을 다이의 후면 상에 형성하는 단계를 포함하는 방법. 캐리어에 배치된 마이크로프로세서를 포함하는 패키지; 적어도 20%의 마크 콘트라스트를 포함하는 마킹 가능한 재료를 포함하는, 마이크로프로세서의 후면 상의 필름; 및 캐리어의 복수의 도전 포스트의 적어도 일부에 결합된 인쇄 회로 기판을 포함하는 장치.

대표도 - 도1



(52) CPC특허분류

H01L 21/50 (2013.01)

H01L 24/19 (2013.01)

H01L 2224/48227 (2013.01)

(72) 발명자

수, 덩잉

미국 85238 아리조나주 마리코파 웨스트 팔덴 드라
이브 44263

가나오까, 요스께

일본 305-0005 쓰꾸바 08 룸 107 아마꾸보 3-11-23

보로노브, 세르게이 엘.

미국 85249 아리조나주 찬들러 이스트 팜 비치 드
라이브 2952

선, 동 하이

미국 85226 아리조나주 찬들러 엠/에스

씨에이치2-205 웨스트 찬들러 블러바드 5000

명세서

청구범위

청구항 1

제1항에 기재된 장치.

발명의 설명

기술 분야

[0001] 본 발명은 마이크로전자 디바이스용 패키징에 관한 것이다.

배경 기술

[0002] 기관 또는 다른 캐리어에 실리콘 다이(예를 들어, 마이크로프로세서)를 기계적 및 전기적으로 부착하는 기술을 포함하여, 마이크로전자 패키징 기술은 계속해서 개량 및 개선되어 왔다. BBUL(Bumpless Build-Up Layer) 기술이 패키징 아키텍처에 대한 한 접근법이다. 그의 장점 가운데, BBUL은 조립의 필요성을 없애고, 이전의 솔더 볼(solder ball) 상호접속(예를 들어, 플립-칩(flip-chip) 상호접속)을 없애고, 다이-대-기관 열팽창 계수(CTE 불일치)로 인한 다이의 저유전율(low-k) 중간층 유전체 상의 응력(stress)을 감소시키며, 개선된 입/출력(I/O) 및 전력 전달 성능을 위해 코어 및 플립-칩 상호접속을 제거함으로써 패키지 인덕턴스를 감소시킨다.

[0003] 휴대 전화, PDA(personal digital assistance) 및 디지털 카메라와 같은 휴대용 전자제품은 점점 더 소형이 되는 반면 기능성은 증가한다. 처리 능력에 있어서 더 많은 특징에 대한 수요가, 더 작은 집적 회로 패키지 유평에 대한 필요와 결합하여, 조립 기술을 그러한 전자제품들에 도입시켰다. 실시예는 플립-칩 또는 직접 칩 부착을 포함한다. 내장된(embedded) 다이 패키지(예를 들어, BBUL 패키지)는 플립-칩 또는 직접 칩 부착 기술에 비해 다수의 장점을 제공하는 패키징 기술이다. 상기 장점은 원가, z-높이, 개선된 범프 피치 확장성 및 x-, y-폼 팩터의 감소를 포함한다.

[0004] 휴대용 전자 디바이스의 제조사 및 소비자는 디바이스에 사용된 칩 또는 패키지가, 특정 칩 및/또는 패키지가 식별될 수 있도록, 회사 로고, 핀 배향, 로트 번호와 같은 제조 내력, 시간/날짜 이력 추적 등과 같은 식별 마크를 포함하는 것을 원한다. 종래에는, 식별 마크가 웨이퍼 형태로 레이저 마킹을 갖는 외부 패키지 상에 배치된다. 디바이스의 소형화로 인해 종래의 패키지가 사라지게 되었고 종래의 식별 마크에 대한 공간이 거의 남지 않게 되었다.

[0005] 다이 후면 필름은 휴대 전화 및 태블릿 플랫폼에 관련된 패키징 기술을 포함하는 패키징 기술에 사용된다. 상기 필름은 다이 균열 방지뿐만 아니라 유닛 레벨 식별을 위한 레이저 마킹 가능한 표면과 같은 다수의 기능성을 제공한다. 다이 후면 필름상에 품질 식별 마크를 제공하기 위해서, 마크는 판독가능해야 한다. 이는 필요할 경우 생산 현장에서 항상 확인될 수 있으므로 제조 공장에서 최고의 안정 수준(comfort level)을 제공한다. 식별 마크가 판독가능하도록 하기 위해, 사람 및 머신 비전(machine vision) 시스템 모두를 위해 적절한 수준의 콘트라스트가 요구된다. BBUL과 같은 다이 내장형 패키지 기술에서, 기관 빌드 업(build up) 전에 패널에 다이를 접합하기 위해 다이 후면 필름이 사용된다. 하지만, 희생 코어로부터 패키지를 디패널링(depanting)하고 분리한 후에, 주로 BBUL 패키지 조립 중에 사용된 열적 기계적 공정 조작으로 인해, 다이 후면 필름 표면은 더 이상 적절한 레이저 마킹 가능한 표면이 아닌 것으로 확인되었다. 그 결과, BBUL 패키징에서 유닛 레벨 식별을 유지하기 위한 실행가능한 전략은 존재하지 않는다.

도면의 간단한 설명

[0006] 도 1은 빌드-업 캐리어에 내장된 다이를 포함하는 마이크로전자 패키지의 일부의 한 실시형태의 단면도를 도시한다.

도 2는 희생 기관의 대향 측에 희생 구리 호일이 부착된 희생 기관의 분해 측단면도이다.

도 3은 도 2의 구조체에, 캐리어의 한 부분을 형성하는 공정에서 구리 호일 상에 콘택 및 콘택 위에 유전체 층

을 도입한 후의 모습을 도시한다.

도 4는 도 3의 구조체에, 구조체의 대향 측 상에 다이를 도입한 후의 모습을 도시한다.

도 5는 도 4의 구조체에, 다이 상에 유전체 재료를 도입한 후의 모습을 도시한다.

도 6은 도 5의 구조체에, 유전체 층에 비아를 개방한 후의 모습을 도시한다.

도 7은 도 6의 구조체에, 비아에 도전 재료를 도입하고, 유전체 상에 도전 층 또는 라인을 패터닝한 후의 모습을 도시한다.

도 8은 도 7의 구조체에, 구조체의 대향 측 상에 유전체 재료 및 도전 재료(제2층)의 연속 층을 도입한 후의 모습을 도시한다.

도 9는 도 8의 구조체에, 구조체의 대향 측 상에 유전체 재료 및 도전 재료(제3층 및 제4층)의 연속 층을 도입한 후에, 패드 또는 랜드로 정의된 최종 도전 재료 층 및 최종 도전 재료 층 상의 유전체 재료를 갖는 모습을 도시한다.

도 10은 도 9의 구조체에, 구조체의 대향 측 상의 최종 도전 재료 층의 패드 또는 랜드로 각각에 개구부를 형성한 후의 모습을 도시한다.

도 11은 도 10의 구조체를 개별 패키지로 분리하고 전자기 방사선 마킹 공정을 수행한 후의 모습을 도시한다.

도 12는 컴퓨팅 디바이스의 개략적 예시를 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0007] 도 1은 한 실시형태에 따른 마이크로전자 패키지의 단면도를 도시한다. 도 1에 예시된 바와 같이, 마이크로전자 패키지(100)는 BBUL(build-up layer) 기술을 이용한다. 마이크로전자 패키지(100)는 캐리어(120)(빌드-업 캐리어), 및 디바이스 층을 아래로 하여(보이는 바와 같이) 캐리어(120)에 내장된, 마이크로프로세서 다이와 같은 다이(110)를 포함한다. 다이(110) 및 캐리어(120)는 서로 물리적으로 바로 접한다(예를 들어, 캐리어(120)에 다이(110)를 연결하는 솔더 범프가 없음).
- [0008] 한 실시형태에서, 다이(110)는 두께가 약 150 μm 인 실리콘 다이 등이다. 다른 실시예에서, 다이(110)는 두께가 150 μm 미만, 예를 들어 50 μm 내지 150 μm 인 실리콘 다이 등일 수 있다. 다른 두께의 다이(110)가 가능함이 이해된다. 다른 실시형태에서, 다이(110)는 다이(110)의 후면 측 상에 콘택을 갖는 실리콘 관통 비아(through silicon via, TSV) 다이일 수 있다.
- [0009] 도 1을 참조하면, 캐리어(120)는 예를 들어 ABF의 유전체 층(130)(4개가 도시됨), 및 최종 도전 층(140)(즉, 보이는 가장 아래쪽 도전 층)을 정의하는 랜드로(145)를 통해 다이에 연결성(전원, 접지, 입/출력 등)을 제공하는 구리 또는 구리 합금(도전 비아(142) 등과 연결된)의 도전 층(140)(4개가 도시됨)을 포함하는 다중 빌드-업 층을 포함한다. 다이(110)는 디바이스 층에서 캐리어(120)의 랜드로(145) 또는 도전 비아에 직접 연결된다.
- [0010] 도 1은 또한 캐리어(120)의 표면(165)(보이는 상부 표면) 상의 콘택(180)을 도시한다. 콘택(180)은 캐리어(120)의 하나 이상의 도전 층(140)에 연결된다. 콘택(180)은 마이크로전자 패키지(100)로 또는 마이크로전자 패키지(100)로부터 신호를 라우트하는 추가 라우팅 기회(포스트(150)에 추가하여)를 제공한다. 콘택(180)에 의해, 패키지용 추가 상호접속 포인트뿐만 아니라 메모리 디바이스 또는 마이크로프로세서와 같은 제2 디바이스(가능하게는 패키지에 포함됨)용 콘택 포인트가 캐리어(120)에 전기적으로 연결되어 마이크로전자 패키지(100) 또는 패키지-온-패키지("POP") 구조체를 형성하는 것이 가능하다. 도 1은 솔더 연결부(195)를 통해 캐리어(120)에 연결된 다이(190A) 및 다이(190B)를 포함하는 패키지(185)를 도시한다.
- [0011] 도 1에 도시된 바와 같이, 유전체 재료는 마이크로전자 패키지(100)의 다이(110)의 수평 측면을 둘러싼다. 다이(110)의 후면 위에 놓인 것은 다이 후면 필름(DBF)(160)이다. 한 실시형태에서, DBF(160)는 적어도 20%의 마크 콘트라스트를 포함하는 마킹 가능한 재료이다. 대표적으로, DBF(160)는 중합체 매트릭스, 충전제, 안료/염료, 접착 충전제 및 용매를 포함하는 다중성분 조성물이다. 한 실시형태에서, 중합체 매트릭스는 에폭시, 예를 들어 다기능성 에폭시와 같은 수지 및 경화제(hardener)(예를 들어, 페놀 노볼락), 및 선택적으로 유연화제(flexibilizer)를 포함한다. 수지 및 경화제는 일반적으로 필름의 전체적인 열기계적(thermomechanical) 특성을 좌우한다. 유연화제는 일반적으로 재료에 유연성을 제공한다.
- [0012] 한 실시형태에서, 충전제 재료는 약 100 nm 이하의 평균 입자 크기를 갖는 입자를 포함한다. 다른 실시형태에

서, 충전제 재료의 평균 입자 크기는 100 nm 미만이다. 추가 실시형태에서, 충전제 재료의 평균 입자 크기는 50 nm 이하이다. 이론에 구애되고자 함이 없이, 충전제 및 그의 입자 크기는 재료의 모듈러스 및 그의 마킹 특성(markability properties), 특히 레이저 마킹에 대한 마킹 특성에 영향을 미치는 것으로 여겨진다. 한 실시형태에서, 실리카 나노미터 충전제와 같은 충전제는 평균 입자 크기가 50 nm이며 총 재료 조성물의 20 중량% 내지 50 중량%의 양으로 존재한다. 다른 실시형태에서, 충전제는 20 중량% 내지 40 중량%의 양으로 존재한다. 또다시 이론에 구애되고자 함이 없이, 나노미터 실리카의 존재는, 예를 들어 마이크론 크기 입자에 비해 실리카 입자의 표면적을 증가시켜 하부의 백그라운드(background)에 비해 레이저 마킹된 영역에서 산란을 상당히 증가시키므로, 콘트라스트를 증가시키는 것으로 여겨진다. 본 명세서에 설명된 바와 같이, 레이저 마킹된 콘트라스트는 마이크로미터의 2차원(2D) ID 리더 조명 광 산란 및 주변 필름 표면으로부터의 무 산란에 의해 달성된 그레이 값(gray value) 차이를 지칭한다. 레이저 마킹 공정에서, 2D ID 전자기 방사원(예를 들어, 네오디뮴-도핑 이트륨 알루미늄 가넷(Nd:YAG) 레이저)과 같은 레이저가 DBF(160)의 유기 재료를 태워서 충전제 재료를 노광시키는 것으로 여겨진다. 한 실시형태에서, 마킹 공정은 충전제 재료(예를 들어, 실리카 입자)의 어블레이션(ablation) 미만 및 유기 중합체의 어블레이션 초과 어블레이션 임계치 에너지 밀도(fluence)를 갖는 열 레이저 어블레이션을 기초로 한다. 어블레이션의 결과로서, 유기 중합체는 어블레이션되지만, 광 산란 충전제 재료(예를 들어, 실리카 입자)는 필름에 통합된 채로 남아있다. 충전제 재료는 광 콘트라스트를 제공한다.

[0013] 나노미터 실리카 입자의 존재는 또한 회생 기관으로부터 완성된 패키지를 분리하기 위해 사용된 습식 블라스트(wet blast) 공정과 같은 처리 단계에서 필름 식각 속도를 조절하는 경향이 있다. 필름 식각 속도의 조절은 내장된 패키지의 유기층에 비해 다이 후면 필름에 대해 더 큰 식각 속도 선택성으로 나타난다.

[0014] 한 실시형태에서, DBF(160)는 가시 파장 영역에서 최대 광 흡수 또는 최대 흡광 파장(lambda max)을 갖는 유기 염료를 포함한다. 일반적으로, 염료 또는 안료는 레이저 마크 콘트라스트를 제공하기 위해 DBF(160)에 사용된 착색제이다. 유기 염료의 예는 경화 촉진제(curing accelerator)로서도 작용할 수 있는, 예를 들어 아민/에폭시/아조 작용기와 같은 반응성 작용기를 갖는 유기 염료를 포함한다.

[0015] 한 실시형태에서, DBF(160)의 조성물은 또한 접착 충전제 및 용매를 포함할 수 있다.

[0016] 하기는 적절한 마킹 특성을 포함하는 BBUL 응용을 위한 적절한 DBF("BBUL DBF")의 대표적인 실시형태이다.

원료	기능	함량
폴리이미드/아크릴/에폭시/에폭시-아크릴레이트 수지	베이스 수지	15-25 wt %
아민/무수물/페놀계 수지	경화제	15-25 wt %
폴리부타디엔/내충격성 폴리스티렌(HIPS)/아크릴 고무	유연화제	10-20 wt %
유기 염료(가시 파장 영역에서 최대 흡광을 가진)	레이저 마킹	3 - 10 wt %
무기 충전제(예: 실리카 충전제)	강성도(stiffness)/열팽창 제어/수분 흡수 제어	20-50 wt %

[0017]

[0018] BBUL DBF는 입자 크기가 종래 기술의 DBF의 충전제 입자보다 상당히 작은(예를 들어, 0.5 μm 대 100 nm 또는 50 nm) 충전제 입자(실리카 입자)를 사용한다. BBUL DBF는 또한 더 많은 함량의 염료(3.5% 대 7%)를 사용한다. 염료는 패키지 빌드-업 공정 중에 다른 화학물질과 상호작용하는 경향이 있으며 또한 물리적으로 이동될 수 있음(예를 들어, 위에 패키지가 형성되어 있는 회생 기관으로 물리적으로 이동됨)이 확인되었다. 염료의 상호작용 또는 이동으로 인한 염료의 임의의 손실을 고려하여, 한 실시형태에서, 더 많은 중량%의 염료가 사용된다(예를 들어, 종래의 DBF에 존재하는 것보다 더 많은 퍼센트). 염료의 대표적인 양은 5% 내지 10%로 이 염료의 양은 레이저 마킹 특성에는 영향을 미치지 않지만 콘트라스트에는 영향을 미치지 않는 양이다. 다른 실시형태에서, 아민(예를 들어, -NH₂, -NHR) 및 히드록실(-OH) 기와 같은 작용기를 염료에 부가함으로써 염료가 다른 DBF 성분(예를 들어, 수지, 충전제, 탄성 중합체)과 더 반응성이 되도록 하여 염료의 손실을 감소시킬 수 있다. 이 경우, 더 작은 양(예를 들어, 3.5% 이하)의 염료를 사용하여 허용가능한 마킹 특성을 달성할 수 있다.

[0019] 도 1의 삽도는 DBF(160)의 상부 표면(즉, 다이(110)에 대항하는 표면)의 도면을 도시한다. 본 실시형태에서, DBF(160)는 레이저 마킹 기술을 이용하여 마킹하여 다이(110)의 소스, 다이의 크기 및 로트(lot) 번호 및 배치(batch) 번호를 나타내었다. 임의의 마킹은 사람 또는 기계-판독 가능한 문자에 의해 다이(110)를 식별하는 임의의 종류의 마킹일 수 있음이 이해된다.

- [0020] 도 2는 마이크로전자 패키지(100)(도 1)와 같은 마이크로 전자 패키지의 형성을 위한 초기 공정을 예시한다. 도 2를 참조하면, 도 2는, 예를 들어, 더 짧은 구리 호일 층(220A 및 220B)에 의해 각각 희생 기관(210)으로부터 분리된 대향하는 구리 호일(215A 및 215B) 층을 포함하는 프리프레그(prepreg) 재료 희생 기관(210)의 일부의 분해 측단면도를 도시한다. 구리 호일(215A 및 215B)은 진공을 기반으로 더 짧은 호일에 붙는 경향이 있다. 한 실시형태에서, 구리 호일(215A 및 215B)의 표면(구리 호일(220A 및 220B)에 대향하는 표면) 위에 놓이는 것은 예를 들어, 두께가 약 10 내지 100 μm 인 ABF의 유전체 재료이다.
- [0021] 도 3은 도 2의 구조체에 구리 호일(215A) 및 구리 호일(215B) 상에 각각 콘택을 도입하고 패터닝한 후의 모습을 도시한다. 도 3은 구리 호일(215A 및 215B) 상에 각각 형성된 콘택(222A 및 222B)을 도시한다. 한 실시형태에서, 콘택(222A 및 222B)은 각각 구리 호일(215A) 및 구리 호일(215B)에 인접한 금-니켈 합금의 제1층, 및 금-니켈 합금 위에 놓인, 구리 또는 구리 합금의 제2층을 포함한다. 콘택(222A 및 222B)은 2차 디바이스 또는 패키지와의 가능한 전기적 콘택을 위한 바람직한 위치에 퇴적(예를 들어, 도금, 스퍼터 증착 등) 및 패터닝함으로써 형성될 수 있다.
- [0022] 도 4는 도 3의 구조체에, 구조체의 대향 측 상에 다이(240A) 및 다이(240B)를 실장한 후의 모습을 도시한다. 도 4에 도시된 바와 같이, 다이(240A)는 DBF(250A)에 의해 연결되고 다이(240B)는 DBF(250B)에 의해 연결된다. DBF(250A) 및 DBF(250B)에 적합한 재료는 적어도 20%의 마킹 콘트라스트를 제공하는 재료이다. 대표적인 재료를 도 1을 참조로 설명하였다. 한 실시형태에서, DBF(250A) 및 DBF(250B)는 웨이퍼 레벨 라미네이션에 의해 각각 약 30 μm 의 두께까지 다이(240A) 및 다이(240B) 상에 도입된다.
- [0023] 도 4를 참조하면, 다이(240A) 및 다이(240B)는 디바이스 층을 위로 하여(디바이스 층이 각 구리 호일과 다른 방향으로 마주하도록) 배치된다. 각 다이의 디바이스 층 상에, 도전 필러(pillars)(245A 및 245B)가 각각 다이(240A 및 240B)의 콘택 포인트에 연결된다. 필러(245A) 및 필러(245B)는 다이 제조 단계에서 제조될 수 있다.
- [0024] 도 5는 도 4의 구조체에, 구조체의 각 측 상에 유전체 층을 도입한 후의 모습을 도시한다. 도 5는 유전체 층(260A) 및 유전체 층(260B)을 도시한다. 한 실시형태에서, 유전체 층(260A) 및 유전체 층(260B)은 각각, 가능하게는 BBUL 패키지 형성에 사용하기 위해 설명되었던 충진제를 포함하는 ABF 유전체 재료이다. ABF 재료를 도입하는 한 방법은 각 다이, 콘택 및 구리 호일 상에 놓인 필름으로서이다.
- [0025] 도 6은 도 5의 구조체에, 유전체 층(260A) 및 유전체 층(260B)의 비아(262A 및 262B)를 콘택(222A), 콘택(222B), 필러(245A) 및 필러(245B)까지 개방한 후의 모습을 도시한다. 한 실시형태에서, 상기 개구부 또는 비아는 레이저 공정에 의해 달성될 수 있다.
- [0026] 도 7은 도 6의 구조체에, 유전체 층(260A) 및 유전체 층(260B) 상에 각각 도전 라인 또는 층(275A) 및 도전 라인 또는 층(275B)을 패터닝하고, 각 유전체 층을 통과하여 콘택(222A) 및 콘택(222B)까지 각각 도전 비아(265A 및 265B)가 형성된 후의 모습을 도시한다. 도전 비아는 또한 다이(240A) 및 다이(240B)의 디바이스 층 상의 콘택 포인트의 필러(245A) 및 필러(245B)까지 형성된다. 패터닝된 도전 라인 또는 층(275A/275B) 및 도전 비아(265A/265B)에 적합한 재료는 예를 들어 전기도금 공정에 의해 퇴적된 구리이다.
- [0027] 도 8은 도 7의 구조체에, 캐리어의 추가 레벨의 도전 라인 또는 층을 패터닝한 후의 모습을 도시한다. 도 8은 각 유전체 층(278A 및 278B)(예를 들어, ABF 필름)에 의해 각각 도전 라인 또는 층(275A 및 275B)으로부터 분리된 도전 라인 또는 층(280A) 및 도전 라인 또는 층(280B)을 도시한다. 통상적인 BBUL 패키지는 유전체 재료(예를 들어, ABF 필름)에 의해 인접 라인으로부터 분리된 도전 라인 또는 층들(275A, 275B, 280A 및 280B)과 유사한 4개 내지 6개 레벨의 도전 라인 또는 트레이스를 가질 수 있다. 층들 간의 연결은, 한 실시형태에서, 비아를 레이저 드릴링하고 비아 내에 도전성 재료를 퇴적함으로써 형성된 도전 비아(예를 들어, 구리 충전된 비아)에 의해 이루어진다. 도 9는 도전 라인 또는 층들(285A 및 285B)(제3 레벨) 및 도전 라인 또는 층들(290A 및 290B)(제4 레벨)을 도입 및 패터닝한 후의 구조체를 도시한다. 본 실시형태에서, 도전 라인 또는 층들(290A 및 290B)은 캐리어 몸체의 최종 또는 상부 레벨이다. 도 9는 또한, 예를 들어, 도전 층 또는 라인들(292A 및 292B) 위에 각각 놓인 ABF 라미네이션 필름상의 유전체 재료(292A) 및 유전체 재료(292B)를 도시한다. 한 실시형태에서, 도전 라인 또는 층들(290A 및 290B)은 패키징 구현을 위해 랜드 또는 패드로 패터닝된다.
- [0028] 도 10은 도 9의 구조체에, 도전 층들 또는 라인들(290A 및 290B)를 정의하는 도전 패드들 각각에 개구부를 형성한 후의 모습을 도시한다. 한 실시형태에서, 개구부(293A) 및 개구부(293B)는 레이저 비아 공정에 의해 형성된다.
- [0029] 도 11은 도 10의 구조체에, 희생 기관(210) 및 구리 호일(215A 및 215B)을 제거함으로써 구조체를 2개의 개별

패키지 부분으로 분리한 후의 구조체의 일부를 도시한다.

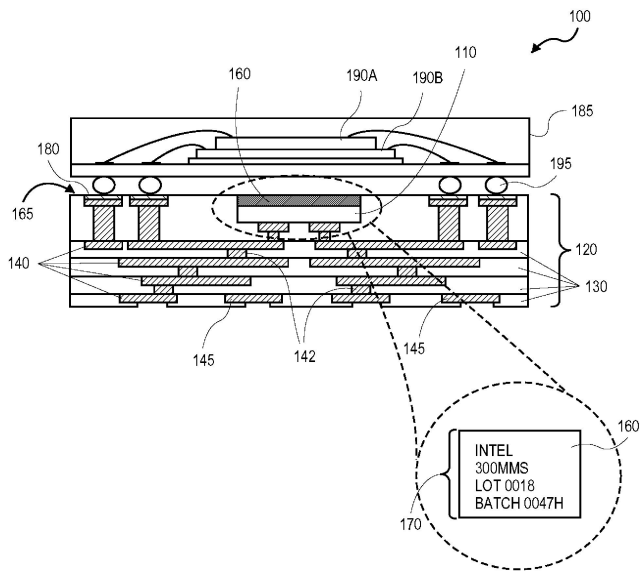
- [0030] 한 실시형태에서, 구조체는 습식 블라스트 공정에 의해 희생 기관(210), 구리 호일(215A 및 215B), 및 구리 호일(220A 및 220B)로부터 분리된다. 한 실시형태에서, 습식 블라스트 공정은 식각제(예를 들어, 알루미늄, 티타늄, 산화 규소 중 하나 이상의 식각제)의 복수 회 패스(pass)를 포함한다. 첫 번째 패스는 구리 호일(220A 및 220B)로부터 구리 호일(215A 및 215B)을 각각 분리시켜서, DBF(250A 및 250B)를 통해 각각 구리 호일(215A 및 215B)에 연결된 다이(240A 및 240B)를 남길 수 있다. 이어서, 두 번째 습식 블라스트 공정 패스를 이용하여 DBF 필름(250A 및 250B)으로부터 각각 구리 호일(215A 및 215B)을 제거할 수 있다. DBF 필름(250A) 및 DBF 필름(250B)를 도입하기 전에 구리 호일 상에 유전체 재료가 존재할 경우, 습식 블라스트 공정을 이용하여 DBF로부터 유전체 재료를 제거할 수 있다. 상기 공정은 DBF(250A) 및 DBF(250B)로부터 ABF와 같은 유전체 재료를 제거하기 위해 약 40 내지 50 패스로 수행될 수 있다. 50 nm 이하의 실리카 입자와 같은 나노미터 크기의 충전제 입자를 포함하는 DBF 필름 재료가, 마이크로미터 크기의 충전제 입자를 포함하는 DBF 필름보다 습식 블라스트 공정에 의한 제거에 대해 내성이 더 강함이 놀랍게도 확인되었다. 따라서, 나노미터 크기의 입자를 포함하는 DBF 필름은 습식 블라스트 공정에 대해 마이크로미터 크기의 충전제 입자를 포함하는 DBF 필름보다 선택성이 더 크다.
- [0031] 희생 기관(210)으로부터 개별 패키지 부분을 제거함으로써, 도 11은 디바이스 측에서, 전기 도전성 재료(4개 레벨의 도전 트레이스) 및 유전체 또는 절연 재료의 다수의 교호층을 포함하는 빌드-업 캐리어에 연결된 다이를 갖는 독립적인(free standing) 마이크로전자 패키지의 일부를 도시한다. 예를 들어 다이 제조 공정에서 제조된 도전 필러(245B)는 다이(240B)의 디바이스 측 상의 콘택 포인트에 연결되며 빌드-업 캐리어의 도전성 재료에 연결된다. 패키지는 또한 이차 디바이스(예를 들어, 메모리 디바이스, 로직 디바이스) 또는 패키지(예를 들어, 하나 이상의 메모리 디바이스, 로직 디바이스, 메모리 및 로직 디바이스 등을 포함하는 패키지)로의 전기적 연결을 위해 빌드-업 캐리어의 표면(보이는 상부 표면)까지 연장된 콘택 포인트(222B)를 포함한다. 다른 실시형태에서, 다이는 실리콘 관통 비아(TSV) 다이일 수 있다. 최종적으로, 패키지는, 예를 들어 솔더 연결을 통해 인쇄 회로 기판에 패키지를 연결하기 위해 사용될 수 있는 제2측(보이는 하부 측)으로부터 연장된 다수의 도전 포스트(posts)를 포함한다.
- [0032] 도 11은 또한 마킹 조작을 도시한다. DBF(250B)가 일단 노출되면, 필름이 적절한 식별부호로 마킹되는 전자기 방사선 공정(예를 들어, 레이저 공정)에 필름이 노출될 수 있다. 상기 식별부호는, 이에 제한되지는 않지만 회사 로고, 핀 배향, 로트 번호와 같은 제조 내력, 및/또는 시간/날짜 이력 추적을 포함할 수 있다.
- [0033] 도 12는 한 구현예에 따른 컴퓨팅 디바이스(500)을 예시한다. 컴퓨팅 디바이스(500)는 보드(502)를 수용한다. 보드(502)는 이에 제한되지는 않지만 프로세서(504) 및 적어도 하나의 통신 칩(506)을 포함하는 다수의 컴포넌트들을 포함할 수 있다. 프로세서(504)는 보드(502)에 물리적 및 전기적으로 결합된다. 일부 구현예에서, 적어도 하나의 통신 칩(506)은 또한 보드(502)에 물리적 및 전기적으로 결합된다. 추가 구현예에서, 통신 칩(506)은 프로세서(504)의 일부이다.
- [0034] 그의 응용에 따라, 컴퓨팅 디바이스(500)는 보드(502)에 물리적 및 전기적으로 결합되어 있거나 결합되어 있지 않을 수 있는 다른 컴포넌트들을 포함할 수 있다. 상기 다른 컴포넌트들은, 이에 제한되지는 않지만, 휘발성 메모리(예를 들어 DRAM), 비휘발성 메모리(예를 들어 ROM), 플래시 메모리, 그래픽 프로세서, 디지털 신호 프로세서, 암호 프로세서, 칩셋, 안테나, 디스플레이, 터치스크린 디스플레이, 터치스크린 컨트롤러, 배터리, 오디오 코덱, 비디오 코덱, 전력 증폭기, GPS(global positioning system) 장치, 나침반, 가속도계, 자이로스코프, 스피커, 카메라 및 대용량 저장 장치(예를 들어, 하드 디스크 드라이브, CD(compact disk), DVD(digital versatile disk) 등)를 포함한다.
- [0035] 통신 칩(506)은 컴퓨팅 디바이스(500)로 및 컴퓨팅 디바이스(500)로부터의 데이터 전송을 위한 무선 통신을 가능하게 한다. 용어 "무선" 및 그의 파생어는 변조된 전자기 방사선을 이용함으로써 비-고체 매체(non-solid medium)를 통해 데이터를 통신할 수 있는 회로, 디바이스, 시스템, 방법, 기술 및 통신 채널을 설명하기 위해 사용될 수 있다. 상기 용어는, 비록 일부 실시형태에서는 그렇지 않을 수도 있지만, 관련된 디바이스가 어떤 유선도 포함하지 않음을 시사하지는 않는다. 통신 칩(506)은 이에 제한되지는 않지만 Wi-Fi(IEEE 802.11 계열), WiMAX(IEEE 802.16 계열), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 그의 파생뿐만 아니라 3G, 4G, 5G 및 그 이상으로 지정된 임의의 다른 무선 프로토콜을 포함하는 임의의 다수의 무선 표준 또는 프로토콜을 구현할 수 있다. 컴퓨팅 디바이스(500)는 복수의 통신 칩(506)을 포함할 수 있다. 예를 들어, 제1 통신 칩(506)은 Wi-Fi 및 블루투스와 같은

근거리 무선 통신 전용일 수 있으며 제2 통신 칩(506)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 및 기타와 같은 원거리 무선 통신 전용일 수 있다.

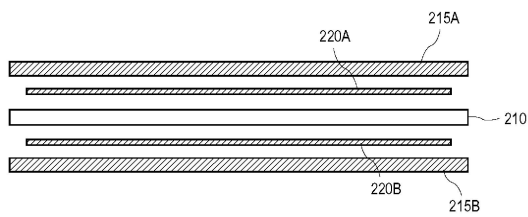
- [0036] 컴퓨팅 디바이스(500)의 프로세서(504)는 프로세서(504) 내에 패키징된 집적 회로 다이를 포함한다. 일부 구현예에서, 상술한 실시형태에 따라 형성된 패키지는 다이가 그 안에 내장된 몸체, 및 적어도 20%의 마크 콘트라스트를 포함하는 재료의 DBF 필름, 및 선택적으로 식별 정보로 마킹된 DBF를 포함하는 캐리어로 BBUL 기술을 이용한다. 용어 "프로세서"는 레지스터 및/또는 메모리로부터 전자 데이터를 처리하여 상기 전자 데이터를, 레지스터 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변형시키는 임의의 디바이스 또는 디바이스의 일부를 지칭할 수 있다.
- [0037] 통신 칩(506)은 또한 통신 칩(506) 내에 패키징된 집적 회로 다이를 포함한다. 다른 구현예에 따라, 패키지는 BBUL 기술을 기초로 하며, 패키지 뒤틀림을 억제하는 TSV 또는 비-TSV 집적회로 다이를 둘러싸는 1차 코어를 포함한다. 상기 패키징은, 이에 제한되지는 않지만, 마이크로프로세서 칩(다이), 메모리 다이, 그래픽 다이, 칩셋, GPS를 포함하는 각종 디바이스의 적층을 가능하게 할 것이다.
- [0038] 추가 구현예에서, 컴퓨팅 디바이스(500) 내에 수용된 다른 컴포넌트는 상술한 바와 같은 1차 BBUL 캐리어 구현예를 포함하는 마이크로전자 패키지를 포함할 수 있다.
- [0039] 각종 구현예에서, 컴퓨팅 디바이스(500)는 랩톱, 넷북, 노트북, 울트라북, 스마트폰, 태블릿, PDA(personal digital assistant), 울트라 모바일 PC, 휴대폰, 데스크탑 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 컨트롤 유닛, 디지털 카메라, 휴대용 음악 플레이어 또는 디지털 비디오 리코더일 수 있다. 추가 구현예에서, 컴퓨팅 디바이스(500)는 데이터를 처리하는 임의의 다른 전자 디바이스일 수 있다.
- [0040] 상기 설명에서, 설명의 목적으로, 실시형태의 완전한 이해를 제공하기 위해 다수의 특정한 상세 사항이 제시되었다. 하지만, 상기 특정한 상세 사항의 일부가 없이 하나 이상의 다른 실시형태가 실시될 수 있음은 당업자에게 명백할 것이다. 설명된 특정 실시형태는 청구항을 제한하기 위해서가 아니라 예시하기 위해 제공된다. 청구항의 범위는 상기 제공된 특정 실시예에 의해 결정되지 않는다. 다른 경우에, 설명의 이해가 모호해지는 것을 방지하기 위해 공지의 구조체, 디바이스 및 조각이 블록도 형태로 또는 상세사항 없이 도시되었다. 적절한 것으로 간주될 경우, 참조 부호 또는 참조 부호의 말단 부분은, 선택적으로 유사한 특성을 가질 수 있는, 상응하거나 유사한 요소들을 나타내기 위해 도면 중에서 반복되었다.
- [0041] 본 명세서 전반에 걸쳐, 예를 들어 "한 실시형태", "실시형태", "하나 이상의 실시형태" 또는 "다른 실시형태"의 언급은 특정한 특징이 본 발명의 실시예에 포함될 수 있음을 의미하는 것이 또한 이해되어야 한다. 유사하게, 설명에서, 개시내용을 간소화하고 각종 신규한 양태들의 이해를 돕기 위한 목적으로 각종 특징들은 때로는 단일 실시형태, 도면 또는 그의 설명에서 함께 분류됨이 이해되어야 한다. 하지만, 상기 개시 방법은 본 발명이 각 청구항에 명백히 나열된 것보다 더 많은 특징을 필요로 하는 의도를 반영하는 것으로 해석되지 않을 것이다. 또한, 후속하는 청구항이 반영하는 바와 같이, 신규한 양태는 단일의 개시된 실시형태의 모든 특징들보다 더 적게 있을 수 있다. 따라서, 상세한 설명에 후속하는 청구항은 상기 상세한 설명에 명백히 포함되며, 각 청구항은 본 발명의 별도의 실시형태로서 자체가 독립적이다.

도면

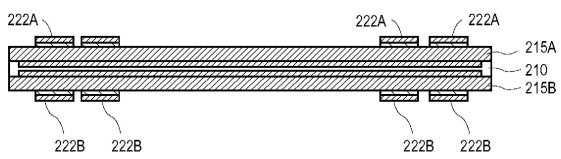
도면1



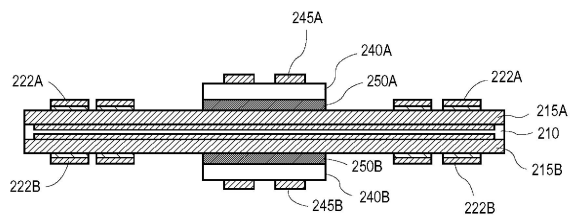
도면2



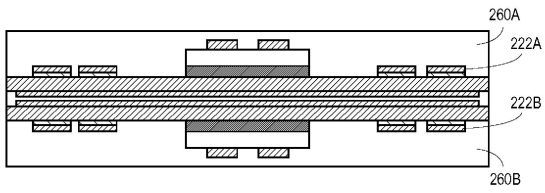
도면3



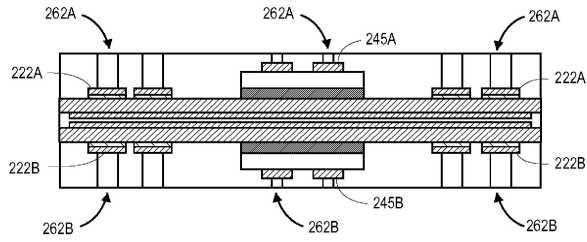
도면4



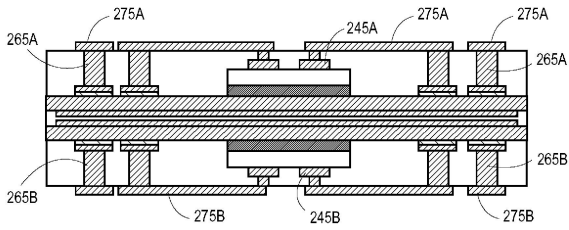
도면5



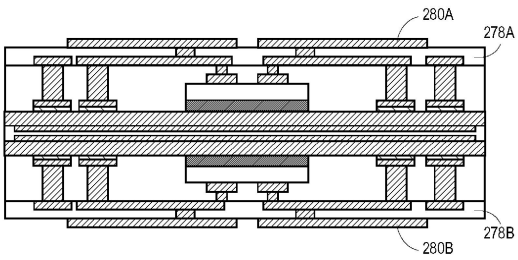
도면6



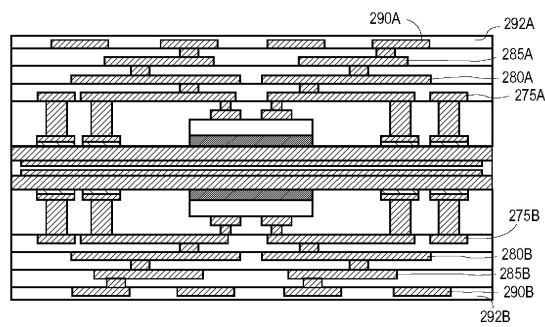
도면7



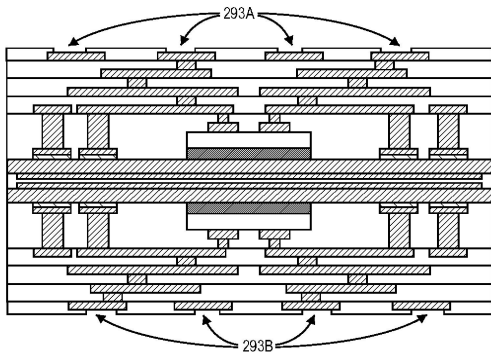
도면8



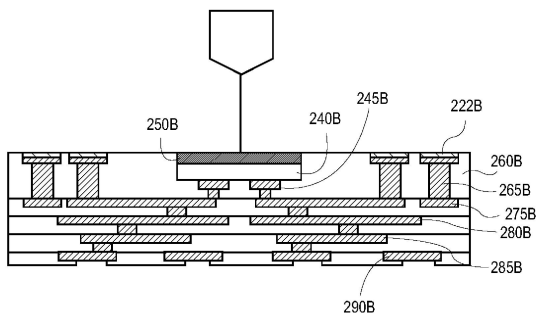
도면9



도면10



도면11



도면12

