

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6128046号
(P6128046)

(45) 発行日 平成29年5月17日 (2017.5.17)

(24) 登録日 平成29年4月21日 (2017.4.21)

(51) Int.Cl.	F I				
G09F 9/30 (2006.01)	G09F	9/30	3	3	8
G09F 9/33 (2006.01)	G09F	9/33			
H01L 33/00 (2010.01)	H01L	33/00			H
H05K 3/46 (2006.01)	H05K	3/46			B
	H05K	3/46			Z
請求項の数 9 (全 22 頁) 最終頁に続く					

(21) 出願番号	特願2014-74844 (P2014-74844)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成26年3月31日 (2014.3.31)	(74) 代理人	110001357 特許業務法人つばさ国際特許事務所
(65) 公開番号	特開2015-198145 (P2015-198145A)	(72) 発明者	青柳 哲理 東京都港区港南1丁目7番1号 ソニー株式会社内
(43) 公開日	平成27年11月9日 (2015.11.9)	審査官	小野 博之
審査請求日	平成28年1月28日 (2016.1.28)		
最終頁に続く			

(54) 【発明の名称】 実装基板および電子機器

(57) 【特許請求の範囲】

【請求項1】

配線基板と、
前記配線基板の上面に接して形成された微細 L / S (line and space) 層と、
前記微細 L / S 層の上面に行列状に配置された複数の素子と
を備え、
前記配線基板は、
層内で所定の方向に延在する複数の第 1 配線と、
前記第 1 配線ごとに複数設けられ、かつ複数の前記素子の配列周期の整数倍の周期で配置された複数のビアと
を有し、
前記微細 L / S 層は、
前記ビアごとに 1 つ以上設けられた複数の第 2 配線と、
各前記第 2 配線と、前記配線基板の上面との間に設けられ、各前記第 2 配線と、前記配線基板の上面とに接する絶縁層と
を有し、
前記微細 L / S 層の L / S は、複数の前記第 1 配線の L / S よりも小さくなっており、
隣り合う複数の前記素子が、1 または複数の前記第 2 配線を介して、共通の前記ビアに電氣的に接続されている
実装基板。

【請求項 2】

複数の前記第 1 配線は、行方向または列方向に延在し、

複数の前記ビアは、複数の前記素子における、前記第 1 配線の延在方向の配列周期の整数倍の周期で配置され、

前記第 1 配線の延在方向に並んだ複数の前記素子が、1 または複数の前記第 2 配線を介して、共通の前記ビアに電氣的に接続されている

請求項 1 に記載の実装基板。

【請求項 3】

各前記ビアは、前記第 1 配線の上または上方に形成されると共に前記配線基板の上面に露出している

請求項 2 に記載の実装基板。

【請求項 4】

前記配線基板は、前記第 1 配線ごとに 1 つ以上設けられ、前記配線基板の裏面に露出する複数の電極パッドを有する

請求項 3 に記載の実装基板。

【請求項 5】

前記第 2 配線は、前記ビアまたは前記ビアと電氣的に接続された部材とめっき接合されており、さらに、各前記素子とめっき接合されている

請求項 4 に記載の実装基板。

【請求項 6】

前記配線基板は、コア基板と、前記コア基板の両面にそれぞれ 1 層以上形成されたビルドアップ層とを有するビルドアップ基板であり、

各前記ビアは、少なくとも前記配線基板の上面側の前記ビルドアップ層に形成され、

各前記電極パッドは、前記配線基板の裏面側の前記ビルドアップ層に形成されている

請求項 5 に記載の実装基板。

【請求項 7】

各前記素子は、発光素子と、前記発光素子を駆動する駆動回路とを含む

請求項 5 に記載の実装基板。

【請求項 8】

1 または複数の実装基板と、

1 または複数の前記実装基板を制御する制御回路と

を備え、

前記実装基板は、

配線基板と、

前記配線基板の上面に接して形成された微細 L / S (line and space) 層と、

前記微細 L / S 層の上面に行列状に配置された複数の素子と

を有し、

前記配線基板は、

層内で所定の方向に延在する複数の第 1 配線と、

前記第 1 配線ごとに複数設けられ、かつ複数の前記素子の配列周期の整数倍の周期で配置された複数のビアと

を有し、

前記微細 L / S 層は、

前記ビアごとに 1 つ以上設けられた複数の第 2 配線と、

各前記第 2 配線と、前記配線基板の上面との間に設けられ、各前記第 2 配線と、前記配線基板の上面とに接する絶縁層と

を有し、

前記微細 L / S 層の L / S (line and space) は、複数の前記第 1 配線の L / S よりも小さくあり、

隣り合う複数の前記素子が、1 または複数の前記第 2 配線を介して、共通の前記ビアに

10

20

30

40

50

電氣的に接続されている

電子機器。

【請求項 9】

当該電子機器は、

複数の前記実装基板を支持する支持基板と、

複数の前記実装基板を制御する制御基板と

をさらに備え、

複数の前記実装基板は、前記支持基板上にタイル状に配置され、

各前記配線基板は、前記第 1 配線ごとに 1 つ以上設けられ、前記第 1 配線と電氣的に接続されると共に、前記配線基板の裏面に露出する複数の電極パッドを有し、

前記支持基板および前記制御基板の少なくとも一方は、各前記電極パッドを介して、各前記配線基板と電氣的に接続されている

請求項 8 に記載の電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、配線基板の配線ピッチと、配線基板上の配線層の配線ピッチとが異なる実装基板、およびそれを備えた電子機器に関する。

【背景技術】

20

【0002】

特許文献 1 には、格子状に配置された信号線および走査線をオンオフすることにより、信号線と走査線との交点に設けられた各 LED (Light Emitting Diode) を駆動する表示装置が開示されている。この駆動方法では、走査線の順次走査によって映像表示がなされるので、表示輝度を高くすることが容易ではない。そこで、例えば、特許文献 2 に記載されているように、画素ごとに LED と駆動 IC を設け、各 LED をアクティブ駆動することが考えられる。

【先行技術文献】

【特許文献】

【0003】

30

【特許文献 1】特開 2009 - 37164 号公報

【特許文献 2】特開 2003 - 115613 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 2 に記載の方法では、駆動 IC に接続する多くの配線を、配線基板上の配線層の表面 (実装面) に設けることが必要となるので、実装面の配線ピッチが狭くなる。しかし、配線基板は、ビア接合を利用した積層基板であるので、実装面の配線ピッチに応じて配線基板の配線ピッチを狭くすることは技術的な側面またはコストの側面から容易ではない。そのため、実装面の配線ピッチと配線基板の配線ピッチとが乖離するような場合には、例えば、配線層を多層にして、実装面の配線ピッチと配線基板の配線ピッチとの中間値を採る配線ピッチの層を設けることが考えられる。ただし、そのようにした場合には、配線層を多層にした分だけコストが増大してしまう。

40

【0005】

なお、このような問題は、表示装置の分野だけでなく、配線基板の配線ピッチと、配線基板上の配線層の配線ピッチとが異なる分野において生じ得るものである。

【0006】

本技術はかかる問題点に鑑みてなされたもので、その目的は、配線基板上の配線層を多層にすることなく、実装面の配線ピッチを狭くすることの可能な実装基板およびそれを備えた電子機器を提供することにある。

50

【課題を解決するための手段】

【0007】

本技術の実装基板は、配線基板と、配線基板の上面に接して形成された微細L/S (line and space)層と、微細L/S層の上面に行列状に配置された複数の素子とを備えている。配線基板は、層内で所定の方向に延在する複数の第1配線と、第1配線ごとに複数設けられ、かつ複数の素子の配列周期の整数倍の周期で配置された複数のビアとを有している。微細L/S層は、ビアごとに1つ以上設けられた複数の第2配線と、絶縁層とを有している。絶縁層は、各第2配線と、配線基板の上面との間に設けられており、各第2配線と、配線基板の上面とに接している。微細L/S層のL/Sは、複数の第1配線のL/Sよりも小さくなっている。隣り合う複数の素子が、1または複数の第2配線を介して、共通のビアに電氣的に接続されている。L/Sとは、面内で最も狭い配線ピッチを指している。

10

【0008】

本技術の電子機器は、1または複数の上記実装基板と、1または複数の上記実装基板を制御する制御回路とを備えている。

【0009】

本技術の実装基板および電子機器では、配線基板において、層内で所定の方向に延在する第1配線ごとに複数のビアが設けられており、第1配線ごとに設けられた複数のビアが、複数の素子の配列周期の整数倍の周期で配置されている。そして、微細L/S層上で隣り合う複数の素子が、微細L/S層内の1または複数の第2配線を介して、共通のビアに電氣的に接続されている。このように、隣り合う複数の素子でビアを共有することにより、素子ごとにビアを設けた場合と比べて、1つの素子あたりに必要となるビアの数が少なくなる。その結果、配線基板上の微細L/S層のL/Sを、配線基板内の複数の第1配線のL/Sよりも小さくした場合に、配線基板上の配線層の数を1つとすることができる。

20

【発明の効果】

【0010】

本技術の実装基板および電子機器によれば、隣り合う複数の素子でビアを共有することにより、素子ごとにビアを設けた場合と比べて、1つの素子あたりに必要となるビアの数を少なくしたので、配線基板上の配線層を多層にすることなく、実装面の配線ピッチを狭くすることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

30

【図面の簡単な説明】

【0011】

【図1】本技術の第1の実施の形態に係る表示装置の斜視構成の一例を表す図である。

【図2】図1の実装基板の斜視構成の一例を表す図である。

【図3】図2のユニット基板の斜視構成の一例を表す図である。

【図4】図3のセルにおける回路構成の一例を表す図である。

【図5】図4の発光素子の平面構成の一例を表す図である。

【図6】図4の駆動ICの平面構成の一例を表す図である。

【図7】図3のセルの断面構成の一例を表す図である。

40

【図8】図3のセルの配線レイアウトの一例を表す図である。

【図9】図7のセルの製造方法の一例を表す図である。

【図10】図9に続く工程の一例を表す図である。

【図11】図10に続く工程の一例を表す図である。

【図12】図11に続く工程の一例を表す図である。

【図13】図12に続く工程の一例を表す図である。

【図14】図3のセルの配線レイアウトの一変形例を表す図である。

【図15】本技術の第2の実施の形態に係る照明装置の斜視構成の一例を表す図である。

【図16】本技術の第3の実施の形態に係る受光装置の斜視構成の一例を表す図である。

【図17】図1の表示装置の斜視構成の一変形例を表す図である。

50

【図 1 8】図 1 5 の照明装置の斜視構成の一変形例を表す図である。

【図 1 9】図 1 6 の受光装置の斜視構成の一変形例を表す図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下、本技術を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

- 1 . 第 1 の実施の形態 (表示装置)
- 2 . 変形例 (表示装置)
- 3 . 第 2 の実施の形態 (照明装置)
- 4 . 変形例 (照明装置)
- 5 . 第 3 の実施の形態 (受光装置)
- 6 . 各実施の形態に共通の変形例

10

【 0 0 1 3 】

< 1 . 第 1 の実施の形態 >

[構成]

図 1 は、本技術の第 1 の実施の形態に係る表示装置 1 の斜視構成の一例を表す。表示装置 1 は、いわゆる L E D ディスプレイと呼ばれるものであり、表示画素として L E D が用いられたものである。表示装置 1 は、例えば、図 1 に示したように、表示パネル 1 0 と、表示パネル 1 0 (具体的には後述するセル 1 0 E) を制御する制御回路 2 0 とを備えている。

20

【 0 0 1 4 】

(表示パネル 1 0)

表示パネル 1 0 は、実装基板 1 0 A と、対向基板 1 0 B とを互いに重ね合わせたものである。対向基板 1 0 B の表面が映像表示面となっており、中央部分に表示領域を有し、その周囲に、非表示領域であるフレーム領域を有している。対向基板 1 0 B は、例えば、所定の間隙を介して、実装基板 1 0 A と対向する位置に配置されている。なお、対向基板 1 0 B が、実装基板 1 0 A の上面に接していてもよい。対向基板 1 0 B は、例えば、可視光を透過する光透過性の基板を有しており、例えば、ガラス基板、透明樹脂基板、または透明樹脂フィルムなどを有している。

30

【 0 0 1 5 】

(実装基板 1 0 A)

図 2 は、実装基板 1 0 A の斜視構成の一例を表す。実装基板 1 0 A は、例えば、図 2 に示したように、タイル状に配置された複数のユニット基板 1 0 C で構成されている。図 3 は、ユニット基板 1 0 C の斜視構成の一例を表す。ユニット基板 1 2 C は、例えば、タイル状に配置された複数のセル 1 0 E と、各セル 1 0 E を支持する支持基板 1 0 D とを有している。各ユニット基板 1 0 C は、さらに、制御基板 (図示せず) を有している。制御基板は、例えば、後述の各電極パッド 3 4 を介して、各セル 1 0 E と電気的に接続されている。支持基板 1 0 D は、例えば、金属フレーム、もしくは、配線基板などで構成されている。支持基板 1 0 D が配線基板で構成されている場合には、制御基板を兼ねることも可能である。このとき、支持基板 1 0 D および制御基板の少なくとも一方が、各電極パッド 3 4 を介して、各セル 1 0 E (または後述の配線基板 3 0) と電気的に接続されている。支持基板 1 0 D が、本技術の「支持基板」の一具体例に相当する。電極パッド 3 4 が、本技術の「電極パッド」の一具体例に相当する。

40

【 0 0 1 6 】

(セル 1 0 E の回路構成)

図 4 は、セル 1 0 E における回路構成の一例を表す。セル 1 0 E は、上述の表示領域と対向する領域に、所定の方向 (具体的には列方向) に延在する複数のデータ線 S i g と、所定の方向 (具体的には行方向) に延在する複数のゲート線 G a t e とを有している。デ

50

ータ線 S i g およびゲート線 G a t e は、例えば、銅によって形成されている。データ線 S i g またはゲート線 G a t e が、本技術の「第 1 配線」の一具体例に相当する。セル 1 0 E は、さらに、上述の表示領域と対向する領域に、行列状に配置された複数の画素 1 1 を有している。各画素 1 1 は、発光素子 1 2 と、発光素子 1 2 を駆動する駆動 I C 1 3 とを含んでいる。発光素子 1 2 が、本技術の「発光素子」の一具体例に相当する。駆動 I C 1 3 が、本技術の「駆動回路」の一具体例に相当する。

【 0 0 1 7 】

セル 1 0 E は、さらに、上述の表示領域と対向する領域に、例えば、複数ののこぎり電圧線 S a w と、複数の電源線 V D D 1 , V D D 2 と、複数の参照電圧線 R e f 1 , R e f 2 と、複数のグラウンド線 G N D とを有している。各のこぎり電圧線 S a w は、例えば、
10 所定の方向（具体的には行方向）に延在している。各電源線 V D D 1、各電源線 V D D 2、各参照電圧線 R e f 1、各参照電圧線 R e f 2 および各グラウンド線 G N D は、それぞれ、例えば、所定の方向（具体的には列方向）に延在している。のこぎり電圧線 S a w、電源線 V D D 1、V D D 2、参照電圧線 R e f 1、R e f 2 およびグラウンド線 G N D の少なくとも 1 つについては、駆動方式によっては省略され得る。のこぎり電圧線 S a w、電源線 V D D 1、V D D 2、参照電圧線 R e f 1、R e f 2 およびグラウンド線 G N D は、例えば、銅によって形成されている。なお、以下では、データ線 S i g、電源線 V D D 1、電源線 V D D 2、参照電圧線 R e f 1、参照電圧線 R e f 2 およびグラウンド線 G N D の総称として、列配線を用いる。また、以下では、ゲート線 G a t e およびのこぎり電
20 圧線 S a w の総称として、行配線を用いる。

【 0 0 1 8 】

各データ線 S i g は、映像信号に応じた信号が制御回路 2 0 によって入力される配線である。映像信号に応じた信号は、例えば、発光素子 1 2 の発光輝度を制御する信号である。複数のデータ線 S i g は、例えば、発光素子 1 2 の発光色数に対応した種類の配線からなる。発光素子 1 2 が 3 色の発光色を有する場合には、複数のデータ線 S i g は、例えば、複数のデータ線 S i g R と、複数のデータ線 S i g G と、複数のデータ線 S i g B とを含む。各データ線 S i g R は、赤色の映像信号に応じた信号が制御回路 2 0 によって入力される配線である。各データ線 S i g G は、緑色の映像信号に応じた信号が制御回路 2 0 によって入力される配線である。各データ線 S i g B は、青色の映像信号に応じた信号が
30 制御回路 2 0 によって入力される配線である。

【 0 0 1 9 】

発光素子 1 2 の発光色は、3 色に限られず、4 色以上であってもよい。複数のデータ線 S i g が、複数のデータ線 S i g R と、複数のデータ線 S i g G と、複数のデータ線 S i g B とを含む場合には、1 つのデータ線 S i g R、1 つのデータ線 S i g G および 1 つのデータ線 S i g B からなる一組のデータ線 S i g が、例えば、1 画素列ごとに割り当てられる。駆動方式によっては、上記の一組のデータ線 S i g は、複数画素列ごとに割り当てられる。また、駆動方式によっては、上記の一組のデータ線 S i g は、単一のデータ線 S i g に置き換えられ得る。

【 0 0 2 0 】

各ゲート線 G a t e は、発光素子 1 2 を選択する信号が制御回路 2 0 によって入力される配線である。発光素子 1 2 を選択する信号は、例えば、データ線 S i g に入力された信号のサンプリングを開始するとともに、サンプリングされた信号を発光素子 1 2 に入力させ、発光素子 1 2 の発光を開始させる信号である。1 つのゲート線 G a t e が、例えば、1 画素行ごとに割り当てられる。各のこぎり電圧線 S a w は、例えば、のこぎり状の波形を有する信号が制御回路 2 0 によって入力される配線である。のこぎり状の波形を有する信号は、サンプリングされた信号と対比され、例えば、のこぎり状の波形を有する信号の波高値が、サンプリングされた信号の波高値よりも高くなっている期間だけ、サンプリングされた信号が発光素子 1 2 に入力される。1 つののこぎり電圧線 S a w が、例えば、2 画素行ごとに割り当てられる。各電源線 V D D 2 は、発光素子 1 2 に対して供給する駆動電流が制御回路 2 0 によって入力される配線である。1 つの電源線 V D D 2 が、例えば、
40
50

2画素列ごとに割り当てられる。各電源線VDD1、各参照電圧線Ref1、各参照電圧線Ref2および各グラウンド線GNDは、固定の電圧が制御回路20によって入力される配線である。各グラウンド線GNDには、グラウンド電位が入力される。1つの電源線VDD1が、例えば、2画素列ごとに割り当てられる。1つの参照電圧線Ref1が、例えば、2画素列ごとに割り当てられている。1つの参照電圧線Ref2が、例えば、2画素列ごとに割り当てられている。1つのグラウンド線GNDが、例えば、2画素列ごとに割り当てられる。

【0021】

図5は、発光素子12の平面構成の一例を表す。図5において四角で囲まれた記号は、その記号に隣接する端子が後述の図6に記載の同一の記号に隣接する端子に電氣的に接続されることを示している。発光素子12は、複数色の光を発するチップ状部品である。発光素子12の発光色が3色である場合、発光素子12は、例えば、赤色光を発する発光素子12R、緑色光を発する発光素子12Gおよび青色光を発する発光素子12Bを含んでいる。発光素子12R、12G、12Bは、例えば、樹脂などからなる保護体12iによって被覆されている。

10

【0022】

発光素子12R、12G、12Bは、例えば、LEDチップである。ここで、上記のLEDチップは、マイクロメータオーダーのチップサイズとなっており、例えば、数10 μ m角となっている。LEDチップは、例えば、導電型の互いに異なる半導体層で活性層を挟み込んだ積層構造を含む半導体層と、この半導体層の共通の面(同一面)に配置された2つの電極とを有している。発光素子12R、12G、12Bは、互いに別々のチップとなってもよいし、互いに共通の単一のチップとなってもよい。

20

【0023】

発光素子12は、例えば、6つの電極パッド12a~12fを有している。発光素子12Gにおいて、一方の電極は、電極パッド12aおよび配線16(図4参照)を介して駆動IC13の電極パッド13mと電氣的に接続されており、他方の電極は、電極パッド12bおよび配線16を介してグラウンド線GNDと電氣的に接続されている。発光素子12Rにおいて、一方の電極は、電極パッド12cおよび配線16を介して駆動IC13の電極パッド13oと電氣的に接続されており、他方の電極は、電極パッド12dおよび配線16を介してグラウンド線GNDと電氣的に接続されている。発光素子12Bにおいて、一方の電極は、電極パッド12eおよび配線16を介して駆動IC13の電極パッド13pと電氣的に接続されており、他方の電極は、電極パッド12fおよび配線16を介してグラウンド線GNDと電氣的に接続されている。

30

【0024】

配線16は、例えば、画素11と、データ線Sig、ゲート線Gate、電源線VDD1、電源線VDD2、参照電圧線Ref1、参照電圧線Ref2、のこぎり電圧線Saw、またはグラウンド線GNDとを互いに電氣的に接続する配線である。配線16は、例えば、画素11内において、発光素子12と、駆動IC13とを互いに電氣的に接続する配線でもある。配線16は、例えば、スパッタリングやめっきによって形成されている。複数の配線16のうち一部の配線16は、画素11と、上記各種行配線や上記各種列配線とを互いに直接、接続している。複数の配線16のうち他の配線16は、断続的に形成された複数の部分配線からなっている。複数の部分配線からなる各配線16では、各部分電極は、例えば、後述の配線基板30の上面(例えば後述の配線層32E)に形成された1または複数の中継配線15を介して連結されている。中継配線15は、例えば、銅で形成されている。

40

【0025】

図6は、駆動IC13の平面構成の一例を表す。図6において四角で囲まれた配線名は、その配線名に隣接する端子に電氣的に接続される配線の名称を示している。駆動IC13は、発光素子12の発光を制御する。駆動IC13は、例えば、14個の電極パッド13a、13b、13c、13d、13e、13f、13g、13h、13i、13k、1

50

3 m , 1 3 n , 1 3 o , 1 3 p を有している。

【 0 0 2 6 】

電極パッド 1 3 a , 1 3 b , 1 3 c は、配線 1 6 を介して、データ線 S i g G , S i g R , S i g B に電氣的に接続されている。電極パッド 1 3 d , 1 3 e は、配線 1 6 を介して、電源線 V D D 1 , V D D 2 に電氣的に接続されている。電極パッド 1 3 f , 1 3 g は、配線 1 6 を介して、参照電位線 R e f 1 , R e f 2 に電氣的に接続されている。電極パッド 1 3 h は、配線 1 6 を介して、グラウンド線 G N D に電氣的に接続されている。電極パッド 1 3 i は、配線 1 6 を介して、ゲート線 G a t e に電氣的に接続されている。電極パッド 1 3 k は、配線 1 6 を介して、のこぎり電圧線 S a w に電氣的に接続されている。電極パッド 1 3 m , 1 3 o , 1 3 n は、配線 1 6 を介して、発光素子 1 2 の電極パッド 1 2 a , 1 2 c , 1 2 e に電氣的に接続されている。電極パッド 1 3 p は、配線 1 6 に接続されていない。

10

【 0 0 2 7 】

(セル 1 0 E の構造)

図 7 は、セル 1 0 E の断面構成の一例を表す。図 7 には、セル 1 0 E において、発光素子 1 2、駆動 I C 1 3、データ線 S i g B 1 およびゲート線 G a t e 2 の形成されている箇所の断面構成の一例が示されている。図 8 は、セル 1 0 E の配線レイアウトの一例を表す。図 8 には、2 x 2 行列に対応する 4 つの画素 1 1 に接続された配線 1 6 等の配線レイアウトの一例が示されている。各セル 1 0 E の配線レイアウトは、例えば、図 8 に記載のレイアウトが行方向および列方向に繰り返し配置されたレイアウトとなっている。図 8 において四角で囲まれた配線名は、その配線名に隣接するビア 1 4 (後述) に電氣的に接続される配線の名称を示している。

20

【 0 0 2 8 】

セル 1 0 E は、配線基板 3 0 と、配線基板 3 0 の上面に接して形成された微細 L / S 層 4 0 と、微細 L / S 層 4 0 の上面に行列状に配置された複数の画素 1 1 とを有している。配線基板 3 0 は、配線基板 1 0 D との関係では中間基板としての役割を有している。配線基板 3 0 は、本技術の「配線基板」の一具体例に相当する。微細 L / S 層 4 0 は、本技術の「微細 L / S 層」の一具体例に相当する。画素 1 1 が、本技術の「素子」の一具体例に相当する。

【 0 0 2 9 】

セル 1 0 E は、さらに、例えば、各画素 1 1 を含む表面を被覆する埋め込み層 4 4 と、埋め込み層 4 4 に接して形成された遮光層 4 5 と、配線基板 3 0 の裏面に接して形成された絶縁層 5 0 とを有している。埋め込み層 4 4 は、可視光を透過する光透過性の材料で構成されている。遮光層 4 5 は、可視光を吸収する材料を含んで構成されている。絶縁層 5 0 は、例えば、紫外線硬化樹脂、または、熱硬化性樹脂で形成されている。

30

【 0 0 3 0 】

遮光層 4 5 は、各発光素子 1 2 と対向する箇所に開口 4 5 A を有している。各発光素子 1 2 から発せられた光は各開口 4 5 A を介して外部に出射される。絶縁層 5 0 は、セル 1 0 E の外部接続端子としての各電極パッド 3 4 と対向する箇所に開口 5 0 A を有している。従って、各電極パッド 3 4 は、開口 5 0 A を介して、セル 1 0 E (配線基板 3 0) の裏面に露出している。例えば、開口 5 0 A 内に設けた金属バンプや半田バンプを介して、電極パッド 3 4 と配線基板 1 0 D とが互いに電氣的に接続されている。

40

【 0 0 3 1 】

(配線基板 3 0)

配線基板 3 0 は、例えば、層間の電氣的な接続がビアでなされた積層基板である。配線基板 3 0 は、配線基板 3 0 の裏面に、外部接続端子としての複数の電極パッド 3 4 を有している。複数の電極パッド 3 4 は、例えば、データ線 S i g R 1、データ線 S i g G 1、データ線 S i g B 1、ゲート線 G a t e 1、ゲート線 G a t e 2、電源線 V D D 1、参照電圧線 R e f 1、参照電圧線 R e f 2 およびのこぎり電圧線 S a w ごとに、1 つ以上設けられている。

50

【 0 0 3 2 】

配線基板 30 は、微細 L / S 層 40 内で引き回された複数の配線 16 と、複数の電極パッド 34 とを電氣的に接続する。配線基板 30 は、複数の配線 16 と、複数の電極パッド 34 とを電氣的に接続する複数の貫通配線 17 を有している。各貫通配線 17 は、配線基板 30 を厚さ方向に貫通する配線である。ある貫通配線 17 は、ある層内で列方向に延在するデータ線 S i g と、データ線 S i g の上（または上方）に形成されると共に配線基板 30 の上面に露出する複数のビア 14 とを含んでいる。ある貫通配線 17 は、ある層内で行方向に延在するゲート線 G a t e と、ゲート線 G a t e の上（または上方）に形成されると共に配線基板 30 の上面に露出する複数のビア 14 とを含んでいる。

【 0 0 3 3 】

ある貫通配線 17 は、ある層内で列方向に延在する電源線 V D D 1 と、電源線 V D D 1 の上（または上方）に形成されると共に配線基板 30 の上面に露出する複数のビア 14 とを含んでいる。ある貫通配線 17 は、ある層内で列方向に延在する参照電圧線 R e f 1 と、参照電圧線 R e f 1 の上（または上方）に形成されると共に配線基板 30 の上面に露出する複数のビア 14 とを含んでいる。ある貫通配線 17 は、ある層内で列方向に延在する参照電圧線 R e f 2 と、参照電圧線 R e f 2 の上（または上方）に形成されると共に配線基板 30 の上面に露出する複数のビア 14 とを含んでいる。ある貫通配線 17 は、ある層内で列方向に延在するのこぎり電圧線 S a w と、のこぎり電圧線 S a w の上（または上方）に形成されると共に配線基板 30 の上面に露出する複数のビア 14 とを含んでいる。

【 0 0 3 4 】

つまり、配線基板 30 において、複数のビア 14 は、データ線 S i g R 1、データ線 S i g G 1、データ線 S i g B 1、ゲート線 G a t e 1、ゲート線 G a t e 2、電源線 V D D 1、参照電圧線 R e f 1、参照電圧線 R e f 2 およびのこぎり電圧線 S a w ごとに、複数個ずつ設けられている。

【 0 0 3 5 】

ビア 14 は、絶縁層（例えば後述の絶縁層 32 D）の開口内に設けられている。ビア 14 は、絶縁層（例えば後述の絶縁層 32 D）の上面の配線（例えば配線 16）と、絶縁層（例えば後述の絶縁層 32 D）の裏面の配線（例えばデータ線 S i g やゲート線 G a t e など）とを互いに電氣的に接続する柱状配線である。ビア 14 は、例えば、コンフォーマルビア、または、フィールドビア（filled via）である。

【 0 0 3 6 】

複数のビア 14 は、複数の画素 11 の配列周期の整数倍の周期で配置されている。具体的には、データ線 S i g の上（または上方）に形成された複数のビア 14 は、複数の画素 11 における、データ線 S i g の延在方向（列方向）の配列周期の整数倍の周期で配置されている。同様に、ゲート線 G a t e の上（または上方）に形成された複数のビア 14 は、複数の画素 11 における、ゲート線 G a t e の延在方向（行方向）の配列周期の整数倍の周期で配置されている。電源線 V D D 1 の上（または上方）に形成された複数のビア 14 は、複数の画素 11 における、電源線 V D D 1 の延在方向（列方向）の配列周期の整数倍の周期で配置されている。参照電圧線 R e f 1 の上（または上方）に形成された複数のビア 14 は、複数の画素 11 における、参照電圧線 R e f 1 の延在方向（列方向）の配列周期の整数倍の周期で配置されている。参照電圧線 R e f 2 の上（または上方）に形成された複数のビア 14 は、複数の画素 11 における、参照電圧線 R e f 2 の延在方向（列方向）の配列周期の整数倍の周期で配置されている。のこぎり電圧線 S a w の上（または上方）に形成された複数のビア 14 は、複数の画素 11 における、のこぎり電圧線 S a w の延在方向（行方向）の配列周期の整数倍の周期で配置されている。

【 0 0 3 7 】

隣り合う複数の画素 11 が、1 または複数の配線 16 を介して、共通の 1 つのビア 14 に電氣的に接続されている。具体的には、データ線 S i g の延在方向（列方向）に並んだ複数の画素 11 が、1 または複数の配線 16 を介して、データ線 S i g の上（または上方）に形成された共通の 1 つのビアに電氣的に接続されている。同様に、ゲート線 G a t e

10

20

30

40

50

の延在方向（行方向）に並んだ複数の画素 1 1 が、1 または複数の配線 1 6 を介して、ゲート線 Gate の上（または上方）に形成された共通の 1 つのビアに電氣的に接続されている。電源線 VDD 1 の延在方向（列方向）に並んだ複数の画素 1 1 が、1 または複数の配線 1 6 を介して、電源線 VDD 1 の上（または上方）に形成された共通の 1 つのビアに電氣的に接続されている。参照電圧線 Ref 1 の延在方向（列方向）に並んだ複数の画素 1 1 が、1 または複数の配線 1 6 を介して、参照電圧線 Ref 1 の上（または上方）に形成された共通の 1 つのビアに電氣的に接続されている。参照電圧線 Ref 2 の延在方向（列方向）に並んだ複数の画素 1 1 が、1 または複数の配線 1 6 を介して、参照電圧線 Ref 2 の上（または上方）に形成された共通の 1 つのビアに電氣的に接続されている。のこぎり電圧線 Saw の延在方向（行方向）に並んだ複数の画素 1 1 が、1 または複数の配線 1 6 を介して、のこぎり電圧線 Saw の上（または上方）に形成された共通の 1 つのビアに電氣的に接続されている。

10

【0038】

図 8 では、行方向に並んだ 2 つの画素 1 1、列方向に並んだ 2 つの画素 1 1、および 2 x 2 行列に対応する 4 つの画素 1 1 において、ビア 1 4 の共有化がなされている。例えば、列方向に並んだ 2 つの画素 1 1 が、1 または複数の配線 1 6 を介して、データ線 Sig B 1 に電氣的に接続された共通の 1 つのビア 1 4 に電氣的に接続されている。このとき、データ線 Sig B 1 に電氣的に接続された複数のビア 1 4 は、複数の画素 1 1 の列方向の配列周期の 2 倍の周期で配置されている。例えば、行方向に並んだ 2 つの画素 1 1 が、1 または複数の配線 1 6 を介して、ゲート線 Gate 1 に電氣的に接続された共通の 1 つのビア 1 4 に電氣的に接続されている。このとき、ゲート線 Gate 1 に電氣的に接続された複数のビア 1 4 は、複数の画素 1 1 の行方向の配列周期の 2 倍の周期で配置されている。例えば、2 x 2 に対応する 4 つの画素 1 1 が、1 または複数の配線 1 6 を介して、参照電圧線 Ref 1 に電氣的に接続された共通の 1 つのビア 1 4 に電氣的に接続されている。このとき、参照電圧線 Ref 1 に電氣的に接続された複数のビア 1 4 は、複数の画素 1 1 の列方向の配列周期の 2 倍の周期で配置されている。

20

【0039】

図 8 に記載の配線レイアウト（実施例の配線レイアウト）と、下記の比較例の配線レイアウトとを比較すると、2 x 2 に対応する 4 つの画素 1 1 において必要となるビア 1 4 の数は、以下ようになる。なお、比較例では、各画素 1 1 において、データ線 Sig R 1、データ線 Sig G 1、データ線 Sig B 1、ゲート線 Gate 1、ゲート線 Gate 2、電源線 VDD 1、参照電圧線 Ref 1、参照電圧線 Ref 2 およびのこぎり電圧線 Saw ごとに、1 つずつ、ビア 1 4 が設けられている。

30

【0040】

	実施例	比較例
Sig R 1	2	2
Sig G 1	1	2
Sig B 1	1	2
Sig R 2	1	2
Sig G 2	1	2
Sig B 2	1	2
VDD 1	1	4
Ref 1	1	4
Ref 2	1	4
Gate 1	1	2
Gate 2	1	2
Saw	2	4
合計	14	32

40

【0041】

以上のことから、隣り合う複数の画素 1 1 でビア 1 4 を共有することにより、画素 1 1

50

ごとにビア 1 4 を設けた場合と比べて、1 つの画素 1 1 あたりに必要となるビア 1 4 の数が少なくなることがわかる。

【 0 0 4 2 】

ところで、上述したように、各セル 1 0 E の配線レイアウトは、例えば、図 8 に記載のレイアウトが行方向および列方向に繰り返し配置されたレイアウトとなっている。このとき、画素 1 1 のピッチは、各セル 1 0 E 内だけでなく、隣接する 2 つのセル 1 0 E 間においても、等ピッチとなっていることが好ましい。各セル 1 0 E では、各セル 1 0 E の外部接続端子としての複数の電極パッド 3 4 が、セル 1 0 E の裏面に設けられている。そのため、実装面の上面の外縁に外部接続端子を設けたときのような、画素 1 1 配置に使用できない額縁領域を省略したり、最小限にしたりすることができる。従って、各セル 1 0 E から、そのような額縁領域が省略されているか、または、各セル 1 0 E における、そのような額縁領域が最小限となっている場合には、隣接する 2 つのセル 1 0 E 間においても、画素 1 1 のピッチを等ピッチにすることができる。

10

【 0 0 4 3 】

配線基板 3 0 は、例えば、ビルドアップ基板であり、コア基板 3 1 と、コア基板 3 1 の上面に接して形成されたビルドアップ層 3 2 と、コア基板 3 1 の裏面に接して形成されたビルドアップ層 3 3 とを有している。配線基板 3 0 は、本技術の「ビルドアップ基板」の一具体例に相当する。ビルドアップ層 3 2 , 3 3 は、本技術の「ビルドアップ層」の一具体例に相当する。

【 0 0 4 4 】

コア基板 3 1 は、セル 1 0 E の剛性の確保するものであり、例えば、ガラスエポキシ基板である。ビルドアップ層 3 2 は、1 層以上の配線層を有している。ビルドアップ層 3 2 は、例えば、図 7 に示したように、配線層 3 2 A、絶縁層 3 2 B、配線層 3 2 C、絶縁層 3 2 D および配線層 3 2 E を、コア基板 3 1 の上面側からこの順に有している。ビルドアップ層 3 3 は、1 層以上の配線層を有している。ビルドアップ層 3 3 は、例えば、図 7 に示したように、配線層 3 3 A、絶縁層 3 3 B、配線層 3 3 C、絶縁層 3 3 D および配線層 3 3 E を、コア基板 3 1 の裏面側からこの順に有している。配線層 3 2 A , 3 2 C , 3 2 E , 3 3 A , 3 3 C , 3 3 E は、例えば、銅で形成されている。絶縁層 3 2 B , 3 2 D , 3 3 B , 3 3 D は、例えば、紫外線硬化樹脂、または、熱硬化性樹脂で形成されている。

20

【 0 0 4 5 】

各データ線 S i g は、例えば、配線層 3 2 C に形成されている。図 7 には、データ線 S i g B 1 が、配線層 3 2 C に形成されている様子が例示されている。各ゲート線 G a t e は、データ線 S i g とは異なる層に形成されており、例えば、配線層 3 2 A に形成されている。図 7 には、ゲート線 G a t e 2 が、配線層 3 2 A に形成されている様子が例示されている。各電源線 V D D 2 および各グラウンド線 G N D は、例えば、配線層 3 2 E に形成されている。各ビア 1 4 は、少なくともビルドアップ層 3 2 に形成されており、例えば、少なくとも絶縁層 3 2 D と同一の層内に形成されている。図 7 には、各ビア 1 4 が、絶縁層 3 2 D および配線層 3 2 E と同一の層内に形成されている様子が例示されている。各電極パッド 3 4 は、ビルドアップ層 3 3 に形成されており、例えば、配線層 3 3 E と同一の層内に形成されている。後述の中継配線 1 5 は、配線基板 3 0 の上面の配線層である配線層 3 2 E に形成されている。

30

【 0 0 4 6 】

(微細 L / S 層 4 0)

微細 L / S 層 4 0 は、配線層 4 2 と、配線層 4 2 と配線基板 3 0 の上面との間に設けられた絶縁層 4 1 とを有している。絶縁層 4 1 は、配線層 4 2 と、配線基板 3 0 の上面とに接している。配線層 4 2 は、各配線 1 6 を含む層である。従って、絶縁層 4 1 は、各配線 1 6 と配線基板 3 0 の上面との間に設けられており、各配線 1 6 と、配線基板 3 0 の上面とに接している。絶縁層 4 1 は、各ビア 1 4 の上面と対向する位置に開口 4 1 A を有している。絶縁層 4 1 は、ビア 1 4 と対向する位置ではなく、ビア 1 4 と電気的に接続された中継配線 1 5 と対向する位置に開口 4 1 A を有していてもよい。絶縁層 4 1 は、さらに、

40

50

上記部分電極と電氣的に接続された中継配線 15 と対向する位置に開口 4 1 A を有している。開口 4 1 A の底面には、ビア 1 4 の一部、または、中継配線 15 の一部が露出している。絶縁層 4 1 は、例えば、V P A で形成されている。V P A は、レジストとして一般に使われるものであり、例えば、新日鉄化学社製の V P A が上市されている。絶縁層 4 1 が V P A で形成されている場合、例えば、V P A を選択的に露光・現像することにより V P A に開口 4 1 を形成することができる。

【 0 0 4 7 】

配線層 4 2 において、一部の配線 1 6 は、ビア 1 4 ごとに 1 本ずつ以上設けられており、別の配線 1 6 は、中間配線 1 5 ごとに 1 本ずつ以上設けられており、残りの配線 1 6 は、電源線 V D D 2 およびグラウンド線 G N D ごとに複数本ずつ以上設けられている。配線層 4 2 (各配線 1 6) は、例えば、開口 4 1 A の底面および側面を含む配線基板 3 0 の上面に接するシード層 4 2 A と、シード層 4 2 A の上面に接するめっき層 4 2 B とを有している。シード層 4 2 A は、製造過程においてめっき層 4 2 B をめっきで形成する際のめっき成長面となる。シード層 4 2 A は、開口 4 1 A の底面と接しており、ビア 1 4 および中継配線 1 5 と電氣的に接続されている。シード層 4 2 A は、例えば、銅で形成されている。めっき層 4 2 B は、製造過程においてシード層 4 2 A をめっき成長面としてめっき処理により形成されたものである。なお、配線層 4 2 (各配線 1 6) は、例えば、スパッタリングにより形成された層であってもよい。

【 0 0 4 8 】

上述したように、配線層 4 2 (各配線 1 6) は、絶縁層 4 1 の上面に接して形成されている。一方、各画素 1 1 の電極は、シード層 4 2 A の上面に接して形成されている。そのため、発光素子 1 2 および駆動 I C 1 3 は、互いに同一の面 (シード層 4 2 A の上面) 上に形成されているが、厳密には、配線層 4 2 (各配線 1 6) の形成面 (絶縁層 4 1 の上面) とは別の面に形成されている。しかし、各画素 1 1 の実装という観点からは、絶縁層 4 1 の上面とシード層 4 2 A の上面とを含む面が実装面 4 1 S となっていると言える。従って、配線層 4 2 (各配線 1 6) は、各画素 1 1 の実装面 4 1 S に形成されており、かつ、各画素 1 1 と実質的に共通の面に形成されている。

【 0 0 4 9 】

配線層 4 2 (各配線 1 6) は、例えば、ビア 1 4、ビア 1 4 と電氣的に接続された部材 (例えば中継配線 1 5)、および、上記部分電極と電氣的に接続された中継配線 1 5 とめっき接合されている。配線層 4 2 (各配線 1 6) をめっきにより形成する際に、配線層 4 2 (各配線 1 6) と、ビア 1 4 等との接合が、配線層 4 2 (各配線 1 6) の形成プロセスの中で一括して行われてもよい。配線層 4 2 (各配線 1 6) は、例えば、画素 1 1 (発光素子 1 2 および駆動 I C 1 3) とめっき接合されている。配線層 4 2 (各配線 1 6) をめっきにより形成する際に、配線層 4 2 (各配線 1 6) と、画素 1 1 との接合が、配線層 4 2 (各配線 1 6) の形成プロセスの中で一括して行われてもよい。

【 0 0 5 0 】

微細 L / S 層 4 0 の L / S (line and space) は、配線基板 3 0 の L / S よりも小さくなっている。L / S とは、面内で最も狭い配線ピッチを指している。微細 L / S 層 4 0 の L / S は、複数の信号線 S i g、複数のゲート線 G a t e、複数の電圧線 V D D 1、複数の参照電圧線 R e f 1、複数の参照電圧線 R e f 2、およびのこぎり電圧線 S a w の L / S よりも小さくなっている。微細 L / S 層 4 0 の L / S は、例えば、2 5 μ m 程度である。一方、配線基板 3 0 の L / S は、例えば、7 5 μ m 程度である。

【 0 0 5 1 】

[製造方法]

次に、図 9 ~ 図 1 3 を参照しつつ、セル 1 0 E の製造方法の一例について説明する。図 9 ~ 図 1 3 は、セル 1 0 E の製造過程の一例を工程順に表す。

【 0 0 5 2 】

まず、配線基板 3 0 を用意する。次に、配線基板 3 0 の上面に絶縁層 4 1 を形成したのち、所定の方法で、絶縁層 4 1 のうち、ビア 1 4 の上面と対向する位置に開口 4 1 A を形

10

20

30

40

50

成する(図9)。このとき、図示しないが、所定の方法で、ビア14や上記部分配線と電氣的に接続された中継配線15の上面と対向する位置にも開口41Aを形成する。次に、開口41Aの底面および側面を含む配線基板30の上面にシード層42Aを形成する(図10)。

【0053】

次に、表面全体に絶縁性の接着剤を塗布するなどして、発光素子12や駆動IC13を仮固定するための固定層43Aを形成する(図11参照)。接着剤の代わりに、シリコン系やアクリル系で代表されるような粘着剤の層を固定層43Aとして形成してもよい。続いて、発光素子12や駆動IC13を固定層43Aによって仮固定する(図11)。このとき、発光素子12の電極パッド12a~12eや、駆動IC13の電極パッド13a~13pを、後述のめっき処理において成長する金属体(めっき層42B)と接続可能となる程度に近づけて配置する。

10

【0054】

次に、発光素子12や駆動IC13を仮固定している部分(固定層43Aのうち、発光素子12や駆動IC13の底面に存在する部分)以外の固定層43Aを除去する。その結果、発光素子12や駆動IC13の底面だけに固定層43Aが残る(図12)。図12では、残った固定層43Aを固定層43と記載した。固定層43Aの除去に際して、例えば、ドライエッチングや有機溶剤浸漬等を行うことができる。なお、あらかじめ、発光素子12や駆動IC13を仮固定する場所にだけ、絶縁性の接着剤を塗布しておいてもよい。

20

【0055】

次に、シード層42Aをめっき成長面としてめっき処理を行い、シード層42Aの上面にめっき層42Bを形成する(図13)。これにより、配線層42(各配線16)が形成される。このとき、配線層42(各配線16)と、ビア14等との接合が、配線層42(各配線16)の形成プロセスの中で一括して行われる。また、配線層42(各配線16)と、画素11との接合が、配線層42(各配線16)の形成プロセスの中で一括して行われる。その後は、発光素子12や駆動IC13を埋め込み層43で埋め込んだ後に、遮光層45を形成する(図7参照)。このようにして、セル10Eが製造される。

【0056】

[作用・効果]

次に、表示装置1の作用、効果について説明する。本実施の形態では、配線基板30において、層内で所定の方向に延在する配線(例えば、データ線Sig、ゲート線Gate)ごとに複数のビア14が設けられている。層内で所定の方向に延在する配線ごとに設けられた複数のビア14が、複数の画素11の配列周期の整数倍の周期で配置されている。そして、微細L/S層40上で隣り合う複数の画素11が、微細L/S層40内の1または複数の配線16を介して、共通のビア14に電氣的に接続されている。このように、隣り合う複数の画素11でビア14を共有することにより、画素11ごとにビア14を設けた場合と比べて、1つの画素11あたりに必要となるビア14の数が少なくなる。その結果、配線基板30上の微細L/S層40のL/Sを、配線基板30内の複数の配線(例えば、複数のデータ線Sig、または、複数のゲート線Gate)のL/Sよりも小さくした場合に、配線基板30上の配線層42の数を1つとすることができる。従って、本実施の形態では、配線基板30上の配線層42を多層にすることなく、実装面41Sの配線ピッチを狭くすることができる。

30

40

【0057】

<2. 変形例>

[変形例1]

上記実施の形態において、例えば、図14に示したように、画素11が、発光素子12および駆動IC13を一体に形成したものであってもよい。

【0058】

[変形例2]

上記実施の形態およびその変形例において、発光素子12の発光色が単一であっててもよ

50

い。この場合に、セル 10E が、例えば、開口 45A 内に、複数色のカラーフィルタを有していてもよい。また、上記変形例 2 において、発光素子 12 の発光色が単一であってもよい。この場合に、対向基板 10B が、例えば、開口 45A 内に、複数色のカラーフィルタを有していてもよい。

【0059】

< 3 . 第 2 の実施の形態 >

図 15 は、本技術の第 2 の実施の形態に係る照明装置 2 の斜視構成の一例を表す。照明装置 2 は、上記第 1 の実施の形態の表示装置 1 およびその変形例（変形例 1 , 2 ）において、データ線 S i g に入力される信号が、映像信号のような時々刻々、変化するものではなく、照明光の明るさに応じた固定値となっているものに相当する。照明装置 2 は、例えば、図 15 に示したように、照明パネル 60 と、照明パネル 60 を制御する制御回路 70 とを備えている。

10

【0060】

照明パネル 60 は、実装基板 60A と、対向基板 60B とを互いに重ね合わせたものである。対向基板 60B の表面が光射出面となっている。対向基板 60B は、所定の間隙を介して、実装基板 60A と対向する位置に配置されている。対向基板 60B は、例えば、可視光を透過する光透過性の基板を有しており、例えば、ガラス基板、または透明樹脂基板などを有している。

【0061】

実装基板 60A は、例えば、図 2 と同様に、タイル状に配置された複数のユニット基板で構成されている。ユニット基板は、例えば、タイル状に配置された複数のセルと、各セルを支持する配線基板とを有している。各セルでは、例えば、図 4、図 7、図 8、図 14 において、データ線 S i g に入力される信号が、照明光の明るさに応じた固定値となっている場合に、画素 11 の駆動にとって必要のない配線が、適宜、省略される。

20

【0062】

[作用・効果]

次に、照明装置 2 の作用、効果について説明する。本実施の形態では、上記第 1 の実施の形態およびその変形例に係る表示装置 1 と同様に、配線基板 30 において、層内で所定の方向に延在する配線ごとに複数のビア 14 が設けられている。層内で所定の方向に延在する配線ごとに設けられた複数のビア 14 が、複数の画素 11 の配列周期の整数倍の周期で配置されている。そして、微細 L / S 層 40 上で隣り合う複数の受光素子が、微細 L / S 層 40 内の 1 または複数の配線 16 を介して、共通のビア 14 に電気的に接続されている。このように、隣り合う複数の画素 11 でビア 14 を共有することにより、画素 11 ごとにビア 14 を設けた場合と比べて、1 つの画素 11 あたりに必要となるビア 14 の数が少なくなる。その結果、配線基板 30 上の微細 L / S 層 40 の L / S を、配線基板 30 内の複数の配線の L / S よりも小さくした場合に、配線基板 30 上の配線層 42 の数を 1 つとすることができる。従って、本実施の形態では、配線基板 30 上の配線層 42 を多層にすることなく、実装面 41S の配線ピッチを狭くすることができる。

30

【0063】

< 4 . 第 3 の実施の形態 >

図 16 は、本技術の第 3 の実施の形態に係る受光装置 3 の斜視構成の一例を表す。受光装置 3 は、上記第 1 の実施の形態の表示装置 1 において、画素 11 の代わりに受光素子を設けたものに相当する。受光装置 2 は、例えば、図 16 に示したように、受光パネル 80 と、受光パネル 80 を制御する制御回路 90 とを備えている。

40

【0064】

受光パネル 80 は、実装基板 80A と、対向基板 80B とを互いに重ね合わせたものである。対向基板 80B の表面が受光面となっている。対向基板 80B は、所定の間隙を介して、実装基板 80A と対向する位置に配置されている。対向基板 80B は、例えば、可視光を透過する光透過性の基板を有しており、例えば、ガラス基板、または透明樹脂基板などを有している。

50

【 0 0 6 5 】

実装基板 8 0 A は、例えば、図 2 と同様に、タイル状に配置された複数のユニット基板で構成されている。ユニット基板は、例えば、タイル状に配置された複数のセルと、各セルを支持する配線基板とを有している。各セルは、例えば、図 4、図 7、図 1 4 において、画素 1 1 の代わりに受光素子を設けたものに相当する。ただし、受光素子の駆動にとって必要のない配線は、適宜、省略される。

【 0 0 6 6 】

[作用・効果]

次に、受光装置 3 の作用、効果について説明する。本実施の形態では、上記第 1 の実施の形態およびその変形例に係る表示装置 1 と同様に、配線基板 3 0 において、層内で所定の方向に延在する配線ごとに複数のビア 1 4 が設けられている。層内で所定の方向に延在する配線ごとに設けられた複数のビア 1 4 が、複数の受光素子の配列周期の整数倍の周期で配置されている。そして、微細 L / S 層 4 0 上で隣り合う複数の受光素子が、微細 L / S 層 4 0 内の 1 または複数の配線 1 6 を介して、共通のビア 1 4 に電気的に接続されている。このように、隣り合う複数の受光素子でビア 1 4 を共有することにより、受光素子ごとにビア 1 4 を設けた場合と比べて、1 つの画素 1 1 あたりに必要となるビア 1 4 の数が少なくなる。その結果、配線基板 3 0 上の微細 L / S 層 4 0 の L / S を、配線基板 3 0 内の複数の配線の L / S よりも小さくした場合に、配線基板 3 0 上の配線層 4 2 の数を 1 つとすることができる。従って、本実施の形態では、配線基板 3 0 上の配線層 4 2 を多層にすることなく、実装面 4 1 S の配線ピッチを狭くすることができる。

【 0 0 6 7 】

< 5 . 各実施の形態に共通の変形例 >

上記各実施の形態およびその変形例において、遮光層 4 5 が対向基板 1 0 B , 6 0 B , 8 0 B の裏面 (実装基板 1 0 A , 6 0 A , 8 0 A 側の表面) に配置されていてもよい。

【 0 0 6 8 】

上記各実施の形態およびその変形例において、例えば、図 1 7 ~ 図 1 9 に示したように、対向基板 1 0 B , 6 0 B , 8 0 B が省略されていてもよい。また、上記各実施の形態およびその変形例において、対向基板 1 0 B , 6 0 B , 8 0 B が、ユニット基板 1 0 C ごとに、またはセル 1 2 E ごとに 1 つずつ設けられていてもよい。

【 0 0 6 9 】

上記各実施の形態およびその変形例において、遮光層 4 5 が省略されていてもよい。

【 0 0 7 0 】

また、上記各実施の形態およびその変形例では、各画素 1 1 (発光素子 1 2 および駆動 IC 1 3) が、配線層 4 2 (各配線 1 6) とめっき接合されていたが、例えば、半田接合されていてもよい。例えば、発光素子 1 2 および駆動 IC 1 3 の電極パッドに半田バンプを設けた上で、発光素子 1 2 および駆動 IC 1 3 を、各配線 1 6 上に配置したのち、リフローを行う。これにより、発光素子 1 2 および駆動 IC 1 3 を、各配線 1 6 に半田接合することができる。なお、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また、他の効果があってもよい。

【 0 0 7 1 】

また、例えば、本技術は以下のような構成を取ることができる。

(1)

配線基板と、

前記配線基板の上面に接して形成された微細 L / S (line and space) 層と、

前記微細 L / S 層の上面に行列状に配置された複数の素子と

を備え、

前記配線基板は、

層内で所定の方向に延在する複数の第 1 配線と、

前記第 1 配線ごとに複数設けられ、かつ複数の前記素子の配列周期の整数倍の周期で配置された複数のビアと

10

20

30

40

50

を有し、
 前記微細 L / S 層は、
 前記ビアごとに 1 つ以上設けられた複数の第 2 配線と、
 各前記第 2 配線と、前記配線基板の上面との間に設けられ、各前記第 2 配線と、前記配線基板の上面とに接する絶縁層と

を有し、
 前記微細 L / S 層の L / S は、複数の前記第 1 配線の L / S よりも小さくなっており、隣り合う複数の前記素子が、1 または複数の前記第 2 配線を介して、共通の前記ビアに電氣的に接続されている
 実装基板。

10

(2)

複数の前記第 1 配線は、行方向または列方向に延在し、
 複数の前記ビアは、複数の前記素子における、前記第 1 配線の延在方向の配列周期の整数倍の周期で配置され、
 前記第 1 配線の延在方向に並んだ複数の前記素子が、1 または複数の前記第 2 配線を介して、共通の前記ビアに電氣的に接続されている

(1) に記載の実装基板。

(3)

各前記ビアは、前記第 2 配線の上または上方に形成されると共に前記配線基板の上面に露出している

20

(1) または (2) に記載の実装基板。

(4)

前記配線基板は、前記第 1 配線ごとに 1 つ以上設けられ、前記配線基板の裏面に露出する複数の電極パッドを有する

(1) ないし (3) のいずれか 1 つに記載の実装基板。

(5)

前記第 2 配線は、前記ビアまたは前記ビアと電氣的に接続された部材とめっき接合されており、さらに、各前記素子とめっき接合されている

(1) ないし (4) のいずれか 1 つに記載の実装基板。

(6)

前記配線基板は、コア基板と、前記コア基板の両面にそれぞれ 1 層以上形成されたビルドアップ層とを有するビルドアップ基板であり、

各前記ビアは、少なくとも前記配線基板の上面側の前記ビルドアップ層に形成され、
 各前記電極パッドは、前記配線基板の裏面側の前記ビルドアップ層に形成されている

(1) ないし (5) のいずれか 1 つに記載の実装基板。

30

(7)

各前記素子は、発光素子と、前記発光素子を駆動する駆動回路とを含む

(1) ないし (6) のいずれか 1 つに記載の実装基板。

(8)

1 または複数の実装基板と、

40

1 または複数の前記実装基板を制御する制御回路と

を備え、

前記実装基板は、

配線基板と、

前記配線基板の上面に接して形成された微細 L / S (line and space) 層と、

前記微細 L / S 層の上面に行列状に配置された複数の素子と

を有し、

前記配線基板は、

層内で所定の方向に延在する複数の第 1 配線と、

前記第 1 配線ごとに複数設けられ、かつ複数の前記素子の配列周期の整数倍の周期で配

50

置された複数のビアと

を有し、

前記微細 L / S 層は、

前記ビアごとに 1 つ以上設けられた複数の第 2 配線と、

各前記第 2 配線と、前記配線基板の上面との間に設けられ、各前記第 2 配線と、前記配線基板の上面とに接する絶縁層と

を有し、

前記微細 L / S 層の L / S (line and space) は、複数の前記第 1 配線の L / S よりも小さくなっており、

隣り合う複数の前記素子が、1 または複数の前記第 2 配線を介して、共通の前記ビアに電氣的に接続されている

10

電子機器。

(9)

当該電子機器は、

複数の前記実装基板を支持する支持基板と、

複数の前記実装基板を制御する制御基板と

をさらに備え、

複数の前記実装基板は、前記支持基板上にタイル状に配置され、

各前記配線基板は、前記第 1 配線ごとに 1 つ以上設けられ、前記第 1 配線と電氣的に接続されると共に、前記配線基板の裏面に露出する複数の電極パッドを有し、

20

前記支持基板および前記制御基板の少なくとも一方は、各前記電極パッドを介して、各前記配線基板と電氣的に接続されている

(8) に記載の電子機器。

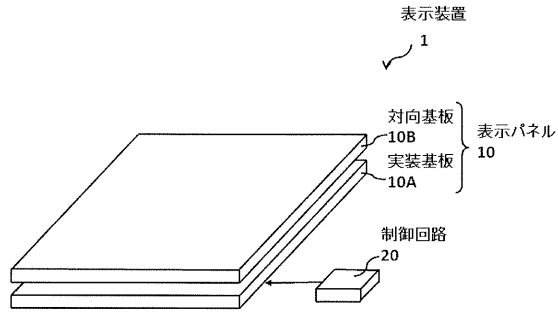
【符号の説明】

【 0 0 7 2 】

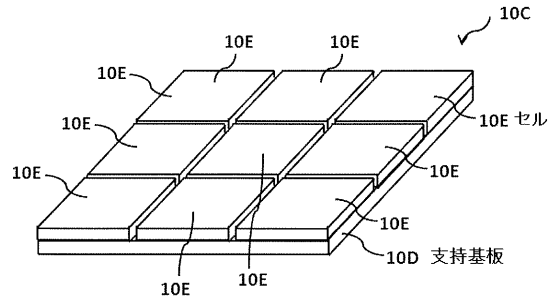
1 ... 表示装置、1 0 ... 表示パネル、1 0 A ... 実装基板、1 0 B ... 対向基板、1 0 C ... ユニット基板、1 0 D ... 配線基板、1 0 E ... セル、1 1 ... 画素、1 2 , 1 2 B , 1 2 G , 1 2 R ... 発光素子、1 2 a , 1 2 b , 1 2 c , 1 2 d , 1 2 e , 1 2 f , 1 3 a , 1 3 b , 1 3 c , 1 3 d , 1 3 e , 1 3 f , 1 3 g , 1 3 h , 1 3 i , 1 3 k , 1 3 m , 1 3 n , 1 3 o , 1 3 p ... 電極パッド、1 2 i ... 保護体、1 3 ... 駆動 IC、1 5 ... 中継配線、1 6 ... 配線、1 7 ... 貫通配線、2 0 ... 制御回路、3 0 ... 配線基板、3 1 ... コア基板、3 2 , 3 3 ... ビルドアップ基板、3 2 A , 3 2 C , 3 2 E , 3 3 A , 3 3 C , 3 3 E ... 配線層、3 2 B , 3 2 D , 3 3 B , 3 3 D ... 絶縁層、3 4 ... 電極パッド、4 0 ... 微細 L / S 層、4 1 ... 絶縁層、4 1 A ... 開口、4 1 S ... 実装面、4 2 ... 配線層、4 2 A ... シード層、4 2 B ... めっき層、4 3 , 4 3 A ... 固定層、4 4 ... 埋め込み層、4 5 ... 遮光層、4 5 A ... 開口、5 0 ... 絶縁層、5 0 A ... 開口、G a t e , G a t e 1 , G a t e 2 ... ゲート線、G N D ... グラウンド線、R e f 1 , R e f 2 ... 参照電圧線、S a w ... のこぎり電圧線、S i g , S i g B , S i g B 1 , S i g B 2 , S i g G , S i g G 1 , S i g G 2 , S i g R , S i g R 1 , S i g R 2 ... データ線、V D D 1 , V D D 2 ... 電源線。

30

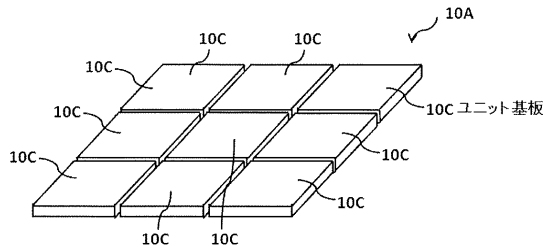
【図1】



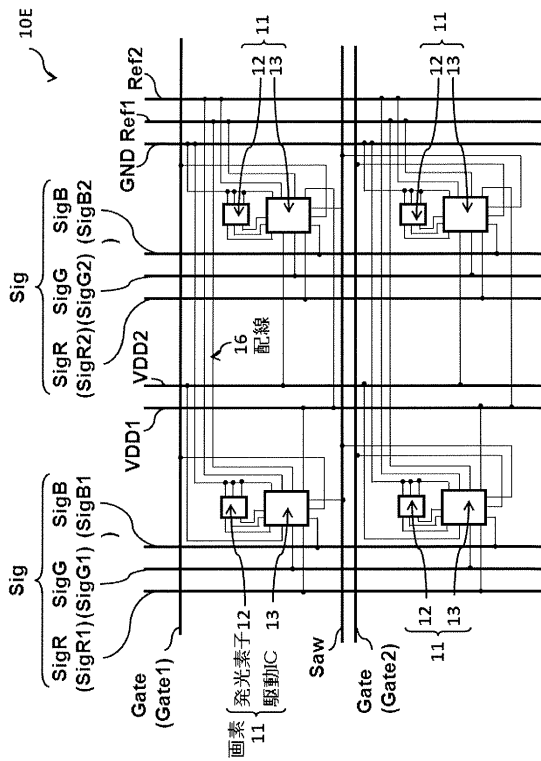
【図3】



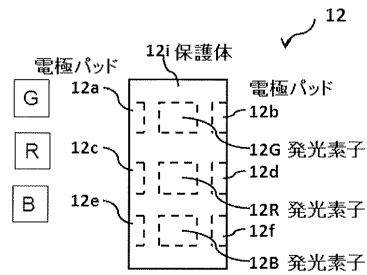
【図2】



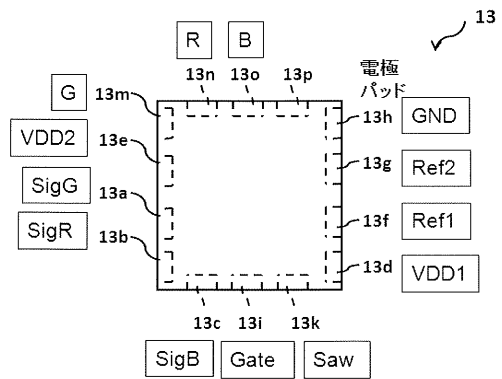
【図4】



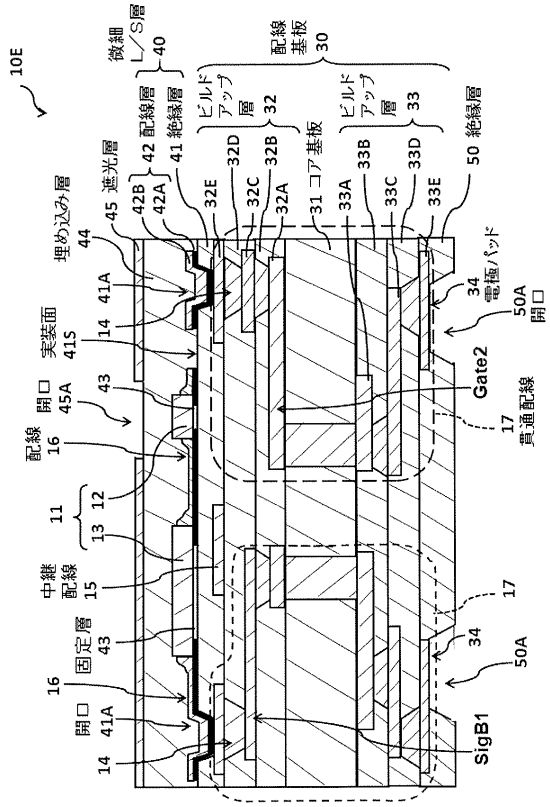
【図5】



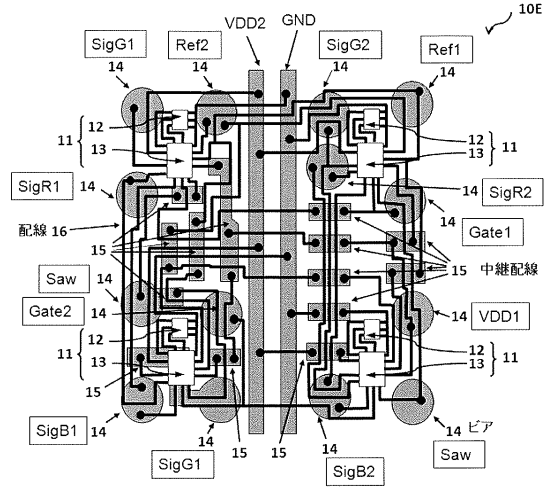
【図6】



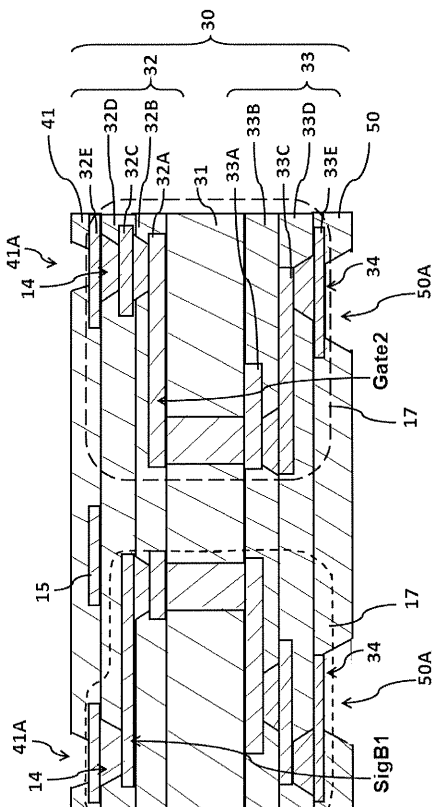
【図 7】



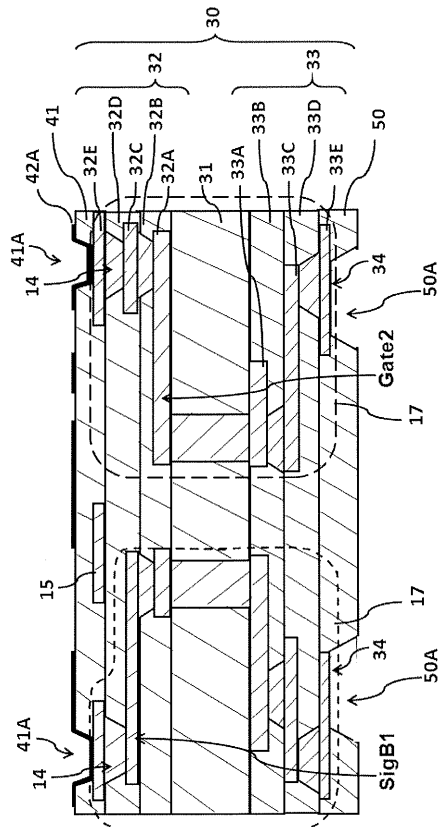
【図 8】



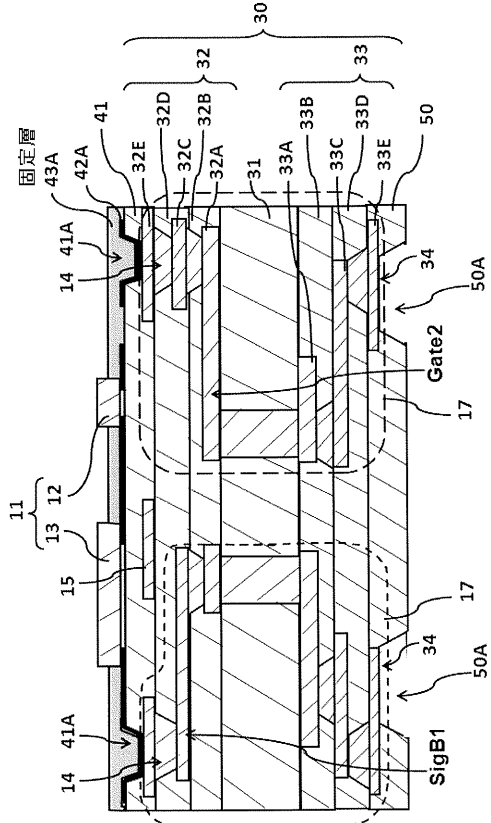
【図 9】



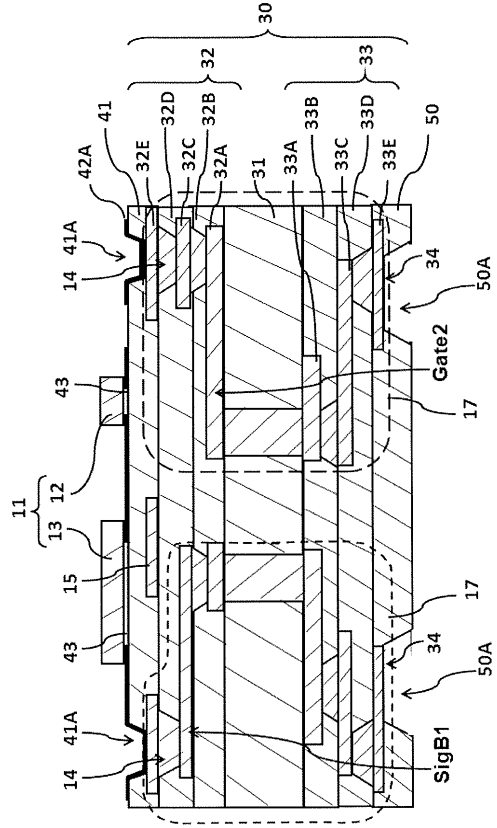
【図 10】



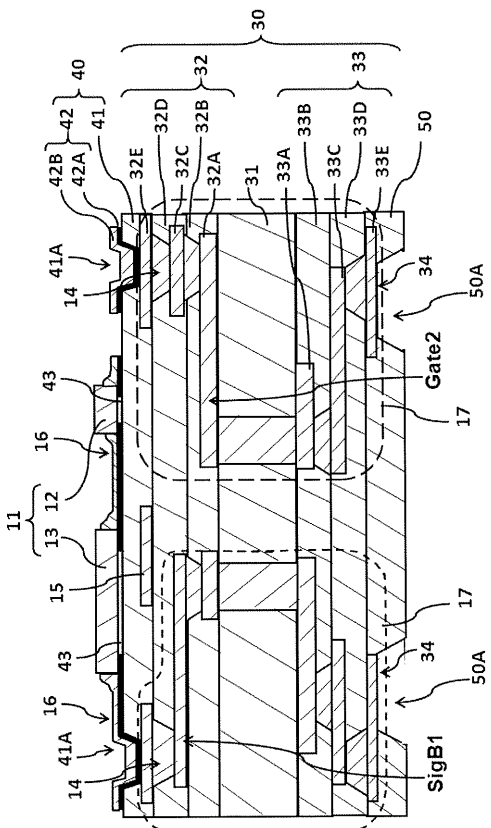
【図11】



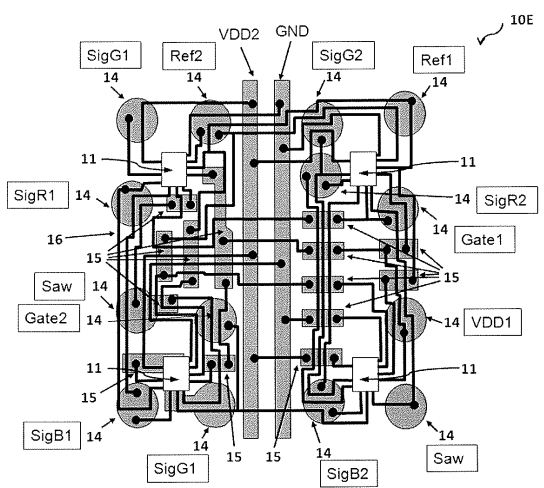
【図12】



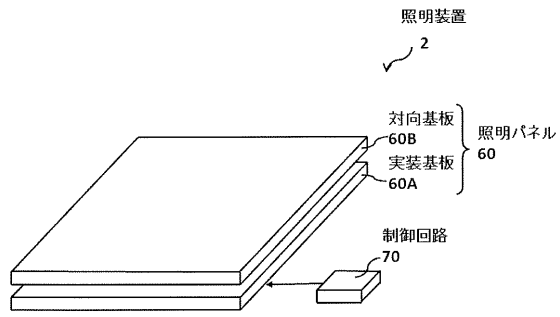
【図13】



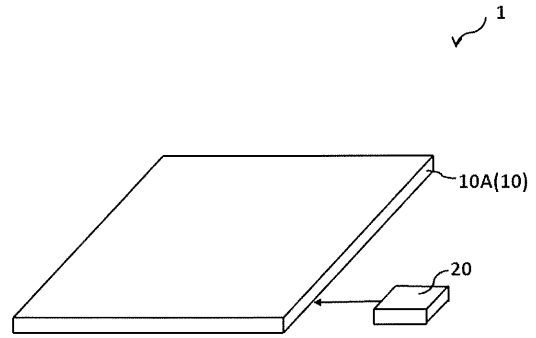
【図14】



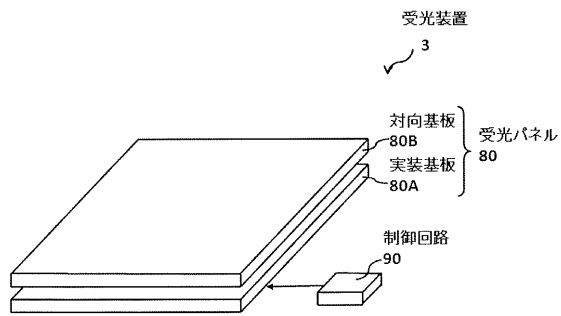
【図15】



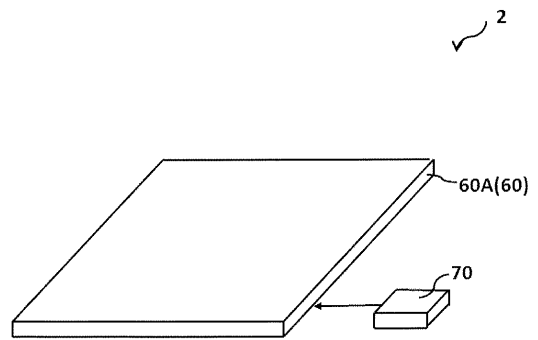
【図17】



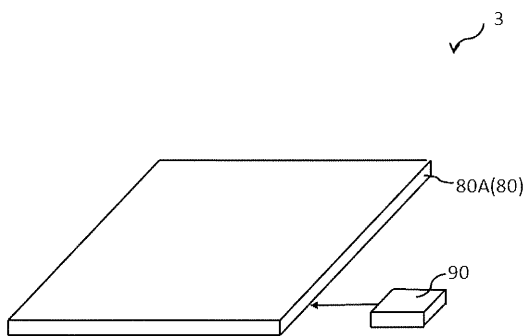
【図16】



【図18】



【図19】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 3/46 Q

(56)参考文献 特開2012-227514(JP,A)
特開2012-142376(JP,A)
特開2010-015163(JP,A)
特開2006-179942(JP,A)
特開2005-033141(JP,A)
特開2014-011275(JP,A)
特開2009-037164(JP,A)
特開2003-115613(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 F 9 / 0 0 - 4 6
H 0 1 L 2 7 / 3 2
H 0 1 L 3 3 / 0 0 - 3 3 / 6 4
H 0 5 K 3 / 4 6