

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 9 月 27 日 (27.09.2018)



(10) 国际公布号
WO 2018/170971 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01) G02F 1/1362 (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/080507

(22) 国际申请日: 2017 年 4 月 14 日 (14.04.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710175245.1 2017 年 3 月 22 日 (22.03.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司
(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 谭志威 (TAN, Zhiwei); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 阵列基板及其制作方法

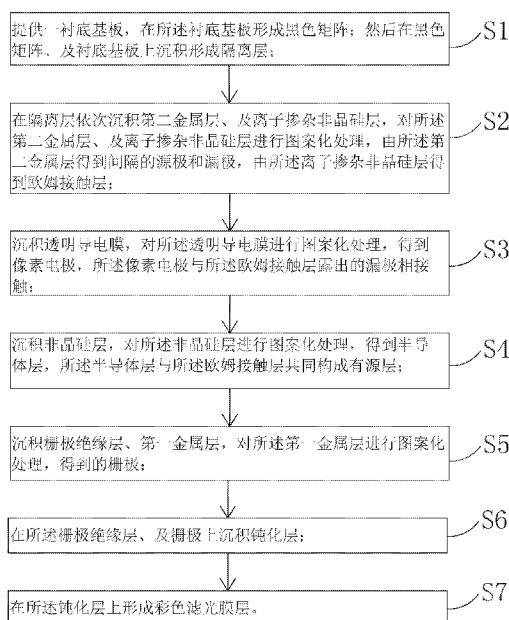


图2

S1 PROVIDE A BASE SUBSTRATE AND FORM A BLACK MATRIX ON THE BASE SUBSTRATE; DEPOSIT AND FORM AN ISOLATION LAYER ON THE BLACK MATRIX AND THE BASE SUBSTRATE
S2 SEQUENTIALLY DEPOSIT A SECOND METAL LAYER AND AN ION-DOPED AMORPHOUS SILICON LAYER ON THE ISOLATION LAYER, PERFORM PATTERNING ON THE SECOND METAL LAYER AND THE ION-DOPED AMORPHOUS SILICON LAYER, OBTAINING A SPACED SOURCE AND DRAIN FROM THE SECOND METAL LAYER, AND OBTAINING AN OHMIC CONTACT LAYER FROM THE ION-DOPED AMORPHOUS SILICON LAYER
S3 DEPOSIT A TRANSPARENT CONDUCTIVE FILM AND PERFORM PATTERNING ON THE TRANSPARENT CONDUCTIVE FILM TO OBTAIN A PIXEL ELECTRODE, THE PIXEL ELECTRODE BEING IN CONTACT WITH THE DRAIN EXPOSED BY THE OHMIC CONTACT LAYER
S4 DEPOSIT AN AMORPHOUS SILICON LAYER AND PERFORM PATTERNING ON THE AMORPHOUS SILICON LAYER TO OBTAIN A SEMICONDUCTOR LAYER, THE SEMICONDUCTOR LAYER AND THE OHMIC CONTACT LAYER TOGETHER FORMING AN ACTIVE LAYER
S5 DEPOSIT A GATE INSULATION LAYER AND A FIRST METAL LAYER, AND PERFORM PATTERNING ON THE FIRST METAL LAYER TO OBTAIN A GATE
S6 DEPOSIT A PASSIVATION LAYER ON THE GATE INSULATION LAYER AND THE GATE
S7 FORM A COLOR FILTER LAYER ON THE PASSIVATION LAYER

(57) Abstract: A method for manufacturing an array substrate and an array substrate are provided. The method for manufacturing an array substrate combines COA technology and BOA technology. First, a black matrix is manufactured on a base substrate (S1). Then, a top-gate TFT device is arranged above the black matrix (S2-S6). Finally, a color filter is arranged above the TFT device (S7). A pixel electrode is directly disposed above a drain and is in contact with the drain. The manufacturing method can improve electrical performance and performance stability of TFT devices, and improve the quality of display panels. Compared to the existing

LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

method for manufacturing an array substrate, the number of masks and processes are reduced, the manufacturing method is simple, and production costs are reduced. The array substrate has a simple manufacturing method, good TFT device electrical performance, and good performance stability, and can improve the quality of display panels.

(57) 摘要: 提供一种阵列基板的制作方法。该阵列基板的制作方法, 结合COA技术与BOA技术, 先在衬底基板上制作黑色矩阵(S1), 再在黑色矩阵上方制作顶栅型的TFT器件(S2-S6), 最后在TFT器件上方制作彩色滤光层(S7), 其中, 像素电极直接设于漏极上与漏极相接触, 该制作方法可以提高TFT器件的电学性能及性能稳定性, 提升显示面板的品质, 相对于现有阵列基板的制作方法, 缩减了所使用的光罩和制程, 制作方法简单, 节约生产成本。该阵列基板, 制作方法简单, TFT器件电学性能好、性能稳定, 可提升显示面板的品质。

阵列基板及其制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种阵列基板及其制作方法。

5

背景技术

在显示技术领域，有源式液晶显示器（Active Matrix Liquid Crystal Display, AMLCD）是目前最广泛使用的平板显示器之一，液晶面板是有源式液晶显示器的核心组成部分。传统的液晶面板通常是由一彩色滤光片（Color Filter, CF）基板、一薄膜晶体管（Thin Film Transistor, TFT）阵列基板以及一配置于两基板间的液晶层（Liquid Crystal Layer）所构成，其工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。其中薄膜晶体管阵列基板上制备 TFT 阵列，用于驱动液晶的旋转，控制每个像素的显示。

薄膜晶体管具有多种结构，目前，主流的 AMLCD 多采用底栅型 TFT 阵列基板结构，如图 1 所示，为现有一种底栅型 TFT 阵列基板的结构示意图，所述底栅型 TFT 阵列基板包括玻璃基板 100、设于玻璃基板 100 上的栅极 200、设于栅极 200 与玻璃基板 100 上的栅极绝缘层（GI）300、设于栅极绝缘层 300 上的有源层（active layer）400、设于有源层 400 与栅极绝缘层 300 上的间隔的源极 510 和漏极 520、设于源极 510、漏极 520、有源层 400 与栅极绝缘层 300 上的钝化层（PV）600。该底栅型 TFT 阵列基板的制作方法包括：

步骤 101、提供一玻璃基板 100，在所述玻璃基板 100 上沉积第一金属层（M1），对第一金属层进行图案化处理，得到栅极 200；在栅极 200 与玻璃基板 100 上沉积形成栅极绝缘层 300；

步骤 102、在所述栅极绝缘层 300 上依次沉积未掺杂非晶硅层（a-si）与硼离子掺杂非晶硅层，采用灰阶光罩（gray tone Mask）或半色调光罩（half tone Mask）等高阶光罩对未掺杂非晶硅层与硼离子掺杂非晶硅层进行图案化处理，得到有源层 400，其中，硼离子掺杂非晶硅层经图案化后形成有源层 400 的 N 型欧姆接触层 410；

步骤 103、在所述有源层 400 及栅极绝缘层 300 上沉积第二金属层（M2），对所述第二金属层进行图案化处理，得到源极 510 与漏极 520；

步骤 104、在所述源极 510、漏极 520、有源层 400 与栅极绝缘层 300 上沉积形成钝化层 600。

另外，底栅型 TFT 阵列基板制作过程中，在形成钝化层 600 之后，为实现漏极 520 与像素电极的连接，还需要在所述钝化层 600 上形成对应于所述漏极 520 上方的过孔。

现在主流的 AMLCD 采用底栅型 TFT 阵列基板主要出于下面考量：一方面底栅型 TFT 的栅极 200 可以作为遮光层，屏蔽来自于背光 (back light) 模组的光线对于有源层 400 的照射，从而避免产生光电流影响器件稳定性；另一方面栅极绝缘层 300/非晶硅层/硼离子掺杂非晶硅层的薄膜沉积顺序合理，界面影响小，蚀刻方便。

然而，在形成过孔的制程中，很容易发生因为杂质 (particle) 等因素造成的过孔异常或与像素电极桥接不良，从而降低产品良率。另外主流 AMLCD 中黑色矩阵 (Black Matrix, BM) 和彩色滤光层通常制作在 CF 基板侧，这样不仅会使 CF 基板制程复杂，更因为要考虑 CF 基板与 TFT 阵列基板对组时的偏移量而不得不加宽黑色矩阵，从而使产品的开口率下降。

COA (Color Filter on Array) 技术是将彩色滤光层即 R、G、B 色阻直接制备在的阵列基板上的技术，而 BOA (Black Matrix on Array) 技术是将黑色矩阵直接制备在的阵列基板上的技术。因为 COA 显示面板中 RGB 色阻制作在 TFT 阵列基板之上，不存在彩膜基板与阵列基板的对位问题，所以可以降低显示面板制备过程中对盒制程的难度，避免了对盒时的误差，然而现有 COA 型阵列基板中，彩色滤光层通常设于 TFT 器件与像素电极之间，从而通常需要在彩色滤光层上设置开口 (OPEN) 以实现层间的连接，这在后续制程中很容易导致气泡 (bubble) 的产生。

25 发明内容

本发明的目的在于提供一种阵列基板的制作方法，可以提高 TFT 器件的电学性能及性能稳定性，提升显示面板的品质，且缩减了所使用的光罩和制程，制作方法简单，节约生产成本。

本发明的目的还在于提供一种阵列基板，制作方法简单，TFT 器件电学性能及性能稳定高，可提升显示面板的品质。

为实现上述目的，本发明提供一种阵列基板的制作方法，包括如下步骤：

步骤 S1、提供一衬底基板，在所述衬底基板上涂布一层黑色光阻材料，经曝光显影后，得到黑色矩阵；然后在黑色矩阵、及衬底基板上沉积形成

隔离层;

步骤 S2、在所述隔离层上依次沉积第二金属层、及离子掺杂非晶硅层，
对所述第二金属层、及离子掺杂非晶硅层进行图案化处理，由所述第二金属
5 层得到间隔的源极和漏极，由所述离子掺杂非晶硅层得到位于所述源极
和漏极上的欧姆接触层，所述欧姆接触层的尺寸小于所述源极和漏极的尺
寸而露出所述漏极的部分上表面;

步骤 S3、在经过步骤 S2 的衬底基板上沉积透明导电膜，对所述透明导
电膜进行图案化处理，得到像素电极，所述像素电极位于所述漏极、及隔
离层上，与所述欧姆接触层露出的漏极相接触;

10 步骤 S4、在经过步骤 S3 的衬底基板上沉积非晶硅层，对所述非晶硅层
进行图案化处理，得到半导体层，所述半导体层位于所述欧姆接触层、及
隔离层上，与所述欧姆接触层共同构成有源层;

步骤 S5、在经过步骤 S4 的衬底基板上依次沉积栅极绝缘层、第一金属
层，对所述第一金属层进行图案化处理，得到对应位于所述有源层上方的
15 栅极;

步骤 S6、在所述栅极绝缘层、及栅上沉积钝化层;

步骤 S7、在所述钝化层上形成彩色滤光膜层。

所述步骤 S2 中对所述第二金属层、及离子掺杂非晶硅层采用一道光罩
进行图案化处理，其具体过程为：在所述离子掺杂非晶硅层上涂布光阻材
20 料，使用所述光罩对该光阻材料进行曝光显影后，得到光阻层，以该光阻
层为遮蔽层，首先对所述离子掺杂非晶硅层进行干法蚀刻，得到欧姆接触
层，然后对所述第二金属层进行湿法蚀刻，得到源极和漏极。

所述离子掺杂非晶硅层与所述非晶硅层均采用化学气相沉积法制备;

所述离子掺杂非晶硅层与所述非晶硅层在制备方法上的区别为：沉积
25 所述离子掺杂非晶硅层时在化学气相沉积过程中通入硼烷气体。

所述隔离层、栅极绝缘层、及钝化层均采用化学气相沉积法制备;

所述隔离层、栅极绝缘层、及钝化层均为氮化硅层、氧化硅层、或氮
化硅层与氧化硅层的堆栈组合。

所述第二金属层与所述第一金属层均采用物理气相沉积法制备;

30 所述第二金属层与所述第一金属层的材料均为钼、铝、铜、钛中的一
种或多种。

本发明还提供一种阵列基板，包括衬底基板、设于所述衬底基板上的
黑色矩阵、设于所述黑色矩阵、及衬底基板上的隔离层、设于所述隔离层
上的源极和漏极、设于所述源极和漏极上的欧姆接触层、设于所述漏极、

及隔离层上的像素电极、设于所述欧姆接触层、及隔离层上的半导体层、设于所述像素电极、半导体层、及隔离层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、设于所述栅极绝缘层、及栅极上的钝化层、以及设于所述钝化层上的彩色滤光膜层；

- 5 其中，所述欧姆接触层的尺寸小于所述源极和漏极的尺寸而露出所述漏极的部分上表面；所述像素电极与所述欧姆接触层露出的漏极相接触；所述半导体层与所述欧姆接触层分别通过非晶硅材料层和离子掺杂非晶硅材料层形成，所述半导体层与所述欧姆接触层共同构成有源层。

- 10 所述欧姆接触层与所述源极和漏极通过一道光罩经图案化处理形成，其中所述欧姆接触层通过干法蚀刻形成，所述源极和漏极通过湿法蚀刻形成。

所述欧姆接触层与所述半导体层均采用化学气相沉积法制备；

所述欧姆接触层与所述半导体层在制备方法上的区别为：制备所述欧姆接触层时在化学气相沉积过程中通入硼烷气体。

- 15 所述隔离层、栅极绝缘层、及钝化层均采用化学气相沉积法制备；

所述隔离层、栅极绝缘层、及钝化层均为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合。

所述源极、漏极、及栅极均采用物理气相沉积法制备；

所述源极、漏极、及栅极的材料均为钼、铝、铜、钛中的一种或多种。

- 20 本发明还提供一种阵列基板，包括衬底基板、设于所述衬底基板上的黑色矩阵、设于所述黑色矩阵、及衬底基板上的隔离层、设于所述隔离层上的间隔的源极和漏极、设于所述源极和漏极上的欧姆接触层、设于所述漏极、及隔离层上的像素电极、设于所述欧姆接触层、及隔离层上的半导体层、设于所述像素电极、半导体层、及隔离层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、设于所述栅极绝缘层、及栅极上的钝化层、以及
25 设于所述钝化层上的彩色滤光膜层；

- 其中，所述欧姆接触层的尺寸小于所述源极和漏极的尺寸而露出所述漏极的部分上表面；所述像素电极与所述欧姆接触层露出的漏极相接触；所述半导体层与所述欧姆接触层分别通过非晶硅材料层和离子掺杂非晶硅材料层形成，所述半导体层与所述欧姆接触层共同构成有源层；
30

其中，所述隔离层、栅极绝缘层、及钝化层均采用化学气相沉积法制备；

所述隔离层、栅极绝缘层、及钝化层均为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合；

其中，所述源极、漏极、及栅极均采用物理气相沉积法制备；

所述源极、漏极、及栅极的材料均为钼、铝、铜、钛中的一种或多种。

本发明的有益效果：本发明的阵列基板的制作方法，先在衬底基板上制作黑色矩阵，再在黑色矩阵上方制作顶栅型的 TFT 器件，最后在 TFT 器件上方制作彩色滤光层，其中，像素电极直接设于漏极上与漏极相接触，而不用通过在绝缘层上设置过孔而进行连接，这也省略了彩色滤光层上开口的设置，可以有效减小 COA 型阵列基板上气泡的产生，再者，黑色矩阵可以作为遮光层用于防止显示面板中背光模组的光线对有源层的照射，从而提高器件的稳定性，再者，最上层的彩色滤光层可以将整个阵列基板的表面平坦化，这样便于显示面板中盒厚（cell gap）的控制，也不会导致液晶倒向变乱的情况出现，从而提升了显示面板的品质，再者，构成有源层的欧姆接触层与源极和漏极共同采用一道光罩图案化形成，而半导体层通过另一道光罩图案化形成，从而不需要采用高阶光罩来制作有源层上的沟道区，相当于利用一道普通光罩工序即完成了有源层的制作，达到缩短生产周期、节约成本的目的，并且这也不会存在因蚀刻形成沟道区而需加厚半导体层的问题，进而可以制作出较薄的半导体层，从而提高 TFT 器件的电学性能。本发明的阵列基板，制作方法简单，TFT 器件电学性能好、性能稳定，可提升显示面板的品质。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

附图中，

- 图 1 为现有一种底栅型 TFT 阵列基板的结构示意图；
- 图 2 为本发明的阵列基板的制作方法的流程示意图；
- 图 3-4 为本发明的阵列基板的制作方法的步骤 S1 的示意图；
- 图 5-6 为本发明的阵列基板的制作方法的步骤 S2 的示意图；
- 图 7 为本发明的阵列基板的制作方法的步骤 S3 的示意图；
- 图 8-9 为本发明的阵列基板的制作方法的步骤 S4 的示意图；
- 图 10-11 为本发明的阵列基板的制作方法的步骤 S5 的示意图；
- 图 12 为本发明的阵列基板的制作方法的步骤 S6 的示意图；
- 图 13 为本发明的阵列基板的制作方法的步骤 S7 的示意图暨本发明的阵列基板的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 2，本发明提供一种阵列基板的制作方法，包括如下步骤：

- 5 步骤 S1、如图 3-4 所示，提供一衬底基板 10，在所述衬底基板 10 上涂布一层黑色光阻材料，经曝光显影后，得到黑色矩阵 20；然后在黑色矩阵 20、及衬底基板 10 上沉积形成隔离层 30。

具体地，所述隔离层 30 用于隔离黑色矩阵 20 的光阻材料对后续制成的 TFT 器件的污染，需要注意的是由于黑色矩阵 20 为光阻材料，在后续制
10 程中应尽量采用低温制程，避免因光阻热稳定性差而造成的边缘效应（side effect）。

具体地，所述隔离层 30 采用采用化学气相沉积法（Chemical Vapor Deposition, CVD）制备；所述隔离层 30 为氮化硅（ SiN_x ）层、氧化硅（ SiO_2 ）层、或氮化硅层与氧化硅层的堆栈组合，本实施例中优选为氮化硅层。

- 15 步骤 S2、如图 5-6 所示，在所述隔离层 30 上依次沉积第二金属层 40'、及离子掺杂非晶硅层 51'，对所述第二金属层 40'、及离子掺杂非晶硅层 51' 进行图案化处理，由所述第二金属层 40' 得到间隔的源极 41 和漏极 42，由所述离子掺杂非晶硅层 51' 得到位于所述源极 41 和漏极 42 上的欧姆接触层 51，所述欧姆接触层 51 的尺寸小于所述源极 41 和漏极 42 的尺寸而露出所
20 述漏极 42 的部分上表面。

具体地，所述第二金属层 40' 采用物理气相沉积法（Physical Vapor Deposition, PVD）制备；所述第二金属层 40' 的材料为钼（Mo）、铝（Al）、铜（Cu）、钛（Ti）中的一种或多种。

- 具体地，所述步骤 S2 中对所述第二金属层 40'、及离子掺杂非晶硅层
25 51' 采用一道光罩进行图案化处理，其具体过程为：在所述离子掺杂非晶硅层 51' 上涂布光阻材料，使用该光罩对该光阻材料进行曝光显影后，得到光阻层，以该光阻层为遮蔽层，首先对所述离子掺杂非晶硅层 51' 进行干法蚀刻，得到欧姆接触层 51，然后对所述第二金属层 40' 进行湿法蚀刻，得到源极 41 和漏极 42；由于干法蚀刻相对于湿法蚀刻在横向上蚀刻的程度较大，
30 因此，通过干法蚀刻得到的欧姆接触层 51 比通过湿法蚀刻得到的源极 41 和漏极 42，在尺寸上要小一些，从而能够漏出漏极 42 的上表面的一部分，以利于后续所述漏极 42 与像素电极进行连接。

步骤 S3、如图 7 所示，在经过步骤 S2 的衬底基板 10 上沉积透明导电膜，对所述透明导电膜进行图案化处理，得到像素电极 60，所述像素电极

60 位于所述漏极 42、及隔离层 30 上，与所述欧姆接触层 51 露出的漏极 42 相接触。

具体地，所述透明导电膜采用物理气相沉积法制备；所述透明导电膜的材料为氧化铟锡（ITO）。

- 5 步骤 S4、如图 8-9 所示，在经过步骤 S3 的衬底基板 10 上沉积非晶硅层 52'，对所述非晶硅层 52' 进行图案化处理，得到半导体层 52，所述半导体层 52 位于所述欧姆接触层 51、及隔离层 30 上，与所述欧姆接触层 51 共同构成有源层 50。

- 10 具体地，所述步骤 S2 中形成的离子掺杂非晶硅层 51' 与所述步骤 S4 中形成非晶硅层 52' 均采用化学气相沉积法制备。

具体地，所述离子掺杂非晶硅层 51' 与所述非晶硅层 52' 在制备方法上的区别为：沉积所述离子掺杂非晶硅层 51' 时在化学气相沉积过程中通入硼烷气体，其中，所述硼烷气体具体为乙硼烷气体，所述欧姆接触层 51 为 N 型欧姆接触层。

- 15 步骤 S5、如图 10-11 所示，在经过步骤 S4 的衬底基板 10 上依次沉积栅极绝缘层 70、第一金属层 80'，对所述第一金属层 80' 进行图案化处理，得到对应位于所述有源层 50 上方的栅极 80。

具体地，所述栅极绝缘层 70 采用化学气相沉积法制备。

- 20 具体地，所述栅极绝缘层 70 为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合。

具体地，所述第一金属层 80' 采用物理气相沉积法制备；所述第一金属层 80' 的材料为钼、铝、铜、钛中的一种或多种。

步骤 S6、如图 12 所示，在所述栅极绝缘层 70、及栅极 80 上沉积钝化层 90。

- 25 具体地，所述钝化层 90 采用化学气相沉积法制备；所述钝化层 90 为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合。

步骤 S7、如图 13 所示，在所述钝化层 90 上形成彩色滤光膜层 95。

- 30 具体地，所述彩色滤光膜层 95 包括红色色阻单元、绿色色阻单元、及蓝色色阻单元，所述彩色滤光膜层 95 通过光阻涂布、曝光、及显影工艺所形成。

本发明的阵列基板的制作方法，像素电极 60 直接形成于漏极 42 上与漏极 42 相接触，而不用通过在栅极绝缘层 70 等绝缘层上设置过孔而进行连接，这也省略了彩色滤光层 95 上开口的设置，可以有效减小 COA 型阵列基板上气泡的产生，再者，黑色矩阵 20 可以作为遮光层用于防止显示面

板中背光模组的光线对有源层 50 的照射，从而提高器件的稳定性，再者，最上层的彩色滤光层 95 可以将整个阵列基板的表面平坦化，这样便于显示面板中盒厚的控制，也不会导致液晶倒向变乱的情况出现，从而提升了显示面板的品质，再者，构成有源层 50 的欧姆接触层 51 与源极 41 和漏极 42 共同采用一道光罩图案化形成，而半导体层 52 通过另一道光罩图案化形成，从而不需要采用高阶光罩来制作有源层 50 上的沟道区，相当于利用一道普通光罩工序即完成了有源层 50 的制作，从而达到了缩短生产周期、节约成本的目的，并且这也不会存在因蚀刻形成沟道区而需加厚半导体层 52 的问题，进而可以制作出较薄的半导体层 52，从而提高 TFT 器件的电学性能。

基于上述的阵列基板的制作方法，请参阅图 13，本发明还提供一种阵列基板，包括衬底基板 10、设于所述衬底基板 10 上的黑色矩阵 20、设于所述黑色矩阵 20、及衬底基板 10 上的隔离层 30、设于所述隔离层 30 上的间隔的源极 41 和漏极 42、设于所述源极 41 和漏极 42 上的欧姆接触层 51、设于所述漏极 42、及隔离层 30 上的像素电极 60、设于所述欧姆接触层 51、及隔离层 30 上的半导体层 52、设于所述像素电极 60、半导体层 52、及隔离层 30 上的栅极绝缘层 70、设于所述栅极绝缘层 70 上的栅极 80、设于所述栅极绝缘层 70、及栅极 80 上的钝化层 90、以及设于所述钝化层 90 上的彩色滤光膜层 95；

其中，所述欧姆接触层 51 的尺寸小于所述源极 41 和漏极 42 的尺寸而露出所述漏极 42 的部分上表面；所述像素电极 60 与所述欧姆接触层 51 露出的漏极 42 相接触；所述半导体层 52 与所述欧姆接触层 51 分别通过非晶硅材料层和离子掺杂非晶硅材料层形成，所述半导体层 52 与所述欧姆接触层 51 共同构成有源层 50。

具体地，所述欧姆接触层 51 与所述源极 41 和漏极 42 通过一道光罩经图案化处理形成，其中所述欧姆接触层 51 通过干法蚀刻形成，所述源极 41 和漏极 42 通过湿法蚀刻形成。

具体地，所述欧姆接触层 51 与所述半导体层 52 均采用化学气相沉积法制备；所述欧姆接触层 51 与所述半导体层 52 在制备方法上的区别为：制备所述欧姆接触层 51 时在化学气相沉积过程中通入硼烷气体，具体为乙硼烷气体。

具体地，所述隔离层 30、栅极绝缘层 70、及钝化层 90 均采用化学气相沉积法制备；所述隔离层 30、栅极绝缘层 70、及钝化层 90 均为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合。

具体地，所述源极 41、漏极 42、及栅极 80 均采用物理气相沉积法制

备；所述源极 41、漏极 42、及栅极 80 的材料均为钼、铝、铜、钛中的一种或多种。

具体地，所述像素电极 60 采用物理气相沉积法制备；所述像素电极 60 的材料为氧化铟锡。

5 综上所述，本发明的阵列基板的制作方法，先在衬底基板上制作黑色矩阵，再在黑色矩阵上方制作顶栅型的 TFT 器件，最后在 TFT 器件上方制作彩色滤光层，其中，像素电极直接设于漏极上与漏极相接触，而不用通过绝缘层上设置过孔而进行连接，这也省略了彩色滤光层上开口的设置，可以有效减小 COA 型阵列基板上气泡的产生，再者，黑色矩阵可以作为遮光层用于防止显示面板中背光模组的光线对有源层的照射，从而提高器件的稳定性，再者，最上层的彩色滤光层可以将整个阵列基板的表面平坦化，这样便于显示面板中盒厚的控制，也不会导致液晶倒向变乱的情况出现，从而提升了显示面板的品质，再者，构成有源层的欧姆接触层与源极和漏极共同采用一道光罩图案化形成，而半导体层通过另一道光罩图案化形成，15 从而不需要采用高阶光罩来制作有源层上的沟道区，相当于利用一道普通光罩工序即完成了有源层的制作，达到缩短生产周期、节约成本的目的，并且这也不会存在因蚀刻形成沟道区而需加厚半导体层的问题，进而可以制作出较薄的半导体层，从而提高 TFT 器件的电学性能。本发明的阵列基板，制作方法简单，TFT 器件电学性能好、性能稳定，可提升显示面板的品质。

20 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种阵列基板的制作方法，包括如下步骤：

步骤 S1、提供一衬底基板，在所述衬底基板上涂布一层黑色光阻材料，
5 经曝光显影后，得到黑色矩阵；然后在黑色矩阵、及衬底基板上沉积形成隔离层；

步骤 S2、在所述隔离层上依次沉积第二金属层、及离子掺杂非晶硅层，
对所述第二金属层、及离子掺杂非晶硅层进行图案化处理，由所述第二金
10 属层得到间隔的源极和漏极，由所述离子掺杂非晶硅层得到位于所述源极
和漏极上的欧姆接触层，所述欧姆接触层的尺寸小于所述源极和漏极的尺
寸而露出所述漏极的部分上表面；

步骤 S3、在经过步骤 S2 的衬底基板上沉积透明导电膜，对所述透明导
电膜进行图案化处理，得到像素电极，所述像素电极位于所述漏极、及隔
离层上，与所述欧姆接触层露出的漏极相接触；

15 步骤 S4、在经过步骤 S3 的衬底基板上沉积非晶硅层，对所述非晶硅层
进行图案化处理，得到半导体层，所述半导体层位于所述欧姆接触层、及
隔离层上，与所述欧姆接触层共同构成有源层；

步骤 S5、在经过步骤 S4 的衬底基板上依次沉积栅极绝缘层、第一金属
层，对所述第一金属层进行图案化处理，得到对应位于所述有源层上方的
20 栅极；

步骤 S6、在所述栅极绝缘层、及栅极上沉积钝化层；

步骤 S7、在所述钝化层上形成彩色滤光膜层。

2、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 S2 中
对所述第二金属层、及离子掺杂非晶硅层 采用一道光罩进行图案化处理，
25 其具体过程为：在所述离子掺杂非晶硅层上涂布光阻材料，使用所述光罩
对该光阻材料进行曝光显影后，得到光阻层，以该光阻层为遮蔽层，首先
对所述离子掺杂非晶硅层进行干法蚀刻，得到欧姆接触层，然后对所述第
二金属层进行湿法蚀刻，得到源极和漏极。

3、如权利要求 1 所述的阵列基板的制作方法，其中，所述离子掺杂非
30 晶硅层与所述非晶硅层均采用化学气相沉积法制备；

所述离子掺杂非晶硅层与所述非晶硅层在制备方法上的区别为：沉积
所述离子掺杂非晶硅层时在化学气相沉积过程中通入硼烷气体。

4、如权利要求 1 所述的阵列基板的制作方法，其中，所述隔离层、栅

极绝缘层、及钝化层均采用化学气相沉积法制备；

所述隔离层、栅极绝缘层、及钝化层均为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合。

5 5、如权利要求 1 所述的阵列基板的制作方法，其中，所述第二金属层与
与所述第一金属层均采用物理气相沉积法制备；

所述第二金属层与所述第一金属层的材料均为钼、铝、铜、钛中的一种或多种。

10 6、一种阵列基板，包括衬底基板、设于所述衬底基板上的黑色矩阵、
设于所述黑色矩阵、及衬底基板上的隔离层、设于所述隔离层上的间隔的
源极和漏极、设于所述源极和漏极上的欧姆接触层、设于所述漏极、及隔
离层上的像素电极、设于所述欧姆接触层、及隔离层上的半导体层、设于
所述像素电极、半导体层、及隔离层上的栅极绝缘层、设于所述栅极绝缘
层上的栅极、设于所述栅极绝缘层、及栅极上的钝化层、以及设于所述钝
化层上的彩色滤光膜层；

15 其中，所述欧姆接触层的尺寸小于所述源极和漏极的尺寸而露出所述
漏极的部分上表面；所述像素电极与所述欧姆接触层露出的漏极相接触；
所述半导体层与所述欧姆接触层分别通过非晶硅材料层和离子掺杂非晶硅
材料层形成，所述半导体层与所述欧姆接触层共同构成有源层。

20 7、如权利要求 6 所示的阵列基板，其中，所述欧姆接触层与所述源极
和漏极通过一道光罩经图案化处理形成，其中所述欧姆接触层通过干法蚀
刻形成，所述源极和漏极通过湿法蚀刻形成。

8、如权利要求 6 所示的阵列基板，其中，所述欧姆接触层与所述半导
体层均采用化学气相沉积法制备；

25 所述欧姆接触层与所述半导体层在制备方法上的区别为：制备所述欧
姆接触层时在化学气相沉积过程中通入硼烷气体。

9、如权利要求 6 所述的阵列基板，其中，所述隔离层、栅极绝缘层、
及钝化层均采用化学气相沉积法制备；

所述隔离层、栅极绝缘层、及钝化层均为氮化硅层、氧化硅层、或氮
化硅层与氧化硅层的堆栈组合。

30 10、如权利要求 6 所述的阵列基板，其中，所述源极、漏极、及栅极
均采用物理气相沉积法制备；

所述源极、漏极、及栅极的材料均为钼、铝、铜、钛中的一种或多种。

11、一种阵列基板，包括衬底基板、设于所述衬底基板上的黑色矩阵、
设于所述黑色矩阵、及衬底基板上的隔离层、设于所述隔离层上的间隔的

源极和漏极、设于所述源极和漏极上的欧姆接触层、设于所述漏极、及隔离层上的像素电极、设于所述欧姆接触层、及隔离层上的半导体层、设于所述像素电极、半导体层、及隔离层上的栅极绝缘层、设于所述栅极绝缘层上的栅极、设于所述栅极绝缘层、及栅极上的钝化层、以及设于所述钝化层上的彩色滤光膜层；

其中，所述欧姆接触层的尺寸小于所述源极和漏极的尺寸而露出所述漏极的部分上表面；所述像素电极与所述欧姆接触层露出的漏极相接触；所述半导体层与所述欧姆接触层分别通过非晶硅材料层和离子掺杂非晶硅材料层形成，所述半导体层与所述欧姆接触层共同构成有源层；

其中，所述隔离层、栅极绝缘层、及钝化层均采用化学气相沉积法制备；

所述隔离层、栅极绝缘层、及钝化层均为氮化硅层、氧化硅层、或氮化硅层与氧化硅层的堆栈组合；

其中，所述源极、漏极、及栅极均采用物理气相沉积法制备；

所述源极、漏极、及栅极的材料均为钼、铝、铜、钛中的一种或多种。

12、如权利要求 11 所示的阵列基板，其中，所述欧姆接触层与所述源极和漏极通过一道光罩经图案化处理形成，其中所述欧姆接触层通过干法蚀刻形成，所述源极和漏极通过湿法蚀刻形成。

13、如权利要求 11 所示的阵列基板，其中，所述欧姆接触层与所述半导体层均采用化学气相沉积法制备；

所述欧姆接触层与所述半导体层在制备方法上的区别为：制备所述欧姆接触层时在化学气相沉积过程中通入硼烷气体。

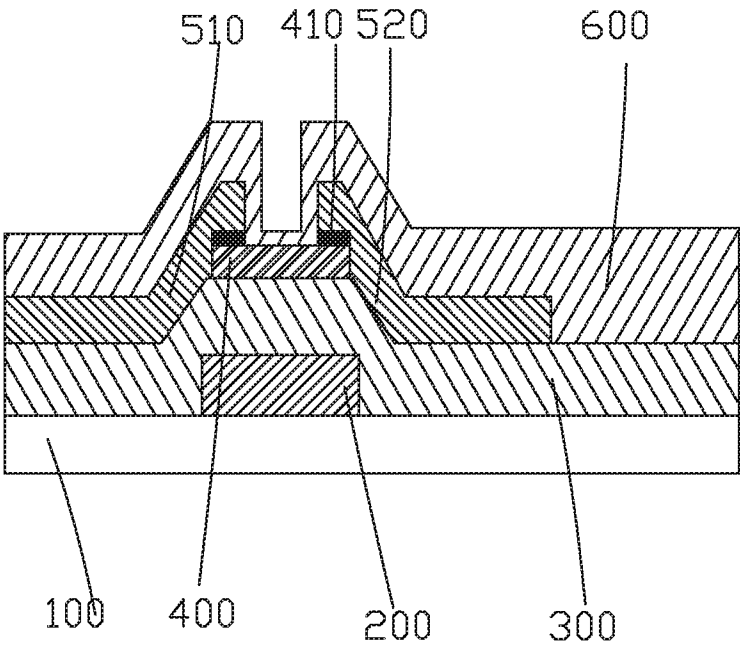


图1

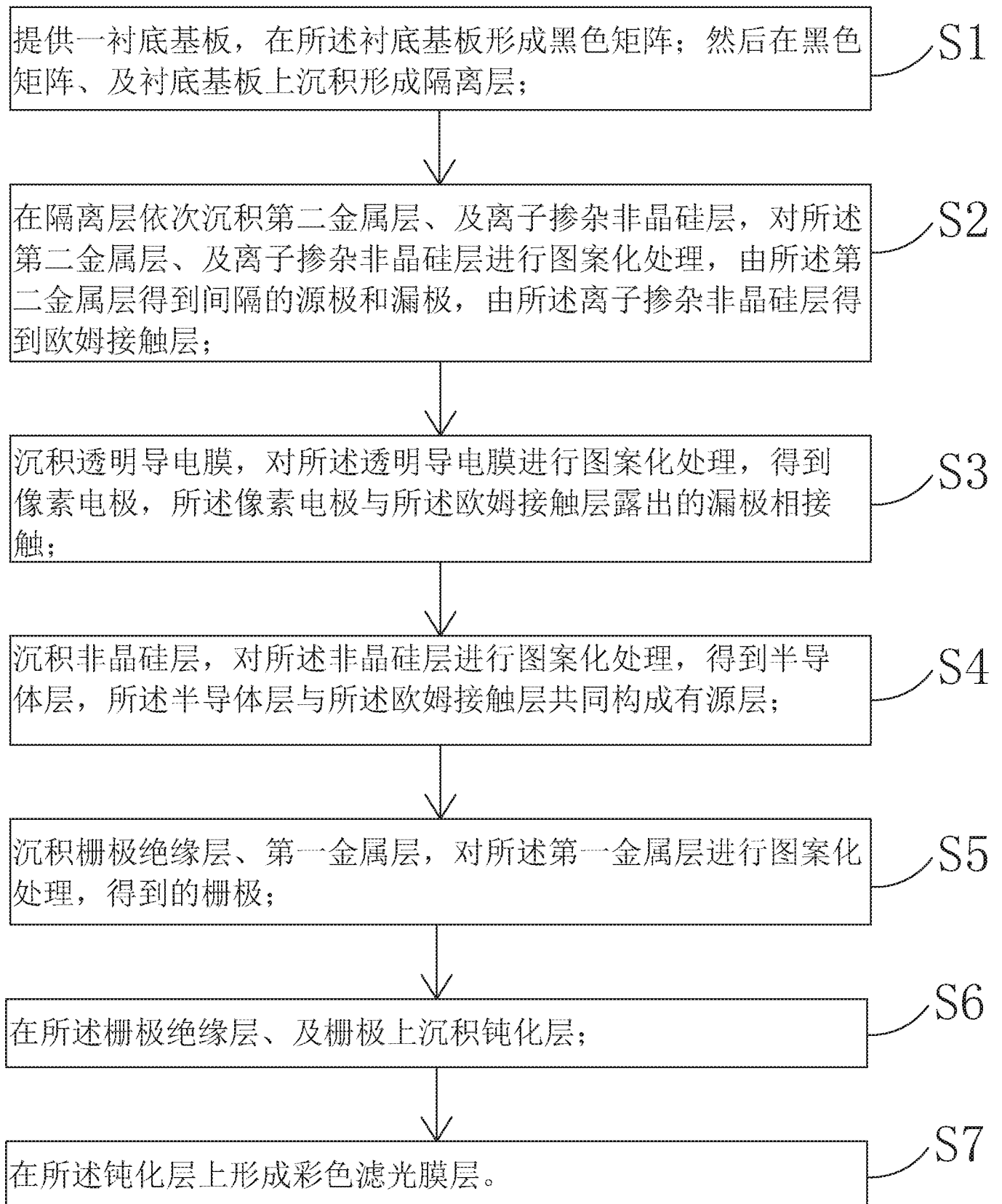


图2



图3

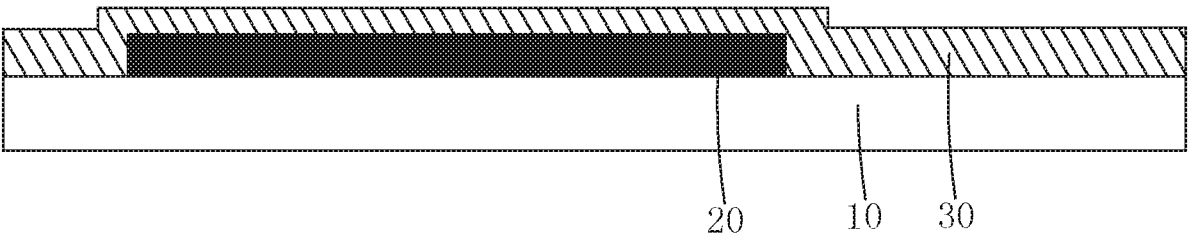


图4

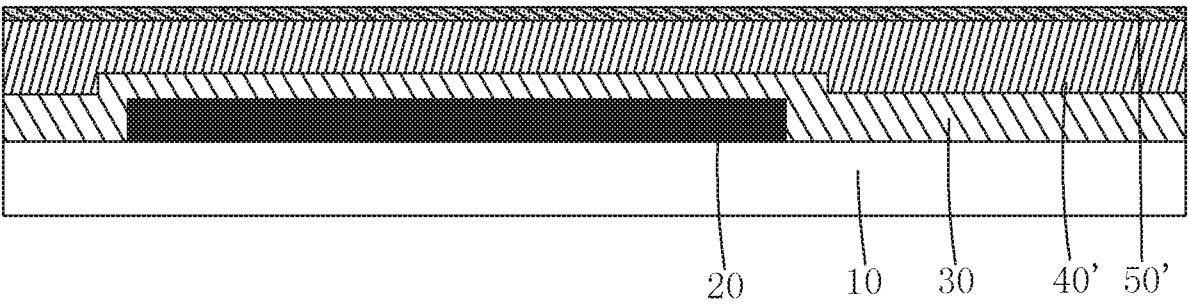


图5

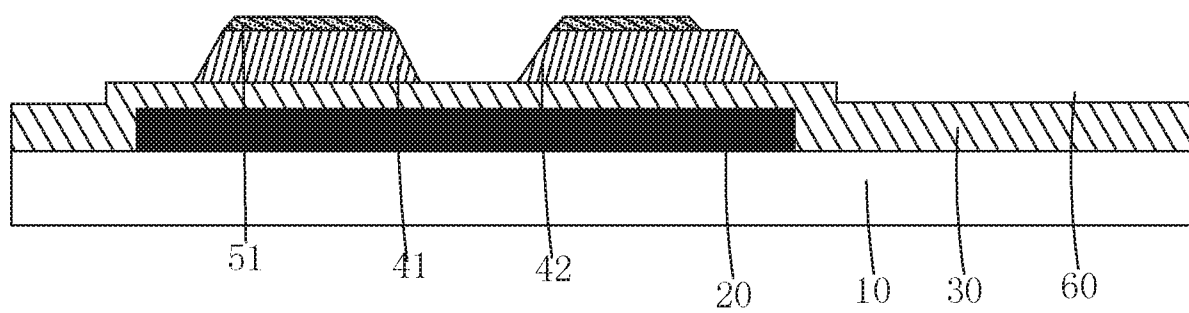


图6

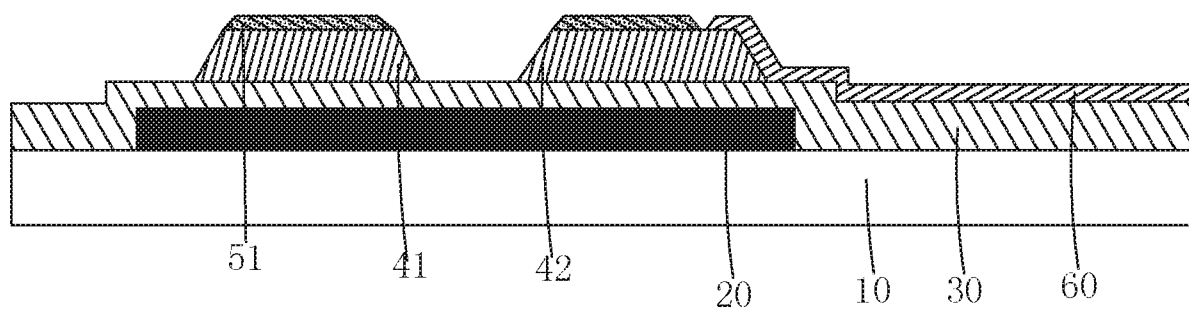


图7

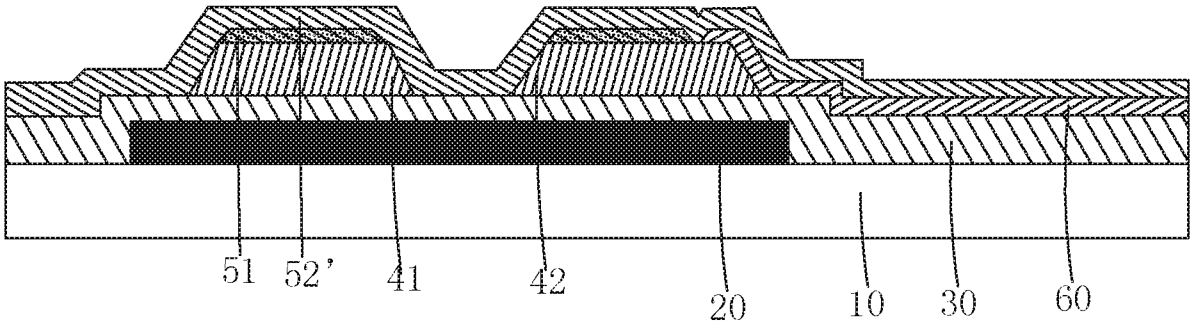


图8

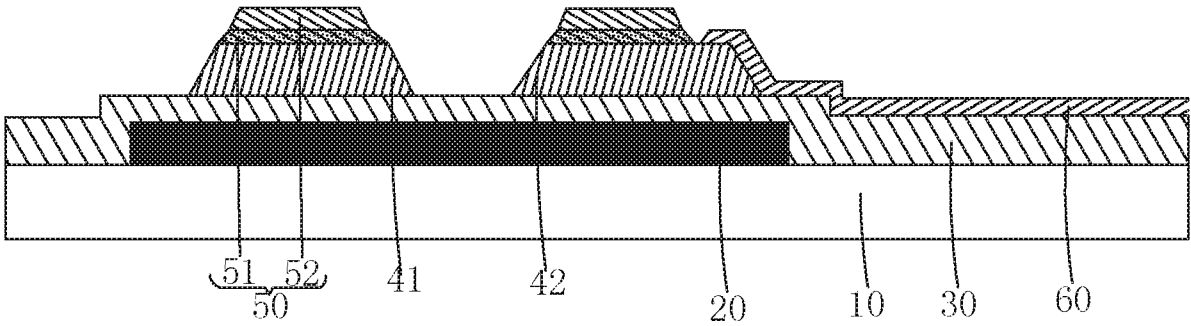


图9

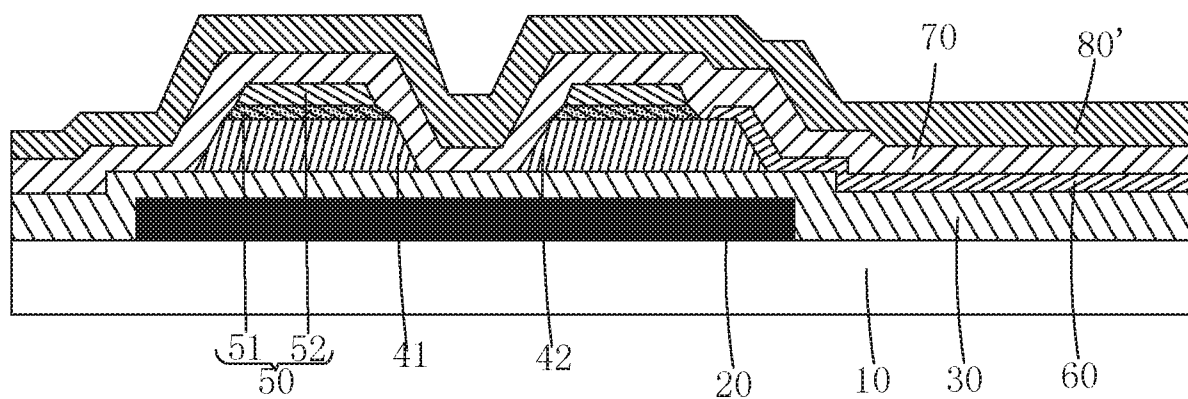


图10

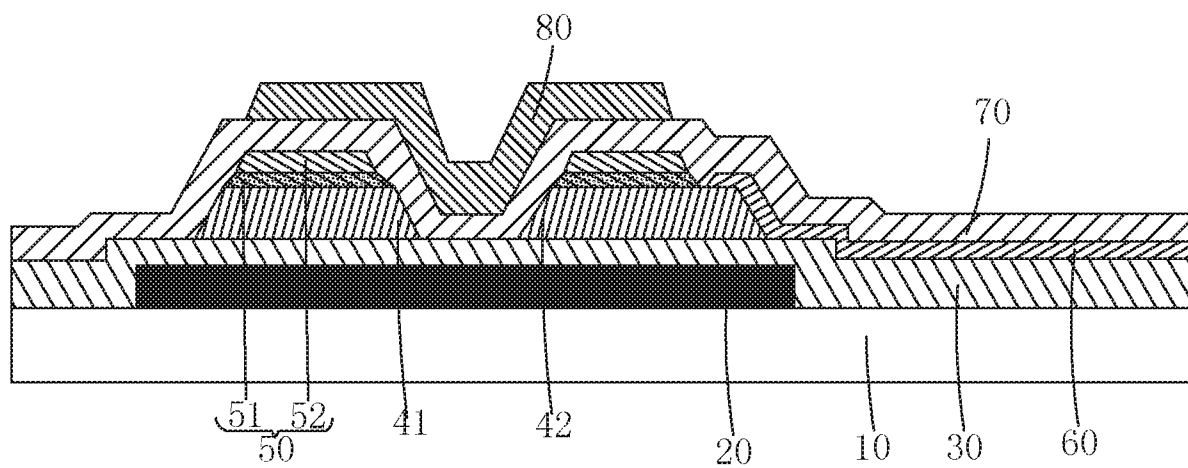


图11

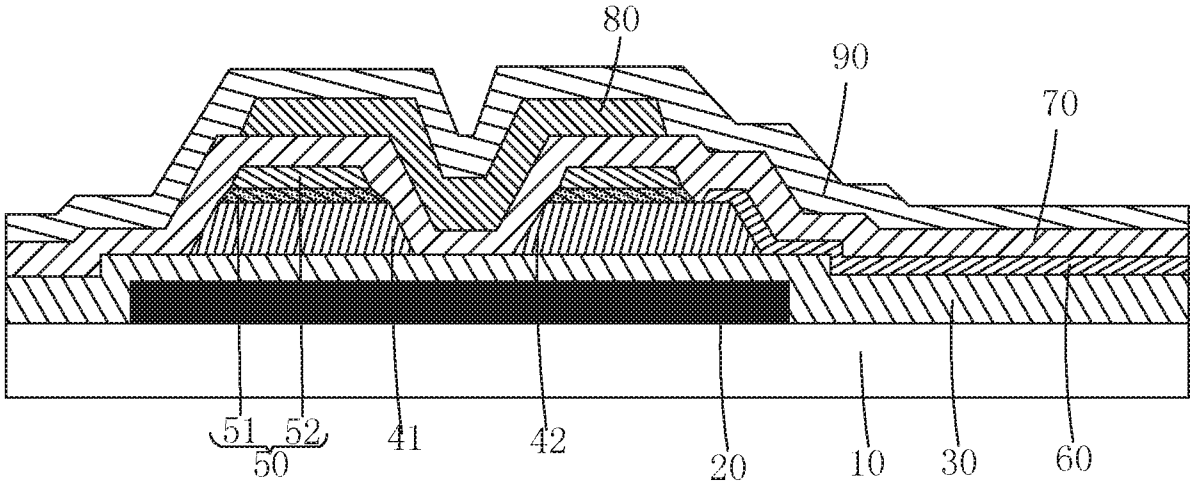


图12

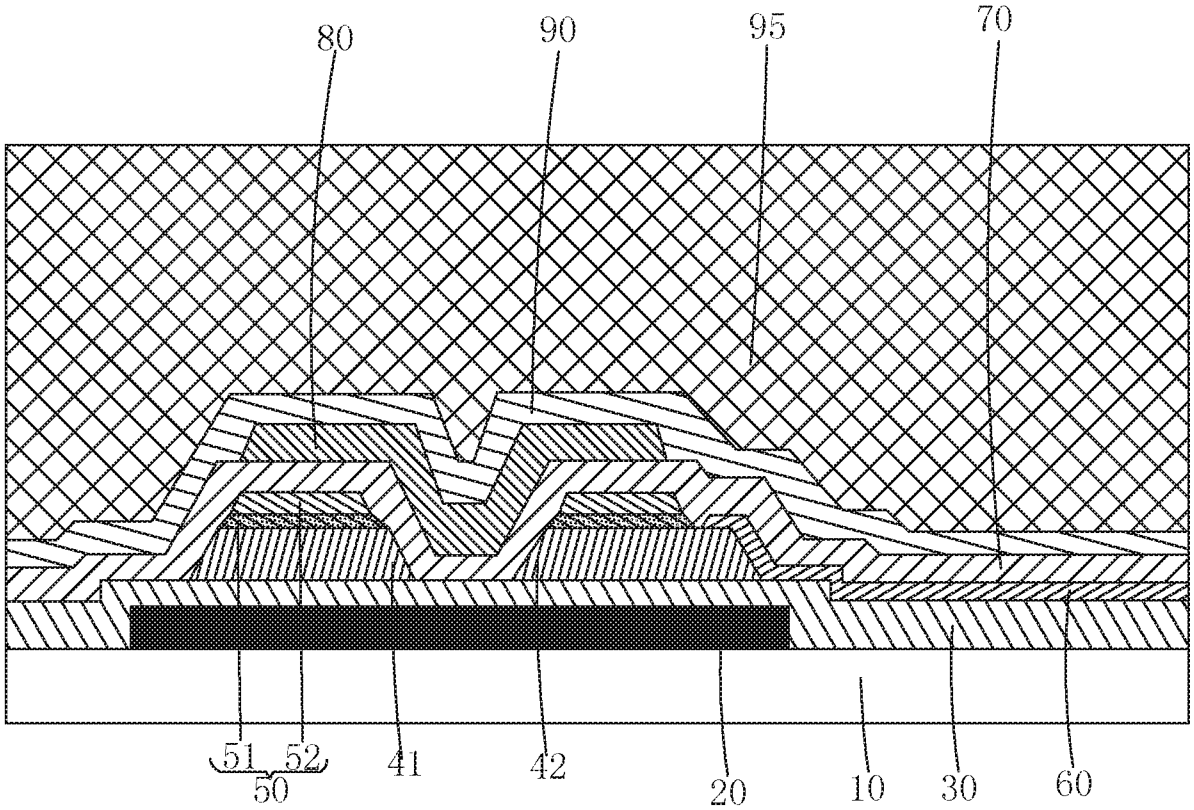


图13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/080507

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2017.01) i; H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; DWPI; SIPOABS: 阵列基板, 黑色矩阵, 薄膜晶体管, 彩色, 滤光, 欧姆接触, 像素电极, 顶栅, 源, 漏, array substrate, black matrix, TFT, color, film, transistor, ohmic contact, filter, pixel electrode, top gate, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1508614 A (L.G. PHILIPS LCD CO., LTD.), 30 June 2004 (30.06.2004), description, page 12, paragraph 2 to page 14, paragraph 4, and figures 6A-7	1-13
A	CN 1905166 A (QUANTA DISPLAY INC.), 31 January 2007 (31.01.2007), entire document	1-13
A	CN 102799014 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 28 November 2012 (28.11.2012), entire document	1-13
A	US 7385651 B2 (NAM et al.), 10 June 2008 (10.06.2008), entire document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 December 2017	Date of mailing of the international search report 27 December 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer DAI, Lijuan Telephone No. (86-10) 62411578

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/080507

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1508614 A	30 June 2004	JP 2004199049 A	15 July 2004
		CN 1324387 C	04 July 2007
		US 2004125261 A1	01 July 2004
		US 6927814 B2	09 August 2005
		KR 100870701 B1	27 November 2008
		JP 4266793 B2	20 May 2009
		KR 20040053677 A	24 June 2004
CN 1905166 A	31 January 2007	CN 100452363 C	14 January 2009
CN 102799014 A	28 November 2012	DE 112012006888 T5	28 May 2015
		CN 102799014 B	10 September 2014
		WO 2014036753 A1	13 March 2014
US 7385651 B2	10 June 2008	US 2004125273 A1	01 July 2004

国际检索报告

国际申请号

PCT/CN2017/080507

A. 主题的分类 H01L 21/77(2017.01)i; H01L 27/12(2006.01)i; G02F 1/1362(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L, G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;DWPI;SIPOABS:阵列基板, 黑色矩阵, 薄膜晶体管, 彩色, 滤光, 欧姆接触, 像素电极, 顶栅, 源, 漏, array substrate, black matrix, TFT, color, film, transistor, ohmic contact, filter, pixel electrode, top gate, drain																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 1508614 A (LG. 飞利浦LCD有限公司) 2004年 6月 30日 (2004 - 06 - 30) 说明书第12页第2段至第14页第4段, 图6A-图7</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 1905166 A (广辉电子股份有限公司) 2007年 1月 31日 (2007 - 01 - 31) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 102799014 A (深圳市华星光电技术有限公司) 2012年 11月 28日 (2012 - 11 - 28) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 7385651 B2 (NAM 等) 2008年 6月 10日 (2008 - 06 - 10) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 1508614 A (LG. 飞利浦LCD有限公司) 2004年 6月 30日 (2004 - 06 - 30) 说明书第12页第2段至第14页第4段, 图6A-图7	1-13	A	CN 1905166 A (广辉电子股份有限公司) 2007年 1月 31日 (2007 - 01 - 31) 全文	1-13	A	CN 102799014 A (深圳市华星光电技术有限公司) 2012年 11月 28日 (2012 - 11 - 28) 全文	1-13	A	US 7385651 B2 (NAM 等) 2008年 6月 10日 (2008 - 06 - 10) 全文	1-13
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 1508614 A (LG. 飞利浦LCD有限公司) 2004年 6月 30日 (2004 - 06 - 30) 说明书第12页第2段至第14页第4段, 图6A-图7	1-13															
A	CN 1905166 A (广辉电子股份有限公司) 2007年 1月 31日 (2007 - 01 - 31) 全文	1-13															
A	CN 102799014 A (深圳市华星光电技术有限公司) 2012年 11月 28日 (2012 - 11 - 28) 全文	1-13															
A	US 7385651 B2 (NAM 等) 2008年 6月 10日 (2008 - 06 - 10) 全文	1-13															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2017年 12月 18日		国际检索报告邮寄日期 2017年 12月 27日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 戴丽娟 电话号码 (86-10)62411578															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/080507

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1508614	A	2004年 6月 30日	JP	2004199049	A	2004年 7月 15日
				CN	1324387	C	2007年 7月 4日
				US	2004125261	A1	2004年 7月 1日
				US	6927814	B2	2005年 8月 9日
				KR	100870701	B1	2008年 11月 27日
				JP	4266793	B2	2009年 5月 20日
				KR	20040053677	A	2004年 6月 24日
CN	1905166	A	2007年 1月 31日	CN	100452363	C	2009年 1月 14日
CN	102799014	A	2012年 11月 28日	DE	112012006888	T5	2015年 5月 28日
				CN	102799014	B	2014年 9月 10日
				WO	2014036753	A1	2014年 3月 13日
US	7385651	B2	2008年 6月 10日	US	2004125273	A1	2004年 7月 1日