

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-291758
(P2005-291758A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO 1 R 31/3183	GO 1 R 31/28	2 G 1 3 2
HO 1 L 21/66	HO 1 L 21/66	4 M 1 0 6

審査請求 未請求 請求項の数 11 O L (全 9 頁)

(21) 出願番号	特願2004-103522 (P2004-103522)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年3月31日(2004.3.31)	(74) 代理人	100103894 弁理士 冢入 健
		(72) 発明者	埜田 健治 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		Fターム(参考)	2G132 AB01 AG01 AG11 AG14 AL09 4M106 AA01 BA01 BA14 DD30

(54) 【発明の名称】 半導体集積回路のテスト方法及び半導体集積回路のテストプログラム生成プログラム

(57) 【要約】

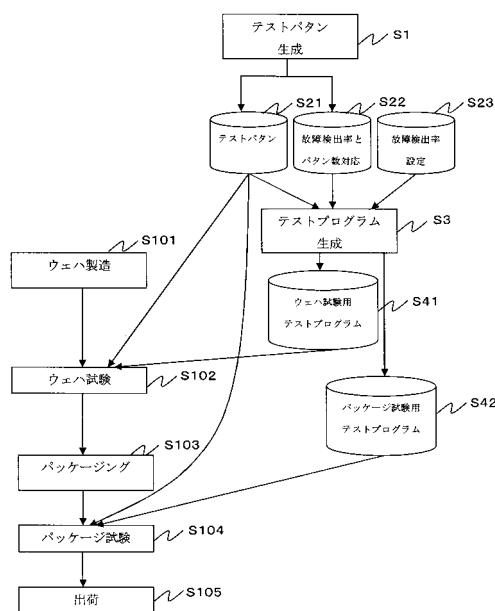
【課題】

歩留りを殆ど変化させることなく、試験時間の短縮を図ることが可能な、半導体集積回路のテスト方法及びテストプログラムを提供すること。

【解決手段】

本発明にかかるテスト方法は、まず、基準テストパターンを生成する(S1)。次に、故障検出率とテストパターン数の対応を求める(S22)。また、故障検出率を設定する(S23)。設定された故障検出率に基づいて、故障検出率とテストパターン数の対応を参照して、当該故障検出率を達成するためのテストパターン数を算出し、算出されたテストパターン数分の、基準テストパターンに含まれるテストパターンをウェハ試験用テストパターンとしてウェハ試験用テストプログラムを作成する(S3)。パッケージ試験用テストパターンは、基準テストパターンを用いる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体集積回路に対して少なくとも第 1 の試験と第 2 の試験を実行する半導体集積回路のテスト方法であって、

作成された基準テストパタンの、前記半導体集積回路に対する故障検出率とテストパターン数の対応を求めるステップと、

前記第 1 の試験に対する故障検出率を設定するステップと、

前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該故障検出率を達成するためのテストパターン数を算出するステップと、

算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第 1 の試験用テストパターンとして第 1 の試験用テストプログラムを作成するステップとを備えた半導体集積回路のテスト方法。

10

【請求項 2】

前記基準テストパターンを第 2 の試験用テストパターンとして第 2 の試験用テストプログラムを作成するステップをさらに備えたことを特徴とする請求項 1 記載の半導体集積回路のテスト方法。

【請求項 3】

前記第 2 の試験に対する故障検出率を設定するステップと、

前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該第 2 の試験に対する故障検出率を達成するためのテストパターン数を算出するステップと、

算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第 2 の試験用テストパターンとして第 2 の試験用テストプログラムを作成するステップとをさらに備えたことを特徴とする請求項 1 記載の半導体集積回路のテスト方法。

20

【請求項 4】

前記故障検出率とテストパターン数の対応は、当該故障検出率とテストパターン数を対応付けたテーブルにより記憶手段に格納されることを特徴とする請求項 1 記載の半導体集積回路装置のテスト方法。

【請求項 5】

前記第 1 の試験用テストプログラムにより、前記半導体集積回路に対して第 1 の試験を実行するステップと、

前記第 2 の試験用テストプログラムにより、前記半導体集積回路に対して第 2 の試験を実行するステップとをさらに備えたことを特徴とする請求項 1 記載の半導体集積回路のテスト方法。

30

【請求項 6】

前記第 1 の試験は、ウェハ試験であり、前記第 2 の試験はパッケージ試験であることを特徴とする請求項 1 記載の半導体集積回路のテスト方法。

【請求項 7】

半導体集積回路に対して第 1 の試験を実行するための第 1 の試験用テストプログラムと、第 2 の試験を実行するための第 2 の試験用テストプログラムを生成するためのテストプログラム生成プログラムであって、

当該テストプログラム生成プログラムは、コンピュータに対して、

基準テストパタンの、前記半導体集積回路に対する故障検出率とテストパターン数の対応を求めるステップと、

前記第 1 の試験に対する故障検出率の設定するステップと、

前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該故障検出率を達成するためのテストパターン数を算出するステップと、

算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第 1 の試験用テストパターンとして第 1 の試験用テストプログラムを作成するステップとを実行させるテストプログラム生成プログラム。

40

50

【請求項 8】

前記基準テストパターンを第 2 の試験用テストパターンとして第 2 の試験用テストプログラムを作成するステップをさらにコンピュータに実行させることを特徴とする請求項 7 記載のテストプログラム生成プログラム。

【請求項 9】

前記第 2 の試験に対する故障検出率を設定するステップと、

前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該第 2 の試験に対する故障検出率を達成するためのテストパターン数を算出するステップと、

算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第 2 の試験用テストパターンとして第 2 の試験用テストプログラムを作成するステップをさらにコンピュータに実行させることを特徴とする請求項 7 記載のテストプログラム生成プログラム。

10

【請求項 10】

前記故障検出率とテストパターン数の対応は、当該故障検出率とテストパターン数を対応付けたテーブルにより記憶手段に格納されることを特徴とする請求項 7 記載のテストプログラム生成プログラム。

【請求項 11】

前記第 1 の試験は、ウェハ試験であり、前記第 2 の試験はパッケージ試験であることを特徴とする請求項 7 記載のテストプログラム生成プログラム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路のテスト方法及び半導体集積回路のテストプログラム生成プログラムに関するものであり、より詳しくは、例えば、ウェハ試験やパッケージ試験等の複数の試験を行なう場合におけるテストプログラムの生成に関する。

【背景技術】

【0002】

従来より半導体集積回路に対しては、様々な試験（テスト）が行なわれている（例えば、特許文献 1 等）。半導体集積回路の試験には、ウェハ状態で行なわれるウェハ試験やパッケージ化後に行なわれるパッケージ試験がある。

30

【0003】

図 4 は、第 1 の従来例にかかるテスト方法を示すフローチャートである。このテスト方法では、まず、ウェハ試験とパッケージ試験の両方に適用する 1 つのテストパターンを生成する（S 1）。1 種類のテストパターンの生成には、例えば、コンピュータ 2 台で 2 日を要する。生成したテストパターンを記憶手段に格納する（S 2）。そして、このテストパターンに基づき、テストプログラムを作成する（S 3）。作成したテストプログラムに基づき、ウェハ試験用テストプログラム（S 4 1）とパッケージ試験用のテストプログラム（S 4 2）を作成する。

【0004】

半導体 IC は、図 4 に示されるように、ウェハ製造（S 1 0 1）、ウェハ試験（S 1 0 2）、パッケージング（S 1 0 3）、パッケージ試験（S 1 0 4）及び出荷（S 1 0 5）の各工程を経て、製造、試験及び出荷が行なわれる。作成されたウェハ試験用テストプログラム（S 4 1）に基づいてウェハ試験（S 1 0 2）が実行され、良品 / 不良品の判定が行なわれる。また、パッケージ試験用のテストプログラム（S 4 2）に基づいてパッケージ試験（S 1 0 4）が実行され、良品 / 不良品の判定が行なわれる。

40

【0005】

図 5 は、第 2 の従来例にかかるテスト方法を示すフローチャートである。このテスト方法では、まず、検出率の異なるウェハ試験用とパッケージ試験用の別々のテストパターンを生成する（S 1 1、S 1 2）。生成したテストパターンをそれぞれ記憶手段に格納する（S

50

21、S22)。そして、ウェハ試験用テストパターンに基づいてウェハ試験用テストプログラムを作成し(S31)、記憶手段に格納する(S41)。また、パッケージ試験用テストパターンに基づいてパッケージ試験用テストプログラムを作成し(S32)、記憶手段に格納する(S42)。

【0006】

そして、作成されたウェハ試験用テストプログラム(S41)に基づいてウェハ試験(S102)が実行され、良品/不良品の判定が行なわれる。また、パッケージ試験用のテストプログラム(S42)に基づいてパッケージ試験(S104)が実行され、良品/不良品の判定が行なわれる。

【特許文献1】特開平9-127213号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述の第1の従来例にかかるテスト方法によれば、ウェハ状態で行なわれるウェハ試験と、パッケージ化後のパッケージ試験とにおいて、同じテストパターンで実行するが、当該テストパターンは故障検出率を高くできるように作成された全部のテストパターンで実行されるため、ウェハ試験とパッケージ試験で同じテスト時間がかかり、テスト時間が長くなるという問題点があった。

【0008】

上述の第2の従来例にかかるテスト方法によれば、テスト時間を短縮するために、ウェハ試験用とパッケージ試験用でテストパターンの異なる故障検出率のテストパターンを使用しようとする、パッケージ試験用とウェハ試験用とで別々にテストパターンを作成する必要がある。そのため、テストパターン生成に余分な時間と、2つのテストパターンを記憶するハードウェアリソースが必要になる。この第2の従来例においては、パターン数と検出率対応情報がないため、テストパターンを生成した後では、走行パターン数を変更できないという問題点もある。

20

【0009】

本発明は、かかる問題を解消するためになされたものであり、歩留りを殆ど変化させることなく、試験時間の短縮を図ることが可能な、半導体集積回路のテスト方法及びテストプログラム生成プログラムを提供することにある。

30

【課題を解決するための手段】

【0010】

本発明にかかるテスト方法は、半導体集積回路に対して少なくとも第1の試験と第2の試験を実行する半導体集積回路のテスト方法であって、作成された基準テストパターンの、前記半導体集積回路に対する故障検出率とテストパターン数の対応を求めるステップと、前記第1の試験に対する故障検出率を設定するステップと、前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該故障検出率を達成するためのテストパターン数を算出するステップと、算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第1の試験用テストパターンとして第1の試験用テストプログラムを作成するステップとを備えたものである。

40

【0011】

ここで、前記基準テストパターンを第2の試験用テストパターンとして第2の試験用テストプログラムを作成するステップを備えることが好ましい。

【0012】

さらに、前記第2の試験に対する故障検出率を設定するステップと、前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該第2の試験に対する故障検出率を達成するためのテストパターン数を算出するステップと、算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第2の試験用テストパターンとして第2の試験用テストプログラムを作成するステップとを備えるようにしてもよい。

50

【 0 0 1 3 】

前記故障検出率とテストパターン数の対応は、当該故障検出率とテストパターン数を対応付けたテーブルにより記憶手段に格納されることが望ましい。

【 0 0 1 4 】

また、前記第 1 の試験用テストプログラムにより、前記半導体集積回路に対して第 1 の試験を実行するステップと、前記第 2 の試験用テストプログラムにより、前記半導体集積回路に対して第 2 の試験を実行するステップとを備えるようにしてもよい。

【 0 0 1 5 】

好適な実施の形態において、前記第 1 の試験は、ウェハ試験であり、前記第 2 の試験はパッケージ試験である。

10

【 0 0 1 6 】

本発明にかかるテストプログラム生成プログラムは、半導体集積回路に対して第 1 の試験を実行するための第 1 の試験用テストプログラムと、第 2 の試験を実行するための第 2 の試験用テストプログラムを生成するためのテストプログラム生成プログラムであって、当該テストプログラム生成プログラムは、コンピュータに対して、基準テストパタンの、前記半導体集積回路に対する故障検出率とテストパターン数の対応を求めるステップと、前記第 1 の試験に対する故障検出率の設定するステップと、前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該故障検出率を達成するためのテストパターン数を算出するステップと、算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第 1 の試験用テストパターンとして第 1 の試験用テ

20

【 0 0 1 7 】

ここで、前記基準テストパターンを第 2 の試験用テストパターンとして第 2 の試験用テストプログラムを作成するステップをさらにコンピュータに実行させることが好ましい。

【 0 0 1 8 】

また、前記第 2 の試験に対する故障検出率を設定するステップと、前記設定された故障検出率に基づいて、前記故障検出率とテストパターン数の対応を参照して、当該第 2 の試験に対する故障検出率を達成するためのテストパターン数を算出するステップと、算出されたテストパターン数分の、前記基準テストパターンに含まれるテストパターンを第 2 の試験用テストパターンとして第 2 の試験用テストプログラムを作成するステップをさらにコンピュータ

30

【 0 0 1 9 】

また、前記故障検出率とテストパターン数の対応は、当該故障検出率とテストパターン数を対応付けたテーブルにより記憶手段に格納されることが望ましい。

【 0 0 2 0 】

好適な実施の形態において、前記第 1 の試験は、ウェハ試験であり、前記第 2 の試験はパッケージ試験である。

【 発明の効果 】

【 0 0 2 1 】

本発明によれば、歩留りを殆ど変化させることなく、試験時間の短縮を図ることが可能な、半導体集積回路のテスト方法及びテストプログラム生成プログラムを提供することができる。

40

【 発明を実施するための最良の形態 】

【 0 0 2 2 】

図 1 は、本発明にかかる半導体集積回路のテスト方法を示すフローチャートである。図に示されるように、半導体 IC は、ウェハ製造 (S 1 0 1)、ウェハ試験 (S 1 0 2)、パッケージング (S 1 0 3)、パッケージ試験 (S 1 0 4) 及び出荷 (S 1 0 5) の各工程を経て、製造、試験及び出荷が行なわれる。当該ウェハ試験 (S 1 0 2)、パッケージ試験 (S 1 0 4) は、テストパターンに従う信号を入力端子に入力し、出力端子より出力される信号を検出する試験の他、いわゆるスキャンテストも含まれる。

50

【0023】

本発明にかかる半導体集積回路のテスト方法においては、まず、基準となるテストパターン（以下、基準テストパターン）を作成する（S1）。基準テストパターンは、周知のテストパターン作成装置によって作成され、当該テストパターン作成装置の内部記憶手段又は外部記憶手段に格納される（S21）。作成されるテストパターン数は、試験対象となる半導体集積回路の構成によって大きく異なるが、例えば、500から数1000である。

【0024】

基準テストパターンを作成する際に、同時に、故障検出率を算出し、当該故障検出率をパターン数と関連付けて記憶手段に格納しておく。この処理は、テストパターン作成装置によって実行することも可能であるが、テストパターン作成装置より基準テストパターンを出力し、出力された基準テストパターンに基づきテストプログラム作成装置により実行することも可能である。

10

【0025】

テストプログラム作成装置は、例えば、テストプログラム生成プログラムをコンピュータにインストールすることにより構成される。当該コンピュータは、CPU、ROM、RAM、ハードディスク等のハードウェア構成を有するとともに、OS（Operation System）プログラム及びテストプログラム生成プログラム等のアプリケーションプログラムをハードディスク上に格納している。そして、適宜、これらのプログラムをRAM上に展開した上で、CPUにより所定の処理を実行する。

【0026】

ここで、故障検出率について説明しておく。この故障検出率は、例えば、次の式によって算出する。

20

$$\text{故障検出率} = (S0 + S1) / (S * 2) \quad \dots \quad (1)$$

式（1）において、S0は所定のテストパターンで一度でも"0"になったノードの数、S1は所定のテストパターンで一度でも"1"になったノードの数、Sは全ノード数である。なお、ここで「ノード」とは、IC内部のそれぞれの信号線のことである。式（1）では故障モデルとして、縮退故障モデルを用いているため、テストパターンからより多くのノードが"0"及び"1"にセットされるパターンを検索すれば良い。この式は、全ノードの数の内のどれだけのノードが"0"及び"1"にセットされているか表したものであるため、値が大きいと検出率が高いということになる。なお、縮退故障モデルは、単に一例にすぎないので、他の故障を検出したいならば、その故障モデルに見合った式を用いれば良い。

30

【0027】

故障検出率は、具体的には、試験対象となる半導体集積回路において論理演算により求めることが可能であり、コンピュータにより求めることが可能である。

【0028】

故障検出率とパターン数の対応を示すグラフを図2に示す。図に示されるように、故障検出率は、パターン数を増加させるに伴って増加する。しかしながら、パターン数の増加に伴う故障検出率の増加率は、パターン数の増加に伴って低下する。この例では、95%の故障検出率を得るためのパターン数は、98%の故障検出率を得るためのパターン数は約半分であり、後半の故障検出率の増加率は極めて低い。尚、パターン数の削減割合は回路の構成により異なる。

40

【0029】

また、故障検出率とパターン数を関連付けることにより得られるテーブルの例を図3に示す。このテーブルは、図2に示すグラフの値を離散的な数値で表わしたものである。この例では、パターン数が256で故障検出率が98%に達し、その後320までパターン数を増加させても故障検出率は殆ど変化しない。他方、95%の故障検出率を得るためのパターン数は160であり、98%の故障検出率を得るためのパターン数256よりも極めて少ないことが判る。

【0030】

また、ユーザは、テストプログラム作成装置に対してキーボード等の入力手段により故

50

障検出率を入力して設定する。入力された故障検出率はテストプログラム作成装置における所定の記憶手段中に格納される。この故障検出率は、ウェハ試験、パッケージ試験のそれぞれにおいて、ユーザが必要と判断し、設定したものである。例えば、ウェハ試験を95%、パッケージ試験を98%と設定することができる。このとき、パッケージ試験の方が、ウェハ試験よりも後に実行されるため、より厳密なテストを行なう必要があるとの観点からすれば、ウェハ試験よりもパッケージ試験の方が故障検出率が高くなるように設定すべきである。他方、初期段階で厳しいテストを課す方が作業効率が高まるという観点に立てば、パッケージ試験よりもウェハ試験の方が故障検出率が高くなるように設定する。いずれにしても、本発明の実施の形態によれば、ウェハ試験とパッケージ試験とで、試験時間を短縮化するという観点から、異なる故障検出率を設定する必要がある。

10

【0031】

次に、基準テストパターン(S21)、故障検出率とパターン数を関連付けたテーブル(S22)、設定された故障検出率(S23)に基づいて、テストプログラムを生成する(S3)。

【0032】

まず、ウェハ試験用テストプログラムの作成処理について説明する。ユーザは、テストプログラム作成装置に対してウェハ試験用テストプログラムの作成要求を入力する。この作成要求は、必ずしもユーザにより発生する必要はなく、テストプログラム作成装置内部において発生してもよい。テストプログラム作成装置は、インストールされたテストプログラム生成プログラムが起動することにより、当該作成要求に応じて、別途設定されたウェハ試験の故障検出率に基づいて故障検出率とパターン数を関連付けたテーブルを参照し、設定された故障検出率にするために必要なテストパターン数を算出する。図3に示す例において、設定されたウェハ試験の故障検出率が95%の場合には、パターン数160が算出される。尚、設定された故障検出率と同じ値が当該テーブル上にない場合には、当該テーブルにある値を内挿することにより対応するパターン数を算出してもよいし、設定された故障検出率よりも高い故障検出率で最も近い値の故障検出率をテーブル上で選択して、当該選択された故障検出率に対応するパターン数を抽出することによってパターン数を算出してもよい。

20

【0033】

テストプログラム作成装置は、このようにしてパターン数を算出すると、記憶手段に格納された基準テストパタンのうち、当該パターン数分のテストパターンをウェハ試験用のテストパターンとする。図3に示す例では、160のテストパターンがウェハ試験用のテストパターンとされ、ウェハ試験用テストプログラムが生成される(S41)。

30

【0034】

次に、パッケージ試験用テストプログラムの作成処理について説明する。ユーザは、テストプログラム作成装置に対してパッケージ試験用テストプログラムの作成要求を入力する。この作成要求は、必ずしもユーザにより発生する必要はなく、テストプログラム作成装置内部において発生してもよい。テストプログラム作成装置は、インストールされたテストプログラム生成プログラムが起動することにより、当該作成要求に応じて、別途設定されたウェハ試験の故障検出率に基づいて故障検出率とパターン数を関連付けたテーブルを参照し、設定された故障検出率にするために必要なテストパターン数を算出する。図3に示す例において、設定されたパッケージ試験の故障検出率が98%の場合には、パターン数256が算出される。このとき、予めパッケージ試験の故障検出率として設定した値が、基準テストパターンを生成する際に設定された故障検出率の値と同じであれば、特にパターン数の算出を行なう必要がない。

40

【0035】

テストプログラム作成装置は、このようにしてパターン数を算出すると、記憶手段に格納された基準テストパタンのうち、当該パターン数分のテストパターンをパッケージ試験用のテストパターンとされ、パッケージ試験用テストプログラムが生成される(S42)。このとき

50

、予めパッケージ試験の故障検出率として設定した値が、基準テストパターンを生成する際に設定された故障検出率の値と同じであれば、単純に、基準テストパターンの全パターンをパッケージ試験用テストパターンとしてパッケージ試験用テストプログラムを生成すればよい。

【0036】

作成されたウェハ試験用テストプログラムは、ウェハ試験(S102)において用いられ、同じく作成されたパッケージ試験用テストプログラムは、パッケージ試験(S104)において用いられる。

【0037】

このように、本発明にかかる半導体集積回路の試験方法によれば、テストプログラムを作成する際には、複数の試験のうち少なくとも一つの試験で用いられるテストパターン数について故障検出率とパターン数の対応から必要なパターン数を算出しているため、歩留りを殆ど低下させることなく、パターン数を削減することができ、試験時間を短縮化できる。

10

【0038】

また、ウェハ試験とパッケージ試験で故障検出率を変更することにより、一つテストパターンから、故障検出率の異なるテストプログラムを作成するようにしているため、テストパターンの生成は、一度のみでよい。従って、テストパターンの生成時間を短縮することができる。また、本発明によれば、テストパターン生成を2度行なわないため、テストパターン生成に要する時間、テストパターンを記憶するためのディスクのハードウェアリソースの削減が可能となる。

20

【0039】

この例では、特にパッケージ試験においては、従来と同程度の故障検出率で試験を行なうため、不良品が最終的に顧客に流出することはない。

【0040】

尚、上述の例では、ウェハ試験とパッケージ試験を例示したが、これに限らず他の試験であってもよい。

【図面の簡単な説明】

【0041】

【図1】本発明によるテスト方法を示すフローチャートである。

【図2】故障検出率とテストパターン数の関連を示すグラフである。

30

【図3】故障検出率とテストパターン数を特定するテーブルである。

【図4】従来のテスト方法を示すフローチャートである。

【図5】従来のテスト方法を示すフローチャートである。

【符号の説明】

【0042】

S1 テストパターン生成

S21 テストパターン

S22 故障検出率とパターン数対応

S23 故障検出率設定

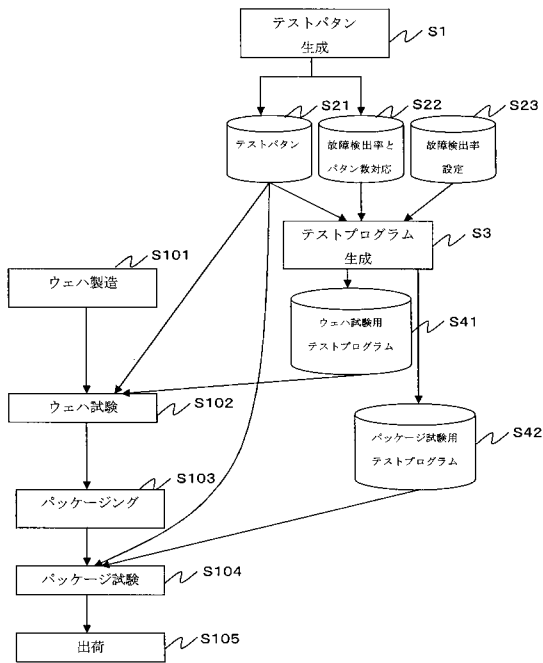
S3 テストプログラム生成

40

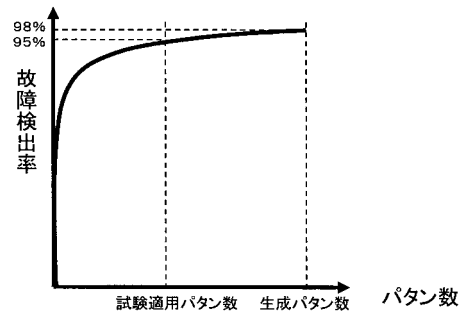
S41 ウェハ試験用テストプログラム

S42 パッケージ試験用テストプログラム

【 図 1 】



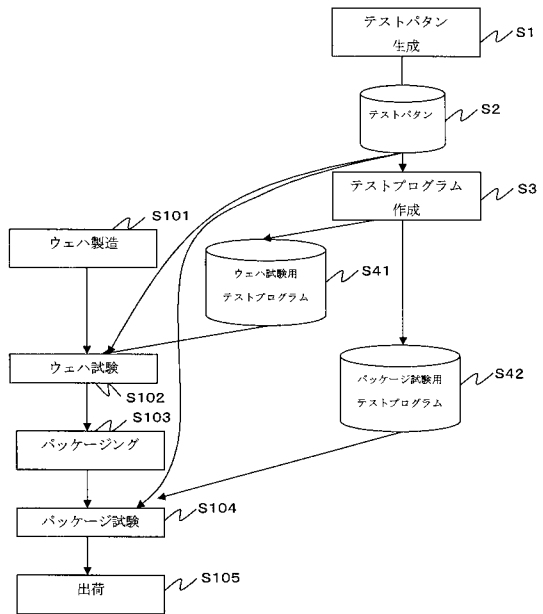
【 図 2 】



【 図 3 】

パターン数	故障検出率
32	65%
64	82%
96	90%
128	94%
160	95%
192	96%
224	97%
256	98%
288	98%
320	98%

【 図 4 】



【 図 5 】

