

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年1月31日(2023.1.31)

【国際公開番号】WO2020/170067

【出願番号】特願2021-501127(P2021-501127)

【国際特許分類】

H 10B 12/00(2023.01)

G 11C 7/18(2006.01)

H 10B 41/70(2023.01)

G 11C 11/4097(2006.01)

G 11C 5/02(2006.01)

10

【F I】

H 01L 27/108671Z

H 01L 27/108621Z

G 11C 7/18

H 01L 27/1156

H 01L 27/108321

G 11C 11/4097

G 11C 5/02 100

20

【手続補正書】

【提出日】令和5年1月23日(2023.1.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

30

シリコン基板をチャネルに用いたトランジスタを複数有する駆動回路と、

金属酸化物をチャネルに用いたトランジスタを複数有する第1トランジスタ層乃至第3トランジスタ層と、を有し、

前記第1トランジスタ層は、第1乃至第4メモリセルを有し、

前記第1メモリセルは、第1ローカルビット線と直接接続され、

前記第1メモリセルは、第1ワード線と直接接続され、

前記第2メモリセルは、前記第1ローカルビット線と直接接続され、

前記第2メモリセルは、第2ワード線と直接接続され、

前記第3メモリセルは、第2ローカルビット線と直接接続され、

前記第3メモリセルは、第3ワード線と直接接続され、

前記第4メモリセルは、前記第2ローカルビット線と直接接続され、

前記第4メモリセルは、第4ワード線と直接接続され、

前記第2トランジスタ層は、第5乃至第8メモリセルを有し、

前記第5メモリセルは、前記第1ローカルビット線と直接接続され、

前記第5メモリセルは、第5ワード線と直接接続され、

前記第6メモリセルは、前記第1ローカルビット線と直接接続され、

前記第6メモリセルは、第6ワード線と直接接続され、

前記第7メモリセルは、前記第2ローカルビット線と直接接続され、

前記第7メモリセルは、第7ワード線と直接接続され、

前記第8メモリセルは、前記第2ローカルビット線と直接接続され、

40

前記第2トランジスタ層は、第5乃至第8メモリセルを有し、

前記第5メモリセルは、前記第1ローカルビット線と直接接続され、

前記第5メモリセルは、第5ワード線と直接接続され、

前記第6メモリセルは、前記第1ローカルビット線と直接接続され、

前記第6メモリセルは、第6ワード線と直接接続され、

前記第7メモリセルは、前記第2ローカルビット線と直接接続され、

前記第7メモリセルは、第7ワード線と直接接続され、

前記第8メモリセルは、前記第2ローカルビット線と直接接続され、

50

前記第 8 メモリセルは、第 8 ワード線と直接接続され、

前記第 3 トランジスタ層は、切り替え回路および增幅回路を有し、

前記切り替え回路は、前記第 1 ローカルビット線または前記第 2 ローカルビット線を選択して前記增幅回路に直接接続する機能を有し、

前記第 1 トランジスタ層乃至第 3 トランジスタ層は、前記シリコン基板上に設けられ、

前記第 3 トランジスタ層は、前記第 1 トランジスタ層と前記第 2 トランジスタ層との間に設けられる、半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 ローカルビット線および第 2 ローカルビット線は、前記シリコン基板の表面に 10 対して垂直方向または概略垂直方向に設けられる、半導体装置。

【請求項 3】

請求項 1 または 2 において、

グローバルビット線を有し、

前記グローバルビット線は、前記增幅回路と前記駆動回路とを直接接続する機能を有する、半導体装置。

【請求項 4】

請求項 3 において、

前記グローバルビット線は、前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

20

30

40

50