

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 4 区分  
 【発行日】平成 18 年 8 月 17 日 (2006.8.17)

【公開番号】特開 2000-60111 (P2000-60111A)  
 【公開日】平成 12 年 2 月 25 日 (2000.2.25)  
 【出願番号】特願 平 11-189226  
 【国際特許分類】  
     H 0 2 M      3/07      (2006.01)  
 【F I】  
     H 0 2 M      3/07

【手続補正書】  
 【提出日】平成 18 年 7 月 3 日 (2006.7.3)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正の内容】

【特許請求の範囲】

【請求項 1】 入力ノードへ接続されている入力と出力ノードへ接続されている出力とを具備しているスイッチトキャパシタアレイ回路において、  
 N が少なくとも 2 である N 個のコンデンサ、  
 該コンデンサへ結合されているスイッチング回路、及び  
 該スイッチング回路へ結合されており且つ第 1 電圧利得  $G_{sc}$  を与えるために第 1 状態と第 2 状態との間で且つ該第 1 電圧利得  $G_{sc}$  とは異なる第 2 電圧利得  $G_{sc}$  を与えるために第 3 状態と第 4 状態との間で該アレイ回路をスイッチさせる形態とされている制御器、  
 を有しており、該第 1 状態と該第 3 状態は、該 N 個のコンデンサが該入力ノードと該出力ノードとの間に接続される共通状態であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 2】 請求項 1 において、N が少なくとも 3 であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 3】 請求項 1 において、該 N 個のコンデンサが該共通状態において並列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 4】 請求項 3 において、該アレイ回路が該第 2 状態にある場合に、該 N 個のコンデンサの内の 1 個が該入力ノードと第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 5】 請求項 4 において、該アレイ回路が該第 2 状態にある場合に、該 N 個のコンデンサの内の 2 個が該入力ノードと該第 3 ノードとの間において直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 6】 請求項 5 において、該アレイ回路が該第 2 状態にある場合に、該 N 個のコンデンサの内の 3 個が該入力ノードと該第 3 ノードとの間において直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 7】 請求項 6 において、該アレイ回路が該第 2 状態にある場合に、該 N 個のコンデンサの内の全てが該入力ノードと該第 3 ノードとの間において直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 8】 請求項 4 において、該アレイ回路が該第 2 状態及び第 4 状態にある場合に、該 N 個のコンデンサの内の 1 個が該入力ノードと第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 9】 請求項 8 において、該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の 2 個が該出力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 10】 請求項 9 において、該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の 3 個が該入力ノードと該第 3 ノードとの間において直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 11】 請求項 10 において、該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の全てが該入力ノードと該第 3 ノードとの間において直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 12】 請求項 3 において、該アレイ回路が該第 2 状態にある場合に、該 N 個のコンデンサの内の 1 個が該出力ノードと第 3 ノードとの間に接続され、且つ該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の 1 個が該入力ノードと該第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 13】 請求項 12 において、該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の 2 個が該入力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 14】 請求項 13 において、該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の 3 個が該入力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 15】 請求項 14 において、該アレイ回路が該第 4 状態にある場合に、該 N 個のコンデンサの内の全てが該入力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 16】 請求項 1 において、該アレイ回路が該第 2 状態にある場合に、該 N 個のコンデンサの内の 1 個が該出力ノードと第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 17】 請求項 16 において、該第 2 状態において、該 N 個のコンデンサの内の 2 個が該出力ノードと該第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 18】 請求項 17 において、該第 2 状態において、該 N 個のコンデンサの内の 3 個が該出力ノードと該第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 19】 請求項 18 において、該第 2 状態において、該 N 個のコンデンサの全てが該出力ノードと該第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 20】 請求項 3 において、該第 2 状態及び該第 4 状態において、該 N 個のコンデンサの内の 1 個が該出力ノードと第 3 ノードとの間に接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 21】 請求項 20 において、該第 4 状態において、該 N 個のコンデンサの内の 2 個が該出力ノードと該第 3 ノードとの間において直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 22】 請求項 21 において、該第 4 状態において、該 N 個のコンデンサの内の 3 個が該出力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 23】 請求項 22 において、該第 4 状態において、該 N 個のコンデンサの全てが該出力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 24】 入力ノードへ接続されている入力と出力ノードへ接続されている出力とを具備しているスイッチトキャパシタアレイ回路において、

N が少なくとも 2 である N 個のコンデンサ、

該コンデンサへ結合されているスイッチング回路、及び

該スイッチング回路へ結合されており且つ第 1 電圧利得  $G_{sc}$  を与えるために第 1 状態と第 2 状態との間で、第 2 電圧利得  $G_{sc}$  を与えるために第 3 状態と第 4 状態との間で、且つ第 3 電圧利得  $G_{sc}$  を与えるために第 5 状態と第 6 状態との間で該アレイ回路をスイッチさせる形態とされている制御器、

を有しており、該第 1、第 2、第 3 電圧利得は異なるものであり且つ該第 1、第 3、第 5 状態は、該  $N$  個のコンデンサが該入力ノードと該出力ノードとの中間に接続される共通状態であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 25】 請求項 24 において、 $N$  が少なくとも 3 であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 26】 請求項 24 において、該  $N$  個のコンデンサが該共通状態において並列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 27】 請求項 26 において、該第 1 利得  $G_{sc}$  が 1 よりも大きく且つ該第 2 利得  $G_{sc}$  が 1 より小さいことを特徴とするスイッチトキャパシタアレイ回路。

【請求項 28】 請求項 26 において、該アレイ回路が該第 2 状態にある場合に、コンデンサの内の 1 個が該入力ノードと第 3 ノードとの間に直列接続されており、且つ該アレイ回路が該第 4 状態にある場合に、該コンデンサの内の 1 個が該出力ノードと該第 3 ノードとの間に直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 29】 入力ノードと出力ノードとに結合されているスイッチトキャパシタアレイ回路において、

第 1 端子と第 2 端子とを具備している第 1 コンデンサ、

該第 1 コンデンサの該第 2 端子と第 3 ノードとの中間に結合されている第 1 スイッチ、  
該第 1 コンデンサの該第 2 端子と該入力ノードとの中間に結合されている第 2 スイッチ、  
該第 1 コンデンサの該第 2 端子と該出力ノードとの中間に結合されている第 3 スイッチ、  
該第 1 コンデンサの該第 1 端子と該入力ノードとの中間に結合されている第 4 スイッチ、  
及び該第 1 コンデンサの該第 1 端子と該出力ノードとの中間に結合されている第 5 スイッチを包含しているスイッチング回路、及び

該スイッチング回路へ結合されており且つ該第 1 コンデンサが該入力ノードと該出力ノードとの中間に接続されている第 1 状態と、該第 1 コンデンサの該第 2 端子が該入力ノードと該出力ノードの内の一方へ接続されておりかつ該第 2 端子が該第 3 ノードへ接続されている第 2 状態との間で該アレイ回路をスイッチさせる形態とされている制御器、

を有していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 30】 請求項 29 において、更に、第 1 及び第 2 端子を具備する第 2 コンデンサを有しており、且つ該スイッチング回路が、更に、該第 2 コンデンサの第 2 端子と該第 1 コンデンサの第 1 端子との中間に結合されている第 6 スイッチ、該第 2 コンデンサの第 1 端子と該出力端子との中間に結合されている第 7 スイッチ、及び該第 2 コンデンサの第 2 端子と該入力端子との中間に結合されている第 8 スイッチを包含しており、該制御器が、更に、該第 2 コンデンサを該第 1 状態において該入力及び出力ノードの中間に接続させる形態とされていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 31】 請求項 30 において、該スイッチング回路が、更に、該第 2 コンデンサの第 2 端子と該第 3 ノードとの中間に結合されている第 9 スイッチ及び該第 2 コンデンサの第 1 端子と該入力ノードとの中間に結合されている第 10 スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 32】 請求項 30 において、更に、第 1 及び第 2 端子を具備している第 3 コンデンサを有しており、且つ該スイッチング回路が、更に、該第 3 コンデンサの第 2 端子と該第 2 コンデンサの第 1 端子との中間に結合されている第 9 スイッチ、該第 3 コンデンサの第 1 端子と該出力端子との中間に結合されている第 10 スイッチ、及び該第 3 コンデンサの第 2 端子と該入力端子との中間に結合されている第 11 スイッチを包含しており、該制御器が、更に、該第 3 コンデンサを該第 1 状態において該入力及び出力端子の中間に接続させる形態とされていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 33】 入力ノードへ結合されている入力と出力ノードへ結合されている出

力とを具備しているスイッチトキャパシタアレイ回路において、

N が少なくとも 2 である N 個のコンデンサ、

該コンデンサへ結合されているスイッチング回路、及び

共通状態と第 1 利得状態との間及び該共通状態と該第 1 利得状態とは異なる第 2 利得状態との間で該アレイ回路をスイッチする形態とされている制御器、

を有しており、該 N 個のコンデンサの各々は該共通状態にある場合に該出力ノードへ結合される第 1 端子具備しており、且つ該第 1 状態において、X が 1 乃至 N の範囲にあるものとして X 個の該コンデンサは該入力ノードと該出力ノードとの間において互いに直列接続され、且つ該第 2 利得状態において、Y が 1 乃至 N の範囲にあり且つ X とは異なるものとして Y 個の該コンデンサは該入力及び出力ノードの間において互いに直列接続されている、ことを特徴とするスイッチトキャパシタアレイ回路。

【請求項 34】 請求項 33 において、該 N 個のコンデンサの第 2 端子が該共通状態において第 3 ノードへ接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 35】 請求項 34 において、N が少なくとも 3 であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 36】 請求項 33 において、該制御器が、更に、該共通状態と該第 1 及び第 2 利得状態とは異なる第 3 利得状態との間で該アレイ回路をスイッチさせる形態とされていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 37】 請求項 36 において、該第 1 利得状態において、X が 1 乃至 N の範囲にあるものとして X 個の該コンデンサが互いに直列接続されており、該第 2 利得状態において、Y が 1 乃至 N の範囲にあるものとして Y 個の該コンデンサが互いに直列接続されており、該第 3 利得状態において、Z が 1 乃至 N の範囲にあるものとして Z 個のコンデンサが該入力及び出力ノードの間において互いに直列接続されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 38】 請求項 37 において、X, Y, Z が、夫々、1, 2, 3 であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 39】 スイッチトキャパシタアレイ回路において、

N が少なくとも 2 である N 個のコンデンサ、

該アレイ回路をスイッチングさせるスイッチング回路、及び

該スイッチング回路へ結合されており且つ共通状態と第 1 利得状態との間及び該共通状態と該第 1 利得状態とは異なる第 2 利得状態との間において該アレイ回路をスイッチさせる形態とされている制御器、

を有しており、該 N 個のコンデンサは該共通状態において入力ノードと出力ノードとの間において並列接続されており、且つ該第 1 利得状態において、X が 1 乃至 N の範囲にあるものとして X 個のコンデンサが互いに直列接続されており、且つ該第 2 利得状態において、Y が 1 乃至 N の範囲にあるものとして Y 個のコンデンサが互いに直列接続されている、ことを特徴とするスイッチトキャパシタアレイ回路。

【請求項 40】 請求項 39 において、N が少なくとも 3 であることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 41】 請求項 40 において、該制御器が、更に、該共通状態と Z が 1 乃至 N の範囲にあるものとして Z 個のコンデンサが互いに直列接続されている第 3 利得状態との間で該アレイ回路をスイッチさせる形態とされていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 42】 入力ノードと出力ノードとの間に結合されており且つ N が少なくとも 2 である N 個のコンデンサを包含しているキャパシタアレイ回路を制御する方法において、

該 N 個のコンデンサを横断しての電圧降下が同じであるように、全ての N 個のコンデンサの端子を該出力ノードに接続させた状態で、該アレイを共通状態へスイッチさせ、

該アレイを該共通状態から 1 より大きな電圧利得を与える第 1 利得状態へスイッチさせ

、その場合にXが1乃至Nの範囲にあるとしてX個のコンデンサを直列接続させ、  
該アレイを該第1利得状態から該共通状態へ戻すべくスイッチさせ、

該アレイを該共通状態から該第1利得状態の電圧利得よりも小さい電圧利得を与える第2利得状態へスイッチさせ、その場合にYが1乃至Nの範囲にあるとしてY個のコンデンサを直列接続させる、  
ことを特徴とする方法。

【請求項43】 請求項42において、更に、該アレイが該共通状態と該第1及び第2利得状態との間でスイッチされるレートを制御することにより該出力ノードにおける出力電圧を調整するステップを包含していることを特徴とする方法。

【請求項44】 請求項43において、該調整するステップが、X及びYの値を変化させることを包含していることを特徴とする方法。

【請求項45】 請求項44において、該N個のコンデンサは、該共通状態にある場合には、互いに並列接続されていることを特徴とする方法。

【請求項46】 請求項45において、更に、該アレイを該第2利得状態から該共通状態へ戻し且つ該共通状態から該第1及び第2利得状態とは異なる第3利得状態へスイッチさせるステップを包含しており、Zが1乃至Nの範囲にあるとしてZ個のコンデンサが直列接続されることを特徴とする方法。

【請求項47】 請求項46において、Nが少なくとも3であることを特徴とする方法。

【請求項48】 入力ノードと出力ノードとに結合されているスイッチトキャパシタアレイ回路において、

第1及び第2端子を具備している第1コンデンサ、

該第1コンデンサの第2端子と第3ノードとの間に結合されている第1スイッチ、該第1コンデンサの第2端子と該出力ノードとの間に結合されている第2スイッチ、該第1コンデンサの第1端子と該入力ノードとの間に結合されている第3スイッチを包含しているスイッチング回路、及び

該スイッチング回路へ結合されており且つ該スイッチの状態を制御する形態とされている制御器、

を有しており、該状態の内の少なくとも一つにおいて、該第1コンデンサが該スイッチング回路によって該入力及び出力ノードの間に接続されることを特徴とするスイッチトキャパシタアレイ回路。

【請求項49】 請求項48において、更に、該第1コンデンサの第1端子へ接続されている第1端子を具備している第4スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項50】 請求項49において、更に、該第4スイッチの第2端子へ接続されている第2端子を具備している第2コンデンサを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項51】 請求項50において、更に、該第2コンデンサの第1端子と該出力ノードとの間に接続されている第5スイッチ、及び該第2コンデンサの第1端子と該入力ノードとの間に接続されている第6スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項52】 請求項51において、更に、該第2コンデンサの第2端子と該出力ノードとの間に接続されている第7スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項53】 請求項52において、該制御器が該回路をして、該第2、第3、第5、第7スイッチが導通状態にある第1状態と、該第1、第4、第5スイッチが導通状態にある第2状態との間でスイッチさせることを特徴とするスイッチトキャパシタアレイ回路。

【請求項54】 請求項52において、更に、該第2コンデンサの第2端子と該第3ノードとの間に接続されている第8スイッチを包含していることを特徴とするスイッチト

キャパシタアレイ回路。

【請求項 5 5】 請求項 5 4 において、該制御器は、更に、該回路をして、該第 6 及び第 7 スイッチが導通状態にある第 1 状態と、該第 5 及び第 8 スイッチが導通状態にある第 2 状態との間でスイッチさせることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 5 6】 入力ノードへ結合されている入力と出力ノードへ結合されている出力とを具備しているスイッチトキャパシタアレイ回路において、

各ユニットセルがコンデンサと第 1 乃至第 5 スイッチであって該第 1 スイッチが該コンデンサの第 2 端子と第 3 ノードとの間に直接的に接続されており、該第 2 スイッチが該コンデンサの第 2 端子と該入力ノードとの間に直接的に接続されており、該第 3 スイッチが該コンデンサの第 2 端子と該出力ノードとの間に直接的に接続されており、該第 4 スイッチが該コンデンサの第 1 端子と該入力ノードとの間に直接的に接続されており且つ該第 5 スイッチが該コンデンサの第 1 端子と該出力ノードとの間に直接的に接続されている第 1 乃至第 5 スイッチとを包含している N 個のユニットセル、

該セルの内の一つの該コンデンサの第 1 端子を該セルの内の隣接する一つの該コンデンサの第 2 端子へ接続させる接続スイッチ、及び

該セルの該スイッチ及び該接続スイッチへ結合されており且つその状態を制御する形態とされている制御器、

を有していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 5 7】 請求項 5 6 において、各セルは、更に、該コンデンサの第 1 端子と該第 3 ノードとの間に接続されている第 6 スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 5 8】 請求項 5 7 において、該セルの内の 3 個を包含しており、該接続スイッチの内の第 1 接続スイッチは該セルの内の第 1 セルのコンデンサの第 1 端子と該セルの内の第 2 セルのコンデンサの第 2 端子との間に接続されており、且つ該接続スイッチの内の第 2 接続スイッチは該第 2 セルのコンデンサの第 1 端子と該セルの内の第 3 セルのコンデンサの第 2 端子との間に接続されている、ことを特徴とするスイッチトキャパシタアレイ回路。

【請求項 5 9】 入力ノードと出力ノードとに結合されているスイッチトキャパシタアレイ回路において、

第 1 及び第 2 端子を具備している第 1 コンデンサ、

該第 1 コンデンサの第 2 端子と該入力ノードとの中間に結合されている第 1 スイッチ、該第 1 コンデンサの第 2 端子と該出力ノードとの中間に結合されている第 2 スイッチ、該第 1 コンデンサの第 1 端子と該出力ノードとの中間に結合されている第 3 スイッチ、及び該第 1 コンデンサの第 1 端子へ結合されている第 4 スイッチを包含しているスイッチング回路、及び

該スイッチング回路へ結合されており且つ該スイッチの状態を制御する形態とされている制御器、

を有しており、該状態の内の少なくとも一つにおいて、該第 1 コンデンサが該スイッチング回路によって該入力及び出力ノードの間に接続されることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 6 0】 請求項 5 9 において、該第 4 スイッチが該第 1 コンデンサの第 1 端子と第 3 ノードとの中間に結合されることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 6 1】 請求項 6 0 において、更に、第 1 及び第 2 端子を具備している第 2 コンデンサ、該第 2 コンデンサの第 2 端子と該入力ノードとの中間に結合されている第 5 スイッチ、該第 2 コンデンサの第 2 端子と該出力ノードとの中間に結合されている第 6 スイッチ、該第 2 コンデンサの第 1 端子と該出力ノードとの中間に結合されている第 7 スイッチ、該第 2 コンデンサの第 1 端子へ結合されている第 8 スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項 6 2】 請求項 6 1 において、該第 4 スイッチは該第 1 コンデンサの第 1 端

子と第3ノードとの中間に結合されており且つ該第8スイッチは該第2コンデンサの第1端子と該第1コンデンサの第2端子との中間に結合されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項63】 請求項61において、更に、第1及び第2端子を具備している第3コンデンサ、該第3コンデンサの第2端子と該入力ノードとの中間に結合されている第9スイッチ、該第3コンデンサの第2端子と該出力ノードとの中間に結合されている第10スイッチ、該第3コンデンサの第1端子と該出力ノードとの中間に結合されている第11スイッチ、該第3コンデンサの第1端子へ結合されている第12スイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。

【請求項64】 請求項63において、該第4スイッチが該第1コンデンサの第1端子と第3ノードとの中間に結合されており、該第8スイッチが該第2コンデンサの第1端子と該第1コンデンサの第2端子との中間に結合されており、且つ該第12スイッチが該第3コンデンサの第1端子と該第2コンデンサの第2端子との中間に結合されていることを特徴とするスイッチトキャパシタアレイ回路。

【請求項65】 入力ノードと出力ノードとに結合されているスイッチトキャパシタアレイ回路において、

第1及び第2端子を具備している第1コンデンサ、

該コンデンサに結合されているスイッチング回路であって、

該入力ノードと該第1コンデンサの第2端子との中間に結合されている第1スイッチ

、

該出力ノードと該第1コンデンサの第1端子との中間に結合されている第2スイッチ

、

該第1コンデンサの第2端子と第3ノードとの中間に位置されている第1スイッチ位置、該第1コンデンサの第2端子と該出力ノードとの中間に位置されている第2スイッチ位置、該第1コンデンサの第1端子と該入力ノードとの中間に位置されている第3スイッチ位置、該第1コンデンサの第1端子と該第3ノードとの中間に位置されている第4スイッチ位置、該第1コンデンサの第1端子と第4ノードとの中間に位置されている第5スイッチ位置、

該スイッチング回路へ結合されており且つ該スイッチの状態を制御する形態とされている制御器、

を有しており、該スイッチ位置の内の少なくとも2つは1個のスイッチを包含しており、該状態の内の少なくとも一つにおいて、該第1コンデンサが該スイッチング回路によって該入力及び出力ノードの間に接続されることを特徴とするスイッチトキャパシタアレイ回路。

【請求項66】 請求項65において、更に、

第1及び第2端子を具備している第2コンデンサ、

を有しており、該スイッチング回路が、更に、

該入力ノードと該第2コンデンサの第2端子との中間に結合されている第3スイッチ

、

該出力ノードと該第2コンデンサの第1端子との中間に結合されている第4スイッチ

、

該第2コンデンサの第2端子と該第3ノードとの中間に位置されている第6スイッチ位置、該第2コンデンサの第2端子と該出力ノードとの中間に位置されている第7スイッチ位置、該第2コンデンサの第1端子と該入力ノードとの中間に位置されている第8スイッチ位置、該第2コンデンサの第1端子と該第3ノードとの中間に位置されている第9スイッチ位置、

を包含しており、該第6、第7、第8及び第9スイッチ位置の内の少なくとも一つは1個のスイッチを包含しており且つ該第2コンデンサの第2端子は該第4ノードへ結合されており且つ該第5スイッチ位置は1個のスイッチを包含していることを特徴とするスイッチトキャパシタアレイ回路。