

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4395541号
(P4395541)

(45) 発行日 平成22年1月13日(2010.1.13)

(24) 登録日 平成21年10月23日(2009.10.23)

(51) Int.Cl.

F I

H03L 7/18 (2006.01)

H03L 7/18

E

H03L 7/183 (2006.01)

H03L 7/18

B

請求項の数 28 (全 42 頁)

(21) 出願番号 特願2008-524657 (P2008-524657)
 (86) (22) 出願日 平成18年8月1日(2006.8.1)
 (65) 公表番号 特表2009-504063 (P2009-504063A)
 (43) 公表日 平成21年1月29日(2009.1.29)
 (86) 国際出願番号 PCT/IB2006/052632
 (87) 国際公開番号 W02007/015209
 (87) 国際公開日 平成19年2月8日(2007.2.8)
 審査請求日 平成20年4月4日(2008.4.4)
 (31) 優先権主張番号 60/595,749
 (32) 優先日 平成17年8月2日(2005.8.2)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 60/595,750
 (32) 優先日 平成17年8月2日(2005.8.2)
 (33) 優先権主張国 米国(US)

(73) 特許権者 508036101
 アールエフ マジック インコーポレイテッド
 アメリカ合衆国, カリフォルニア州,
 サン ディエゴ, シークエンス ドライ
 ヴ 6290
 (74) 代理人 100094318
 弁理士 山田 行一
 (74) 代理人 100123995
 弁理士 野田 雅一
 (74) 代理人 100107456
 弁理士 池田 成人

最終頁に続く

(54) 【発明の名称】 多重周波数源システム及び動作方法

(57) 【特許請求の範囲】

【請求項 1】

既定の目標周波数に同調するように動作する同調可能周波数源と、前記目標周波数より高い周波数の第2の信号を生成するように動作する第2の周波数源とを有する多重周波数源システムにおいて、前記同調可能周波数源を、前記より高い周波数の前記第2の信号の同時生成の間に、前記目標周波数に同調させる方法であって、

前記同調可能周波数源を、前記目標周波数より低い少なくとも1つの周波数点に同調するように制御するステップと、

その後、前記同調可能周波数源を、前記目標周波数に同調するように制御するステップとを含み、

前記同調可能周波数源を、前記目標周波数より低い少なくとも1つの周波数点に同調するように制御する前記ステップが、

(i) 前記目標周波数と、前記同調可能周波数源の既定の最低同調周波数との間に位置する少なくとも1つの中間点を算出するステップと、

(ii) 前記同調可能周波数源を前記少なくとも1つの中間点に同調させるステップとを更に含み、

前記少なくとも1つの中間点が、式

【数 1】

$$F_{Int} = F_{Target} - \frac{1}{Overshoot} (F_{avoid} - F_{Target})$$

によって算出され、式中、 F_{avoid} が、前記目標周波数より高い前記第2の信号の周波数であり、 F_{Target} が前記目標周波数であり、 $Overshoot$ が既定の周波数オーバーシュート量である、方法。

【請求項 2】

後続の中間点を算出するステップをさらに含み、

前に算出される中間点 F_{Int} が請求項 1 の前記式における前記目標周波数 F_{Target} になり、後続の中間点が前記目標周波数 F_{Target} に基づいて算出される、請求項 1 に記載の方法。

【請求項 3】

既定の目標周波数に同調するように動作する同調可能周波数源と、前記目標周波数より低い周波数の第2の信号を生成する第2の周波数源とを有する多重周波数源システムにおいて、前記同調可能周波数源を、前記より低い周波数の前記第2の信号の同時生成の間に、前記目標周波数に同調させる方法であって、

前記同調可能周波数源を、前記目標周波数より高い少なくとも1つの周波数点に同調するように制御するステップと、

その後、前記同調可能周波数源を、前記目標周波数に同調するように制御するステップと

を含み、
前記同調可能周波数源が、複数の発振器を備えており、これらの発振器は、それぞれ、前記同調可能周波数源の集合的同調範囲の一部分を含む既定の範囲にわたって動作し、

前記同調可能周波数源を、前記目標周波数より高い少なくとも1つの周波数点に同調するように制御する前記ステップが、

(i) 前記目標周波数と、前記同調可能周波数源の既定の最高同調周波数との間に位置する少なくとも1つの中間点を算出するステップと、

(ii) 前記同調可能周波数源を前記少なくとも1つの中間点に同調させるステップとを更に含み、

前記少なくとも1つの中間点が、式

【数 2】

$$F_{Int} = F_{Target} + \frac{1}{Overshoot} (F_{avoid} - F_{Target})$$

によって算出され、式中、 F_{avoid} が、前記目標周波数より低い前記第2の信号の周波数であり、 F_{Target} が前記目標周波数であり、 $Overshoot$ が既定の周波数オーバーシュート量である方法。

【請求項 4】

後続の中間点を算出するステップをさらに含み、

前に算出される中間点 F_{Int} が請求項 3 の前記式における前記目標周波数 F_{Target} になり、後続の中間周波数点が前記前記目標周波数 F_{Target} に基づいて算出される、請求項 3 に記載の方法。

【請求項 5】

(i) 既定の目標周波数に同調するように動作する同調可能周波数源と、(ii) 前記目標周波数より低い周波数の低周波数信号を生成するように動作する第1の追加周波数源、及び、前記目標周波数より高い周波数の高周波数信号を生成するように動作する第2の追加周波数源を含む、少なくとも2つの追加周波数源とを有し、前記同調可能周波数源が

、前記目標周波数に同調する１つ又は複数の発振器を含む、多重周波数源システムにおいて、前記同調可能周波数源を、前記高低の周波数信号の同時生成の間に、前記目標周波数に同調させる方法であって、

前記高低の周波数信号間の中点を求めるステップと、

前記目標周波数に同調する前記同調可能周波数源の発振器であり、前記目標周波数を含む同調範囲を有し、低周波数同調点と、中周波帯同調点と、高周波数同調点とを有する前記発振器を選択するステップと、

前記高低の周波数信号間の前記中点の周波数が、前記選択される発振器の前記中周波帯同調点より高いか或いは低いかを判定するステップと、

前記選択される発振器の開始周波数として、(i) 前記選択される発振器の前記中周波帯同調点が、前記高低の周波数信号間の前記中点より高い場合に、前記選択される発振器の前記高周波数と中周波帯の同調点の補間値を、又は、(i i) 前記選択される発振器の前記中周波帯同調点が、前記高低の周波数信号間の前記中点より低い場合に、前記選択される発振器の前記中周波帯と低周波数の同調点の補間値を選択するステップと、

前記選択される発振器を、前記選択される開始周波数から前記目標周波数まで同調するように制御するステップとを含む、方法。

【請求項 6】

(i) 既定の目標周波数に同調するように動作する同調可能周波数源と、(i i) 前記目標周波数より低い周波数で動作する低周波数信号を生成するように動作する第 1 の追加周波数源、及び、前記目標周波数より高い周波数の高周波数信号を生成するように動作する第 2 の追加周波数源を含む複数の追加周波数源とを有し、前記同調可能周波数源が、前記目標周波数に同調する１つ又は複数の発振器を含む、多重周波数源システムにおいて、前記同調可能周波数源を、前記高低の周波数信号の同時生成の間に、前記目標周波数に同調させる方法であって、

(i) 前記低周波数信号より低い最小同調可能周波数、又は(i i) 前記高周波数信号より高い最大同調可能周波数を有する前記同調可能周波数源の１つ又は複数の発振器を識別するステップと、

前記１つ又は複数の識別される発振器から、前記発振器のそれぞれの最低同調可能周波数から前記低周波数信号まで、又は前記発振器のそれぞれの最高同調可能周波数から前記高周波数信号まで測定される、最大オフセットを有する発振器を選択するステップと、

前記選択される発振器を、前記目標周波数に同調するように制御するステップとを含む、方法。

【請求項 7】

前記選択される発振器を制御する前記ステップが、

前記低周波数信号より低く、又は前記高周波数信号より高い周波数を含むアプローチ周波数を識別するステップと、

前記選択される発振器を前記アプローチ周波数に同調させるステップと、

前記アプローチ周波数に同調した後で、前記選択される発振器を前記目標周波数に同調させるステップと

を含む、請求項 6 に記載の方法。

【請求項 8】

前記アプローチ周波数が前記低周波数信号より低く、

(i) 前記アプローチ周波数と、前記同調可能周波数源の既定の最低同調周波数の間に位置する少なくとも１つの中間点を算出するステップと、

(i i) 前記アプローチ周波数に同調する前に、前記同調可能周波数源を前記少なくとも１つの中間点に同調させるステップと

をさらに含む、請求項 7 に記載の方法。

【請求項 9】

前記少なくとも１つの中間点が、式、

10

20

30

40

50

【数 3】

$$F_{Int} = F_{Target} - \frac{1}{Overshoot} (F_{avoid} - F_{Target})$$

によって算出され、式中、 F_{avoid} が、前記アプローチ周波数より高い前記低周波数信号の周波数であり、 F_{Target} が前記アプローチ周波数であり、 $Overshoot$ が既定の周波数オーバーシュート量である、請求項 8 に記載の方法。

【請求項 10】

後続の中間点を算出するステップをさらに含み、

10

前に算出される中間点 F_{Int} が請求項 9 の前記式における前記アプローチ周波数 F_{Target} になり、後続の中間点が前記アプローチ周波数 F_{Target} に基づいて算出される、請求項 9 に記載の方法。

【請求項 11】

前記アプローチ周波数が前記高周波数信号より高く、

(i) 前記アプローチ周波数と、前記同調可能周波数源の既定の最高同調周波数の間に位置する少なくとも 1 つの中間点を算出するステップと、

(ii) 前記アプローチ周波数に同調する前に、前記同調可能周波数源を前記少なくとも 1 つの中間点に同調させるステップと

をさらに含む、請求項 7 に記載の方法。

20

【請求項 12】

前記少なくとも 1 つの中間点が、式、

【数 4】

$$F_{Int} = F_{Target} + \frac{1}{Overshoot} (F_{avoid} - F_{Target})$$

によって算出され、式中、 F_{avoid} が、前記アプローチ周波数より低い前記高周波数信号の周波数であり、 F_{Target} が前記アプローチ周波数であり、 $Overshoot$ が既定の周波数オーバーシュート量である、請求項 11 に記載の方法。

30

【請求項 13】

後続の中間点を算出するステップをさらに含み、

前に算出される中間点 F_{Int} が請求項 12 の前記式における前記目標周波数 F_{Target} になり、後続の中間周波数点が前記目標周波数 F_{Target} に基づいて算出される、請求項 12 に記載の方法。

【請求項 14】

多重周波数源システムの周波数スペクトル内の目標周波数より低い周波数の第 2 の信号を生成するように動作する第 2 の周波数源と、

前記第 2 の信号の生成中に、前記多重周波数源システムの前記周波数スペクトル内の前記目標周波数に同調するように動作する同調可能周波数源と、

40

を備え、

前記第 2 の周波数源が、前記目標周波数より低い低周波数信号を生成するように動作するものであり、

前記同調可能周波数源を、前記目標周波数より高い少なくとも 1 つの周波数点に同調するように制御する手段と、

前記同調可能周波数源を、続いて、前記目標周波数に同調するように制御する手段とをさらに備えており、

前記第 2 の周波数源が、前記目標周波数より高い高周波数信号を生成するように動作するものであり、

前記同調可能周波数源を、前記目標周波数より低い少なくとも 1 つの周波数点に同調す

50

るように制御する手段と、

前記同調可能周波数源を、続いて、前記目標周波数に同調するように制御する手段とをさらに備えており、

前記同調可能周波数源を、前記目標周波数より低い少なくとも1つの周波数点に同調するように制御する前記手段が、

前記目標周波数と、前記同調可能周波数源の既定の最低同調周波数の間に位置する少なくとも1つの中間点を算出する手段と、

前記同調可能周波数源を、前記少なくとも1つの中間点に同調させる手段とを備えており、

前記少なくとも1つの中間点が、式、

【数5】

$$F_{Int} = F_{Target} - \frac{1}{Overshoot} (F_{avoid} - F_{Target})$$

によって算出され、式中、 F_{avoid} が、前記目標周波数より高い前記第2の信号の周波数であり、 F_{Target} が前記目標周波数であり、 $Overshoot$ が既定の周波数オーバーシュート量である多重周波数源システム。

【請求項15】

後続の中間点を算出する手段をさらに備え、

前に算出される中間点 F_{Int} が請求項14の前記式における前記目標周波数 F_{Target} になり、後続の中間点が前記目標周波数 F_{Target} に基づいて算出される、請求項14に記載の多重周波数源システム。

【請求項16】

多重周波数源システムの周波数スペクトル内の目標周波数より低い周波数の第2の信号を生成するように動作する第2の周波数源と、

前記第2の信号の生成中に、前記多重周波数源システムの前記周波数スペクトル内の前記目標周波数に同調するように動作する同調可能周波数源と、

を備え、

前記第2の周波数源が、前記目標周波数より低い低周波数信号を生成するように動作するものであり、

前記同調可能周波数源を、前記目標周波数より高い少なくとも1つの周波数点に同調するように制御する手段と、

前記同調可能周波数源を、続いて、前記目標周波数に同調するように制御する手段とをさらに備えており、

前記同調可能周波数源を、前記目標周波数より高い少なくとも1つの周波数に同調するように制御する前記手段は、

前記目標周波数と、前記同調可能周波数源の既定の最高同調周波数の間に位置する少なくとも1つの中間点を算出する手段と、

前記同調可能周波数源を、前記少なくとも1つの中間点に同調させる手段とを備えており、

前記少なくとも1つの中間点が、式、

【数6】

$$F_{Int} = F_{Target} + \frac{1}{Overshoot} (F_{avoid} - F_{Target})$$

によって算出され、式中、 F_{avoid} が、前記目標周波数より低い前記第2の信号の周波数であり、 F_{Target} が前記目標周波数であり、 $Overshoot$ が既定の周波数オーバーシュート量である、多重周波数源システム。

【請求項 17】

後続の中間点を算出する手段をさらに備え、

前に算出される中間点 F_{Int} が請求項 16 の前記式における前記目標周波数 F_{Target} になり、後続の中間周波数点が前記目標周波数 F_{Target} に基づいて算出される、請求項 16 に記載の多重周波数源システム。

【請求項 18】

多重周波数源システムの周波数スペクトル内の目標周波数より低い周波数の第 2 の信号を生成するように動作する第 2 の周波数源と、

前記第 2 の信号の生成中に、前記多重周波数源システムの前記周波数スペクトル内の前記目標周波数に同調するように動作する同調可能周波数源と、

10

を備え、

前記第 2 の周波数源が、前記目標周波数より低い低周波数信号を生成するように動作するものであり、

前記同調可能周波数源を、前記目標周波数より高い少なくとも 1 つの周波数点に同調するように制御する手段と、

前記同調可能周波数源を、続いて、前記目標周波数に同調するように制御する手段とをさらに備えており、

前記同調可能周波数源が位相ロックループ回路を備えており、

前記位相ロックループがループフィルタを備え、

前記ループフィルタが、

20

反転入力、非反転入力及び出力を有する演算増幅器と、

前記演算増幅器の前記反転入力と前記出力の間に結合された第 1 のオペアンプコンデンサと、

前記演算増幅器の前記非反転入力と信号接地の間に結合された第 2 のオペアンプコンデンサと、

(i) 低オーバーシュート同調回路と、(i i) プリチャージ回路と、(i i i) 通常同調回路と、(i v) 同調電圧測定回路とからなるグループから選択される少なくとも 2 つの回路と

を備え、

(i) 前記低オーバーシュート同調回路が、

30

前記反転入力と前記第 1 のオペアンプコンデンサの間に結合するように構成された第 1 の低オーバーシュート同調回路と、

前記反転入力と信号接地の間に結合するように構成された第 2 の低オーバーシュート同調回路と

を備え、前記第 1 と第 2 の低オーバーシュート同調回路が、前記位相ロックループフィルタに低オーバーシュートフィルタ特性を提供するように動作し、

(i i) 前記プリチャージ回路が、

前記第 1 のオペアンプコンデンサの両端に結合するように構成され、前記第 1 のオペアンプコンデンサにプリチャージするように動作する第 1 のプリチャージ回路と、

前記第 2 のオペアンプコンデンサの両端に結合するように構成され、前記第 2 のオペアンプコンデンサにプリチャージするように動作する第 2 のプリチャージ回路と、

40

前記反転及び非反転入力に結合するように構成され、前記反転及び非反転入力に既定のチャージ電圧を印加するように動作する第 3 のプリチャージ回路と

を備え、

(i i i) 通常同調回路が、

前記反転入力と前記第 1 のオペアンプコンデンサの間に結合するように構成された第 1 の通常同調回路と、

前記非反転入力と信号接地の間に結合するように構成された第 2 の通常同調回路とを備え、前記第 1 と第 2 の通常同調回路が、前記位相ロックループフィルタに、通常のフィルタ特性を提供するように動作し、

50

(i v) 同調電圧測定回路が、前記演算増幅器の前記出力に結合するように構成されている、多重周波数源システム。

【請求項 1 9】

前記通常同調回路、前記低オーバーシュート回路、又は前記プリチャージ回路の 1 つが、前記演算増幅器に固定して結合され、前記通常同調回路、前記低オーバーシュート回路、及び前記プリチャージ回路の残りの 2 つが、前記演算増幅器に切換え可能に結合されている、請求項 1 8 に記載の多重周波数源システム。

【請求項 2 0】

前記第 1 の通常同調回路と前記第 2 の通常同調回路が、それぞれ、並列結合の抵抗器とコンデンサを備える、請求項 1 8 に記載の多重周波数源システム。

10

【請求項 2 1】

前記第 1 の低オーバーシュート同調回路と前記第 2 の低オーバーシュート同調回路が、それぞれ、並列結合の抵抗器とコンデンサを備える、請求項 1 8 に記載の多重周波数源システム。

【請求項 2 2】

前記第 1 のプリチャージ回路と前記第 2 のプリチャージ回路が、それぞれ、抵抗器を備える、請求項 1 8 に記載の多重周波数源システム。

【請求項 2 3】

前記同調電圧測定回路が、前記演算増幅器の前記出力に結合された第 1 の入力と、基準電位に結合された第 2 の入力と、出力とを有する比較器を備える、請求項 1 8 に記載の多重周波数源システム。

20

【請求項 2 4】

前記第 1 の低オーバーシュート同調回路と前記第 2 の低オーバーシュート同調回路が、それぞれ、並列結合の抵抗器とコンデンサを備え、前記第 1 の低オーバーシュート同調回路と前記第 2 の低オーバーシュート同調回路のそれぞれの入力インピーダンスが、前記第 1 の通常同調回路と前記第 2 の通常同調回路のそれぞれの入力インピーダンスより大きい、請求項 2 0 に記載の多重周波数源システム。

【請求項 2 5】

前記第 1 の低オーバーシュート同調回路と前記第 2 の低オーバーシュート同調回路のそれぞれの抵抗器の抵抗が、前記第 1 の通常同調回路と前記第 2 の通常同調回路のそれぞれの抵抗器の少なくとも 3 倍高い、請求項 2 4 に記載の多重周波数源システム。

30

【請求項 2 6】

前記第 1 の低オーバーシュート同調回路と前記第 2 の低オーバーシュート同調回路のそれぞれのコンデンサのリアクタンスが、前記第 1 の通常同調回路と前記第 2 の通常同調回路のそれぞれのキャパシタンスの少なくとも 5 倍高い、請求項 2 4 に記載の多重周波数源システム。

【請求項 2 7】

(i) 既定の目標周波数に同調するように動作する同調可能周波数源と、(i i) 前記目標周波数より低い周波数の低周波数信号を生成するように動作する第 1 の追加周波数源、及び、前記目標周波数より高い周波数の高周波数信号を生成するように動作する第 2 の追加周波数源を含む少なくとも 2 つの追加周波数源とを有し、前記同調可能周波数源が、前記目標周波数に同調する 1 つ又は複数の発振器を含む多重周波数源システムと共に動作するためのコンピュータ可読媒体上にあり、前記同調可能周波数源を、前記高低の周波数信号の同時生成の間に、前記目標周波数に同調させるように動作するコンピュータプログラム製品であって、

40

前記高低の周波数信号間の中点を求める命令コードと、

前記目標周波数に同調する前記同調可能周波数源の発振器であり、前記目標周波数を含む同調範囲を有し、低周波数同調点と、中周波帯同調点と、高周波数同調点とを有する前記発振器を選択する命令コードと、

前記高低の周波数信号間の前記中点が、前記選択される発振器の前記中周波帯同調点よ

50

り高いか或いは低いかを判定する命令コードと、

前記選択される発振器の開始周波数として、(i) 前記選択される発振器の前記中周波帯同調点が、前記高低の周波数信号間の前記中点より高い場合に、前記選択される発振器の前記高周波数と中周波帯の同調点の補間値を、又は、(i i) 前記選択される発振器の前記中周波帯同調点が、前記高低の周波数信号間の前記中点より低い場合に、前記選択される発振器の前記中周波帯と低周波数の同調点の補間値を選択する命令コードと、

前記選択される発振器を、前記選択される開始周波数から前記目標周波数まで同調するように制御する命令コードと

を備えるコンピュータプログラム製品。

【請求項 2 8】

10

(i) 既定の目標周波数に同調するように動作する同調可能周波数源と、(i i) 前記目標周波数より低い周波数で動作する低周波数信号を生成するように動作する第 1 の追加周波数源、及び、前記目標周波数より高い周波数の高周波数信号を生成するように動作する第 2 の追加周波数源を含む複数の追加周波数源とを有し、前記同調可能周波数源が、前記目標周波数に同調する 1 つ又は複数の発振器を含む多重周波数源システムと共に動作するためのコンピュータ可読媒体上にあり、前記同調可能周波数源を、前記高低の周波数信号の同時生成の間に、前記目標周波数に同調させるように動作するコンピュータプログラム製品であって、

(i) 前記低周波数信号より低い最小同調可能周波数、又は(i i) 前記高周波数信号より高い最大同調可能周波数を有する前記同調可能周波数源の 1 つ又は複数の発振器を識別する命令コードと、

20

前記 1 つ又は複数の識別される発振器から、前記発振器のそれぞれの最低同調可能周波数から前記低周波数信号まで、又は前記発振器のそれぞれの最高同調可能周波数から前記高周波数信号まで測定される、最大オフセットを有する発振器を選択する命令コードと、

前記選択される発振器を、前記目標周波数に同調するように制御する命令コードとを備えるコンピュータプログラム製品。

【発明の詳細な説明】

【関連出願の相互参照】

【0 0 0 1】

本出願は、その内容が参照により本明細書に援用される、以下の各特許出願に関連し、これらと同時に出願されたものである。

30

【0 0 0 2】

「多重周波数源システムのためのオフセット信号位相調整 (Offset Signal Phasing for a Multiple Frequency Source System)」、国際出願 PCT / IB 2 0 0 6 / 0 5 2 6 3 3、整理番号 R F M - 1 6 - P C T、及び、

「多重周波数源システムにおける位相プリングを緩和するシステム及び方法 (System and Method for Mitigating Phase Pulling in a Multiple Frequency Source System)」、国際出願 PCT / IB 2 0 0 6 / 0 5 2 6 3 4、整理番号 R F M - 1 7 - P C T。

40

【0 0 0 3】

本出願は、以下の各米国特許出願の優先権を主張し、これらの全文を援用するものである。

【0 0 0 4】

2 0 0 5 年 8 月 2 日出願の「多重周波数源システム及び動作方法 (Multiple Frequency Source System and Method of Operation)」、米国特許出願第 6 0 / 5 9 5 , 7 5 4 号、

2 0 0 5 年 8 月 2 日出願の「多重周波数源システムのためのオフセット信号位相調整 (Offset Signal Phasing for a Multiple Frequency Source System)」、米国特許出願第 6 0 / 5 9 5 , 7 4 9

50

号、及び

2005年8月2日出願の「多重周波数源システムにおける位相プリングを緩和するシステム及び方法 (System and Method for Mitigating Phase Pulling in a Multiple Frequency Source System)」、米国特許出願第60/595,750号。

【背景】

【0005】

[0001]本発明は、周波数源システムに関し、より詳細には、複数の信号周波数を同時に生成させるように動作する複数の周波数源を用いるシステムに関する。

【0006】

[0002]周波数源は、通信システムにおいて、周波数変換、信号変調/復調、システムクロック生成、その他のプロセスといった、無数の信号処理操作を実行するのに使用される。周波数源は、他の用途でも、既知の基準信号の生成が必要とされるときに使用される。

【0007】

[0003]周波数源は、一般に、1つの周波数の出力信号を生成するように動作する固定周波数源と、既定の周波数スペクトルにわたり、複数の周波数の出力信号を生成するように制御され得る同調可能周波数源の、2種類のものである。L-C発振器、水晶発振器、及び誘電体共振発振器が、従来からの固定周波数源の例であり、電圧制御発振器及び位相ロックループ回路が、周知の同調可能周波数源を表す。

【0008】

[0004]通信システムもその他のシステムも、多重周波数信号の使用による恩恵を受けることができるはずである。というのは、例えば、かかる例では、複数のプロセスが同時に実行され得るからである。しかしながら、同時に複数の周波数信号を生成するように動作するシステムの実施は困難である。というのは、同時に生成される信号が、相互に過度に接近して同調されると、相互に作用し合うからである。異なる信号間の相互作用は、各信号を劣化させ、おそらく、それらの本来の目的には使用できない信号を提供することになり得る。

【0009】

[0005]求められているのは、同時に動作する信号間の相互作用を最小限に抑えながら、2つ以上の周波数の同時生成を可能にする多重周波数源システム及び動作方法である。

【概要】

【0010】

[0006]本発明は、2つ以上の周波数信号を、これらの信号間の信号相互作用を最小限に抑えながら生成する多重周波数源システム及び方法を提供する。提示するシステムは同調可能であり、同時に動作する周波数に近接して同調され得る少なくとも1つの周波数源を有する。

【0011】

[0007]本明細書に示す本発明の様々な実施形態の1つでは、既定の目標周波数に同調可能な少なくとも1つの周波数源と、目標周波数より高い、又は低い周波数の第2の信号を生成するように動作する少なくとも1つの追加周波数源を含む多重周波数源システムが提示される。第2の信号の同時生成の間に、同調可能周波数源を目標周波数に同調させる方法は、(i)第2の信号の周波数が目標周波数より高いときに、同調可能周波数源を、目標周波数より低い少なくとも1つの周波数点に同調するように制御し、その後、同調可能周波数源を目標周波数に同調するように制御すること、又は(ii)第2の信号の周波数が目標周波数より低いときに、同調可能周波数源を、目標周波数より高い少なくとも1つの周波数に同調するように制御し、その後、同調可能周波数源を目標周波数に同調するように制御することを含む。

【0012】

[0008]本発明の上記その他の特徴は、以下の図面と詳細な説明を考慮して読めば、より適切に理解されるであろう。

【 0 0 1 3 】

[0010]明確にするために、以下の図面に、前述の特徴の参照表示を示す。

【 例示的实施形態の説明 】

【 0 0 1 4 】

[0011]本発明は、同じ信号スペクトル内で生成される1つ又は複数の既存の周波数の動作を妨害せずに所望の(目標)周波数に同調することのできる機能を有する、同じ信号スペクトル内で複数の周波数源を動作させるシステム及び方法を提供する。目標周波数と既存の(1つ又は複数の)信号の間で必要とされる近接度は、例えば、既存の周波数に必要とされる安定度や、目標周波数に同調する周波数源が目標周波数に到達するまで移動しなければならない範囲などのシステムパラメータに左右される。本発明は、有利には、シス
10

【 0 0 1 5 】

[0012]図1Aに、本発明による、現在動作可能な周波数源を用いるシステムの例示的实施形態を示す。図示のように、同調可能システム100は3つの周波数源 FS_1 120、 FS_2 130、及び FS_3 140を含み、その少なくとも1つ(FS_1 120など)が同調可能である。残りの周波数源は、システムの設計が必要とし、又は求めるのに応じて、固定周波数又は同調可能周波数を生成するように動作し得る。

【 0 0 1 6 】

[0013]本発明の例示的实施形態では、周波数源120などが、特定の目標周波数に同調
20

される。以下でさらに説明するように、周波数源120が目標周波数に同調するためのプロセスは、任意の既存の周波数の有無とその近接度に左右される。詳細には、(i)目標周波数が、目下のところ唯一の生成周波数である同調プロセス、(ii)目標周波数が最低の既存周波数の下に位置する同調プロセス、(iii)目標周波数が最高の既存周波数の上に位置する同調プロセス、及び(iv)目標周波数が2つの既存周波数の間に位置する同調プロセスについて説明する。これらの同調プロセスのそれぞれについて、以下で詳細に説明する。

【 0 0 1 7 】

[0014]図1Bに、図1Aに示す同調可能周波数源120の例示的实施形態を示す。図示のように、同調可能周波数源120は、位相ロックループ(PLL)として実施され、PLLは、バイポーラ相補型金属酸化膜半導体(Bi-CMOS)プロセスでモノリシックに製造され得るが、この回路は、別のプロセス又は材料(CMOS、SiGe、GaAsなど)を使って、モノリシック型、ハイブリッド型、又はディスクリート型として製造されてもよいことを当分野の技術者は理解するであろう。本発明の個別的实施形態では、システムにおいて、2つ以上(3、5、10、100又はそれ以上)のPLLが、同じ動作スペクトル(500MHz~10GHzをカバーする合成周波数スペクトルなど)内のそれぞれの2つ以上の同調可能、合成周波数を提供するために実施される。(1つ又は複数の)同調可能な周波数源は、可変発振器や、デジタル制御発振器など、別の形で実施されてもよい。全同調可能周波数源設計の代替として、1つ又は複数の固定周波数源が使用されてもよく、発振器の例は、L-C発振器、水晶発振器、誘電体共振発振器などの形態で
30

ある。同様に、(1つ又は複数の)同調可能な周波数源も、可変発振器設計、デジタル制御発振器など、別の構成のものでもよい。本発明のシステム及び方法は、同調可能式であれ、固定式であれ、周波数源のいかなる特定の設計にも構成にも限定されるものではないことを当分野の技術者は理解するであろう。

40

【 0 0 1 8 】

[0015]図示の例示的实施形態において、PLL120は、受け取られる基準信号 F_{Ref} の位相及び周波数を、出力周波数の分割バージョン F_{Div} と比較するように動作する位相周波数検出器121を含み、位相周波数検出器の出力は、 F_{Ref} と F_{Div} の差を表す信号(電圧又は電荷)である。本発明の個別的实施形態では、位相周波数検出器121は、信号ロックを円滑に行わせる方向制御回路を含む。方向制御回路の例示的实施形態
50

を図 13 に示す。位相周波数検出器 121 の代替として、あまり複雑でない位相検出器も用いられ得る。

【0019】

[0016]いくつかの実施形態では、PLL は、さらに、位相周波数検出器の出力に応答して周波数制御を提供するように動作するチャージポンプ 122 を含む。周波数制御は、チャージポンプが、ループフィルタに電流を供給し、又はループフィルタから電流を引き出すことによって提供され、これらの条件が、電圧制御発振器 (VCO) 124 の入力における電圧の変化をもたらし、電圧の変化が、VCO の出力周波数 F_{out} の低下又は増大を生じる。例えば、UP 信号が High 状態であり、DN 信号が Low 状態であるとき、発振器は、その出力周波数を増大させるように制御される。UP 信号が Low 状態であり、DN 信号が High 状態であるとき、発振器の入力電圧は、その出力周波数を低減させるように制御される。代替の実施形態では、チャージポンプ 122 が省かれ、UP/DN 信号が、位相周波数検出器 110 自体から生成される。

【0020】

[0017]PLL は、さらに、チャージポンプの UP 及び DN 信号を受け取ってフィルタリングし、それによって、ループ信号の雑音及びスプリアスな生成内容を低減するように動作するループフィルタ 123 を含む。ループフィルタ 123 は、受動でも能動でもよく、能動ループフィルタの典型的な実施形態は、演算増幅器、又は類似機能の装置を用いる。本発明の具体的実施形態では、ループフィルタ 123 は、いくつかの異なるモードで動作し、これらのモードには、発振器が自由に同調する通常モード、フィルタの初期動作条件 (電圧など) が制御可能に設定されるプリチャージモード、発振器の同調電圧が読み取られる電圧読取りモード、及び位相ロックループの周波数オーバーシュートが最小限に抑えられる低周波数オーバーシュートモードが含まれる。マルチモードループフィルタの例示的实施形態を、以下の図 11 に示す。本発明の代替の実施形態では、当分野で知られている従来のループフィルタを用いてもよい。

【0021】

[0018]ループフィルタ出力信号は、例示的实施形態に電圧制御発振器 (VCO) として示す発振器 124 に供給される。本発明の個別の実施形態では、発振器 124 は、VCO バンク内に含まれ、VCO バンクからの選択が、以下でさらに説明する特定の発振器選択プロセスによって定義される。本発明の代替の実施形態では、発振器 124 は、単独で、又は VCO のバンク内で実施される従来の VCO であり、これらの特徴は、当分野では知られている。本発明では代替として、デジタル制御発振器など他の発振器が用いられてもよい。供給されるループフィルタ信号に応答して、発振器 124 は、周波数 F_{out} の信号を生成する。発振器 124 の例示的实施形態を以下の図 10 に示す。当然ながら、様々な種類の発振器が使用され得る。本発明がいかなる特定の発振器設計にも限定されないことを、当分野の技術者は理解するであろう。

【0022】

[0019]出力信号 F_{Ref} の一部は、出力周波数を特定量 N 又はその分数で割るように動作する N 除算カウンタ 126 にフィードバックされる。 N 除算カウンタ 126 は、整数又は分数 N カウンタとすることもでき、それと同時に、より小さい分周比とより大きい同調分解能を提供するシグマデルタ型 PLL 設計を提供するシグマデルタ型変調器 127 として実施してもよい。分割信号 F_{Div} は、続いて、位相周波数検出器に提供され、位相周波数検出器は、引き続き、分割信号 F_{Div} と基準信号 F_{Ref} の位相と周波数を比較して出力信号を生成する。さらに、ループの信号経路の全部又は任意の部分を、シングルエンド型又は差動式設計とすることもできる。

【0023】

I. 同調及びシステムプロセスの例

[0020]図 2 に、本発明による、多重周波数源システムにおいて、周波数源の 1 つを目標周波数に同調させる方法の例を示す。方法 200 は、各周波数源内で用いられる各発振器ごとの範囲を設定するように動作する較正及び始動プロセス 210 を含む。本発明の個別

的实施形態では、各周波数源が同調可能PLL周波数源であり、各PLLが、その発振器として複数のVCOを有する。代替の実施形態では、システムは、異なる構成の同調可能周波数源を含み、又はおそらく、ただ1つの発振器を有していてもよい。別の実施形態では、システムは、それぞれが単一の発振器を有する1つ又は複数の固定周波数源を含んでいてもよい。較正及び始動プロセス210の例示的实施形態を以下の図3Aに示す。

【0024】

[0021]較正及び始動プロセスに続き、220で、特定の目標周波数の信号を動作させるよう求める要求が受け取られる。230で、他の任意の信号が、システム内のその他の周波数源によって同時に生成されているかどうか判定される。他の信号が生成されていない場合、プロセスは240に進み、そこで適切な発振器が選択され、信号が要求目標周波数で生成される。図4に、さらに、このプロセスの例示的实施形態を示す。

10

【0025】

[0022]1つ又は複数の周波数源が現在動作している場合、プロセスは250に進み、そこで、要求目標周波数が最低生成周波数より下であるかどうか判定される。そうである場合、プロセスは260に進み、そこで、適切な発振器が選択され、信号が目標周波数で生成される。このプロセスの例示的实施形態を以下の図5Aでさらに説明する。

【0026】

[0023]目標周波数が最低生成周波数より下でない場合、プロセスは270に進み、そこで、目標周波数が最高生成周波数より上であるかどうか判定される。そうである場合、プロセスは280に進み、そこで、適切な発振器が選択され、信号が要求目標周波数で生成される。このプロセスの例示的实施形態をさらに以下の図6Aに示す。

20

【0027】

[0024]目標周波数が最高生成周波数より上でない場合、要求目標周波数は、2つの生成周波数の間に位置する。プロセスは290に進み、そこで、適切な発振器が選択され、信号が要求目標周波数で生成される。このプロセスの例を以下の図7Aに示す。

【0028】

[0025]図3Aに、本発明による始動及び較正プロセスの例示的实施形態を示す。この例示的实施形態では、各周波数源を位相ロックループ回路(PLL)として示しており、各PLLは、2つ以上の電圧制御発振器(VCO)を用いて、個々のPLLがその出力周波数を生成する総同調範囲を集合的に提供する。周波数源のうちのただ1つが同調可能でさえあればよく、本発明の代替の実施形態では、他の同調可能な、又は固定の周波数源も使用され得ることを当分野の技術者は理解するであろう。

30

【0029】

[0026]プロセスはまず310で、複数のPLLの1つが選択され、320で、これに対応するVCOの1つが作動される。選択の後、330でVCOが試験されて、その最低周波数動作点、中周波帯周波数点、及びその最高周波数動作点が決定される。プロセスは340に進み、そこで、(もしあれば)次のVCOが選択され、これについて320~330のプロセスが繰り返される。選択されたPLLにそれ以上VCOが残っていないとき、350で別のPLLが選択され、これに対応する(1つ又は複数の)VCOが作動されて、これに対応する最低、中周波帯及び最高の動作周波数点が決定される。それ以上PLLが残っていないとき、始動及び較正プロセスは終了する。同様の動作が、他の同調可能周波数源、並びに固定周波数源についても行われ得る。例えば、固定周波数源では、プロセス330が省かれ得る。というのは、固定周波数源の発振器は、通常、低、中周波帯、及び高周波数点を含まないはずだからである。さらに、単一の発振器を用いる固定の又は同調可能な周波数源では、340のプロセスも省略され得る。その他の変更は当分野の技術者には明らかであろう。

40

【0030】

[0027]本発明の個別の実施形態では、VCOの動作周波数が、VCOに供給される粗同調ワードと微同調ワードの使用によってデジタル制御される。1つの例示的实施形態では、粗同調ワードは、0から31までの値の範囲に及び、0は最高動作VCO周波数を表し

50

、31は最低VCO動作周波数を表す。かかる実施形態では、VCOの低周波数、中周波帯及び高周波数点を識別する前述のプロセス330は、それぞれ、値31、値15、値0の制御ワードを供給し、既定の周波数、例えば、VCOの最もリニアな同調範囲の中心を表す1.5Vのロック周波数を記録することによって行われる。本発明による代替の実施形態では、VCO周波数は、アナログ電圧を使って設定されてもよく、より短い、又は長いデジタルワードが使用されてもよいことを、当分野の技術者は理解するであろう。

【0031】

[0028]図3Bに、本発明による、PLL周波数源内の複数の発振器の動作周波数点を格納するように動作するデータ構造の例を示す。説明する実施形態には、合計3個のPLLが示されており、各PLLは5個のVCOを有する。当然ながら、本発明による代替の実施形態では、PLLの数と、1PLL当たりのVCOの数に関して別の構成が使用されてもよい。さらに、前述のように、本発明による代替の実施形態では、PLL以外の周波数源が実施されてもよい。

【0032】

[0029]例示的实施形態において、vco_freqデータ構造360は、3ページ362、364、及び366を含み、各ページが1つのPLLに対応する。各データ構造ページには、5個のVCOそれぞれの最低、中周波帯、最高の動作周波数点に対応する分周比Npllが記載され、これらの量が、それぞれ、Npllm_{min}、Npllm_{max}、Npllm_{mid}で表示されている。各VCOは、特定の周波数帯域にわたる同調を提供し、全部が合わさって、その特定のPLLの総同調範囲を提供する。

【0033】

[0030]加えて、各ページは、それぞれ、特定のVCOの最低と最高の動作周波数に対応するデジタル粗同調ワード（本明細書では「粗ワード」又は「CW」という）CW_{fmin}とCW_{max}を含む。粗ワードCW_{fmin}及びCW_{max}は、デジタル制御信号であり、これらは、VCOに供給されると、VCOを最低と最高の周波数に同調するように制御する。パラメータNpllm_{mid}は、特定のVCOに、中周波帯点を表す粗ワードが供給されるときに生じる分周比に対応し、図示の実施形態では15である。

【0034】

[0031]図示のデータ構造では、最低のVCO動作周波数は、値が31ではなく25の粗ワードCW_{fmin}と関連付けられ、最高のVCO動作周波数CW_{max}は、値0ではなく5と関連付けられ、それによって、隣接するVCO間の重なりのための若干の余地が提供される。実際の各VCOの最高と最低の同調点は、1粗ワード増分当たりの同調範囲が分かっているときには、粗ワードから補間され得る。例えば、VCO1のCW_{fmin}が25であり、その粗ワードが4000MHzの周波数に対応することが分かっており、さらに、そのVCOが、32粗ワード増分に及び400MHzにわたって同調することも分かっている場合、各粗ワード増分はおおよそ12.5MHzの同調範囲を提供することが判明する。したがって、VCO1はCW25において4000MHzに同調されるが、これは、6×12.5MHz、すなわち75MHz低い周波数に同調することができ、それによって、VCO2の同調範囲の上端と重なり合う。このように、隣接するVCO同士を、それらの同調周波数範囲の重なりを設けて、プロセス、温度、動作又はその他の変動に伴うギャップのない同調機能を保証するように設計することができる。

【0035】

[0032]図3Cに、本発明による、現在生成されている周波数情報を格納するように動作するデータ構造の例を示す。already_generatedデータ構造370は、PLLの（もしあれば）現在生成され、又はロックされている周波数、ロック周波数を提供するPLL、及びロック周波数を提供するのに用いられるPLL内のVCOに関する情報を含む。個別的实施形態では、最低生成周波数に関するPLLとVCOの情報が最初に、最高生成周波数に関連する情報が最後に記載される。別の例示的实施形態では、PLLが出力周波数を生じないとき、これの生成周波数が、格納される動作周波数外の周波数として表示され、例えば、どのPLLもこの周波数の信号を生成するように動作しないとき

には、0又は5000MHzなどと表示される。さらに詳細には、データ構造370は、生成信号が周波数を変更し、アクティブ化され、又は非アクティブ化されるときに更新され、再度順序付けされる。

【0036】

目標周波数が最初のロック周波数である

[0033]図4に、本発明による、要求目標周波数が最初の生成周波数（又は、PLL生成信号の場合には、「ロック」周波数）である同調プロセス240の例示的实施形態を示す。多重周波数源システムが、目下、他のどの信号も生成していないとき、発振器選択プロセスは、目標周波数に最も近い中周波帯周波数点を有する、VCOなどの発振器を識別すること（410）を含む。識別されたVCOは、420で、作動され、要求目標周波数に同調し、ロックすることが可能になる。

10

【0037】

最低ロック周波数の下に位置する目標周波数

[0034]図5Aに、本発明による、要求目標周波数が最低生成周波数より低い同調プロセス260の例示的实施形態を示す。本発明の個別的实施形態において、目標周波数へのVCOの同調は、第2の（既存の）周波数の下から、その既存の周波数を超えずに目標周波数に接近することによって行われる。

【0038】

[0035]このプロセスは、まず502で、最低生成/ロック周波数より低い最小周波数を有する1つ又は複数の発振器（VCOなど）を識別する。504で、識別されたVCOの1つが、目標周波数への同調のために選択される。この選択プロセスには、選択されるVCOのどれが、目標周波数に同調されるときに、最もリニアな同調範囲に最も近く、又はその範囲内にあるか、及びどの選択されるVCOが、ロック周波数から最も遠い周波数において作動され得るかを含めて、様々な要因が関与し得る。

20

【0039】

[0036]506で、選択されたVCOが、その同調範囲の下端の開始周波数から同調を開始するように設定される。個別的实施形態では、選択されたVCOに、これに対応する粗ワードCW_{min}が供給され、同調周波数がその最小周波数点に設定される。代替の実施形態では、VCOは、その周波数範囲の下端の別の点から同調を開始するように構成される。510で、選択されたVCOが作動され、要求目標周波数に同調し、ロックすることが可能になる。

30

【0040】

[0037]図5Bに、本発明による、選択された発振器が作動され、最低生成周波数より低い目標周波数に同調されるプロセス510の例示的实施形態を示す。最初に511で、選択されたVCOが、そのVCOにCW_{min}粗ワードを供給することによって、その最低動作周波数点に設定される。512で、VCOの微同調設定が、個別的实施形態では、すべての微同調コンデンサをスイッチインすることによって、その最低周波数設定に設定される。513で、PLL分周比Nが、目標周波数に同調するように設定され、514で、VCOの同調電圧V_{tune}が測定される。

【0041】

40

[0038]515で、同調電圧が、VCOの最大電圧V₂より高いと測定されるかどうか判定される。そうである場合、現在の粗同調範囲の周波数が低すぎるため、VCOは正しい粗同調範囲内にはない。この場合、ループフィルタが既定の電圧（個別的实施形態では最低同調電圧V₁）にプリチャージされ、次に高い周波数範囲に対応する粗ワードが選択され、ループフィルタがプリチャージ電圧から解除され、VCOが新しい粗ワードで作動され、ロックに同調しようと試みるためのプロセス516～519が行われる。ループフィルタをプリチャージする回路の例を以下の図11に示す。

【0042】

[0039]同調電圧V_{tune}がVCOの最大電圧V₂より低い場合、VCOは同調可能な粗範囲内にあり、プロセスは520～525に進み、そこで微同調プロセスが行われる。

50

図示の個別の実施形態では、520で、同調電圧 V_{Tune} が既定の範囲内、例えば、1.5VがVCO中周波数周波数点を表す1.25Vから1.75Vまでなどであるかどうかについて第1の判定が行われる。既定の範囲は、任意の所望の範囲とすることができ、例えば、発振器の最もリニアな範囲などを表す。

【0043】

[0040] 520で、同調電圧 V_{Tune} が既定の範囲内にない場合、VCOは正しい微同調範囲外にあり、(微同調範囲は512で最低同調範囲に設定されたため)周波数が低すぎる。この場合、ループフィルタが既定の電圧(最低同調電圧 V_1 など)にプリチャージされ、次に高い周波数範囲に対応する微同調ワードが選択され(微同調コンデンサの1つ又は複数をスイッチアウトするように動作する)、ループフィルタがプリチャージ電圧から解除され、VCOが新しい微ワードで作動され、ロックに同調しようと試みるためのプロセス521~525が行われる。この場合もやはり、同調電圧が測定されて、既定の範囲内であるかどうか判定され、範囲内でない場合、520~525のプロセスが繰り返される。同調電圧が既定の範囲内の値に到達すると、同調プロセスが終了する。

【0044】

中間周波数点の算出

[0041] 図5Cに、本発明による、選択された発振器が所望の目標周波数に同調するプロセス519の例示の実施形態を示す。この実施形態では、VCOの開始周波数は事前に分かっているが、VCOが、最低VCO同調周波数以上の周波数から同調を開始することが分かっている。

【0045】

[0042] 最初に531で、最低VCO(又は他の種類の発振器)周波数が識別される。次に532で、最低同調周波数と目標周波数の間の同調範囲が求められる。図示の実施形態では、最低VCO周波数は、粗ワード CW_{min} に対応する周波数であり、これは、図3Bに示すデータ構造から確定することができる。

【0046】

[0043] 533での判定は、最低VCO周波数(又は、以下でさらに説明する更新された開始周波数)から目標周波数まで移動する同調範囲が大きすぎるかどうかである。選択されたVCOは、過度に大きい周波数範囲にわたって同調するとき、既存の周波数の動作を妨げる影響を生じ得る。

【0047】

[0044] 533で、目標周波数までのVCO同調範囲が広すぎると判定された場合、プロセスは534に進み、そこで、開始周波数(VCO最低同調周波数、又は後述するように、以前定義された中間周波数点)と目標周波数の間の中間周波数が定義される。次に535で、533で同調範囲が大きすぎるかどうか判定するのに使用された前の開始周波数が、中間周波数として更新され、プロセスは531に戻り、そこで、さらなる計算を行って、新しい開始周波数(すなわち、算出された中間周波数点)から目標周波数までの同調範囲が広すぎるかどうか判定される。同調範囲がやはり大きすぎる場合、534と535のプロセスが繰り返されて、第1の中間同調点と目標周波数の間の第2の中間同調点が識別される。533で、同調範囲が許容可能な限度内であると判定された場合、プロセスは536に進み、そこでVCOが、もしあれば、中間点を経て目標周波数に同調するように制御される。

【0048】

[0045] 周波数オーバーシュートは、発振器が、既存の周波数の比較的近くに位置する目標周波数までの長い周波数範囲にわたって同調するときに発生し得る干渉機構の一例である。かかる例では、周波数オーバーシュートの量を低減するために、開始周波数と最終的な目標周波数の間の中間周波数点に同調する方がより有利となり得る。かかる例では、総同調範囲が、2つのより狭い範囲、すなわち、最低VCO周波数から中間同調点までの第1の範囲と、中間同調点から目標周波数までの第2の範囲に縮小される。さらに繰り返して、中間同調点から目標周波数まで、又は最低VCO周波数から中間点までの周波数範囲が

、やはり大きすぎることが判明することもあり、その場合、それらの間でさらに別の中間点が定義され得る。

【 0 0 4 9 】

[0046]一実施形態では、5 3 2 の決定プロセスは、中間同調点 F_{Int} の算出と、その中間同調点 F_{Int} が既定の条件を満たすかどうかに基づくものである。具体的実施形態では、中間同調点 F_{Int} は、以下のように計算される。

【数 1】

$$F_{Int} = F_{Target} - \frac{1}{Overshoot} (F_{avoid} - F_{Target} - Mar) \quad \text{式(1)}$$

10

式中、 F_{Int} は求められるべき中間周波数 (Hz) であり、

F_{avoid} は、既存の、又は第 2 の周波数 (Hz) であり、

F_{Target} は、第 1 の反復では目標 VCO 周波数 (Hz)、後続の反復では前に算出される中間同調点 F_{Int} であり、

Mar は、既定のマージン (Hz) であり、

$Overshoot$ は、既定の周波数オーバーシュート量 (無次元) である。

【 0 0 5 0 】

[0047]図 5 A と図 5 B に示す実施形態では、第 2 の周波数パラメータ F_{avoid} は回避されるべき最低ロック周波数であり、パラメータ F_{Target} は所望の目標周波数であり、パラメータ $Overshoot$ は目標周波数までの最後の周波数ステップサイズの割合であり、 Mar は、プロセス変動、環境要因などに対応するのに使用される安全マージンとして任意選択で割り振られる既定のマージンであり、その例示的实施形態は、VCO 同調範囲の 0.2% ~ 5% である。

20

【 0 0 5 1 】

[0048]中間点 F_{Int} が算出されると、以下のように、中間点の周波数が VCO の最低開始周波数より高いかどうか判定される。

【数 2】

$$F_{Int} \stackrel{?}{>} F_{VCO_Low} \quad \text{式(2)}$$

30

式中、 F_{VCO_Low} は、最低 VCO 開始周波数である。条件が満たされる (すなわち、算出された中間点が最低 VCO 開始周波数より高い) 場合、VCO の中間点への同調が必要であるとみなされる。

【 0 0 5 2 】

[0049]一例として、 $Overshoot$ が 50% であり、選択される VCO が、1 GHz の最低周波数から 1.3 GHz の目標周波数まで同調し、既存の周波数 F_{avoid} が 1.6 GHz にあり、0.03 GHz の保護マージンが使用されるという条件が与えられたとすると、式 (1) は、第 1 の中間点を以下のように算出する。

40

【数 3】

$$F_{Int,1st} = 1.3 - \frac{1}{0.5} (1.6 - 1.3 - 0.03) = 0.76 \text{ GHz.} \quad \text{式(3)}$$

【 0 0 5 3 】

[0050]この場合、第 1 の中間点 $F_{Int,1st}$ (0.76 GHz) < F_{VCO_Low} (1.0 GHz) であり、したがって、この点への同調は不要である (また、最低 VCO

50

Ｏ開始周波数が１．０ＧＨｚであるため、不可能である）。この場合、ＶＣＯを、目標周波数までの可能な最も広い同調範囲である１．０ＧＨｚから１．３ＧＨｚにわたって同調させることは、 F_{avoid} に位置する既存の周波数を妨害することにならない。

【００５４】

[0051]代替として、既存の周波数 F_{avoid} が目標周波数 F_{target} により近く、例えば、１．３５ＧＨｚなどである場合、第１の中間点は以下のように算出されるはずである。

【数４】

$$F_{Int,1st} = 1.3 - \frac{1}{0.5}(1.35 - 1.3 - 0.03) = 1.26 \text{ GHz} \quad \text{数(4)}$$

10

【００５５】

[0052]この場合、条件 $F_{Int,1st}(1.26 \text{ GHz}) > F_{VCO_Low}(1.0 \text{ GHz})$ は真であり、したがって、５３２において、同調範囲は、大きすぎることになる。

【００５６】

[0053]かかる例では、プロセスは５３４に進み、そこで、式（４）で算出される第１の中間点が、ＶＣＯが１．３ＧＨｚの目標周波数に同調する前に同調する同調点として定義される。

【００５７】

20

[0054]５３５で、式（４）で算出された中間同調点が目標周波数 F_{target} になり、５３３で、以下のように式（１）を使って第２の計算が行われ、第２の中間点が最低ＶＣＯ周波数の上にあるかどうか判定される。

【数５】

$$F_{Int,2nd} = 1.26 - \frac{1}{0.5}(1.35 - 1.26 - 0.03) = 1.14 \text{ GHz} \quad \text{式(5)}$$

【００５８】

[0055]この例では、 $F_{Int,2nd}(1.14 \text{ GHz}) > F_{VCO_Low}(1.0 \text{ GHz})$ であるため、やはり前述の条件が当てはまり、そのため、第２の中間点への同調が必要とされ、以下のように第３の反復が行われて、目標周波数 F_{target} が第２の中間点１．１４ＧＨｚになる。

30

【数６】

$$F_{Int,3rd} = 1.14 - \frac{1}{0.5}(1.35 - 1.14 - 0.03) = 0.78 \text{ GHz} \quad \text{式(6)}$$

【００５９】

[0056]この例では、 $F_{Int,3rd}(0.78 \text{ GHz}) < F_{VCO_Low}(1.0 \text{ GHz})$ であるため、前述の条件が当てはまらず、そのため、第３の中間点への同調は不要である。

40

【００６０】

[0057]この第２の例で中間同調点が求められると、ＶＣＯは、そのＶＣＯ開始点（１．０ＧＨｚから１．１４ＧＨｚまでのどこか）から１．１４ＧＨｚまで、次いで、１．１４ＧＨｚから１．２６ＧＨｚまで、最後に、１．２６ＧＨｚから最終目標周波数の１．３０ＧＨｚまで同調するように制御される（又は、後で同調するようにプログラムされる）（プロセス５３５）。このように、周波数オフセットは、１．３５ＧＨｚの既存の周波数の動作に実質的に影響を及ぼさないことを保証するために低減される。

【００６１】

[0058]別の実施形態では、５３３の、ＶＣＯ同調範囲が広すぎるかどうかの判定プロセ

50

スが以下のように算出される。

【数 7】

$$\left| F_{Int} - F_{Target} \right| * Overshoot \stackrel{?}{>} \left| F_{avoid} - F_{Target} - Mar \right| \quad \text{式(7)}$$

【 0 0 6 2 】

[0059]不等式の左辺は目標周波数と算出される中間周波数点の間の帯域幅を表し、式の右辺は、既定のマージンだけオフセットされる、目標周波数と既存の（回避）周波数の間の帯域幅を表す。一般に、左辺が右辺より大きい場合、中間点は不要であるとみなされる。代替として、左辺と右辺がほぼ同じ大きさになるとき、又は右辺が左辺より大きくなる時には、算出される中間周波数点の1つ又は複数に同調することが必要であるとみなされる。

10

【 0 0 6 3 】

[0060]同じプロセスを使ってプロセス 6 1 9 の中間周波数点が算出され得るが、ただし、式（1）と式（2）は以下のように表される。

【数 8】

$$F_{Int} = F_{Target} + \frac{1}{Overshoot} (F_{Target} - F_{avoid} - Mar) \quad \text{式(8)}$$

20

【数 9】

$$F_{Int} \stackrel{?}{<} F_{VCO_High} \quad \text{式(9)}$$

式中、 F_{VCO_High} は、VCOの最高開始周波数を表す。中間周波数点 F_{Int} が F_{VCO_High} の下に位置するとき、算出される中間周波数点へのVCOの同調は不要であるとみなされる。

30

【 0 0 6 4 】

[0061]個別的实施形態では、オーバーシュートパラメータは、5から80%までの範囲に及び、ある具体的実施形態では20%である。本発明は、同調プロセスの間の周波数オーバーシュートを低減するループフィルタアーキテクチャを提供し、この構造の例示的实施形態を以下に詳細に示す。

【 0 0 6 5 】

[0062]周波数オーバーシュートの影響は、カバーされる同調範囲の割合の観点からモデル化されるが、本発明では、他のモデルも使用され得る。さらに、コンデンサが、既定の範囲内の同調電圧を獲得するために系統的に切断される、520～525に示す同調プロセスの代替として、VCO微同調が531～536のプロセスを伴ってもよい。

40

【 0 0 6 6 】

最高ロック周波数の上に位置する目標周波数

[0063]図 6 A に、本発明による、要求目標周波数が最高生成周波数より高い同調プロセス 280 の例示的实施形態を示す。個別的实施形態では、このプロセスは、図 5 A で説明し、図示しているプロセスに大部分は類似しており、違いは、目標周波数に、最高生成周波数の上側から、最高生成周波数を超えずに接近することである。

【 0 0 6 7 】

[0064]プロセスはまず 602 で、最高生成周波数より高い最大周波数を有する1つ又は複数の発振器（VCOなど）が識別される。604 で、識別されたVCOの1つが、目標

50

周波数への同調のために選択される。選択プロセスには、選択されるVCOのどれが、目標周波数に同調されるときに、最もリニアな同調範囲に最も近く、又はその範囲内にあるか、及びどの選択されるVCOが、ロック周波数から最も遠い周波数で作動され得るかを含めて、様々な要因が関与し得る。

【0068】

[0065] 606で、選択されたVCOが、その同調範囲の上端の開始周波数から同調を開始するように設定される。個別的实施形態では、選択されたVCOに、これに対応する粗ワードCW_{max}が供給され、同調周波数がその最大周波数点に設定される。代替の実施形態では、VCOは、その周波数範囲の上端の別の点から同調を開始するように構成される。610で、選択されたVCOが作動され、要求目標周波数に同調し、ロックする

10

【0069】

[0066] 図6Bに、本発明による、選択された発振器が作動され、最高生成周波数より高い目標周波数に同調されるプロセス610の例示的实施形態を示す。このプロセスは、図5Bで説明し、図示しているプロセスに大部分は類似しており、違いは、同調が、最高生成/ロック周波数の上側から行われることである。

【0070】

[0067] 最初に611で、選択されたVCOが、そのVCOにCW_{max}粗ワードを供給することによって、その最高動作周波数点に設定される。612で、VCOの微同調設定が、個別的实施形態では、すべての微同調コンデンサを切断することによって、その最高周波数設定に設定される。613で、PLL分周比Nが、目標周波数に同調するように設定され、614で、VCOの同調電圧V_{Tune}が測定される。

20

【0071】

[0068] 615で、同調電圧が、VCOの最小電圧V₁より低いと測定されたかどうか判定される。低いと測定された場合、現在の粗同調範囲の周波数が高すぎるため、VCOは正しい粗同調範囲内にない。この場合、ループフィルタが既定の電圧（個別的实施形態では最高同調電圧V₂）にプリチャージされ、次に低い周波数範囲に対応する粗ワードが選択され、ループフィルタがプリチャージ電圧から解除され、VCOが新しい粗ワードで作動され、ロックに同調しようと試みるためのプロセス616～619が行われる。ループフィルタにプリチャージする回路の例を、以下の図11に示す。

30

【0072】

[0069] 同調電圧V_{Tune}がVCOの最小電圧V₁より高い場合、VCOは同調可能な粗範囲内にあり、プロセスは620～625に進み、そこで、微同調プロセスが行われる。図示の個別的实施形態では、620で、同調電圧V_{Tune}が既定の範囲内、例えば、1.5VがVCO中周波帯周波数点を表す1.25Vから1.75Vまでなどであるかどうか第1の判定が行われる。既定の範囲は、任意の所望の範囲とすることができ、これは、例えば、発振器の最もリニアな範囲を表す。

【0073】

[0070] 620で、同調電圧V_{Tune}が既定の範囲内にない場合、VCOは正しい微同調範囲外にあり、（612で微同調範囲が最高同調範囲に設定されたため）周波数が高すぎる。この例では、ループフィルタが既定の電圧（最高同調電圧V₂など）にプリチャージされ、次に低い周波数範囲に対応する微同調ワードが選択され（微同調コンデンサの1つ又は複数を接続するように動作する）、ループフィルタがプリチャージ電圧から解除され、VCOが新しい微ワードで作動され、ロックに同調しようと試みるための621～625のプロセスが行われる。この場合もやはり、同調電圧が測定され既定の範囲内にあるかどうか判定され、既定の範囲内にない場合、620～625のプロセスが繰り返される。同調電圧が既定の範囲内の値に到達すると、同調プロセスが終了する。

40

【0074】

[0071] 中間点を識別し、これに同調する同調プロセス619は、図5Cで説明し、図示しているプロセスに大部分は類似したものである。本発明の一実施形態では、同調範囲が

50

大きすぎるかどうかの判定が、プロセス 531 ~ 536 と、これらの概略を示す式 (8) 及び式 (9) を使って行われる。

【0075】

[0072]例えば、Overshoot が 50% であり、VCO が 1.60 GHz の最大開始周波数 F_{VCO_High} を有し、目標周波数 F_{Target} が 1.3 GHz であり、既存の周波数 F_{avoid} が 1.25 GHz にあり、保護マージン Mar が 0.03 GHz であるという条件が与えられたとすると、式 (6) は、以下の第 1 の中間同調点 F_{Int} をもたらす。

【数 10】

$$F_{Int,1st} = 1.3 + \frac{1}{0.5}(1.3 - 1.25 - 0.03) = 1.34 \text{ GHz} \quad \text{式(10)}$$

10

【0076】

[0073]式 (14) の条件 $F_{Int} (1.34 \text{ GHz}) < F_{VCO_High} (1.6 \text{ GHz})$ が満たされるため、同調範囲は大きすぎるとみなされ、目標周波数に同調する前に、中間点に同調することが必要である。

【0077】

[0074]第 2 の中間同調点が算出され、その場合、 F_{Target} (前は 1.3 GHz) が、前に算出された中間同調点 1.34 GHz になる。

20

【数 11】

$$F_{Int,2nd} = 1.34 + \frac{1}{0.5}(1.34 - 1.25 - 0.03) = 1.46 \text{ GHz} \quad \text{式(11)}$$

【0078】

[0075]反復により、1.46 GHz の中間同調点が提供され、これは、VCO の最高同調周波数 (1.6 GHz) より下である。したがって、式 (14) の条件が満たされ、第 2 の中間点への同調が必要である。同様にして、第 3 の中間同調点が、以下のようにさらに計算される。

30

【数 12】

$$F_{Int,3rd} = 1.46 + \frac{1}{0.5}(1.46 - 1.25 - 0.03) = 1.82 \text{ GHz} \quad \text{式(12)}$$

【0079】

[0076]この場合、第 3 の中間点は 1.6 GHz の目標周波数の上に位置し、したがって、第 3 の中間点への同調は不要である。

【0080】

[0077]前述のように、オーバーシュートパラメータは、ある範囲の値を含んでいてもよく、これは、例示的实施形態では 5 ~ 80 パーセントであり、具体的实施形態では 20 パーセントである。さらに、他の線形又は非線形計算を使って、周波数オーバーシュート並びにその他の影響がモデル化されてもよい。加えて、コンデンサが、既定の範囲内の同調電圧を獲得するために系統的に接続される、620 ~ 625 に示す微同調プロセスには、代替として、531 ~ 535 の同調プロセスが関与してもよい。

40

【0081】

既存のロック周波数の間に位置する目標周波数

[0078]図 7 に、本発明による、要求目標周波数が 2 つの既存の周波数 F_{High} と F_{Low} の間に位置する同調プロセス 290 の例示的实施形態を示す。このプロセスは、まず 705 で、要求目標周波数より上と下に位置する周波数 F_{High} と F_{Low} が識別され

50

る。個別的实施形態では、このプロセスは、図3Cに示すalready_generatedデータ構造370にアクセスすることによって行われる。

【0082】

[0079] 710で、 F_{High} と F_{Low} の間の分離が既定の閾値より大きいかどうか判定される。個別的实施形態では、既定の閾値は、同調範囲に、選択されるVCOが同調し得る、これに付随する周波数オーバーシュートの影響が既存の F_{High} 周波数と F_{Low} 周波数に影響を及ぼさないはずの既定のマージンを加えたものを表す。個別的实施形態では、既定のマージンは、以下でさらに定義する同調プロセスにおいて、VCOが、粗及び/又は微同調ワードを使って目標周波数に同調しようと試みるときに導入される補間誤差(又はその分数)を含む。

10

【0083】

[0080] 710で、 F_{High} と F_{Low} の間の分離が既定の閾値より大きいと判定された場合、715で発振器が選択される。この選択プロセスには、選択されるVCOが、目標周波数に同調されるときに、最もリニアな同調範囲に最も近く、又はその範囲内にあるかどうかを含めて、様々な要因が関与する。高周波数 F_{High} と低周波数 F_{Low} の間隔が既定の閾値より狭い場合、プロセスは750に進み、これを図8Aにさらに示す。

【0084】

[0081] 720で、 F_{High} と F_{Low} の間の中点が720で求められる。個別的实施形態では、このプロセスは、図3Cに示すalready_generatedデータ構造370を使って行われる。725で、中間周波数点が、選択されたVCOの中周波帯周波数点より上か、又は下かが判定される。中間周波数点が上に位置する場合、選択されたVCOの開始周波数が、高周波数と中周波帯周波数の間の補間値として算出される(730)。代替として、中間周波数が選択されたVCOの中周波帯周波数より下に位置する場合、選択されたVCOの開始周波数は、中周波帯周波数点と低周波数点の間の補間値として設定される(735)。このように、開始周波数は、中間周波数点により近く位置し、よって、VCOの初期作動が、既存の高周波数 F_{High} 又は低周波数 F_{Low} のどちらも妨害する可能性が低い。

20

【0085】

[0082] 開始周波数は前述のように算出され、対応する粗ワードが選択されたVCOに供給される。分周比が、目標周波数に同調するように設定され、微同調コンデンサの半分がスイッチインされる。次いで、選択されたVCOが作動され、開始周波数から目標周波数に向かって同調を開始する(740)。VCOには、ロックを達成するのに十分な時間が許容され、その後、同調電圧 V_{Tune} が測定され、745で、 V_{Tune} が、(i) VCOの最低同調電圧 V_1 であり、又はそれに近いが、(ii) VCOの最高同調電圧 V_2 であり、又はそれに近いが、(iii) V_1 から V_2 の電圧範囲の概ね中心にあるかが判定される。 V_{Tune} が最低同調電圧 V_1 であり、又はそれに近いと測定される場合、VCOは、過度に高い周波数範囲で動作している。かかる場合には、より適切なVCO同調範囲をサーチするために、図5Aと図5Bに示す506と510の粗及び微同調プロセスが実行される。 V_{Tune} が最高同調電圧 V_2 であり、又はそれに近いと測定される場合、VCOは、過度に低い周波数範囲にある。かかる場合には、より適切なVCO同調範囲をサーチするために、図6Aと図6Bに示す606と610の粗及び微同調プロセスが実行される。同調プロセスは、260も280も、目標周波数に向かう方向で、中間周波数点を算出し、これに同調する動作を含み得る。代替として、VCOが目標周波数へのロックを達成し、 V_{Tune} が V_1 と V_2 の間にあると測定される場合、VCO動作は、許容可能な限度内にあると判定され、同調プロセスが終了する。上記では V_1 と V_2 を、例えば、0.5V~3.5VなどのVCOの最小と最大の同調電圧に関して説明しているが、これらは、同様に、VCOの最適動作範囲をより厳しく定義するより狭い電圧範囲、例えば、1.25V~1.75Vなどにも対応し得る。後者の実施形態では、1.25V未満の同調電圧は、図5Aの260で定義される同調動作を生じ、同様に1.75Vより大きい同調電圧では、図6Aの280で定義される同調動作を生じる。

30

40

50

【 0 0 8 6 】

狭い間隔の周波数間に位置する目標周波数

[0083]図 8 A に、本発明による、要求目標周波数が、2つの狭い間隔の既存の周波数 F_{High} と F_{Low} の間に位置する同調選択プロセス 750 の例示的实施形態を示す。「狭い間隔の」という用語は、既存の周波数間の分離が、VCOなどの発振器に、その2つの周波数 F_{High} と F_{Low} の間の同調範囲の大きな部分にわたって、これらの周波数の一方又は両方を妨害せずに同調させるのには不十分であることを指す。かかる場合、VCOの同調動作によって生じる影響（周波数オーバーシュートなど）が、既存の周波数が発振器の周波数に近接しているために、それらの一方又は両方の動作に影響を及ぼす可能性が高い。上記の例示的实施形態に示すように、この間隔は、およそ 175 MHz 程度と

10

することができるが、周波数間隔は、別の実施形態ではこれより狭くても、広くてもよく、例えば、10 MHz、20 MHz、50 MHz、75 MHz、100 MHz、150 MHz、200 MHz、250 MHz、500 MHz 以下の周波数間隔、或いはそれより広い周波数間隔などとすることができる。

【 0 0 8 7 】

[0084]例示のプロセスは、まず 805 で、(i) F_{High} より高い最大周波数、又は (ii) F_{Low} より低い最小周波数を有する1つ又は複数のVCOが識別される。このプロセスは、図 3 B に示す vco_freq データ構造 360 にアクセスすることによって行われ得る。続いて 810 で、識別されたVCOの1つが選択され、選択されるVCOは、好ましくは、その最小周波数から F_{Low} まで、又はその最大周波数から F_{High} まで測定される最も遠いオフセットを有する。このように、 F_{High} 又は F_{Low} からの最大の周波数オフセットを有するVCOが選択される。

20

【 0 0 8 8 】

[0085]プロセスは 825 に進み、 F_{Low} より低い周波数を有するVCOが選択されるかどうか、又は F_{High} より高い周波数を有するVCOが選択されるかどうか判定される。前述のように、好ましくは、そのそれぞれの隣接する周波数 F_{Low} 又は F_{High} からの最大オフセットを提供するVCOが選択される。 F_{Low} に隣接するVCOが選択される場合、図 5 B に示す 510 の同調手順は、既存の周波数 F_{Low} に近接するが、これを超えないアプローチ周波数 F_0 に同調するように行われる。図 5 C に示す計算及び中間同調プロセス 519 が、そこに含まれる粗又は微同調手順で用いられてもよい。

30

【 0 0 8 9 】

[0086]アプローチ周波数 F_0 は、既存の周波数 F_{Low} から既定の距離だけ（下に）離れて位置しており、既定の距離は、アプローチ周波数を既存の周波数の近くに配置して、この点から、既存の周波数 F_{Low} と F_{High} の間に位置する目標周波数に近い近似値までの周波数ジャンプが比較的小さくなるように動作する。しかしながら、アプローチ周波数 F_0 は、既存の周波数 F_{Low} のあまり近くに位置しない方が好ましい。というのは、VCO開始周波数からこの点まで、多数の中間周波数を同調させることが必要になるからである。したがって、2つの要件の均衡をとることにより、アプローチ周波数 F_0 に最も適するオフセットが決定され、例示的实施形態では、VCO同調範囲の1～10パーセントの間のオフセットが使用される。VCO同調範囲がおおよそ 200 MHz である図示

40

の実施形態では、アプローチ周波数 F_0 は、既存の周波数 F_{Low} の下 2.5 MHz で定義される。

【 0 0 9 0 】

[0087]このプロセスの個別的实施形態では、選択されたVCOが F_{Low} より低い最小周波数を有するとき、アプローチ周波数 F_0 における同調が、 V_{Tune} 範囲の下端に近い同調電圧、例えば、0.5 V などを使ってロックされる。これは、VCOが目標周波数より高く同調するとき、VCOがその最もリニアな領域（例えば、1.5 V など）に / の近くになるような条件を設定する。

【 0 0 9 1 】

[0088]代替として、 F_{High} に近接するVCOが選択される場合、図 6 B に示す 61

50

0 の同調手順は、既存の周波数 F_{High} に近接するが、これを超えないアプローチ周波数 F_0 に同調するように行われる。このプロセスの個別的实施形態では、アプローチ周波数 F_0 における同調が、 V_{Tune} 範囲の上端に近い同調電圧、例えば、2.5 V などを使ってロックされる。これは、VCO が目標周波数より低く同調するとき、VCO がその最もリニアな領域（例えば、1.5 V など）にノの近くになるような条件を設定する。図 5 C に示す中間同調プロセス 619 が、そこに含まれる粗又は微同調手順で用いられてもよい。

【0092】

[0089] 次に 835 で、既存の周波数 F_{Low} と F_{High} の間に位置する要求目標周波数が、アプローチ周波数 F_0 の既定の範囲内にあるかどうか判定される。アプローチ周波数と目標周波数がある既定の範囲は、VCO 同調範囲のリニア帯域幅を含む、いくつかの要因に基づくものである。一実施形態では、既定の範囲は、一般に、VCO 同調範囲の 1 ~ 10 % の間であり、個別的例示的实施形態では、およそ 200 MHz の同調範囲を有する VCO で、10 MHz である。

【0093】

[0090] 要求目標周波数がアプローチ周波数 F_0 の既定の範囲内にある場合、プロセス 840 が行われ、それによって VCO が、既存の周波数（ F_{Low} 又は F_{High} ）からアプローチ周波数 F_0 を超えて目標周波数まで閉ループロックされる。閉ループ VCO 同調動作では、VCO は、PLL ダイナミクスに従って周波数に同調するために、適切な粗及び微同調ワードを用いてプログラムされる。

【0094】

[0091] 前述のように、同調プロセスには、 V_{Tune} の下端又は上端にある V_{Tune} 電圧におけるアプローチ周波数 F_0 への同調を伴い、よって、VCO は、目標周波数に同調すると、その最もリニアな V_{Tune} 範囲のより近く、又はその範囲内に同調することになる。

【0095】

[0092] VCO が、目標周波数であると考えられる周波数に同調すると、その同調電圧が測定される。同調電圧が、目標周波数に同調したときに許容可能な範囲（例えば、 $1.25 \text{ V} < V_{Tune} < 1.75 \text{ V}$ ）内でない場合、VCO は、新しい粗及びノ又は微同調ワードでプログラムされ、別の閉ループ同調動作を行うように作動される。このプロセスは、前述の条件が満たされるまで繰り返される。代替の実施形態では、微同調プロセスが、開ループ動作として行われ、開ループ動作では、かかる動作における周波数偏移が、結果として生じる周波数オーバーシュートが 1 つ又は複数の近接する周波数に影響を及ぼすことになるほど大きくならないと予期される場合には、VCO に、開始とロック周波数の間で自由に同調することが許容される。

【0096】

[0093] 835 で、目標周波数が、アプローチ周波数 F_0 から既定の範囲より遠くに位置する場合、プロセスは 845 に進み、そこで低 K_v 同調手順が行われるべきか、それとも高 K_v 同調手順が行われるべきか判定される（プロセス 850 又は 860）。当分野で知られているように、パラメータ K_v は、VCO 利得又は同調感度を指し、印加される 1 ボルト当たりの周波数シフトを記述する。高 K_v を用いる VCO はこれらの範囲にわたってより広い同調範囲と、より大きい 1 Hz 当たりの直線性を呈し、低 K_v の VCO は、 V_{Tune} 雑音に対してより低い感度を呈する。したがって、適用及び設計要件に応じてこれらの種類の PLL システムが使用されてもよく、本発明では、さらに、それぞれの VCO 同調形態を示す。高 K_v 値と低 K_v 値は相対的なものであるが、一般に、高 K_v は、およそ 25 ~ 70 MHz / V より上の発振器感度を指し、低 K_v の VCO は、一般に、10 ~ 30 MHz / V の範囲内にある。

【0097】

[0094] 図 8 B に、本発明による、低 K_v の VCO を、2 つの狭い間隔の既存の周波数 F_{Low} と F_{High} の間に位置する要求目標周波数に同調させるプロセス 850 の例示的实施

形態を示す。最初に 8 5 1 で、前に図 8 B のプロセス 8 2 5 又は 8 3 0 で、アプローチ周波数 F_0 に同調されている VCO の周波数が、同調電圧 V_{Tune} が既定の値 V_{T1} に到達するまで変更され、VCO はこの時点において周波数 F_1 に同調される。次いで、 F_1 (CW1 及び FW1) に同調するのに使用された粗同調ワード及び微同調ワードが記録される。

【0098】

[0095] 個別的实施形態では、値 V_{T1} は、VCO の最もリニアな同調範囲の中心に / の近くにある同調電圧である。本明細書で説明する図示の実施形態では、この電圧は 1.5 V であるが、別の電圧も使用され得ることを当分野の技術者は理解するであろう。同調電圧は、近接する既存の周波数 (F_{Low} 又は F_{High}) を超えずに、 F_1 まで移動するように変更される。VCO の同調電圧を V_{T1} に向かって調整することが、VCO の同調周波数を、 F_0 より既存の近接する周波数の近くに移動することになると判定される場合には、新しい粗及び / 又は微同調ワードが選択され、それを使って、電圧 V_{T1} が、アプローチ周波数 F_0 より既存の近接する周波数に近くない周波数 F_1 で測定されるまで、VCO がアプローチ周波数 F_0 からさらに遠くに同調される。

【0099】

[0096] 8 5 2 で、VCO 周波数を近接する既存の周波数からさらに遠くに同調させる第 2 の VCO 粗同調ワード (CW2) が VCO に供給され、同調電圧が実質的に V_{T1} である周波数が見つけられる。同調周波数 F_1 と F_2 及び対応する粗ワード CW1 と CW2 の差を使って、電圧 V_{T1} における 1 粗ワード当たりの周波数シフトを記述する量 F_{coarse} が生成される。例えば、アプローチ周波数 F_0 が最低の既存の周波数 F_{Low} に近接し、これより下である例示的实施形態によれば、プロセス 8 5 1 に従って、周波数 F_1 が、 F_0 より 1.5 V さらに下に同調される。その後、新しい粗ワード、 $CW2 = CW1 - 2$ (第 1 の粗ワード CW1 より低い 2 つの粗ワード) などを使って、VCO が周波数 F_2 に同調され、比 F_{coarse} が、1 粗同調ワード当たりの周波数シフトを記述する $(F_1 - F_2) / (CW1 - CW2)$ から導出される。容易に分かるように、代替の実施形態では、異なる粗ワードオフセットも使用され得る。

【0100】

[0097] 8 5 3 で、1 微同調ワード当たりの VCO の周波数シフトを記述する比 F_{fine} を獲得するための類似の操作が行われる。このプロセスの例示的实施形態では、VCO は、 F_2 から、同調電圧が実質的に V_{T1} に到達する新しい周波数 F_3 に微同調され、対応する微同調ワード FW3 が記録される。比 F_{fine} が、1 微同調ワード当たりの周波数シフトを記述する $(F_2 - F_3) / (FW2 - FW3)$ から導出される。

【0101】

[0098] F_1 と要求目標周波数の周波数差が分かれば、量 F_{coarse} と F_{fine} を CW1 と FW1 に適用して、そこから、VCO を実質的に要求目標周波数同調させるのに必要とされる、対応する粗及び微ワード増分を算出することができる。個別的实施形態では、 F_1 から目標周波数に同調するために CW1 に加えられる粗ワード増分は、以下のように、その量の切り捨て整数値として算出される。

【数 13】

$$\Delta_{CW} = \left\lfloor \frac{F_{Target} - F_1}{\Delta F_{Coarse}} \right\rfloor_{Integer, Truncated} \quad \text{式(13)}$$

よって、例えば、粗ワード増分が 2.9 である場合、式 (13) の出力値は、2.0 になるはずである。

さらに、FW1 に加えられる微ワード増分は、以下のように、その量の丸め整数値として算出される。

【数 1 4】

$$\Delta_{FW} = \left[\frac{F_{Target} - F_1 - (\Delta_{CW} * \Delta F_{Coarse})}{\Delta F_{fine}} \right]_{Integer, Rounded} \quad \text{式(14)}$$

よって、例えば、粗ワード増分が 2 . 9 である場合、式 (1 4) の出力値は、3 . 0 になるはずである。この量の分子は、残余の粗ワードを表す。

【 0 1 0 2 】

10

[0099] 個別の実施形態では、これらの計算は、プロセス 8 5 4 の一部として行われ、プロセス 8 5 4 では、V C O が F_1 に再同調され、目標周波数に対応する新しい粗同調ワード及び微同調ワードが式 (1 3) と (1 4) に示すように算出され、V C O 閉ループが、算出された粗及び微同調粗ワードを使って、実質的に目標周波数に同調される。

【 0 1 0 3 】

[0100] 目標周波数への実質的な閉ループ同調に続いて、任意選択で、V C O 同調電圧が、 V_{T1} の許容可能な範囲内にあるかどうか判定するために測定される。V C O の動作の、上記粗及び微ワードの線形近似からの変動の結果として、実際の V C O 周波数が、所望の目標周波数からオフセットされることもある。この場合には、1 つ又は複数の微同調コンデンサが、(それぞれ、より低い、又はより高い同調周波数を達成するために) 接続され、又は切断され、同調電圧とロック周波数が、それぞれが許容可能な範囲内にあるかどうか判定するために再測定されてもよい。個別の実施形態では、微同調プロセスが、V C O に周波数間で変動してロックを達成することが許容される開ループプロセスとして行われる。というのは、微同調動作が、近接する周波数を妨害するほど重大な周波数オーバーシュートの影響を生じない狭い周波数範囲にわたって行われるからである。しかしながら、かかる条件が見出され、又は予期される場合には、微同調手順は、粗同調と同様に閉ループロック操作として実行され得る。

20

【 0 1 0 4 】

[0101] 図 8 C に、本発明による、高 K_V V C O を、2 つの狭い間隔の既存の周波数 F_{Low} 又は F_{High} の間にある要求目標周波数に同調させるプロセス 8 6 0 の例示的实施形態を示す。このプロセスは、まず 8 6 1 で、目標周波数への閉ループロックを行うために、選択された V C O に粗同調ワード及び微同調ワードが提供される。前述のように、既存の周波数をまたぐ閉ループロック同調操作は、既存の周波数に最小限の妨害をもたらす。目標周波数に対応する粗及び微同調ワードを選択するためのプロセスは、図 8 C のプロセス 8 5 1 ~ 8 5 5 に記述するプロセスとすることができる。

30

【 0 1 0 5 】

[0102] 8 6 2 で、V C O 同調電圧が、許容可能な範囲内、例示的实施形態では 1 . 2 5 V から 1 . 7 5 V までであるかどうか判定される。そうでない場合、現在の V C O 同調帯域 (すなわち、同じ C W) 内の新しい周波数 F_4 に同調される (プロセス 8 6 3) 。例示的实施形態では、 F_4 が、 F_{Low} 又は F_{High} から既定のオフセットにおいて選択され、オフセットは、例えば、5 0 0 K H z から 5 M H z までの範囲である。

40

【 0 1 0 6 】

[0103] 8 6 4 で、目標周波数に同調するための C W 及び周波数 (分周比 N_{pll}) が V C O に供給され、V C O は、新しい C W を使って、 F_4 から目標周波数までの閉ループジャンプを行う。このプロセスの個別の実施形態では、粗同調ワード及び微同調ワードは、閉ループ環境において、分周比 N_{pll} の値と実質的に同時にラッチされる。8 6 5 で、V C O 同調電圧が、許容可能な範囲内、例えば、1 . 2 5 V < V_{Tune} < 1 . 7 5 V であるかどうか判定するために測定される。この条件が満たされない場合、プロセスは 8 6 3 に戻り、そこで V C O は、中間周波数同調プロセスを使って、再度周波数 F_4 に閉ループ同調される。このプロセスは、図示するように、条件が満たされるまで繰り返され、条

50

件が満たされた時点でプロセスが終了する。

【 0 1 0 7 】

II . システム構成要素の例

システムマイクロコントローラ

[0104]図 9 に、本発明による、多重周波数源システムを制御するように動作するシステムマイクロコントローラの例のブロック図を示す。マイクロコントローラ 9 0 0 は、本明細書で示す同調操作及びプロセスを実行する 1 つ又は複数のプログラムを実行するように動作するマイクロプロセッサコア 9 0 2 と、例えば、図 3 A と図 3 B に示すデータ構造 3 6 0 や 3 7 0、及び本明細書で述べる同調手順を実行するプログラムを格納するように動作するプログラムメモリ 9 0 4 (通常は不揮発性又はプログラム可能 R O M) と、例えば、データ構造 3 6 0 と 3 7 0 のデータ値などを格納するように動作するデータメモリ 9 0 6 (通常は R A M) を含む。

10

【 0 1 0 8 】

[0105]マイクロコントローラ 9 0 0 は、さらに、システムクロック及び電力消費を制御するシステムクロック及び電力管理ユニット 9 0 8 と、供給されるアナログ信号のデジタル変換を提供し、さらに後述する、ループフィルタを所望のレベルまでプリチャージするのに使用される組込み式デジタル / アナログ変換器 (D A C) をさらに含むアナログ / デジタル変換ユニット (A D C) 9 1 0 と、 n ビット入出力バスライン 9 1 6 を介して本発明のシステムとの間でデータ、電力、制御その他の情報及び信号をやりとりする入力 / 出力モジュール 9 1 4 とを含む。マイクロコントローラは、それ自体に、マイクロプロセッサコア 9 0 2 と、プログラム及びデータメモリユニット 9 0 2、9 0 6 と、クロック及び電力管理モジュール 9 0 8 と、 A D C 9 1 0 及び D A C 9 1 2 と、入出力ユニット 9 1 4 とを相互接続する内部 n ビットバスラインを含む。さらに後述する本発明の具体的実施形態では、 D A C 9 1 2 は、 A D C ユニット 9 1 0 の一部としても、別個の D A C ユニットとしても動作し、後者の機能は、内部マイクロコントローラバス 9 1 8 に結合された D A C バスライン 9 1 2 a によって提供される。

20

【 0 1 0 9 】

[0106]マイクロコントローラ 9 0 0 は、周波数源の 1 つ又は複数と一体化して製造されてもよく、それらとは別個に、例えば、特定用途向け集積回路 (A S I C) として製造されてもよい。さらに代替として、マイクロコントローラ 9 0 0 の 1 つ又は複数の機能が、1 つ又は複数の周波数源内に、又はこれらに近接して組み込まれ、その他の機能が、リモートでアクセス可能な回路、又は集積回路上にあってもよい。図示のマイクロコントローラは例にすぎず、所望のシステム機能及び制御を提供するために様々なやり方で変更され得ることを当分野の技術者は理解するであろう。代替として、多重周波数源システムの機能及び制御が別の手段を使って提供される設計においては、マイクロコントローラ 9 0 0 が省かれてもよい。

30

【 0 1 1 0 】

電圧制御発振器

[0107]図 1 0 に、本発明による発振器 1 2 4 の例示的实施形態を示す。この発振器は、 V C O として示され、差動式構成として配置された発振器トランジスタ 1 0 0 2 及び 1 0 0 4 と、タンク回路 1 0 1 0 と、微同調コンデンサのバンク 1 0 3 0 を含む。一実施形態では、これらの構成要素のそれぞれが、バイポーラ相補型金属酸化膜半導体 (B i - C M O S) プロセスにおいてモノリシックに製造されるが、この回路は、別の材料及びプロセス (C M O S、 S i G e、 G a A s など) で、モノリシック型、ハイブリッド型又はディスクリット型として形成されてもよいことを当分野の技術者は理解するであろう。さらに、発振器 1 2 4 は、より多くの位相周波数検出器 1 2 1、チャージポンプ回路 1 2 2、ループフィルタ 1 2 3、 N 除算カウンタ 1 2 6、及び / 又はシグマデルタ変調器 1 2 7 の 1 つと一体化されていてもよい。

40

【 0 1 1 1 】

[0108]発振器トランジスタ 1 0 0 2 及び 1 0 0 4 は、タンク回路 1 0 1 0 の損失を補償

50

する負の抵抗を提供し、それによってVCO114を発振させる。図示の実施形態では、発振器トランジスタ1002及び1004は、相互に結合され、供給抵抗器R1を介して電源に結合されたそれぞれのソース端子を有するP型金属酸化膜半導体(PMOS)トランジスタである。ドレーン端子が、タンク回路のそれぞれのポートに結合されており、対向するトランジスタのゲート端子が、他方のドレーン端子に結合されている。発振器トランジスタ1002及び1004は、PMOSトランジスタとして図示されているが、本発明による代替の実施形態では、NMOSなど他のFETトランジスタ実施形態、並びにバイポーラトランジスタアーキテクチャも使用され得る。

【0112】

[0109] VCOタンク回路1010は、バラクタダイオードD1及びD2と、コンデンサC1及びC2と、インダクタL1とを含み、バラクタダイオードD1及びD2の可変コンデンサに支援されるようにある周波数範囲にわたって所望の共振周波数を提供するように動作する。同調電圧 V_{Tune} が、バラクタダイオードD1及びD2に供給されてタンク回路のキャパシタンスが設定され、それによって発振器124の共振周波数が設定される。図示の実施形態では、電圧制御発振器回路で一般に使用される可変リアクタンスタンク回路が示されているが、発振器124はそれだけに限定されず、本発明の代替の実施形態では、固定共振周波数を有するタンク回路も使用され得る。さらに、本発明は、いかなる特定のタンク回路構成にも限定されるものではなく、能動であれ受動であれ、並列結合であれ直列結合であれ、任意の共振回路が、本発明と共に使用され得る。N型FET(電界効果トランジスタ)又はBJT(バイポーラ接合トランジスタ)が用いられる実施形態では、 V_{DD} 電位と地電位が逆にされ、例えば、インダクタL1が V_{DD} に結合され、抵抗器R1が接地に結合される。

【0113】

[0110] 粗同調コンデンサバンク1020の例示的实施形態は、NMOSスイッチFETを介して直列結合されたコンデンサ C_c を含む。個別的構成では、コンデンサバンク1020は、同調コンデンサのサイズに関する2進数列を含み、次列のコンデンサがサイズ $2^1 \times C_c$ のコンデンサを用い、以下同様である。代替として、異なるサイズの粗同調コンデンサも使用され得る。さらに、コンデンサバンク1020は、任意の数の列を用いて、さらなる同調機能を提供することもできる。FETスイッチ $SW_{C_1 \dots n}$ のゲート端子は、粗同調制御ワードを受け取り、これにตอบสนองして、特定の粗同調コンデンサ列を接続又は切断し、それによって、それぞれ、発振器の動作周波数を下げたり上げたりする。例示的スイッチ $SW_{C_1 \dots n}$ の代替の実施形態は、PMOS FET、BJT、ダイオード、又は同等の機能を有する任意の受動又は能動部品を含む。

【0114】

[0111] 微同調コンデンサバンク1030の例示的实施形態は、NMOSスイッチFETを介して直列結合されたコンデンサ C_f を含む。個別的構成では、微同調コンデンサバンク1030は、同調コンデンサのサイズに関する線形数列を含む。代替の実施形態では、異なるサイズのコンデンサが代わりに使用されてもよい。さらに、微同調コンデンサバンク1030は、任意の数の列を用いて、さらなる同調機能を提供することもできる。FETスイッチ $SW_{F_1 \dots n}$ のゲート端子は、微同調制御ワードを受け取り、これにตอบสนองして、特定の微同調コンデンサを接続又は切断し、それによって、それぞれ、発振器の動作周波数を下げたり上げたりする。例示的スイッチ $SW_{F_1 \dots n}$ の代替の実施形態は、PMOS FET、BJT、ダイオード、又は同等の機能を有する受動又は能動部品を含む。

【0115】

[0112] 図示の発振器は、本発明で使用され得る同調可能発振器の一種の例にすぎない。別種の同調可能発振器も代替として用いられ得ることを当分野の技術者は理解するであろう。さらに前述のように、多重周波数源システムにおいて1つ又は複数の固定周波数源が実施されてもよく、これらの固定周波数源は、それぞれ、固定周波数発振器を含み、そのいくつかの例には、L-C発振器、水晶発振器、誘電体共振発振器などが含まれる。

【0116】

10

20

30

40

50

マルチモードループフィルタ

[0113]図 1 1 に、本発明による、複数モードで動作するループフィルタ 1 2 3 の例示的実施形態を示す。図示のように、ループフィルタ 1 2 3 は、位相周波数検出器 1 1 0 から出力される相補チャージポンプ信号を受け取るように結合された反転入力 1 1 1 0 a 及び非反転入力 1 1 1 0 b を有する演算増幅器 1 1 1 0 を含む。ループフィルタ 1 2 3 は、さらに、反転入力 1 1 1 0 a と出力 1 1 1 0 c の間に結合された第 1 のオペアンプコンデンサ 1 1 1 2 と、非反転入力 1 1 1 0 b と信号接地の間の結合された第 2 のオペアンプコンデンサ 1 1 1 4 を含む。第 1 と第 2 のオペアンプコンデンサ 1 1 1 2、1 1 1 4 は、例示的実施形態では、実質的に同じ値 C 1 であるが、代替の実施形態では、異なる値のコンデンサが用いられてもよい。ループフィルタ 1 2 3 は、さらに、低周波数オーバーシュートモード回路 1 1 3 0 と、プリチャージモード回路 1 1 4 0 と、通常同調モード回路 1 1 5 0 と、 V_{Tun} 測定回路 1 1 6 0 とを含む。任意選択で、(2 次フィルタの例として示す) 出力回路 1 1 2 0 が、スプリアスな産物をさらに減衰させるために、演算増幅器出力 1 1 2 0 c に結合される。発振器 1 2 4 に関して前述したように、ループフィルタ 1 2 3 は、位相周波数検出器 1 2 1、チャージポンプ回路 1 2 2、発振器 1 2 4、N 除算カウンタ 1 2 6、及びノ又はシグマデルタ変調器 1 2 7 の 1 つ又は複数と組み合わさった集積回路として実施されてもよい。代替として、ループフィルタ構成部品の 1 つ又は複数が、ディスクリートの、オフチップ部品として実施されてもよい。

10

【0117】

低オーバーシュート同調モード

20

[0114]低オーバーシュート同調モード(低オーバーシュート)回路 1 1 3 0 は、図 5 C の動作 5 3 1 ~ 5 3 5 のように、既存の周波数に近接する発振器同調動作時に使用される。この回路によって提供されるループ帯域幅は、一般に、近くにある(1 つ又は複数の)既存の周波数と干渉し得る周波数オーバーシュートの生成をより少なくするために、(後述する)通常同調モード回路によって提供される帯域幅より狭い。

【0118】

[0115]低オーバーシュート回路 1 1 3 0 は、反転入力 1 1 1 0 a と第 1 のオペアンプコンデンサ 1 1 1 2 の間に結合するように構成された第 1 の回路 1 1 3 0 a と、非反転入力 1 1 1 0 b と第 2 のオペアンプコンデンサ 1 1 1 4 の間に結合するように構成された第 2 の回路 1 1 3 0 b を含む。本明細書で使用する際、「結合するように構成された」という用語は、信号経路が固定経路を介して完了する実施形態も、信号経路が、スイッチ又は切換え手段によって完了する実施形態も含む。図示の実施形態では、第 1 と第 2 の回路 1 1 3 0 a、1 1 3 0 b は、固定接続を介して結合されているが、別の実施形態では、この接続が、スイッチ手段によって行われてもよい。

30

【0119】

[0116]例示的実施形態では、第 1 と第 2 の低オーバーシュートモード回路 1 1 3 0 a、1 1 3 0 b は、それぞれ、並列結合のコンデンサ C_2 及び抵抗器 R_1 を含む。別の実施形態では、回路 1 1 3 0 a 又は 1 1 3 0 b が、それぞれ、他の回路構成を備えていても、能動又は受動回路構成部品を用いてもよい。例えば、代替として、コンデンサと並列に結合された直列結合の RC 結合も使用され得る。以下でさらに説明するように、低オーバーシュートモード回路 1 1 3 0 は、ループフィルタが、通常の発振器同調構成で動作するとき

40

に生じるものと比べてより少ない周波数オーバーシュートを生じるフィルタ特性を提供するように動作する。

【0120】

プリチャージモード

[0117]プリチャージ回路 1 1 4 0 は、演算増幅器 1 1 1 0 の反転端子と出力端子の間に結合するように構成された第 1 のプリチャージ回路 1 1 4 0 a と、演算増幅器 1 1 1 0 の非反転端子と信号接地の間に結合するように構成された第 2 のプリチャージ回路 1 1 4 0 b と、演算増幅器の反転入力 1 1 1 0 a と非反転入力 1 1 1 0 b に結合するように構成された第 3 のプリチャージ回路 1 1 4 0 c とを含む。ループフィルタ内では、放置された場

50

合、低オーバーシュートと通常同調の動作モードを切り換えるときに、深刻な周波数欠陥とオーバーシュートを引き起こし得る電荷分布を低減するために、フィルタプリチャージが行われる。

【0121】

[0118]個別的回路構成では、第1と第2のプリチャージ回路1140a、1140bは、それぞれ、プリチャージ抵抗器 R_{prechg} と、ループフィルタがプリチャージモードで動作するときにコンデンサ C_2 を放電させるように動作するスイッチを含む。基準電圧 V_{R1} が、基準ソースから演算増幅器1110の非反転入力に供給され、基準ソースは、ループフィルタの一部でも、DACから供給されても、システムの別の場所に位置していてもよい。デジタル/アナログ変換器を使って、演算増幅器1110の反転入力に既定の電流 I_{p1} が供給され、又は演算増幅器1110の反転入力から既定の電流 I_{p1} が流入する。したがって、演算増幅器1110の出力におけるプリチャージ電圧は、実質的には、

$$V_{prechg} = V_{R1} \pm I_{p1} * R_{prechg} \quad \text{式(15)}$$

であり、高利得、高インピーダンス演算増幅器を想定すると、式中の加算又は乗算は、電流が、非反転オペアンプ入力端子に供給されるか、それとも非反転オペアンプ入力端子から流入するかによって決まる。よって、プリチャージ電圧 V_{prechg} は、電圧 V_{R1} を固定し、電流 I_{p1} を制御可能に変動させることによって制御され得るが、代替の実施形態では、 V_{R1} を制御可能に変動させ、 I_{p1} を固定させてもよい。

【0122】

[0119]図示の例示の実施形態では、プリチャージ操作が、Pスイッチを閉じることによって行われ、Pスイッチを開くことによって打ち切られる。一実施形態、例えば図5Bに示すプロセス516及び521などでは、プリチャージ電流 I_{p1} は、 V_{prechg} を、プロセス516及び521で適用される最低発振器同調周波数に対応する最低同調電圧 V_1 に設定するように動作する電流である。別の実施形態、例えば、図6Bに示すプロセス616及び621などでは、プリチャージ電流 I_{p1} は、 V_{prechg} を、プロセス516及び521で適用される最高発振器同調周波数に対応する最高同調電圧 V_2 に設定するように動作する電流である。本発明の別の実施形態では、チャージポンプ回路122は、プリチャージ操作時に、操作によって切断される。

【0123】

通常同調モード

[0120]通常同調モード回路1150は、発振器の通常同調動作時に使用される。この回路によって提供されるループ帯域幅は、一般に、ループ安定性とロック時間と雑音性能の間の適切な均衡を提供するように最適化される。この同調モードは、通常、発振器/VCOのロック獲得がいかなる既存の周波数にも近接していないと予期されるときに用いられる。VCOロック周波数の獲得が既存の周波数の近くで予期される場合には、低オーバーシュート同調モードが実施される。隣接して位置する周波数への同調とロックが達成されると、ループフィルタは、その周波数で通常同調モードに戻る。

【0124】

[0121]図示の例示の実施形態では、通常同調動作が、Nスイッチを閉じ、/Nスイッチを開くことによって行われ、Nスイッチを開き、/Nスイッチを閉じることによって打ち切られる。低オーバーシュートと通常同調モードの間の切換えは不具合をもたらし、これは、通常モードが用いられないときにコンデンサ $X * C_2$ を放電させる相補通常同調モードスイッチ/Nによって低減される。不具合は、プリチャージモードへ/からの切換え時にさらに低減される。というのは、プリチャージスイッチが、プリチャージ動作時にコンデンサ C_2 を放電させるように動作するからである。代替の実施形態では、個々のNスイッチが固定接続で置き換えられ、低オーバーシュートモード回路1130は、切換え可能な接続によって実施される。

【0125】

[0122]通常同調モード回路1150は、反転入力1110aと第1のオペアンプコンデ

ンサ 1 1 1 2 の間に結合するように構成された第 1 の回路 1 1 5 0 a と、非反転入力 1 1 1 0 b と第 2 のオペアンプコンデンサ 1 1 1 4 の間に結合するように構成された第 2 の回路 1 1 5 0 b を含む。図示の例示的实施形態では、第 1 と第 2 の回路 1 1 5 0 a、1 1 5 0 b は、それぞれ、値 $X \cdot C_2$ と R_1 / Y を有する並列結合のコンデンサと抵抗器を含み、これらの値は、第 1 と第 2 の低オーバーシュート回路 1 1 3 0 a、1 1 3 0 b の並列結合のコンデンサ抵抗器対の拡張された値を表す。任意選択で、第 1 と第 2 の通常同調回路 1 1 5 0 a、1 1 5 0 b は、それぞれ、並列コンデンサ $X \cdot C_2$ の両端に結合されたスイッチを含み、このスイッチは、通常同調回路 1 1 5 0 a と 1 1 5 0 b で結合されているスイッチと相補的に動作する。この相補的に動作するスイッチは、通常同調回路がループフィルタから切断されている期間にコンデンサを放電させ、通常モードがオン又はオフに切り換わるときの電荷再分布と周波数オーバーシュートの影響をさらに低減するように動作する。

10

【 0 1 2 6 】

[0123] 図示のキャパシタンスと抵抗の値から分かるように、通常モード回路 1 1 5 0 a 及び 1 1 5 0 b のインピーダンスは、低オーバーシュート回路のインピーダンスより低い。この関係は、より速い設定時間を提供する通常同調モードのフィルタ機能を提供し、代替として低オーバーシュート回路は、より少ない周波数オーバーシュートをもたらす。本発明の個別の実施形態では、 X は 5 倍より大きい。すなわち、第 1 と第 2 のオーバーシュート同調回路のコンデンサは、第 1 と第 2 の通常同調回路のそれぞれのキャパシタンスより、リアクタンスが少なくとも 5 倍高い。さらには、 Y は 3 倍より大きい。すなわち、第 1 と第 2 の低オーバーシュート同調回路のそれぞれの抵抗器は、第 1 と第 2 の通常同調回路のそれぞれの抵抗器より、少なくとも 3 倍高い。具体的実施形態では、 X は 10 倍であり、 Y は 6 倍である。当然ながら、本発明による代替の実施形態では、 X と Y にそれぞれ別の倍数が使用されてもよい。

20

【 0 1 2 7 】

V_{Tune} 読取りモード

[0124] 同調電圧測定 (V_{Tune}) 回路 1 1 6 0 は、演算増幅器の出力に結合するように構成される。図示の例示的实施形態では、同調電圧は、演算増幅器の出力にタップをつけ、スイッチ V_T を閉じ、比較器 1 1 6 2 を使って、そのタップ電圧を電圧 V_{comp} と比較することによって測定される。本発明の個別の実施形態では、基準電圧 V_{comp} は、以下の図 1 2 でさらに説明する、二重用途デジタル/アナログ変換器によって供給される。代替の実施形態では、基準電圧 V_{comp} は、電圧又は電流ソースを使って生成されてもよい。比較された電圧がアナログ/デジタル変換器に供給されて、同調電圧の相対的測定値がデジタル形式で獲得される。

30

【 0 1 2 8 】

[0125] 本発明の個別の実施形態では、すべてのスイッチグループ P 、 N 及び V_T が開いており、ループフィルタは、前述のように低オーバーシュート同調モードで動作する。別の実施形態では、スイッチグループ P 、 N 及び V_T の 1 つがそのスイッチグループに関連付けられた対応する機能を行うために閉じられており、残りのスイッチグループは開いている。別の実施形態では、通常同調モード回路のスイッチ N が固定接続で置き換えられ、低オーバーシュートモード回路が、演算増幅器に切換え可能に結合されるように変更されている。この実施形態では、単一のスイッチを使って、並列結合のコンデンサ抵抗器対 C_2 及び R_1 の共通ノードに結合され、又は個別スイッチを使って、抵抗器 R_1 とコンデンサ C_2 のそれぞれに結合される。

40

【 0 1 2 9 】

[0126] 例示のループフィルタ 1 1 4 は、4 つのモードのそれぞれで動作するが、これらのモードの 1 つ又は複数とそれらに対応する回路が省かれている代替の実施形態が使用されてもよい。例えば、ループフィルタの別の実施形態は、低オーバーシュートと通常同調のモードと回路を用いてもよい。別の実施形態では、ループフィルタは、通常同調と同調測定のモードと回路を用いてもよい。本発明による代替の実施形態では、4 つの前述のモ

50

ードと回路の2つ以上が可能な別の実施形態も理解されるであろう。

【0130】

二重用途DACを備えるアナログ/デジタル変換器

[0127]図12に、本発明による、二重用途デジタル/アナログ変換器(DAC)912を備えるアナログ/デジタル変換器(ADC)910の例示的实施形態を示す。ADC910とDAC912は、先に図9で示している。ADC910は、二重用途DAC912を用いて、同調測定プロセスで使用されるアナログ/デジタル変換器のDAC構成要素として働くのみならず、所望のプリチャージ電流 I_{p1} も生成するデジタル/アナログ機能も提供する。

【0131】

[0128]まず、同調電圧測定プロセスで使用されるとき、ADC910の動作を見ると、同調電圧 V_{Tune} が、各PLLループフィルタ LF_{1-N} の出力において生成される。各ループフィルタ内では、比較器1164が、同調電圧 V_{Tune} の値を、ADC910によって供給される電圧 V_{comp} と比較するように動作する。比較の結果 V_{out} が n 極単投スイッチ1212に供給され、その入力経路は、スイッチコントローラ1214によって制御される。所望の V_{out} 信号がスイッチ1212の出力に結合され、加算/減算カウンタ1218に至る。加算/減算カウンタ1218は、クロック信号入力も受け取り、ラッチ1220に供給される n ビット幅(7ビットなど)のデジタルワードを出力する。ラッチ1220にクロック信号が供給されて、 V_{out} の電圧レベルを表す、受け取ったデジタルワードが出力される。この n ビットデジタルワードは、さらに、二重用途DAC912にも供給される。二重用途DAC912は、この V_{out} デジタルワードをアナログ電圧信号 V_{comp} に変換し、これが、単極、 $2N$ 投スイッチ1226に供給される。1P[2N]Tスイッチ1226の出力経路は、スイッチコントローラ1214によって、アナログ電圧信号 V_{comp} を適切なPLLループフィルタに経路指定するように制御され、そこで、前述のプロセスが繰り返される。このようにして、同調電圧 V_{Tune} が正確に測定される。

【0132】

[0129]二重用途DAC912は、その第2の動作モードにおいて、受け取ったプリチャージデジタルワード1228を、前述のプリチャージ電流 I_{p1} に変換するように動作する。プリチャージ動作時には、プリチャージデジタルワード1228が、二重用途DAC912に供給される。プリチャージデジタルワード1228は、所望のアナログ電流値 I_{p1} を表す任意の幅のものとすることができる。DAC912は、プリチャージデジタルワード1228を受け取り、これを対応するアナログ電流 I_{p1} に変換し、それがさらに、1P[2N]Tスイッチ1226に供給される。スイッチ1226の出力経路は、スイッチコントローラ1214によって、 I_{p1} を適切なPLLループフィルタ LF_{1-N} に供給するように制御され、そこで、プリチャージ抵抗器 R_{prechg} と第1のオペアンプコンデンサ C_{1112} に適用される。

【0133】

位相周波数検出器の方向制御回路

[0130]図13Aに、本発明による、位相周波数検出器回路121と共に使用するための方向制御回路1320の例示的实施形態を示す。回路1320は、 2×2 クロスポイントスイッチ $SW1$ と、第1と第2のAND論理ゲート $L1$ 、 $L2$ と、第1、第2及び第3のエッジトリガDフリップフロップ $D1$ 、 $D2$ 、 $D3$ とを含む。前述の位相周波数検出器121は、信号経路指定と接続を示すように図示されており、方向制御回路1320とは別個に形成され、又は離れて位置していてもよい。しかしながら、個別的实施形態では、方向制御回路1320と位相周波数検出器回路121は、集積回路上にモノリシックに形成されている。

【0134】

[0131]クロスポイントスイッチ $SW1$ は、PLLによって生成される F_{Ref} 信号と F_{div} 信号を受け取る(1と2で表される)第1と第2の入力を有する。クロスポイント

10

20

30

40

50

スイッチSW1は、さらに、所望の発振器同調方向、すなわち、周波数を増大させるかそれとも低減させるかを指定する方向信号DIRを受け取る。発振器を、方向を指定して同調させるプロセスは、例えば、上記図5Bと図6Bに示すプロセス510と610で利用される。図示の個別の実施形態では、方向信号DIRは、(i)入力端子1のF_{Ref}信号を出力端子1にわたし、入力端子2のF_{Div}信号を出力端子2にわたすための、クロスポイントスイッチSW1が「スルー」状態で動作する「UP」状態と、(ii)入力端子1のF_{Ref}信号を出力端子2にわたし、入力端子2のF_{Div}信号を出力端子1にわたすための、クロスポイントスイッチSW1が交差状態で動作するダウン又は「DN」状態の間で選択可能である。以上は例にすぎず、本発明では、当然ながら、機能的に等価なやり方で、制御信号及びスイッチの別の実施形態も用いられ得る。

10

【0135】

[0132]第1のDフリップフロップD1は、プロセスを開始するためのSTART信号を受け取るクロック入力と、固定のHigh状態信号に結合されたD入力と、終了信号を受け取るクリア入力と、PFD回路121にトライステート信号を提供するQ出力を有する。トライステート信号は、PFD回路121がトリガする正しい遷移を提供するために、ある特定の期間にわたってPFD回路121を使用不可にする。この動作の例示的实施形態を以下に示す。

【0136】

[0133]第1と第2の論理ANDゲートL1、L2は、それぞれ、クロスポイントスイッチSW1の個々の出力に結合された1つの入力と、信号トライステートCP1を受け取るように結合された1つの入力を有する。第1の論理ANDゲートL1は、第2のDフリップフロップD2のクロック入力に信号O1を提供し、第2のDフリップフロップD2は、さらに、固定のHigh状態信号に結合されたD入力と、PFD回路110から信号CLRを受け取るように結合されたクリア入力と、信号Q1を提供するQ出力を含む。第2の論理ANDゲートL2は、第3のDフリップフロップD3のクロック入力に信号O2を提供し、第3のDフリップフロップD3は、さらに、信号Q1を受け取るように結合されたD入力と、PFD回路110から信号CLRを受け取るように結合されたクリア入力と、第1のDフリップフロップD1の状態をクリアするように動作する信号Q2(END信号)を提供するQ出力を含む。

20

【0137】

[0134]図13Bに、本発明による、VCOがより高い周波数に同調するよう指示されたときの過渡的な周波数低減を回避する方向制御回路信号の動作を示す。図示のように、基準周波数信号F_{Ref}は、分周信号F_{Div}と比べて、より高い周波数で動作するが、位相が遅延する。したがって、PFD回路121が、VCO同調周波数を増大させ、VCOに同調周波数を低減させ得る過渡的ダウン状態を回避するように動作することが求められる。

30

【0138】

[0135]このプロセスは、図13Bに示すように、15動作として示されている。最初に動作1で、START信号が第1のDフリップフロップD1に供給され、そこでさらに、High状態の信号トライステートが生成される。D1のD入力はHigh状態で固定されているため、信号トライステートは、END信号がHighに上がってD1をクリアするまでHigh状態のまま留まる。

40

【0139】

[0136]信号F_{Ref}とF_{Div}がクロスポイントスイッチSW1に供給され、その方向がUPと選択される。図示のように、スイッチSW1のUP方向はHigh状態信号と相關するが、代替として、Low状態信号が使用されてもよい。図示のUP状態では、クロスポイントスイッチSW1は、スルーモードで動作し、スルーモードでは、F_{Ref}が第1の入力から第1の出力に通過され、信号F_{Div}が第2の入力から第2の出力に通過される。

【0140】

50

[0137]動作2で、第1の論理ANDゲートL1は、High状態信号F_{Ref}とトライステートCPを受け取り、したがって、High状態信号O1を生成する。第2のフリップフロップD2のD入力Highのままであるため、High状態クロック信号O1を受け取ると、D2は、High状態信号Q1を生成する(動作3)。F_{Div}の立ち上がりエッジの検出が(若干の遅延の後)PFD回路121から出力されるCLR信号の出力を作動させ、これによってQ1がLow状態にリセットされる。

【0141】

[0138]信号F_{Ref}の立ち上がりエッジと、信号トライステートのHigh状態の継続によりHigh状態信号O1が生じ(動作5)、これがさらに、High状態信号Q1を生み出す(動作6)。信号F_{Div}の立ち上がりエッジと、信号トライステートのHigh状態の継続によりHigh状態信号O2が生じ(動作7)、これと同時に発生するHigh状態Q1が組み合わさってHigh状態信号Q2が生じ(END信号)、これがD1をクリアし、トライステート信号をLow状態に戻す(動作9)。Lowトライステート信号は、Low状態のO1信号とO2信号を生じる(動作10)。若干の遅延の後、動作7におけるF_{Div}の立ち上がりエッジの検出により、PFD回路110からのCLR信号の出力が生じ、それによって、信号Q1とQ2が、そのLow状態に戻る。

【0142】

[0139]次に、PFD回路110の出力状態を示す、UPとDNで表される最下部のトレースを参照すると、トライステート信号は、そのHigh状態の間にPFD回路121の動作を使用不可にし、したがって、F_{Div}信号の立ち上がりエッジが上がってHigh状態になるためのDNの過渡的条件1352を回避する。その代わりに、VCO同調の目的の方向が遷移1354で達成され、そこで、トライステート信号がLow状態に戻った後で、F_{Ref}信号の立ち上がりエッジが生じ、目的のHigh状態UP信号がもたらされる(動作12)。HighのUP状態とLowのDN状態の間に、VCO周波数が、F_{Div}の立ち上がりエッジ後の若干の遅延が検出されるまで増大され、検出された時点において、PFD回路がCLR信号を生成し、High状態DN信号が生じる(動作13)。本発明の個別の実施形態では、PFD回路121は、UP信号とDN信号が同じ状態にあるときには、チャージ信号を出力しない。CLR信号と、DN信号のHigh状態レベルは実質的に同じ期間続き、その後、UP信号とDN信号はLow状態に戻る。動作14のF_{Ref}の立ち上がりエッジで、UP信号はHigh状態に戻り、そこで、F_{Div}の立ち上がりエッジがCLR信号の生成をトリガするまで留まり、動作15で、その結果としてUP信号がLow状態に戻る。

【0143】

[0140]図13Cに、本発明による、より高い周波数に同調する通常モードの方向制御回路信号の動作を示す。図示のように、基準周波数信号F_{Ref}は、分周信号F_{Div}と比べて、より高い周波数で動作するが、位相が遅延する。したがって、PFD回路121が、VCO同調周波数を増大させるように動作することが望ましい。

【0144】

[0141]最初に動作1で、START信号が第1のDフリップフロップD1に供給され、それがさらに、High状態の信号トライステートを生み出す。D1のD入力High状態で固定されているため、信号トライステートは、END信号がHighに上がってD1をクリアするまでHigh状態のままに留まる。

【0145】

[0142]信号F_{Ref}と信号F_{Div}がクロスポイントスイッチSW1に供給され、その方向がUPと選択される。図示のように、スイッチSW1のUP方向はHigh状態信号と相関するが、代替としてLow状態信号が使用されてもよい。図示のUP状態では、クロスポイントスイッチSW1はスルーモードで動作し、スルーモードでは、F_{Ref}が第1の入力から第1の出力に通過され、信号F_{Div}が第2の入力から第2の出力に通過される。

【0146】

[0143]動作2で、第1の論理ANDゲートL1がHigh状態信号のF_{Ref}とトライステートCPを受け取り、したがって、High状態信号O1を生じる。第2のフリップフロップD2のD入力Highのままであるため、High状態クロック信号O1を受け取ると、D2は、High状態信号Q1を生じる(動作3)。F_{Div}の立ち上がりエッジがHighのトライステート信号と組み合わせさせて、High状態O2信号が生み出される(動作4)。High状態O2信号がD3をクロック制御し、それによってHigh状態Q2が生成され(動作5)、これが、D1をクリアし、トライステート信号をLowレベルに戻すように動作する。Lowトライステート信号の結果として、信号O1とO2がLow状態に戻り(動作7)、遅延の後、動作4のF_{Div}の立ち上がりエッジが、Q1とQ2をLowレベルに戻すCLR信号を生成するように働く(動作8)。

10

【0147】

[0144]トライステート信号がLow状態に戻ると、PFD回路121が動作可能になり、動作9で、F_{Ref}の立ち上がりエッジが、UP信号を作動してHigh状態にするように動作し、それによって、VCO周波数の増大に対応する出力チャージ信号が生成される。動作10で、F_{Div}信号の立ち上がりエッジが、若干の遅延後に、CLR信号の出力を生じる。このCLR信号は、VCO周波数の増大を中断するとHigh状態DN信号を生じ(UP信号もDN信号もHigh状態であるため)、その後、UP信号とDN信号がLow状態に戻る。

【0148】

[0145]動作11で、F_{Ref}の立ち上がりエッジがUP信号をHigh状態にトリガし、これが、DN信号のLow状態と組み合わせさせて、PFD回路110がVCO周波数を増大させるチャージ信号を出力する結果をもたらす。動作12で、F_{Div}の立ち上がりエッジがCLR信号を生成し、それによって、DN信号が作動されてHigh状態になり、VCO周波数を増大させるPFDチャージ出力信号が中断され、その後、UP信号とDN信号が、それぞれのLow状態に戻る。

20

【0149】

[0146]当分野の技術者であれば容易に理解するように、前述の各プロセスは、ハードウェア、ソフトウェア、ファームウェアとして、又は適宜これらの実装の組合せとして実施され得る。加えて、前述のプロセスの一部又は全部が、コンピュータ可読媒体(取り外し可能ディスク、揮発性又は不揮発性メモリ、埋込み式プロセッサなど)上にあるコンピュータ可読命令コードとして実施されてもよく、この命令コードは、他のかかるプログラム可能な装置のコンピュータを、目的の機能を実行するためにプログラムするように動作する。

30

【0150】

[0147]「a」又は「an」という語は、これによって記述される1つ、又は複数の特徴を指すのに使用されている。さらに、「coupled(結合された)」又は「connected(接続された)」という語は、直接的に、又は1つ若しくは複数の介在する構造又は物質を介して、(場合に応じて、電氣的に、機械的に、熱的に)相互に組み合わせた特徴を指す。方法流れ図で言及される操作及び動作の順序は例示であり、これらの操作及び動作は、異なる順序で実行されてもよく、これらの操作及び動作の2つ以上が同時に実行されてもよい。本明細書で参照されるすべての出版物、特許その他の文献は、参照によりその全文が組み込まれるものである。任意のかかる組込み文献と本明細書の間での整合性を欠く用法に関しては、本明細書での用法が規定するものとする。

40

【0151】

[0148]以上の説明は、図示と説明のために提示したものである。網羅的であることも、本発明を開示通りの形に限定することも意図しておらず、明らかに、開示の教示を考慮に入れば、多くの変更及び変形が可能である。記載の実施形態は、本発明の原理と、その実際の適用を最も適切に説明し、それによって、当分野の技術者が、本発明を、様々な実施形態において、企図される個々の用途に適する様々な変更と共に最も適切に利用することを可能にするために選択されたものである。本発明の適用範囲は、添付の特許請求の範

50

図によって定義されるものである。

【図面の簡単な説明】

【0152】

【図1A】本発明による複数の周波数源を用いるシステムの例を示す図である。

【図1B】本発明による周波数源の例を示す図である。

【図2】本発明による、多重周波数源システムにおいて周波数源の1つを目標周波数に同調させる方法の例を示す図である。

【図3A】本発明による、始動及び較正プロセスの例示的实施形態を示す図である。

【図3B】本発明による、位相ロックループ周波数源内の複数の発振器のための動作周波数点を格納するように動作するデータ構造の例を示す図である。

【図3C】本発明による、目下生成されている周波数情報を格納するように動作するデータ構造の例を示す図である。

【図4】本発明による、要求目標周波数が最初の生成周波数である同調プロセスの例示的实施形態を示す図である。

【図5A】本発明による、要求目標周波数が最低生成周波数より低い同調プロセスの例示的实施形態を示す図である。

【図5B】本発明による、選択される発振器が作動され、最低生成周波数より低い目標周波数に同調されるプロセスの例示的实施形態を示す図である。

【図5C】本発明による、選択される発振器が目標周波数に同調する、図5Bに示すプロセスの例示的实施形態を示す図である。

【図6A】本発明による、要求目標周波数が最高生成周波数より高い同調プロセスの例示的实施形態を示す図である。

【図6B】本発明による、選択される発振器が作動され、最高生成周波数より高い目標周波数に同調されるプロセスの例示的实施形態を示す図である。

【図7】本発明による、要求目標周波数が2つの既存の周波数の間に位置する同調プロセスの例示的实施形態を示す図である。

【図8A】本発明による、要求目標周波数が2つの狭い間隔の既存の周波数の間に位置する同調プロセスの例示的实施形態を示す図である。

【図8B】本発明による、低 K_V 電圧制御発振器を、2つの狭い間隔の既存の周波数の間にある要求目標周波数に同調させるプロセスの例示的实施形態を示す図である。

【図8C】本発明による、高 K_V 電圧制御発振器を、2つの狭い間隔の既存の周波数の間にある要求目標周波数に同調させるプロセスの例示的实施形態を示す図である。

【図9】本発明による、多重周波数源システムを制御するように動作するシステムマイクロコントローラの例を示すブロック図である。

【図10】本発明による発振器の例示的实施形態を示す図である。

【図11】本発明によるマルチモードループフィルタの例示的实施形態を示す図である。

【図12】本発明による、二重用途デジタル/アナログ変換器を用いたアナログ/デジタル変換器の例示的实施形態を示す図である。

【図13A】本発明による、位相周波数検出器と共に使用するための方向制御回路の例示的实施形態を示す図である。

【図13B】本発明による、発振器がより高い周波数に同調するよう指示されるとき、過渡的な周波数低減を回避する方向制御回路信号の動作を示す図である。

【図13C】本発明による、より高い周波数に同調する通常モードの方向制御回路信号の動作を示す図である。

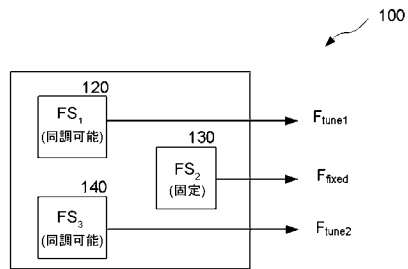
10

20

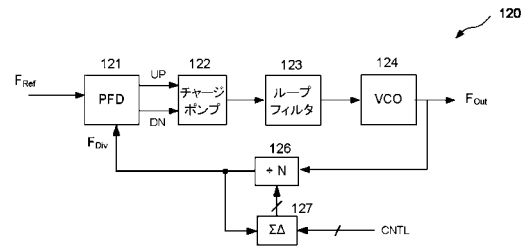
30

40

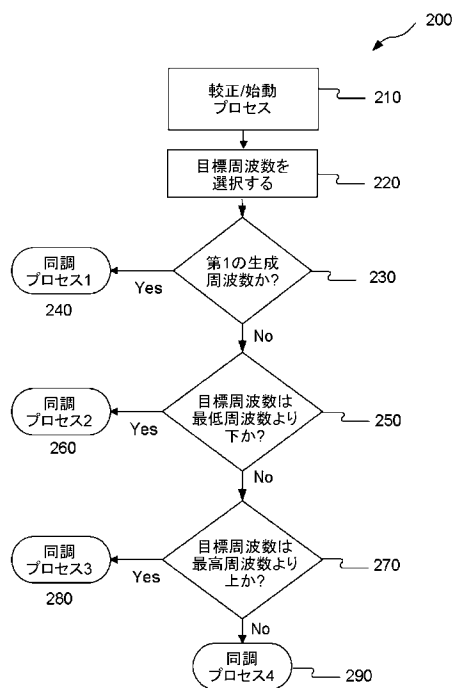
【図 1 A】



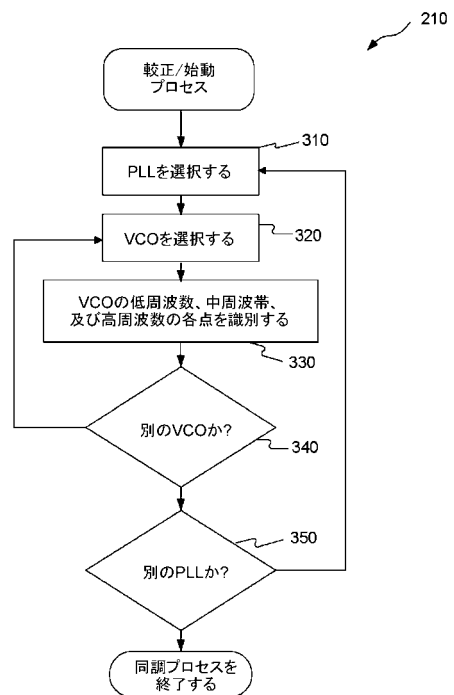
【図 1 B】



【図 2】



【図 3 A】



【図 3 B】

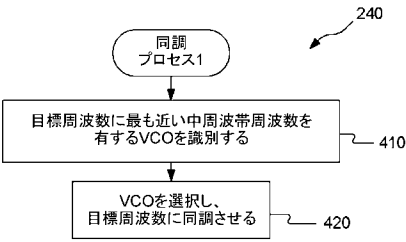
PLL 3						360
Npllmin						
Npllmax						
CW_fmin						
CW_fmax						
Npllmid						
PLL 2						366
Npllmin						
Npllmax						
CW_fmin						
CW_fmax						
Npllmid						
PLL 1						364
Npllmin						
Npllmax						
CW_fmin						
CW_fmax						
Npllmid						
VCO1	N9	N11	26	5	N10	362
VCO2	N7	N9	26	5	N8	
VCO3	N5	N7	26	5	N6	364
VCO4	N3	N5	26	5	N4	
VCO5	N1	N3	26	5	N2	362

Fig. 3B

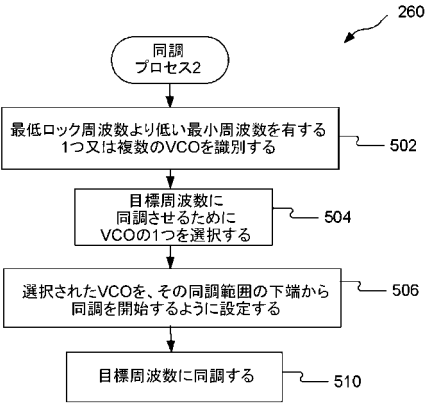
【図 3 C】

最低から最高までの ロック周波数別のPLL ↓	PLL No.	VCO No.	ロック 周波数
	PLL 2	VCO 5	2275
	PLL 3	VCO 2	3925
	PLL 1	VCO 1	4100

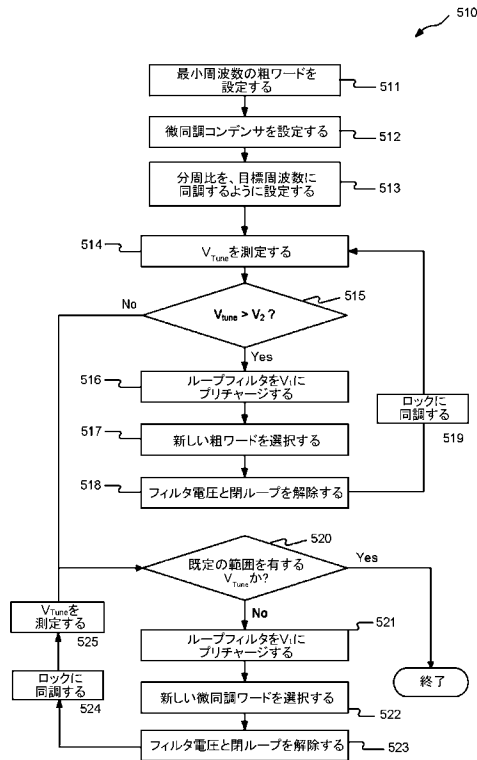
【図 4】



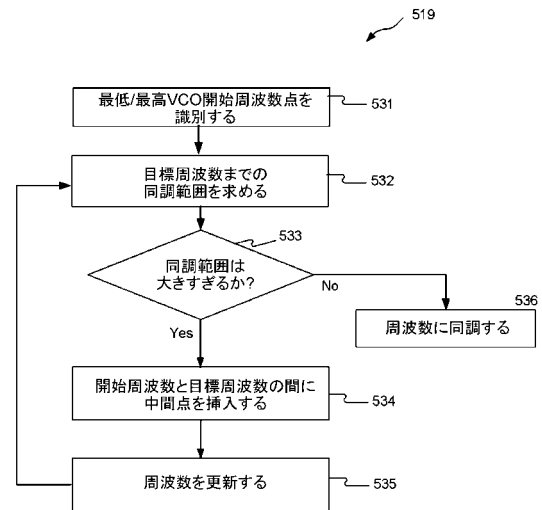
【図 5 A】



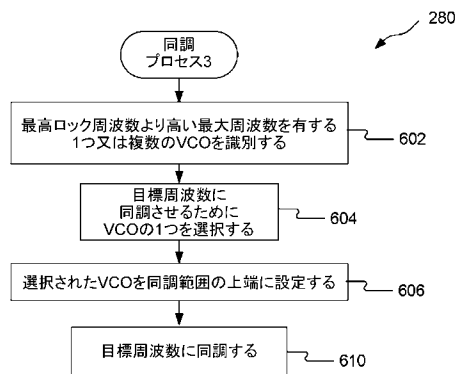
【図 5 B】



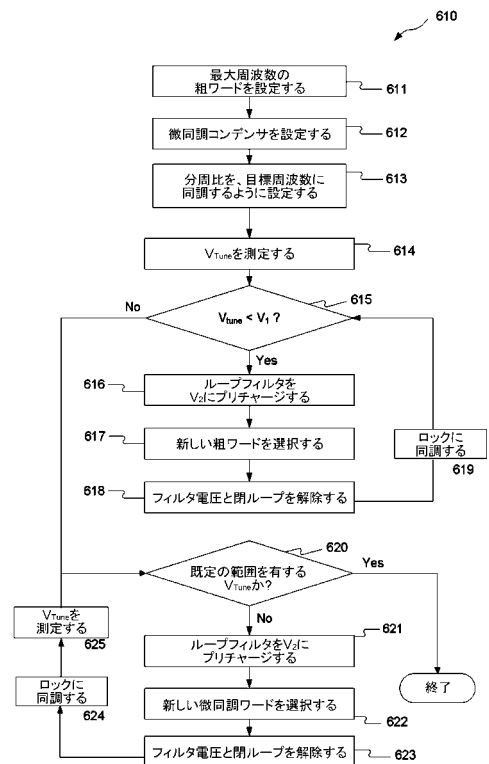
【図 5 C】



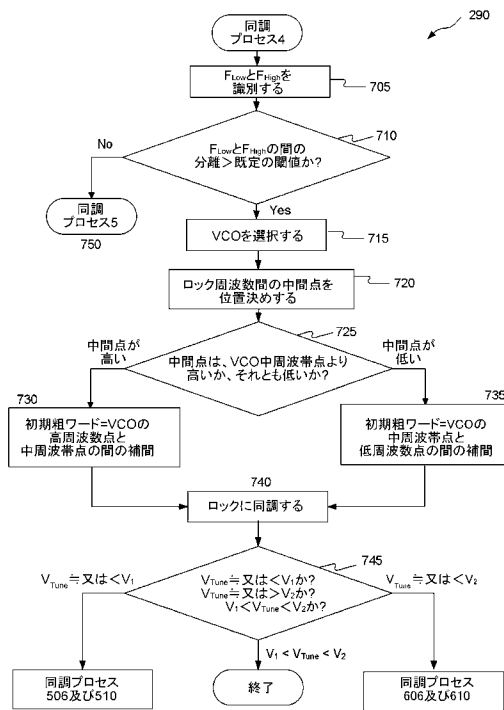
【図 6 A】



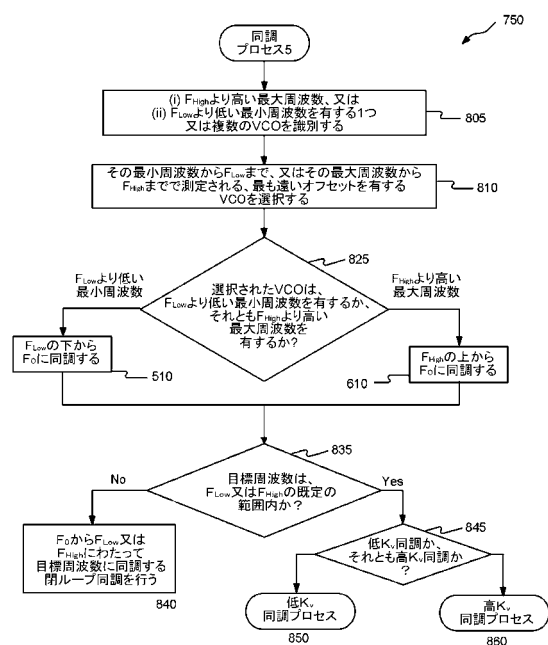
【図 6 B】



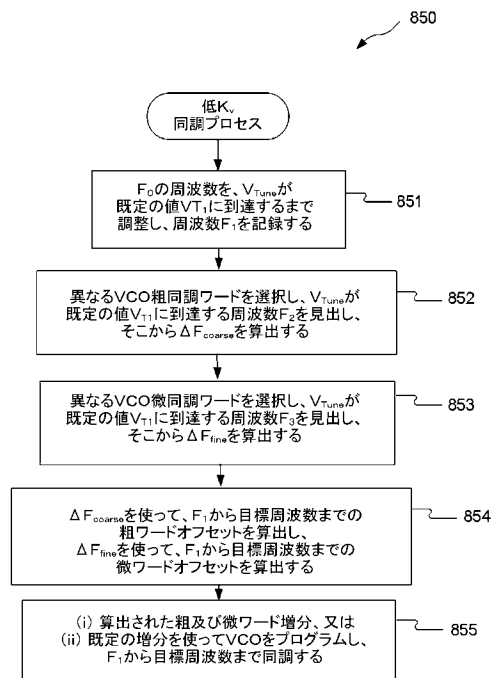
【図 7】



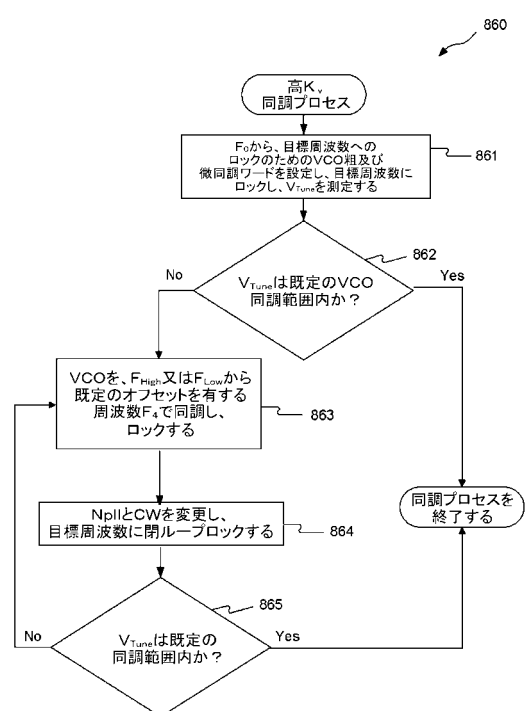
【図 8 A】



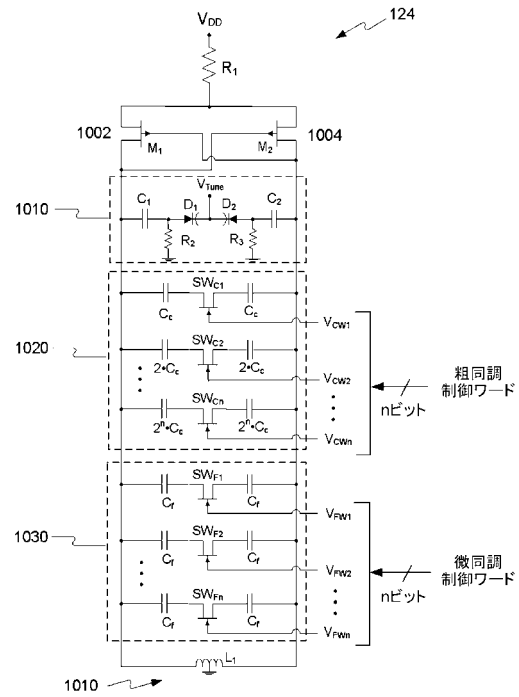
【図 8 B】



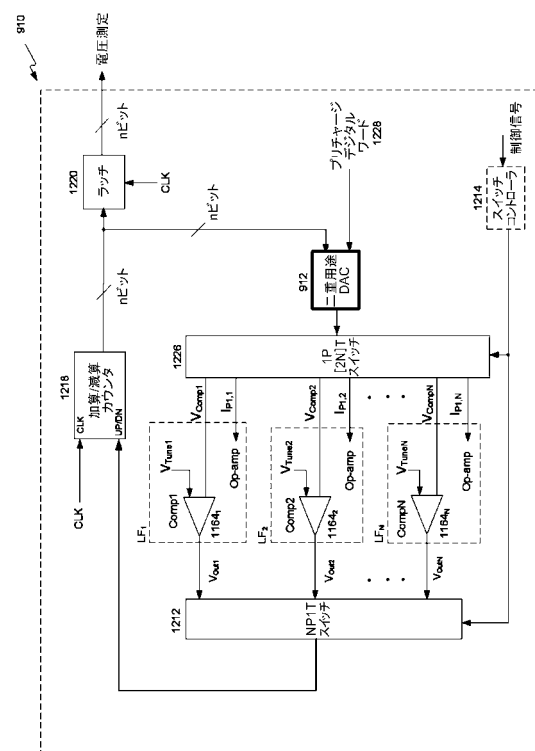
【図 8 C】



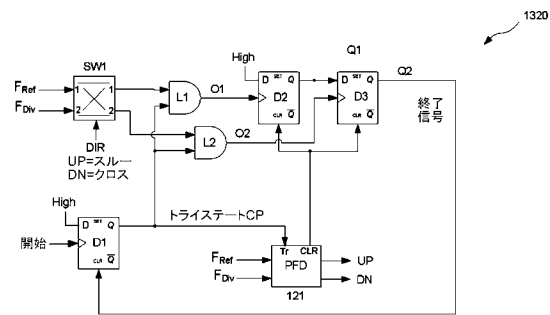
【 図 1 0 】



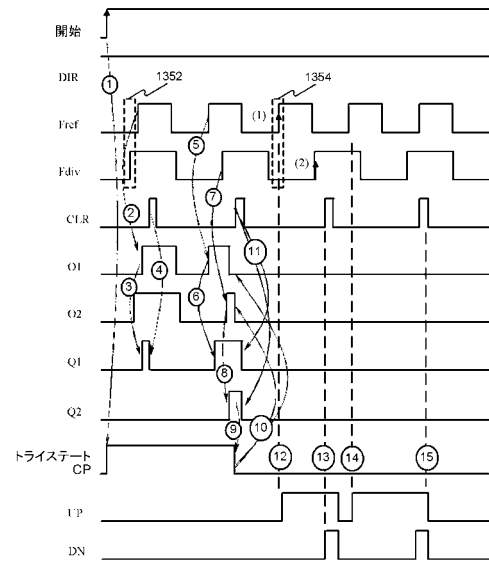
【 図 1 2 】



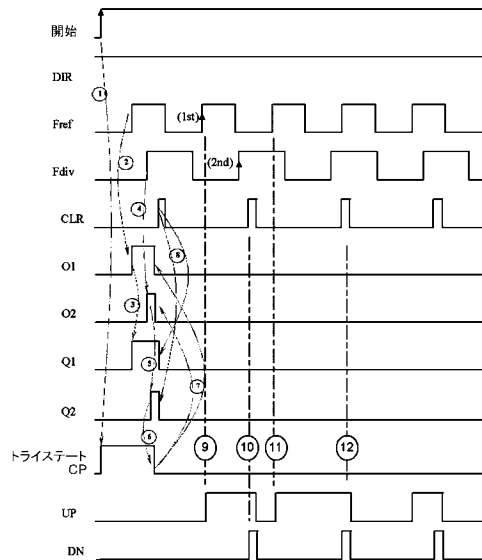
【図 13 A】



【図 13 B】



【図 13 C】



フロントページの続き

- (31)優先権主張番号 60/595,754
(32)優先日 平成17年8月2日(2005.8.2)
(33)優先権主張国 米国(US)

早期審査対象出願

- (72)発明者 コッポラ, フランセスコ
フランス, エフ - 0 6 1 3 0 グラッセ, アヴ ドゥ ラトレ デュ タシグニー 4 8 ,
ヴィヤ リリー
- (72)発明者 シブリアニ, ステファノ
フランス, エフ - 0 6 2 2 0 ゴルフェ ジュアン, シェミン ドゥ ラ ランペ 6 6 2 ,
レス. モンテヴェルディ
- (72)発明者 カブリネト, ロレンツォ
フランス, エフ - 0 6 6 0 0 アンティベ, ヴィヤ エヌ4, シェミン ドゥ ポウヴェルト 4 3 5
- (72)発明者 プッチオ, ギアンニ
フランス, エフ - 0 6 6 1 0 ラ ガウデュ, アヴェニュー マルセル バグノール, 5 0
0
- (72)発明者 ドゥヴィヴィエール, エリック
フランス, エフ - 0 6 2 2 0 ゴルフェ ジュアン, アヴェ ジョルジュ ポンピドウ 2 1
2, レス. モンソ バット. エー1
- (72)発明者 ビサンティ, ビアジオ
フランス, エフ - 0 6 0 0 0 アンティベ, シェミン ドゥ フォントメリエ, 3 5 7 ,
レ テラッセ ダンティベ バット 1イー
- (72)発明者 アルデルトン, マルティン
アメリカ合衆国, コロラド州, サン ディエゴ, モンテロ ブレイス 1 2 5 2 5

審査官 畑中 博幸

- (56)参考文献 特開2002-217726(JP,A)
特開2004-342093(JP,A)
実開昭57-163846(JP,U)
特開昭58-048538(JP,A)
特開2003-318728(JP,A)
特表平11-514511(JP,A)
特開2003-298416(JP,A)
特開2004-032044(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/18
H03L 7/183