

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5169151号
(P5169151)

(45) 発行日 平成25年3月27日(2013.3.27)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int. Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 H
 HO2M 3/28 B

請求項の数 5 (全 8 頁)

<p>(21) 出願番号 特願2007-286316 (P2007-286316) (22) 出願日 平成19年11月2日 (2007.11.2) (65) 公開番号 特開2009-118571 (P2009-118571A) (43) 公開日 平成21年5月28日 (2009.5.28) 審査請求日 平成21年12月24日 (2009.12.24)</p>	<p>(73) 特許権者 000003218 株式会社豊田自動織機 愛知県刈谷市豊田町2丁目1番地 (74) 代理人 100074099 弁理士 大菅 義之 (72) 発明者 鈴木 孝英 愛知県刈谷市豊田町2丁目1番地 株式会 社豊田自動織機内 審査官 牧 初</p>
--	--

最終頁に続く

(54) 【発明の名称】 DC/DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

スイッチ回路を利用して電圧を変換するDC/DCコンバータであって、
前記DC/DCコンバータの出力電圧と目標電圧との電圧差分を検出する差分検出手段と、

第1の係数と前記電圧差分の積により示される比例項と第2の係数と前記電圧差分の累積加算値の積により示される積分項との和により示される目標電流を求めるPI演算を実行して制御データを生成するPI演算手段と、

前記DC/DCコンバータの起動時から予め決められた初期動作期間を計測するタイマ手段と、

前記制御データに従って前記スイッチ回路を駆動する駆動回路、を備え、

前記PI演算手段は、初期動作期間である場合にはPI演算の積分項をゼロにする、
 ことを特徴とするDC/DCコンバータ。

【請求項2】

請求項1に記載のDC/DCコンバータであって、

前記PI演算手段は、前記初期動作期間である場合には前記電圧差分の累積加算値をゼロとすることを特徴とするDC/DCコンバータ。

【請求項3】

請求項1に記載のDC/DCコンバータであって、

前記PI演算手段は、前記初期動作期間である場合には前記積分項の前記第2の係数と

してゼロを設定することを特徴とするDC/DCコンバータ。

【請求項4】

請求項1に記載のDC/DCコンバータであって、

前記PI演算手段は、前記初期動作期間である場合には前記制御データとして比例項の演算結果のみを出力することを特徴とするDC/DCコンバータ。

【請求項5】

請求項1～4のいずれか1つに記載のDC/DCコンバータであって、

前記初期動作期間は、前記DC/DCコンバータの起動時から前記積分項の前記累積加算値に起因して前記目標電流によりDC/DCコンバータの出力電圧が過電圧になると想定される期間であることを特徴とするDC/DCコンバータ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PI演算を利用して出力電圧を制御するDC/DCコンバータに係わる。

【背景技術】

【0002】

図5は、従来の一般的なDC/DCコンバータの一例の構成を示す図である。このDC/DCコンバータは、トランスTによりその一次側と二次側とが電氣的に絶縁された構成である。一次側には、トランジスタQ1～Q4を含んで構成されるHブリッジ回路が設けられている。各トランジスタQ1～Q4は、不図示の制御回路によって制御される。一方、二次側には、ダイオードD1～D4を含んで構成される整流回路が設けられている。さらに、その整流回路の出力側には、チョークコイルLおよび平滑コンデンサCが設けられている。

20

【0003】

上記構成のDC/DCコンバータにおいては、基本的に、トランジスタQ1、Q4をオン状態に制御すると共にトランジスタQ2、Q3をオフ状態に制御する第1フェーズ、および、トランジスタQ2、Q3をオン状態に制御すると共にトランジスタQ1、Q4をオフ状態に制御する第2フェーズを交互に繰り返すことにより、交流が生成される。生成された交流電流は、トランスTを介して二次側に伝達され、整流回路によって整流される。そして、この電流のエネルギーがチョークコイルLを介して出力端子に伝達される。このとき、不図示の制御回路は、出力電圧Voutが目標電圧に一致するように、トランジスタQ1～Q4をフィードバック制御する。これにより、DC/DCコンバータの出力電圧が目標電圧に保持される。

30

【0004】

特許文献1には、PI(比例および積分)演算を利用して出力電圧を制御する電圧変換システムが記載されている。この電力変換システムは、フィードバックゲイン決定部によるフィードバックゲインKp、Kiを用いて、DC/DCコンバータの出力目標電圧に対する偏差をゼロにするためのフィードバック制御を行うフィードバック演算部を含む。そして、フィードバックゲイン決定部は、直流電源での充電率に応じた内部抵抗変化を反映するように、フィードバックゲインKp、Kiを決定する。

40

【特許文献1】特開2007-68290号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述のDC/DCコンバータにおいては、一般に、その起動時に出力電圧のオーバシュートが発生してしまう。すなわち、過大な出力電圧が発生してしまう。この結果、回路素子が破損するおそれがあった。

【0006】

本発明の課題は、DC/DCコンバータの起動時の過電圧を抑えることである。

【課題を解決するための手段】

50

【 0 0 0 7 】

本発明のDC/DCコンバータは、スイッチ回路を利用して電圧を変換する構成であって、出力電圧と目標電圧との電圧差分を検出する差分検出手段と、前記電圧差分についてPI演算を実行して制御データを生成するPI演算手段と、前記制御データに従って前記スイッチ回路を駆動する駆動回路、を備える。そして、前記PI演算手段は、当該DC/DCコンバータの起動時には、PI演算の積分項を通常動作時よりも小さな値とする。

【 0 0 0 8 】

この構成によれば、DC/DCコンバータの起動時において、PI演算の積分項に起因する電圧の上昇が抑えられるので、オーバシュートが抑えられる。

上記構成のDC/DCコンバータにおいて、前記PI演算手段は、当該DC/DCコンバータの起動時に、PI演算の積分項をゼロにしてもよい。この構成によれば、PI演算の積分項に起因する電圧の上昇が無くなるので、さらにオーバシュートが抑えられる。

【 0 0 0 9 】

PI演算の積分項をゼロにする演算は、例えば、前記電圧差分の累積値をゼロとする方法、前記積分項の係数としてゼロを設定する方法、前記制御データとして比例項の演算結果のみを出力する方法などにより実現可能である。

【 0 0 1 0 】

本発明の他の態様のDC/DCコンバータは、スイッチ回路を利用して電圧を変換する構成であって、出力電圧と目標電圧との電圧差分を検出する差分検出手段と、前記電圧差分についてPI演算を実行して制御データを生成するPI演算手段と、前記制御データに従って前記スイッチ回路を駆動する駆動回路、を備える。そして、前記PI演算手段は、前記電圧差分が予め決められた閾値よりも大きいときに、PI演算の積分項を通常動作時よりも小さな値とする。

【 0 0 1 1 】

上記構成のDC/DCコンバータにおいて、電圧差分が大きいときは、出力電圧が上昇して目標電圧に達しても、しばらくの間、PI演算の積分項は正の値のままである。よって、電圧差分が閾値よりも大きいときにPI演算の積分項を通常動作時よりも小さくすれば、DC/DCコンバータの起動時に限ることなくオーバシュートが抑えられる。

【 発明の効果 】

【 0 0 1 2 】

本発明によれば、DC/DCコンバータの起動時の過電圧を抑えることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

図1は、本発明の実施形態のDC/DCコンバータの構成を示す図である。図1に示す実施形態のDC/DCコンバータ1は、トランスTによりその一次側と二次側とが電氣的に絶縁された構成である。トランスTの一次側には、トランジスタQ1~Q4を含んで構成されるスイッチ回路としてのHブリッジ回路が設けられている。トランジスタQ1~Q4は、それぞれ、CPU10により生成される制御データに従って、スイッチとして動作する。一方、トランスTの二次側には、ダイオードD1~D4を含んで構成される整流回路が設けられている。さらに、その整流回路の出力側には、エネルギーを伝達するためのチョークコイルLが接続されている。また、図示していないが、出力電圧を平滑化するためのコンデンサを備えている。

【 0 0 1 4 】

CPU10は、フィードバック制御によりDC/DCコンバータ1の出力電圧Voutを目標電圧Vrefに一致させるための制御データを生成する。差分演算部(差分検出手段)11は、DC/DCコンバータ1の出力電圧Voutと目標電圧Vrefとの差分を表す電圧差分Vを計算する。なお、出力電圧Voutは、随時(例えば、所定のサンプリング間隔で)、デジタルデータに変換されて差分演算部11に与えられる。したがって、差分演算部11は、随時、最新の電圧差分Vを出力する。

【 0 0 1 5 】

PI演算部(PI演算手段)12は、電圧差分 V について下記の演算を実行することにより、制御データとしての目標電流 I_{target} を出力する。

$$I_{target} = (K_p + K_i) \times V = K_p V + K_i \int V$$

「 $K_p V$ 」は比例項であり、「 K_p 」はその係数である。また、「 $K_i \int V$ 」は積分項であり、「 K_i 」はその係数である。なお、「 $\int V$ 」は、所定のサンプリング間隔で計算される電圧差分 V の累積加算値(すなわち、積分値)である。そして、デジタル出力部13は、PI演算部12によって得られる目標電流 I_{target} を出力する。

【0016】

パルス出力部14a、14bは、所定の周期、かつ、所定のデューティを持ったパルス信号を生成する。なお、パルス出力部14a、14bにより生成される1組のパルス信号は、例えば、その位相が互いに反転している。タイマ15は、CPU10に起動指示が与えられると計時を開始し、予め決められた初期動作期間が経過すると満了する。起動指示は、例えば、DC/DCコンバータ1が自動車に搭載されている場合には、イグニッションスイッチの投入に相当する。或いは、DC/DCコンバータ1の電力変換動作が上位制御装置からの許可を受けて開始されるシステムにおいては、起動指示は、その上位装置からの許可信号に相当する。

10

【0017】

D/A変換部21は、目標電流 I_{target} をアナログ信号に変換し、コンパレータ22の正側端子に与える。コンパレータ22の負側端子には、電流センサ23により検出される電流値 I_{in} の絶対値が与えられる。すなわち、絶対値回路24は、電流センサ23により検出される電流値 I_{in} の絶対値を生成する。

20

【0018】

保持回路25a、25bは、例えばD-フリップフロップ回路であり、コンパレータ22の比較結果を保持する。AND回路26aは、パルス出力部14aにより生成されるパルス信号と、保持回路25aの出力信号との論理積を表す信号を生成する。同様に、AND回路26bは、パルス出力部14bにより生成されるパルス信号と、保持回路25bの出力信号との論理積を表す信号を生成する。ここで、電流値 I_{in} が目標電流 I_{target} よりも小さければ、パルス出力部14a、14bにより生成されるパルス信号がそのままAND回路26a、26bを通過する。一方、電流値 I_{in} が目標電流 I_{target} を超えると、コンパレータ22の出力が反転し、パルス信号はLレベルに変化する。すなわち、電流値 I_{in} と目標電流 I_{target} との比較結果に応じて、パルス信号のデューティが制御されることになる。

30

【0019】

ドライブ回路27aは、AND回路26aの出力信号に応じて、トランジスタQ1、Q4を駆動する。同様に、ドライブ回路27bは、AND回路26bの出力信号に応じて、トランジスタQ2、Q3を駆動する。これにより、1組のトランジスタQ1、Q4と、1組のトランジスタQ2、Q3は、交互に駆動される。すなわち、コンパレータ22、保持回路25a、25b、AND回路26a、26b、ドライブ回路27a、27bは、制御データとしての目標電流 I_{target} に従ってトランジスタQ1~Q4を駆動する駆動回路として動作する。そして、このフィードバック制御により、DC/DCコンバータ1は、電流モードで出力電圧 V_{out} を目標電圧 V_{ref} に保持することができる。

40

【0020】

ところで一般に、DC/DCコンバータの起動時は、出力電圧 V_{out} はゼロである。一方、目標電圧 V_{ref} は、基本的に、固定値である。すなわち、DC/DCコンバータの起動時は電圧差分 V が大きい。そして、電圧差分 V が大きいと、「 $\int V$ 」が急速に大きくなり、出力電圧 V_{out} が目標電圧 V_{ref} を超えても、しばらくの間は、「 $\int V$ 」は正の値のままである。このため、PI演算の結果として得られる目標電流 I_{target} は過大な値となり、これが出力電圧 V_{out} のオーバシュートの要因となってしまう。

【0021】

そこで、実施形態のDC/DCコンバータ1においては、起動時の初期動作期間にPI

50

演算の積分項の影響を排除または低減する機能を備えている。初期動作期間は、特に限定されるものではないが、例えば、数ミリ秒程度である。

【 0 0 2 2 】

図 2 は、P I 演算部 1 2 の処理を示すフローチャートである。なお、このフローチャートの処理は、起動指示によりタイマ 2 5 が計時を開始した後に、所定の時間間隔で繰り返し実行されるものとする。

【 0 0 2 3 】

ステップ S 1 では、タイマ 2 5 の出力をモニタすることにより、D C / D C コンバータ 1 の起動から一定時間（初期動作時間）が経過したか否かをチェックする。そして、起動から一定時間が経過していなければ、ステップ S 2 において、P I 演算の積分項における累積加算値 V に「ゼロ」を設定する。続いて、ステップ S 3 において「 $V = 0$ 」として目標電流 I_{target} を計算する。すなわち、初期動作期間の目標電流 I_{target} は、積分項の影響を受けることなく、比例項に基づいて計算される。一方、起動から一定時間が経過していれば、ステップ S 2 はスキップされる。すなわち、目標電流 I_{target} は、比例項および積分項の双方に基づいて計算される。

【 0 0 2 4 】

このように、実施形態の D C / D C コンバータ 1 においては、その起動時の目標電流が P I 演算の積分項の影響を受けないので、出力電圧のオーバシュートを抑えることができる。また、この機能は、P I 演算部 1 2 を提供するためのプログラムを書き換えるだけで容易に実現可能である。

【 0 0 2 5 】

図 3 は、P I 演算部 1 2 の他の実施形態の処理を示すフローチャートである。図 3 に示す方式では、D C / D C コンバータ 1 の起動から一定時間が経過していなければ、図 2 に示すステップ S 2 の代わりに、ステップ S 4 が実行される。ステップ S 4 では、P I 演算の積分項の係数 K_i として「ゼロ」を設定する。そして、ステップ S 4 に続いて実行されるステップ S 3 において、「 $K_i \quad V = 0$ 」として目標電流 I_{target} を計算する。この結果、初期動作期間の目標電流 I_{target} は、積分項の影響を受けることなく、比例項に基づいて計算される。

【 0 0 2 6 】

図 4 は、P I 演算部 1 2 のさらに他の実施形態の処理を示すフローチャートである。図 4 に示す方式では、D C / D C コンバータ 1 の起動から一定時間が経過していなければ、ステップ S 5 において、下式を用いて目標電流 I_{target} を計算する。

$$I_{target} = K_p \quad V$$

したがって、この方式でも、初期動作期間の目標電流 I_{target} は、積分項の影響を受けることなく、比例項に基づいて計算される。

【 0 0 2 7 】

< 他の実施形態 >

上述の実施例では、D C / D C コンバータ 1 の起動時に P I 演算の積分項をゼロとする構成を示したが、本発明はこれに限定されるものではない。すなわち、本発明は、起動時における P I 演算の積分項をゼロにする構成に限らず、その積分項を通常動作時よりも小さくする構成を含む。この方式は、例えば、D C / D C コンバータ 1 の起動時に、P I 演算の積分項の係数 K_i として、通常時の係数 K_i よりも小さな値を設定することにより実現可能である。

【 0 0 2 8 】

また、上述の実施例では、起動時（実施例では、起動指示が与えられたときから所定時間が経過するまでの期間）に P I 演算の積分項をゼロにする構成を示したが、本発明はこれに限定されるものではない。すなわち、例えば、電圧差分 V が所定値よりも大きいときに P I 演算の積分項をゼロにする（または、通常動作時よりも小さくする）ようにしてもよい。この方式は、図 2 ~ 図 4 に示すフローチャートのステップ S 1 の代わりに、電圧差分 V と閾値電圧とを比較することにより実現される。

【0029】

さらに、本発明は、図1に示す構成のみに適用されるものではない。すなわち、本発明を適用可能なDC/DCコンバータは、Hブリッジ回路を備える構成でなくてもよく、トランスで絶縁される構成でなくてもよい。また、本発明は、昇圧型、降圧型のいずれにも適用可能である。さらに、本発明は、図1に示すような電流モード制御型に限らず、電圧モード制御のDC/DCコンバータにも適用可能である。

【図面の簡単な説明】

【0030】

【図1】本発明の実施形態のDC/DCコンバータの構成を示す図である。

【図2】PI演算部の処理を示すフローチャートである。

10

【図3】PI演算部の他の実施形態の処理を示すフローチャートである。

【図4】PI演算部のさらに他の実施形態の処理を示すフローチャートである。

【図5】従来の一般的なDC/DCコンバータの一例の構成を示す図である。

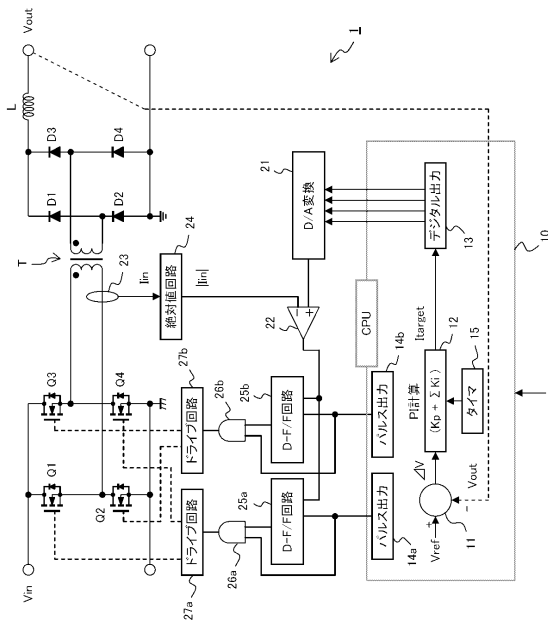
【符号の説明】

【0031】

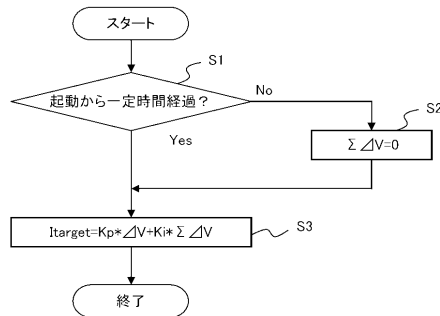
- 1 DC/DCコンバータ
- 10 CPU
- 11 差分演算部
- 12 PI演算部
- 15 タイマ

20

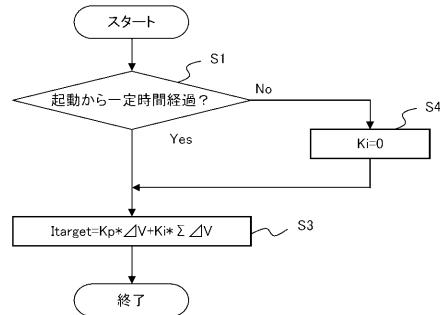
【図1】



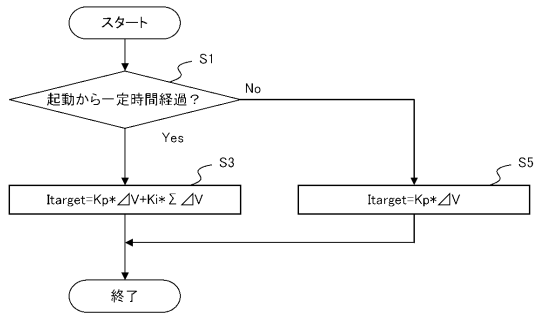
【図2】



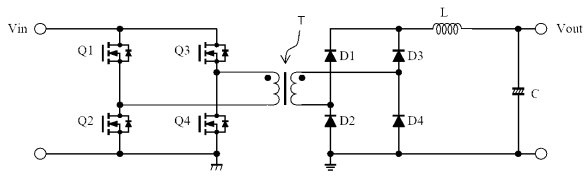
【図3】



【図4】



【図5】



フロントページの続き

- (56)参考文献 特開2007-252144(JP,A)
特開2001-45763(JP,A)
特開平10-327576(JP,A)
特開昭62-293304(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44

G05B 1/00 - 7/04

G05B 11/00 - 13/04