

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4568084号
(P4568084)

(45) 発行日 平成22年10月27日 (2010.10.27)

(24) 登録日 平成22年8月13日 (2010.8.13)

(51) Int.Cl.		F I		
G 1 1 C	11/404	(2006.01)	G 1 1 C	11/34 3 5 2 C
G 1 1 C	11/4099	(2006.01)	G 1 1 C	11/34 3 5 2 E
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 4 E

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2004-313988 (P2004-313988)	(73) 特許権者	000003078
(22) 出願日	平成16年10月28日 (2004.10.28)		株式会社東芝
(65) 公開番号	特開2006-127631 (P2006-127631A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成18年5月18日 (2006.5.18)	(74) 代理人	100075812
審査請求日	平成19年7月6日 (2007.7.6)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

データを保持する複数のメモリセルを有するメモリセルアレイと、
前記メモリセルに接続される複数のビット線と、
少なくとも1本の前記ビット線を挟んで所定間隔ごとに配置されるデータ"0"用の第1ダミービット線と、
少なくとも1本の前記ビット線を挟んで所定間隔ごとに配置されるデータ"1"用の第2ダミービット線と、
対応する前記第1ダミービット線に接続され、データ"0"用の基準電流を生成する第1ダミーセルと、
対応する前記第2ダミービット線に接続され、データ"1"用の基準電流を生成する第2ダミーセルと、
対応する前記第1ダミービット線の電位が所定電位以下になるように電位制限を行う第1ダミービット線クランプ回路と、
対応する前記第2ダミービット線の電位が所定電位以下になるように電位制限を行う第2ダミービット線クランプ回路と、
対応する前記第1および第2ダミービット線クランプ回路の出力電流に基づいて基準電位を生成する基準電位生成回路と、
選択されたメモリセルの出力電流と前記基準電流との電流差に基づいて、前記選択されたメモリセルが記憶しているデータの論理を検出するセンスアンプと、

10

20

前記第1ダミービット線クランプ回路の出力端子と、対応する前記第2ダミービット線クランプ回路の出力端子と、対応する前記基準電位生成回路の入力端子とを共通に接続する共通接続線と、を備えることを特徴とする半導体記憶装置。

【請求項2】

前記センスアンプは、

選択されたメモリセルの出力電流と前記基準電流との電流差に基づいてデータ電位を生成する第1センス回路と、

前記第1センス回路から出力されるデータ電位と前記基準電位とに基づいて、前記選択されたメモリセルが記憶しているデータの論理を検出する第2センス回路と、を有することを特徴とする請求項1に記載の半導体記憶装置。

10

【請求項3】

前記共通接続線は、複数の前記第1ダミービット線クランプ回路の出力端子と、複数の前記第2ダミービット線クランプ回路の出力端子と、複数の前記第1基準電位生成回路の入力端子と、複数の前記第2基準電位生成回路の入力端子とを共通に接続することを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項4】

不良の前記第1ダミーセルを、前記第1ダミービット線を単位として置換可能な第1スペアセルおよび第1スペアビット線と、

不良の前記第2ダミーセルを、前記第2ダミービット線を単位として置換可能な第2スペアセルおよび第2スペアビット線と、

20

前記第1スペアビット線を前記第1ダミービット線クランプ回路に接続するか否かを制御する第5トランジスタと、

前記第2スペアビット線を前記第2ダミービット線クランプ回路に接続するか否かを制御する第6トランジスタと、を備えることを特徴とする請求項1及至3のいずれかに記載の半導体記憶装置。

【請求項5】

データを記憶する複数のメモリセルを有するメモリセルアレイと、

前記メモリセルに接続される複数のビット線と、

少なくとも1本のビット線を挟んで所定間隔ごとに配置されるダミービット線と、

対応する前記ダミービット線に接続され、データ"0"用の基準電流を生成する第1ダミーセルと、

30

対応する前記ダミービット線に接続され、データ"1"用の基準電流を生成する第2ダミーセルと、

対応する前記ダミービット線の電位が所定電位以下になるように電位制限を行うクランプ回路と、

対応する前記クランプ回路の出力電流に基づいて基準電位を生成する基準電位生成回路と、

前記基準電流および前記基準電位に基づいて、選択されたメモリセルが記憶しているデータの論理を検出するセンスアンプと、

前記クランプ回路の出力端子と対応する前記基準電位生成回路の入力端子とを共通に接続する共通接続線と、を備えることを特徴とする半導体記憶装置。

40

【請求項6】

前記メモリセルアレイは、FBC (Floating Body Cell)であることを特徴とする請求項1及至5のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリセルの出力電流と基準電流との電流差に基づく電位差により、データの論理を検出する半導体記憶装置に関する。

【背景技術】

50

【0002】

キャパシタを用いることなく、1トランジスタをメモリセルとするDRAMが提案されている。この種のDRAMは、トランジスタのチャンネルボディの電位差によるしきい値電圧の違いを利用してデータの記憶を行う。具体的には、メモリセルの出力電流の有無または大小を検出して、このメモリセルに記憶されているデータを判別する。

【0003】

メモリセルの出力電流を検出するために、基準電流を生成するダミーセルを設けて、メモリセルの出力電流と基準電流との電流差を検出し、この電流差に基づく電位差によりデータの論理を検出する半導体記憶装置が提案されている（特許文献1参照）。

【特許文献1】特開2003-68877公報

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

通常、データ"0"用のダミーセルとデータ"1"用のダミーセルが別個に設けられ、また、ダミーセルは所定間隔ごとに複数設けられるが、各ダミーセルの特性のばらつきにより基準電流もばらつき、メモリセルのデータ論理を正確に判別できないおそれがある。

【0005】

本発明は、このような問題点に鑑みてなされたものであり、その目的は、データの論理を正確に判別可能な半導体記憶装置を提供することにある。

【課題を解決するための手段】

20

【0006】

上記の目的を達成するため、本発明は、データを保持する複数のメモリセルを有するメモリセルアレイと、前記メモリセルに接続される複数のビット線と、少なくとも1本の前記ビット線を挟んで所定間隔ごとに配置されるデータ"0"用の第1ダミービット線と、少なくとも1本の前記ビット線を挟んで所定間隔ごとに配置されるデータ"1"用の第2ダミービット線と、対応する前記第1ダミービット線に接続され、データ"0"用の基準電流を生成する第1ダミーセルと、対応する前記第2ダミービット線に接続され、データ"1"用の基準電流を生成する第2ダミーセルと、対応する前記第1ダミービット線の電位が所定電位以下になるように電位制限を行う第1ダミービット線クランプ回路と、対応する前記第2ダミービット線の電位が所定電位以下になるように電位制限を行う第2ダミービット線クランプ回路と、対応する前記第1および第2ダミービット線クランプ回路の出力電流に基づいて基準電位を生成する基準電位生成回路と、選択されたメモリセルの出力電流と前記基準電流との電流差に基づいて、前記選択されたメモリセルが記憶しているデータの論理を検出するセンスアンプと、前記第1ダミービット線クランプ回路の出力端子と、対応する前記第2ダミービット線クランプ回路の出力端子と、対応する前記基準電位生成回路の入力端子とを共通に接続する共通接続線と、を備える。

30

【0007】

また、データを記憶する複数のメモリセルを有するメモリセルアレイと、前記メモリセルに接続される複数のビット線と、少なくとも1本のビット線を挟んで所定間隔ごとに配置されるダミービット線と、対応する前記ダミービット線に接続され、データ"0"用の基準電流を生成する第1ダミーセルと、対応する前記ダミービット線に接続され、データ"1"用の基準電流を生成する第2ダミーセルと、対応する前記ダミービット線の電位が所定電位以下になるように電位制限を行うクランプ回路と、対応する前記クランプ回路の出力電流に基づいて基準電位を生成する基準電位生成回路と、前記基準電流および前記基準電位に基づいて、選択されたメモリセルが記憶しているデータの論理を検出するセンスアンプと、前記クランプ回路の出力端子と対応する前記基準電位生成回路の入力端子とを共通に接続する共通接続線と、を備える。

40

【発明の効果】

【0008】

本発明によれば、基準電流のばらつきを抑制することができ、回路面積も削減できる。

50

【発明を実施するための最良の形態】

【0009】

以下、図面を参照しながら、本発明に係る半導体記憶装置の一実施形態を説明する。

【0010】

(第1の実施形態)

図1は本発明に係る半導体記憶装置の一実施形態の概略構成を示すブロック図である。図1の半導体記憶装置は、DRAMセル1が縦横に配列されたDRAMセルアレイ2と、各DRAMセル1のゲートに接続されるワード線WL0~WL3と、各DRAMセル1のドレインに接続されるビット線BLと、複数のビット線電位の中から一つを選択するビット線選択回路3 (BS BLOCK) と、ビット線選択回路3で選択されたビット線電位が所定電位以下になるように電位制限を行うビット線クランプ回路 (BL LIMITER) 4 と、複数のビット線BLを挟んで所定間隔ごとに配置されるデータ"0"用の第1ダミービット線DBL0と、複数のビット線BLを挟んで所定間隔ごとに配置されるデータ"1"用の第2ダミービット線DBL1と、第1ダミービット線DBL0に接続されてデータ"0"用の基準電流を生成する第1ダミーセル5と、第2ダミービット線DBL1に接続されてデータ"1"用の基準電流を生成する第2ダミーセル6と、対応する第1ダミービット線DBL0の電位が所定電位以下になるように電位制限を行う第1ダミービット線クランプ回路7と、対応する第2ダミービット線DBL1の電位が所定電位以下になるように電位制限を行う第2ダミービット線クランプ回路8と、対応する第1および第2ダミービット線クランプ回路7, 8の出力電流に基づいて基準電位を生成する基準電位生成回路9と、選択されたメモリセルの出力電流と基準電流との電流差に基づいて、選択されたメモリセルが保持しているデータの論理を検出するセンスアンプ10と、第1ダミービット線クランプ回路7の出力端子と、対応する第2ダミービット線クランプ回路8の出力端子と、対応する基準電位生成回路9の入力端子とを共通に接続する共通接続線11と、対応する第1ダミーセル5にデータを書き込む制御を行う第1トランジスタ12と、対応する第2ダミーセル6にデータを書き込む制御を行う第2トランジスタ13と、を備えている。

【0011】

DRAMセル1は、フローティングのチャンネルボディを持つ一つのMISFETで構成される。図2はnチャンネルMISFETを用いたDRAMセル1の構造を示す断面図である。シリコン基板21上に、シリコン酸化膜等の絶縁膜22が形成され、この絶縁膜22の上面に、シリコン基板21と分離されたn拡散層23, 24とp拡散層25が形成される。n拡散層23, 24はソース領域およびドレイン領域になり、p拡散層25はチャンネルボディになる。チャンネルボディ25の上面にはゲート絶縁膜26を介してゲート(ワード線)27が形成されている。

【0012】

図3はDRAMセルアレイ2の回路図である。行方向に配列されるDRAMセル1のゲートには共通のワード線WL0~WL3が接続され、列方向に配列されるDRAMセル1のドレインには共通のビット線BLが接続され、全DRAMセル1のソースは基準電位(接地電位)に設定されている。各DRAMセル1は、他のDRAMセル1とは分離されたフローティングのチャンネルボディを持つ。

【0013】

DRAMセル1は、チャンネルボディとなるp型シリコン層を、第1の電位に設定した第1データ状態と、第2の電位に設定した第2のデータ状態とをダイナミックに記憶する。具体的には、第1データ状態は、選択ワード線WL0~WL3と選択ビット線BLに高レベル電圧を与え、選択されたDRAMセル1を5極管動作させ、そのドレイン接合近傍でインパクトイオン化を起こして生成した多数キャリア(nチャンネルの場合、ホール)をチャンネルボディに保持することにより書き込まれる。これが例えばデータ"1"である。第2データ状態は、選択ワード線WL0~WL3に高レベル状態を与えて容量結合によりチャンネルボディ電位を高くし、選択ビット線BLを低レベルにして、選択されたDRAMセル1のチャンネルボディとドレインとの接合に順バイアス電流を流してチャンネルボディの多数キャリアをドレインに放出する

ことにより書き込まれる。これが例えばデータ"0"である。

【0014】

データ"1", "0"は、MISFETのゲートしきい値の差として表れる。すなわち、データ"1", "0"と、チャネルポディ電位とゲート電圧の関係は図4のようになり、チャネルポディ電位による基板バイアスの結果として、"1"の場合のしきい値 V_{th1} は、"0"の場合のしきい値電圧 V_{th0} より低くなる。したがって、データ読み出しは、しきい値電圧の差によるセル電流の差を検出することにより判別することができる。

【0015】

DRAMセル1から出力されるセル電流の大小は、基準電流との比較により判別される。そのため基準電流源として図1に示すダミーセルが設けられる。ダミーセルには、データ"0"用の基準電流を生成する第1ダミーセル5と、データ"1"用の基準電流を生成する第2ダミーセル6とがある。これらダミーセルは、DRAMセル1と同様の構造および特性を持つ。

10

【0016】

本実施形態では、共通接続線11により、第1ダミービット線クランプ回路7の出力端子と、対応する第2ダミービット線クランプ回路8の出力端子と、対応する基準電位生成回路9の入力端子とを共通に接続するため、第1ダミーセル5を流れる電流と第2ダミーセル6を流れる電流とを加算した電流が共通接続線11を流れる。基準電位生成回路9は、共通接続線11上の電流に基づいて、基準電位を生成する。

【0017】

20

図5は図1の詳細回路図である。第1ダミービット線クランプ回路7と第2ダミービット線クランプ回路8は、サイズ、形状、回路構成および電気的特性が同一である。以下では、第1ダミービット線クランプ回路7の構成および動作を説明するが、第2ダミービット線クランプ回路8も同様である。

【0018】

ビット線クランプ回路4と第1ダミービット線クランプ回路7は同一の回路で構成され、図5に示すように、ビット線(ダミービット線)電位と基準電位VBLRとの電位差を出力するオペアンプ31と、オペアンプ31の出力電位に応じてビット線(ダミービット線)の電位を負帰還制御するトランジスタ32とを有する。

【0019】

30

オペアンプ31の(+)入力端子には基準電位VBLRが入力され、(-)入力端子にはビット線(ダミービット線)が接続されている。第1ダミービット線クランプ回路7は、第1ダミービット線DBL0の電位が所定電位VBLR以下になるように制御する。

【0020】

基準電位生成回路9は、図5に示すように、縦続接続された2つのPMOSトランジスタ33, 34を有し、第1ダミービット線クランプ回路7の出力電流に基づいて基準電位を生成する。第1ダミービット線DBL0上のPMOSトランジスタ33のドレイン端子と第2ダミービット線DBL1上のPMOSトランジスタ34のドレイン端子はいずれも共通接続線11に接続されている。これにより、基準電位生成回路9は、第1ダミーセル5を流れる電流と第2ダミーセル6を流れる電流との和に基づく基準電位を生成する。

40

【0021】

一方、DRAMセル1からの出力電流をセンスするセンスアンプ10は、選択されたDRAMセル1の出力電流と基準電流との電流差に基づいてデータ電位を生成する第1センス回路41と、第1センス回路41から出力されるデータ電位と基準電位に基づいて、選択されたDRAMセル1が保持しているデータの論理を検出する第2センス回路42とを有する。

【0022】

第1センス回路41は、図5に示すように、縦続接続された2つのPMOSトランジスタ33, 44で構成される。第2センス回路42は、データ電位と基準電位との電位差に応じた信号を出力するオペアンプ45と、このオペアンプ45の出力をラッチするラッチ回路46とを有する。ラッチ回路46で保持されたデータは、カラム選択線により駆動される

50

カラムゲート47を介してデータ線48に転送される。

【0023】

データ線48の出力には、その保持データに基づいて、所定のリフレッシュサイクルでDRAMセル1データをリフレッシュするためのリフレッシュ回路49が接続されている。データ"0"、"1"の読み出し時に、ラッチ回路46はそれぞれ"L"、"H"出力状態になり、この論理がデータ線を介してビット線BLに転送される。

【0024】

図6は図5のオペアンプ45の内部構成を示す回路図である。図6のオペアンプ45は、2段の差動増幅器51、52で構成される。初段の差動増幅器51は、(+)入力端子の電位と(-)入力端子の電位との電位差を出力し、後段の差動増幅器52は、初段の差動増幅器51の出力と基準電位VREFとの電位差に応じた信号Voutを出力する。

10

【0025】

図5のセンスアンプ10は、データ"0"用の第1ダミーセル5を流れる基準電流Icell1とデータ"1"用の第2ダミーセル6を流れる基準電流Icell2の電流和と、実際に読み出すDRAMセル1のセル電流の2倍とを比較し、データ"0"の場合には、図6の差動増幅器51の出力電位Vsaを低電位に、データ"1"の場合には出力電位Vsaを高電位にする。

【0026】

図7は差動増幅器の出力電位Vsaの出力波形を示す図である。図7には、データ"0"のときの出力電位Vsa"0"、データ"1"のときの出力電位Vsa"1"、および基準電位VREFの波形を示している。また、図8は従来のセンスアンプ10の出力波形を示す波形図である。これらの図に示すように、従来は出力電位Vsa"0"とVsa"1"が不安定に振動する期間が30ns程度あるのに対し、本実施形態では20ns程度に収まっている。このことから、本実施形態によれば、従来に比べてセンスアンプ10の出力電位が短時間に安定し、その分、高速読み出しが可能になる。

20

【0027】

このように、第1の実施形態では、第1ダミーセル5を流れる電流と第2ダミーセル6を流れる電流との和を基準接続線11で検出し、この和に基づいて基準電位を生成するため、第1ダミーセル5を流れる電流と第2ダミーセル6を流れる電流とがばらつき、その和を取るにより、ばらつきを相殺することができ、基準電位は第1ダミーセル5や第2ダミーセル6を流れる電流のばらつきの影響を受けなくなる。したがって、DRAMセルのデータ論理を正確に判別することができる。

30

【0028】

また、第1の実施形態によれば、センスアンプ10の出力電位が短時間で安定するため、高速読み出しが可能になる。

【0029】

(第2の実施形態)

図9は本発明に係る半導体記憶装置の第2の実施形態の概略構成を示すブロック図である。図9では、図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0030】

図1の半導体記憶装置では、離れた場所に位置する第1ダミービット線クランプ回路7同士は、別個の共通接続線11に接続されていたが、本実施形態では、すべての第1および第2ダミービット線クランプ回路7、8とすべての基準電位生成回路9とが同じ共通接続線11に接続されている。

40

【0031】

図10は図9の詳細回路図である。図5との違いは、複数の基準電位生成回路9内のPMOSトランジスタ34のドレイン端子が共通接続線11に接続されている点である。これにより、複数の第1ダミービット線DBL0の出力電流と複数の第2ダミービット線DBL1の出力電流との和が共通接続線11に流れ、第1ダミーセル5や第2ダミーセル6を流れる電流のばらつきをより確実に相殺できる。したがって、基準電位生成回路9で生成される基準

50

電位は、第1ダミーセル5や第2ダミーセル6を流れる電流のばらつきの影響を受けなくなる。

【0032】

(第3の実施形態)

図11は本発明に係る半導体記憶装置の第3の実施形態の概略構成を示すブロック図である。図11では、図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0033】

図11の半導体記憶装置は、データ"0"用の第1ダミーセル5とデータ"1"用の第2ダミーセル6専用のワード線DWL0, DWL1(以下、ダミーワード線DWL0, DWL1)を有する。また、第1ダミーセル5と、それに対応する第2ダミーセル6は、同じダミービット線DBLに接続されている。このような第1および第2ダミーセル5, 6が、複数のビット線BLを挟んで所定間隔ごとに配置されている。

10

【0034】

各ダミービット線DBLには、第1および第2ダミーセル5, 6へのデータ書き込みを制御するトランジスタ53と、ダミービット線クランプ回路54とが接続されている。複数のトランジスタ53のゲートは共通の選択線DS0に接続され、複数のダミービット線クランプ回路4の出力端子は共通接続線11に接続されている。

【0035】

このように、第3の実施形態では、複数のダミービット線クランプ回路4の出力端子を共通接続線11に接続するため、この共通接続線11には各ダミーセルを流れる電流の和が流れ、各ダミーセルを流れる電流のばらつきを相殺することができる。また、第1および第2の実施形態に比べて、ダミーセルの数とダミーセルへの書込制御用のトランジスタの数を削減できるため、チップサイズの小型化が可能になる。

20

【0036】

(第4の実施形態)

データ"0"用の第1ダミーセル5とデータ"1"用の第2ダミーセル6とを、間にDRAMセル1を挟んで離れて配置するものである。

【0037】

図12は本発明に係る半導体記憶装置の第4の実施形態の概略構成を示すブロック図である。図12では、図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

30

【0038】

図12の半導体記憶装置では、データ"0"用の第1ダミービット線DBL0に接続される第1ダミーセル5と、データ"1"用の第2ダミービット線DBL1に接続される第2ダミーセル6とが、DRAMセル1を間に挟んで配置されている。第1ダミービット線DBL0には、第1ダミービット線DBL0へのデータ書き込みを制御するトランジスタ55と、第1ダミービット線クランプ回路7と、第1基準電位生成回路9とが接続されている。第2ダミービット線DBL1には、第2ダミービット線DBL1へのデータ書き込みを制御するトランジスタ56と、第2ダミービット線クランプ回路8と、第2基準電位生成回路9とが接続されている。

40

【0039】

第1ダミービット線クランプ回路7の出力端子、第2ダミービット線クランプ回路8の出力端子、第1基準電位生成回路9の入力端子および第2基準電位生成回路9の入力端子はすべて共通接続線11に接続されている。このため、第1ダミーセル5を流れる電流と第2ダミーセル6を流れる電流とがばらついても、その和を取ることで、ばらつきを相殺することができ、基準電位は第1ダミーセル5や第2ダミーセル6を流れる電流のばらつきの影響を受けなくなる。

【0040】

(第5の実施形態)

第5の実施形態は、第4の実施形態の変形例であり、第4の実施形態よりもダミーセル

50

の数を削減するものである。

【 0 0 4 1 】

図 1 3 は本発明に係る半導体記憶装置の第 5 の実施形態の概略構成を示すブロック図である。図 1 3 では、図 1 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【 0 0 4 2 】

図 1 3 の半導体記憶装置は、DRAMセル 1 が接続されるワード線WL0~WL3とは別に、データ"0"用の第 1 ダミーセル 5 とデータ"1"用の第 2 ダミーセル 6 が接続されるダミーワード線DWLを備えている。第 1 ダミーセル 5 が接続される第 1 ダミービット線DBL0と、第 2 ダミーセル 6 が接続される第 2 ダミービット線DBL1は、間にDRAMセル 1 用のビット線BLを挟んで、離れて配置されている。

10

【 0 0 4 3 】

第 1 ダミービット線DBL0に接続される第 1 ダミービット線クランプ回路 7 の出力端子と、第 2 ダミービット線DBL1に接続される第 2 ダミービット線クランプ回路 8 の出力端子と、第 1 基準電位生成回路 9 と、第 2 基準電位生成回路 9 はすべて共通接続線 1 1 に接続されている。これにより、第 1 ダミーセル 5 を流れる電流と第 2 ダミーセル 6 を流れる電流とのばらつきを相殺できる。また、第 5 の実施形態によれば、第 1 および第 2 ダミーセル 5 , 6 の数を削減できるため、半導体記憶装置を小型化できる。

【 0 0 4 4 】

(第 6 の実施形態)

第 6 の実施形態は、ダミーセルに欠陥がある場合に、そのダミーセルが接続されているダミービット線をスペアのビット線に置き換えるものである。

20

【 0 0 4 5 】

図 1 4 は本発明に係る半導体記憶装置の第 6 の実施形態の概略構成を示すブロック図である。図 1 4 では、図 9 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【 0 0 4 6 】

図 1 4 の半導体記憶装置は、図 9 の構成に、ダミーセルに欠陥がある場合に、そのダミーセルが接続されているダミービット線を置き換えるためのスペアビット線 6 1 , 6 2 を備えている。このスペアビット線 6 1 , 6 2 は、ダミービット線 5 , 6 に隣接して配置される。図 1 4 の例では、第 1 ダミービット線 5 を置き換えるための第 1 スペアビット線 6 1 と、第 2 ダミービット線を置き換えるための第 2 スペアビット線 6 2 とを有する。

30

【 0 0 4 7 】

第 1 スペアビット線 6 1 には、スペアセル 6 3 と、このスペアセル 6 3 にデータを書き込む制御を行うトランジスタ 6 4 とが接続されている。このトランジスタ 6 4 は、第 1 ダミービット線クランプ回路 7 に接続されている。また、第 2 スペアビット線 6 2 には、スペアセル 6 5 と、このスペアセル 6 5 にデータを書き込む制御を行うトランジスタ 6 6 とが接続されている。このトランジスタ 6 6 は、第 2 ダミービット線クランプ回路 8 に接続されている。

【 0 0 4 8 】

第 1 ダミービット線 5 または第 2 ダミービット線 6 に接続されているいずれかのダミーセルに欠陥がある場合には、このダミーセルに接続されている第 1 または第 2 ダミービット線ごと、第 1 または第 2 スペアビット線 6 1 または 6 2 に置き換える。具体的には、第 1 ダミービット線 5 に接続されているダミーセルに欠陥がある場合には、第 1 トランジスタ 1 2 をオフし、代わりにトランジスタ 6 4 をオンする。これにより、第 1 ダミービット線が第 1 スペアビット線 6 1 に置き換わる。

40

【 0 0 4 9 】

このように、第 6 の実施形態では、ダミーセルに欠陥がある場合には、そのダミーセルが接続されているダミービット線ごと、第 1 または第 2 スペアビット線 6 1 または 6 2 に置き換えるようにしたため、ダミーセルの不良による誤動作を防止できるとともに、半導

50

体記憶装置の歩留まりを向上できる。

【 0 0 5 0 】

(第 7 の実施形態)

第 7 の実施形態は、不良の第 1 ダミーセル 5 または第 2 ダミーセル 6 への書き込みを禁止できるようにしたものである。

【 0 0 5 1 】

図 1 5 は本発明に係る半導体記憶装置の第 6 の実施形態の概略構成を示すブロック図である。図 1 5 では、図 1 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【 0 0 5 2 】

図 1 5 は、図 9 と比べて、第 1 および第 2 トランジスタ 1 2 , 1 3 の接続関係が異なっている。図 1 5 の第 1 および第 2 トランジスタ 1 2 , 1 3 は、個別にオン・オフを制御可能である。これにより、一部の第 1 ダミーセル 5 または第 2 ダミーセル 6 が不良の場合に、そのダミーセルに対するデータ書き込みを禁止できる。

【 0 0 5 3 】

図 1 6 は図 1 5 の半導体記憶装置の詳細回路図である。第 1 および第 2 トランジスタ 1 2 , 1 3 のゲートに入力される信号 DS00, DS10, DS01, DS11 は、インバータ IV を介して対応する基準電位生成回路 9 の PMOS トランジスタ 3 4 のゲートにも入力される。これにより、データ書き込みを禁止するダミーセルに対応する基準電位生成回路 9 の動作も停止し、消費電力を削減できる。

【 0 0 5 4 】

このように、第 5 の実施形態では、不良のダミーセルについては、データ書き込みを禁止するようにしたため、消費電力の削減が図れる。

【 0 0 5 5 】

なお、図 1 5 および図 1 6 では省略しているが、図 1 4 に示すように、ダミービット線を置き換えるスペアビット線を設けてもよい。

【 0 0 5 6 】

(第 8 の実施形態)

第 8 の実施形態は、第 7 の実施形態の変形例である。

【 0 0 5 7 】

図 1 7 は本発明に係る半導体記憶装置の第 6 の実施形態の概略構成を示すブロック図である。図 1 7 では、図 1 と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【 0 0 5 8 】

図 1 7 の半導体記憶装置は、図 1 の回路にトランジスタ 6 7 を新たに追加したものである。このトランジスタ 6 7 は、第 1 および第 2 ダミービット線クランプ回路 7 , 8 が接続された共通接続線 1 1 に書込データを供給するか否かを切り替える。このトランジスタ 6 7 は、第 1 ダミービット線 DBL0 と対応する第 2 ダミービット線 DBL1 の組み合わせごとに設けられる。

【 0 0 5 9 】

したがって、トランジスタ 6 7 のいずれか一つをオフにすれば、オフにしたトランジスタ 6 7 に対応する第 1 ダミーセル 5 と第 2 ダミーセル 6 に対するデータの書き込みを禁止できる。

【 0 0 6 0 】

このように、第 6 の実施形態では、第 5 の実施形態よりも簡易な制御で、一部のダミーセルに対するデータの書き込みを禁止できる。なお、図 1 7 に図 1 4 に示すようなスペアビット線を設けてもよい。

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 本発明に係る半導体記憶装置の一実施形態の概略構成を示すブロック図。

10

20

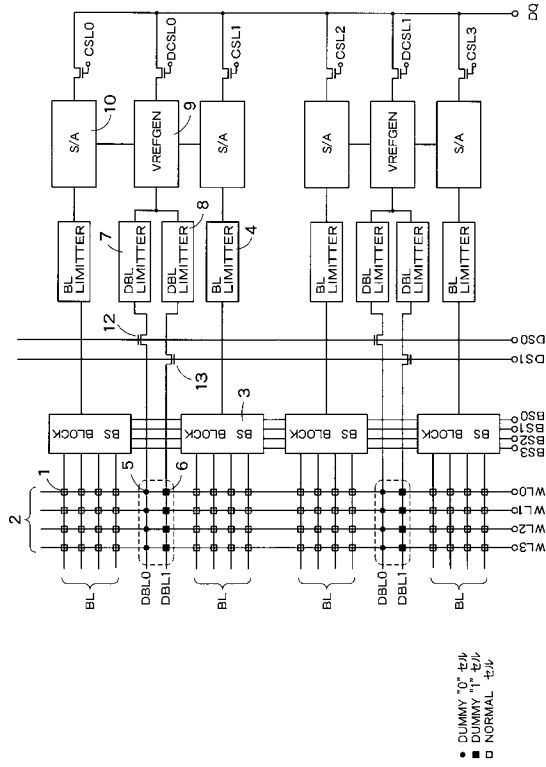
30

40

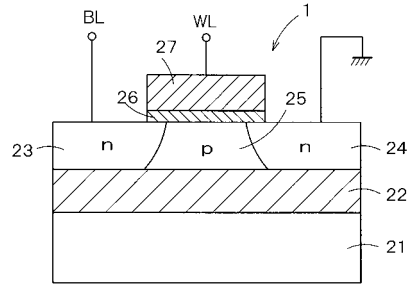
50

- 【図 2】 n チャネル MISFET を用いた DRAM セル 1 の構造を示す断面図。
- 【図 3】 DRAM セル アレイ 2 の回路図。
- 【図 4】 データ "1", "0" と、チャンネルポディ電位とゲート電圧の関係を示す図。
- 【図 5】 図 1 の詳細回路図。
- 【図 6】 図 5 のオペアンプ 4 5 の内部構成を示す回路図。
- 【図 7】 差動増幅器の出力電位 V_{sa} の出力波形を示す図。
- 【図 8】 従来 of センスアンプ 1 0 の出力波形を示す波形図。
- 【図 9】 本発明に係る半導体記憶装置の第 2 の実施形態の概略構成を示すブロック図。
- 【図 10】 図 9 の詳細回路図。
- 【図 11】 本発明に係る半導体記憶装置の第 3 の実施形態の概略構成を示すブロック図。 10
- 【図 12】 本発明に係る半導体記憶装置の第 4 の実施形態の概略構成を示すブロック図。
- 【図 13】 本発明に係る半導体記憶装置の第 5 の実施形態の概略構成を示すブロック図。
- 【図 14】 本発明に係る半導体記憶装置の第 6 の実施形態の概略構成を示すブロック図。
- 【図 15】 本発明に係る半導体記憶装置の第 6 の実施形態の概略構成を示すブロック図。
- 【図 16】 図 1 5 の半導体記憶装置の詳細回路図。
- 【図 1 7】 本発明に係る半導体記憶装置の第 6 の実施形態の概略構成を示すブロック図。
- 【符号の説明】
- 【 0 0 6 2 】
- 1 DRAMセル
 - 2 DRAMセルアレイ 20
 - 3 ビット線選択回路
 - 4 ビット線クランプ回路
 - 5 第 1 ダミーセル
 - 6 第 2 ダミーセル
 - 7 第 1 ダミービット線クランプ回路
 - 8 第 2 ダミービット線クランプ回路
 - 9 基準電位生成回路
 - 1 0 センスアンプ
 - 1 1 共通接続線
 - 1 2 第 1 トランジスタ 30
 - 1 3 第 2 トランジスタ
 - 3 1 オペアンプ
 - 3 2 トランジスタ
 - 3 3 , 3 4 PMOS トランジスタ
 - 4 1 第 1 センス回路
 - 4 2 第 2 センス回路
 - 4 3 , 4 4 PMOS トランジスタ
 - 4 5 オペアンプ
 - 4 6 ラッチ回路
 - 4 7 カラムゲート 40
 - 4 8 データ線
 - 4 9 リフレッシュ回路
 - 5 1 , 5 2 差動増幅器
 - 5 4 ダミービット線クランプ回路

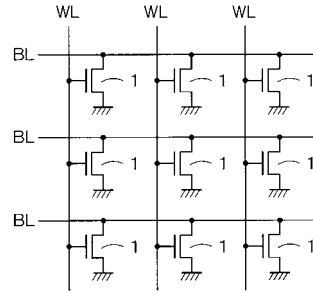
【 図 1 】



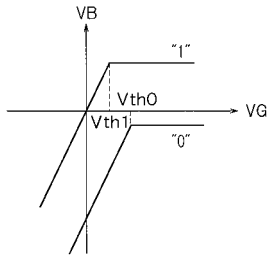
【 図 2 】



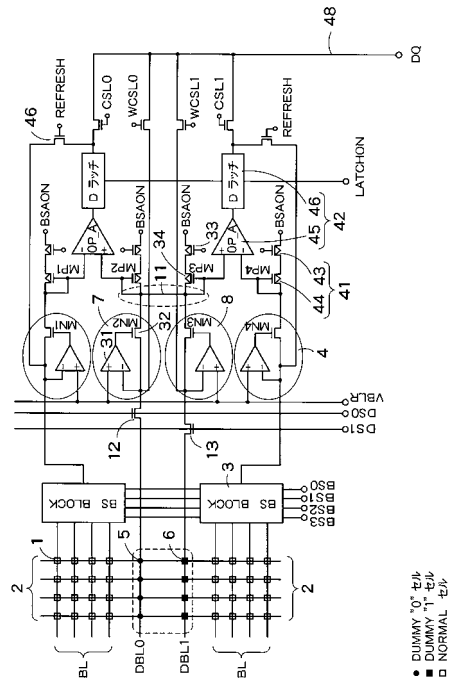
【 図 3 】



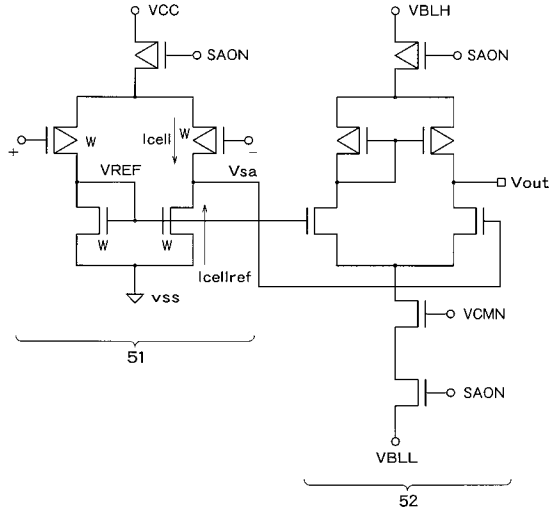
【 図 4 】



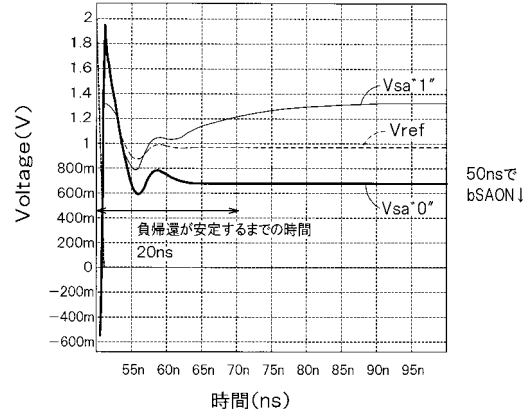
【 図 5 】



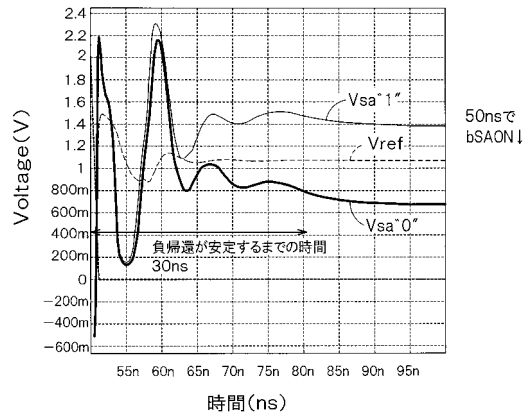
【図 6】



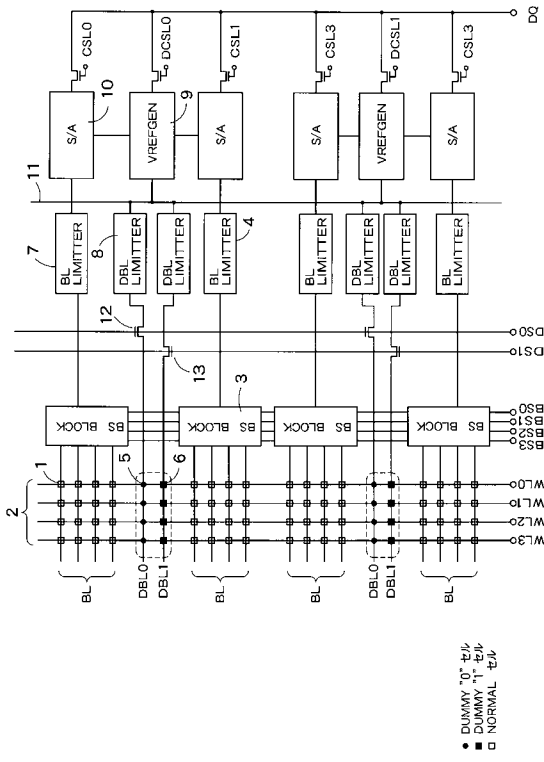
【図 7】



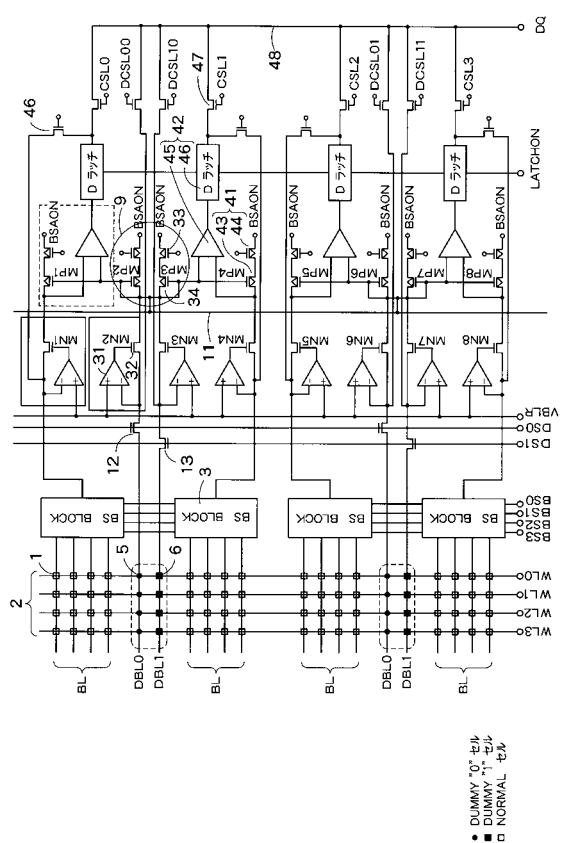
【図 8】



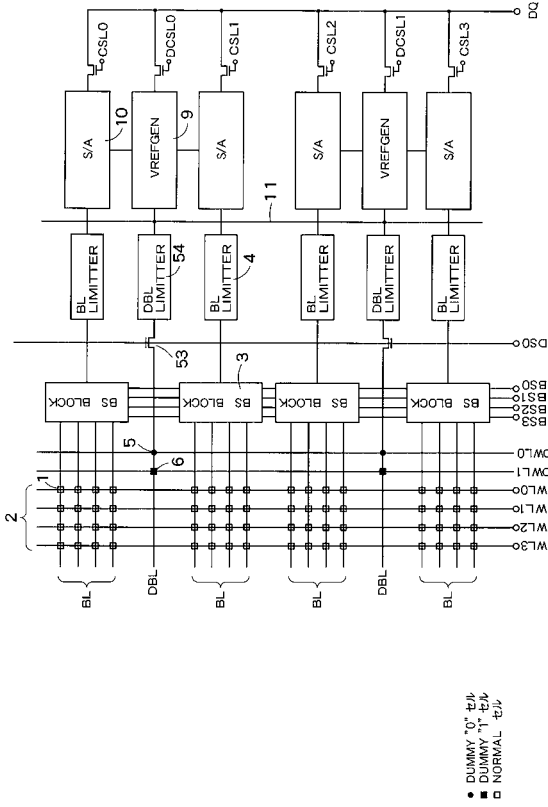
【図 9】



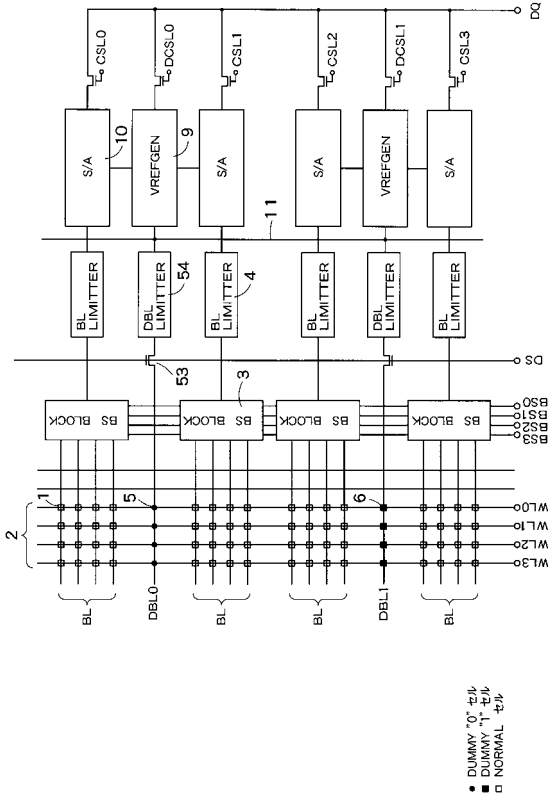
【図 10】



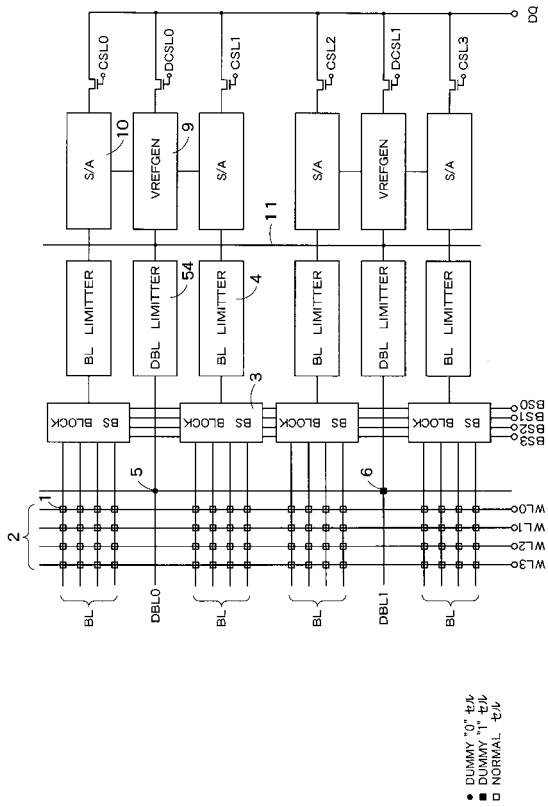
【 1 1 】



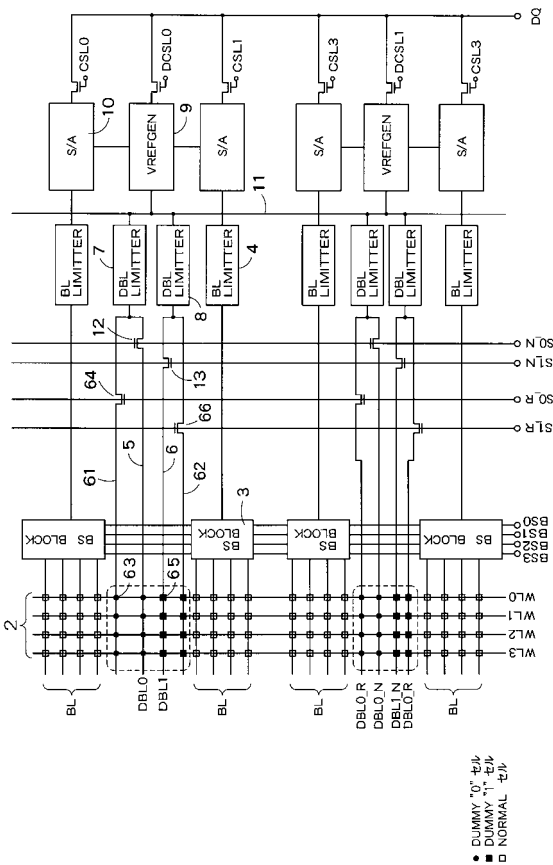
【 1 2 】



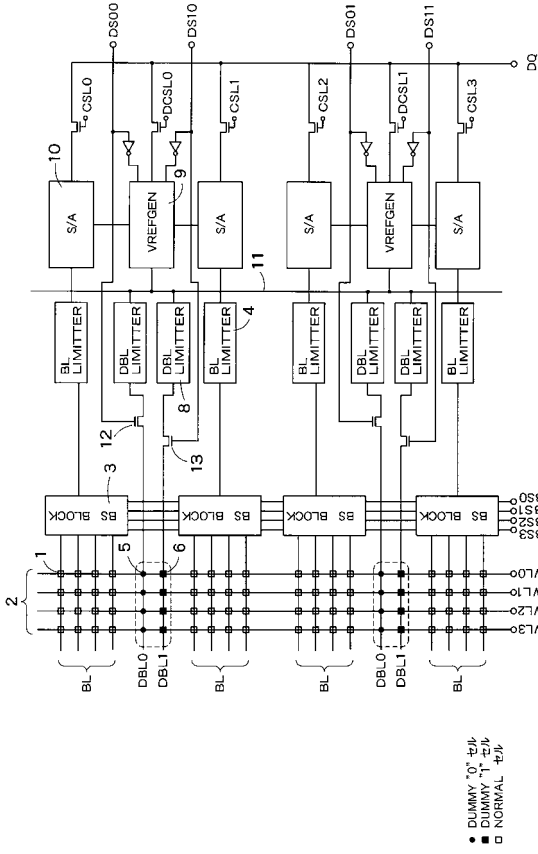
【 1 3 】



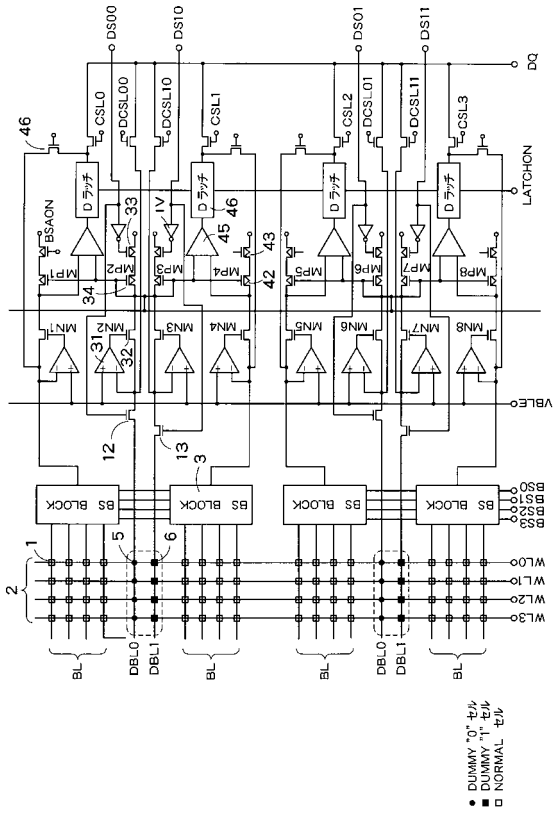
【 1 4 】



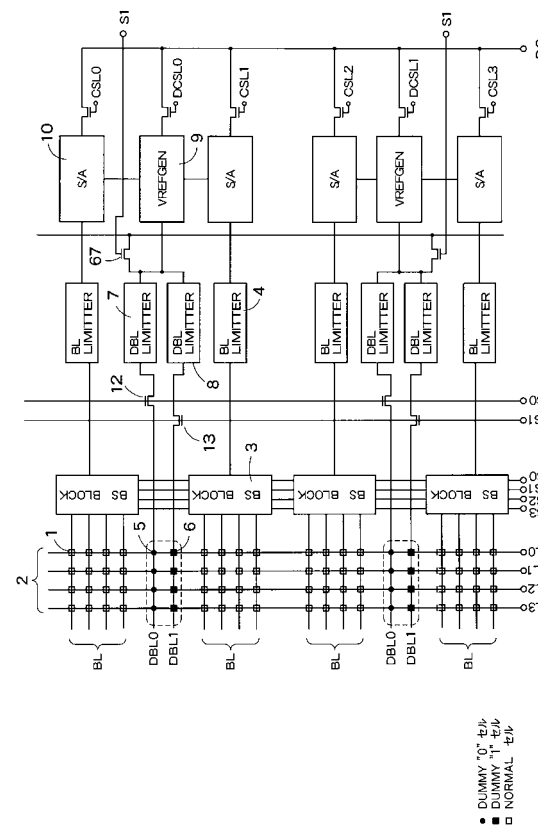
【 図 15 】



【 図 16 】



【 図 17 】



フロントページの続き

(72)発明者 藤 田 勝 之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 堀田 和義

(56)参考文献 特開2003-132682(JP,A)

特開2004-22093(JP,A)

特開2004-335883(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/404