

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月3日(03.08.2017)



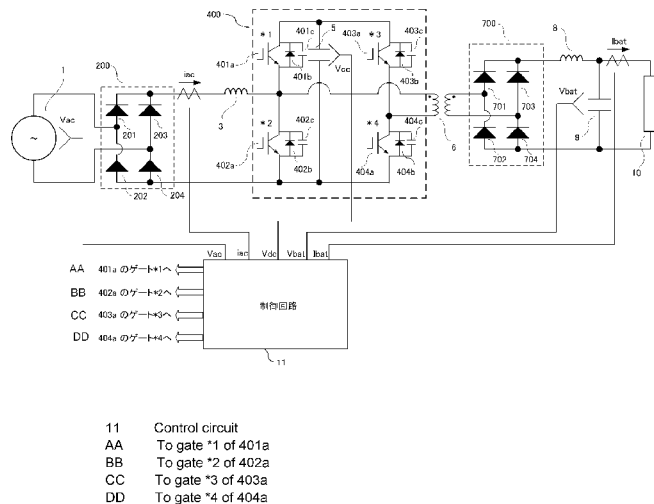
(10) 国際公開番号
WO 2017/131096 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) H02M 7/48 (2007.01)
H02M 7/12 (2006.01)
- (21) 国際出願番号: PCT/JP2017/002759
- (22) 国際出願日: 2017年1月26日(26.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-015524 2016年1月29日(29.01.2016) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 水谷 大斗(MIZUTANI, Hiroto); 〒1008310 東京都千代田区丸の内二丁目7番3号三菱電機株式会社内 Tokyo (JP). 近藤 亮太(KONDO, Ryota); 〒1008310 東京都千代田区丸の内二丁目7番3号三菱電機株式会社内 Tokyo (JP). ▲高▼原 貴昭(TAKAHARA, Takaaki); 〒1008310 東京都千代田区丸の内二丁目7番3号三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 村上 加奈子, 外(MURAKAMI, Kanako et al.); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社 知的財産センター内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: POWER CONVERTER

(54) 発明の名称: 電力変換装置



(57) Abstract: This power converter is characterized by being provided with: a rectifier circuit; an inverter circuit having a full-bridge structure including a first leg and a second leg, which are each serially connected to two switching elements, and a direct-current capacitor; a transformer; and a control circuit for controlling the operation of the inverter circuit. The power converter is further characterized in that the control circuit controls increases and decreases in the current flowing via a first rectifier circuit from an alternating-current input by controlling the On-period of the first leg, and maintains the voltage of the direct-current capacitor at a constant value by controlling the On-period of the second leg and the phase shift amount of the On-period of the first leg and the On-period of the second leg. The power converter makes it possible to simultaneously carry out high-power-factor control and output-power control via a single-stage full-bridge inverter circuit.

(57) 要約:

[続葉有]



WO 2017/131096 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

整流回路と、それぞれ2つのスイッチング素子が直列接続された第1レグおよび第2レグ、直流コンデンサを有するフルブリッジ構成のインバータ回路と、トランスと、インバータ回路の動作を制御する制御回路と、を備え、制御回路は、第1レグのオン期間を制御することより交流入力から第1整流回路を介して流れる電流の増減を制御し、第2レグのオン期間、および、第1レグのオン期間と第2レグのオン期間との位相シフト量を制御することより直流コンデンサの電圧を一定に制御すること、を特徴とする電力変換装置であって、フルブリッジインバータ回路1段で高力率制御と出力電力制御を同時に実現することができる。

明 細 書

発明の名称 : 電力変換装置

技術分野

[0001] この発明は、交流電源からの入力を電力変換して所望の直流電力を得る電力変換装置に関するものである。

背景技術

[0002] 交流電源から供給された交流電力を直流電力に変換して直流負荷に供給する電力変換装置では、高効率化の要求が高まっており、高効率化を実現する電力変換装置が提案されている（例えば、特許文献1参照）。特許文献1に開示された電力変換装置は、交流電源に接続された整流回路、整流回路に接続された平滑コンデンサ、平滑コンデンサを介して整流回路に接続された第1のスイッチング回路、共振コンデンサおよび共振インダクタを備えたトランス、トランスを介して直流負荷側に設けられた第2のスイッチング回路より構成されている。この電力変換装置において、第2のスイッチング回路のスイッチング動作を制御することにより、スイッチング損失の低減し、高効率化を実現している。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-249375号公報

発明の概要

発明が解決しようとする課題

[0004] 上述した従来の電力変換装置では、直流出力部に電流平滑用リアクトルが設けられていないため、交流電流の高力率制御および直流負荷に出力する直流電力を同時に調整することが困難である。そのため、不特定周波数のリップル成分が直流負荷に入力されることとなり、直流負荷としてバッテリーを用いる場合、バッテリー電流に不特定周波数のリップル成分が混入することでバッテリーが劣化して寿命が低下する恐れがある。

[0005] この発明は、上記のような課題を解決するためになされたものであり、交流電流の高力率制御および直流負荷への出力電力の制御を行うことが可能な電力変換器を得ることを目的とする。

課題を解決するための手段

[0006] 本発明に係る電力変換装置は、交流電源より入力された交流電力を整流する第1整流回路と、直列接続された第1スイッチング素子および第2スイッチング素子を有し、第1スイッチング素子および第2スイッチング素子との接続点である第1交流端に第1整流回路の正極側直流端子が接続された第1レグ、ダイオードが逆並列にそれぞれ接続された第3スイッチング素子および第4スイッチング素子を有し、第3スイッチング素子および第4スイッチング素子が直列接続された第2レグ、直流コンデンサ、が互いに並列接続され、負極側直流母線が第1整流回路の負極側直流端子に接続されたインバータ回路と、1次巻線および2次巻線を有し、1次巻線の一端にインバータ回路の第1交流端、他端に第3スイッチング素子および第4スイッチング素子の接続点である第2交流端が接続されたトランスと、一端がトランスの2次巻線に接続され、他端が平滑コンデンサを介して直流負荷に接続され、トランスより入力される交流電力を整流して直流負荷に出力する第2整流回路と、インバータ回路の動作を制御する制御回路と、を備え、制御回路は、第1レグのオン期間を制御することより第1整流回路より出力される電流を制御し、第2レグのオン期間、および、第1レグのオン期間と第2レグのオン期間との位相シフト量を制御することより直流コンデンサの電圧が一定となるように制御すること、を特徴とする。

発明の効果

[0007] 本発明に係る電力変換装置では、フルブリッジインバータ回路1段で高力率制御と出力電力制御を同時に実現することができる。これにより、直流負荷としてバッテリーを接続し充電動作を行う場合には、バッテリー電流に混入する不特定周波数のリップル成分を抑制して充電電力を供給可能となるためバッテリーの寿命劣化を防止できる。

図面の簡単な説明

- [0008] [図1]本発明の実施の形態1に示す電力変換装置の構成図である。
- [図2]本発明の実施の形態1に示す電力変換装置の各スイッチング素子の動作を説明した図である。
- [図3]本発明の実施の形態1に示す電力変換装置の電流経路を表した図である。
- 。
- [図4]本発明の実施の形態1に示す電力変換装置の電流経路を表した図である。
- 。
- [図5]本発明の実施の形態1に示す電力変換装置の電流経路を表した図である。
- 。
- [図6]本発明の実施の形態1に示す電力変換装置の電流経路を表した図である。
- 。
- [図7]本発明の実施の形態1に示す電力変換装置の動作原理を表した図である。
- 。
- [図8]本発明の実施の形態1に示す電力変換装置の動作原理を表した図である。
- 。
- [図9]本発明の実施の形態1に示す電力変換装置の制御システムを表した図である。
- [図10]本発明の実施の形態1に示す電力変換装置の制御システムを表した図である。
- [図11]本発明の実施の形態1に示す電力変換装置の制御システムを表した図である。
- [図12]本発明の実施の形態1に示す電力変換装置の制御システムを表した図である。
- [図13]本発明の実施の形態1に示す電力変換装置の動作原理を表した図である。
- [図14]本発明の実施の形態1に示す電力変換装置の制御システムを表した図である。

[図15]本発明の実施の形態1に示す電力変換装置の制御システムを表した図である。

[図16]本発明の実施の形態1に示す制御回路のハードウェア構成を表したブロック図である。

[図17]本発明の実施の形態2に示す電力変換装置の動作原理を表した図である。

[図18]本発明の実施の形態2に示す電力変換装置の制御システムを表した図である。

[図19]本発明の実施の形態2に示す電力変換装置の制御システムを表した図である。

[図20]本発明の実施の形態3に示す電力変換装置の動作原理を表した図である。

[図21]本発明の実施の形態3に示す電力変換装置の簡易等価回路を表した図である。

[図22]本発明の実施の形態3に示す電力変換装置の動作原理を表した図である。

[図23]本発明の実施の形態3に示す電力変換装置の動作原理を表した図である。

[図24]本発明の実施の形態3に示す電力変換装置の動作原理を表した図である。

[図25]本発明の実施の形態3に示す電力変換装置の動作原理を表した図である。

[図26]本発明の実施の形態3に示す電力変換装置の動作原理を表した図である。

[図27]本発明の実施の形態3に示す電力変換装置の制御システムを表した図である。

[図28]本発明の実施の形態3に示す電力変換装置の制御システムを表した図である。

発明を実施するための形態

[0009] 実施の形態 1.

本発明の実施の形態 1 に係る電力変換装置の構成を、図面を用いて説明する。図 1 は、本発明の実施の形態 1 に係る電力変換装置の構成図である。図 1 に示す電力変換装置は、交流電源 1 および直流負荷 10 と接続されており、交流電源 1 から入力される交流電力を直流電力に変換し、直流負荷 10 に出力する。

[0010] 電力変換装置は、交流電源 1 から入力される交流電力を直流電力に変換する主回路と、主回路を制御する制御回路とから構成される。主回路は、少なくとも 2 つの巻線を有するトランス 6 を有しており、主回路のうちトランス 6 に対して交流電源 1 に接続される側を 1 次側、直流負荷 10 に接続される側を 2 次側として説明する。主回路の 1 次側には、交流電力を整流する整流回路（第 1 整流回路）200、限流回路としての動作するリアクトル 3、整流回路 200 により整流された直流電力を所望の電圧の交流電力に変換してトランス 6 に出力するインバータ回路 400 が設けられている。また、主回路の 2 次側には、トランス 6 から出力される交流電力を直流電力に整流する整流回路（第 2 整流回路）700、整流回路 700 から出力された直流電力を平滑化する平滑リアクトル 8 および平滑コンデンサ 9 が設けられている。

[0011] 第 1 整流回路である整流回路 200 は、交流電源 1 に接続され、交流電源 1 から入力を整流して直流電力に変換する。整流回路 200 は、4 つのダイオード素子 201 ~ 204 から構成されたフルブリッジ回路であり、整流回路 200 の直流端子は、リアクトル 3 を介してインバータ回路 400 と接続される。ここで、整流回路 200 の 2 つ直流端子のうち、正極側の端子を正極側直流端子、負極側の端子を負極側直流端子と称することとする。なお、整流回路 200 は上述したような構成に限ったものではなく、交流電力を直流電力に整流する回路であればどのようなものでもよく、例えば、一部または全部のダイオード素子を、スイッチング素子等の能動素子を用いて構成するようにしてもよい。

- [0012] リアクトル3は、一端が整流回路200の正極側直流端子に接続され、他端がインバータ回路400に接続された限流リアクトルである。また、リアクトル3とインバータ回路400の接続点はトランス6の1次側の端子にも接続される。なお、リアクトル3は、整流回路200の負極側直流端子に接続してもよく、整流回路200の2つ直流端子のそれぞれに分散して接続してもよい。
- [0013] インバータ回路400は、4つの半導体スイッチング素子401a~404aを備えたフルブリッジインバータ回路であり、各半導体スイッチング素子は、制御回路11からのゲート信号に基づいてスイッチング動作を行う。また、半導体スイッチング素子401a~404aには、それぞれダイオード401b~404bが逆並列に接続され、また、それぞれコンデンサ401c~404cが並列接続されており、MOSFET等の半導体素子を用いることができる。
- [0014] 半導体スイッチング素子401a（第1スイッチング素子）と半導体スイッチング素子402a（第2スイッチング素子）、半導体スイッチング素子403a（第3スイッチング素子）と半導体スイッチング素子404a（第4スイッチング素子）はそれぞれ直列接続されている。ここで、直列接続された半導体スイッチング素子401aと半導体スイッチング素子402aを第1レグ、直列接続された半導体スイッチング素子403aと半導体スイッチング素子404aを第2レグと称することとする。また、半導体スイッチング素子401aは半導体スイッチング素子404aと対角の関係にあり、半導体スイッチング素子402aは半導体スイッチング素子403aと対角の関係にある。
- [0015] 半導体スイッチング素子401aと半導体スイッチング素子402aとの接続点（第1交流端）がリアクトル3を介して整流回路200の正極側直流端子と接続されており、また、トランス6の1次側の端子にも接続されている。また、インバータ回路400は、直流コンデンサ5を備えており、直流コンデンサ5、第1レグ、第2レグが互いに直流母線間（PN母線間）に並

列接続されている。また、インバータ回路400の負極側母線が、整流回路200の負極側直流端子に接続されている。

[0016] トランス6は、2つの巻線（1次巻線および2次巻線）から構成された絶縁トランスであり、1次巻線の一端がインバータ回路400の第1交流端、他端が半導体スイッチング素子403aと半導体スイッチング素子404aの接続点である第2交流端に接続されている。なお、ここではトランス6の漏洩インダクタンスを共振要素とする構成しているが、外付けのリアクトルを用いて構成してもよい。

[0017] 第2整流回路である整流回路700は、整流回路200と同様に4つのダイオード素子から構成されたフルブリッジ回路である。整流回路700の交流端子は、トランス6の2次側の出力端子に接続されており、トランス6から出力される交流電力を整流し、整流回路700の直流端子から出力させる。なお、整流回路700は、フルブリッジダイオード整流方式としているが、トランス6から出力される交流電力を整流する回路であればどのような回路であってもよい。例えば、一部または全部のダイオード素子を、半導体スイッチング素子等の能動素子を用いて構成するようにしてもよい。

[0018] 整流回路700の正極側の直流端子は、平滑リアクトル8に接続されており、平滑リアクトル8の後段と整流回路700の負極側の直流端子に平滑コンデンサ9が接続される。また、平滑コンデンサ9には直流負荷10が接続されており、整流回路700より出力された直流電力が直流負荷に供給される。

[0019] 直流負荷10は、例えば、蓄電池（バッテリー）である。なお、その他の交流入力と絶縁を必要とする直流負荷でもよく、例えば電気2重層コンデンサなどで構成してもよい。

[0020] 図1に示す電力変換装置では、整流回路200より出力されてリアクトル3を流れる電流（ i_{ac} ）を検出する電流検出器、直流コンデンサ5の直流電圧（ V_{dc} ）を検出する電圧検出器（第1電圧検出器）、平滑コンデンサ9の電圧（ V_{bat} ）を検出する電圧検出器（第2電圧検出器）が設けられている。

また、交流電源 1 の電源電圧 (V_{ac}) を検出する電圧検出器、直流負荷 10 に入力される電流 (i_{bat}) を検出する電流検出器が設けられている。これらの電圧値、電流値の情報は制御回路 11 に入力される構成となっている。

[0021] 次に、本発明の実施の形態 1 に示す電力変換装置の動作、すなわち交流電源 1 から入力された交流電力を直流電力に変換し、直流負荷 10 へ出力する動作について、図を用いて説明する。図 2 は、半導体スイッチング素子 401a~404a の動作を説明するゲート波形と、リアクトル 3 を流れる電流および直流コンデンサ 5 の充放電の状態を示す図である。図 3~図 6 は、図 2 で定義される 4 つの動作モードにおける電力変換装置内の電流経路を示す図である。

[0022] ここでは、半導体スイッチング素子 401a、402a、403a、404a の駆動周期を T とし、電流制御を行う半導体スイッチング素子 401a と 402a のスイッチング時間を t_2 とする。また、半導体スイッチング素子 404a の OFF タイミングを t_1 、半導体スイッチング素子 403a の OFF タイミングを t_3 とする。この場合、 $0 \sim t_1$ (第 1 動作モード)、 $t_1 \sim t_2$ (第 2 動作モード)、 $t_2 \sim t_3$ (第 3 動作モード)、 $t_3 \sim T$ (第 4 動作モード) の 4 つ期間の動作モードに分類することができ、この 4 つの動作モードごとの電流経路を図 3~図 6 に示す。

[0023] 第 1 動作モード、すなわち、図 2 に示す $0 \sim t_1$ 期間における電力変換装置の動作について説明する。第 1 動作モードでは、半導体スイッチング素子 401a、404a がオン状態となり、半導体スイッチング素子 402a、403a がオフ状態となる。第 1 動作モードでは、図 3 に示すとおり、交流電源 1 より入力され整流回路により整流された電流 i_{ac} は、リアクトル 3、トランス 6、半導体スイッチング素子 404a と流れて入力側へ戻ることとなる。同時に、直流コンデンサ 5 から半導体スイッチング素子 401a を介してトランス 6 へと電流が流入し、トランス 6 から半導体スイッチング素子 404a を介して直流コンデンサ 5 へと電流が戻る。第 1 動作モードでは、リアクトル 3 の後段の電位は半導体スイッチング素子 401a がオン状態と

なることで V_{dc} に固定される。また、ここでは、直流コンデンサ5の直流電圧 V_{dc} は交流電源1の電圧 V_{ac} のピーク電圧 V_p より高く制御されている状態では、電流 i_{ac} は減少する。また、直流コンデンサ5では電流を放電しているため V_{dc} は減少する。

[0024] 第2動作モード、すなわち、図2に示す $t_1 \sim t_2$ 期間における電力変換装置の動作について説明する。第2動作モードでは、半導体スイッチング素子401a、403aがオン状態、半導体スイッチング素子402a、404aがオフ状態となる。第2動作モードでは、図4に示すとおり、電流 i_a はリアクトル3、トランス6、ダイオード素子403b、直流コンデンサ5と流れて入力側へ電流が戻る。また、ダイオード素子403bを流れた電流の一部は、半導体スイッチング素子401aを流れてトランス6へと循環することとなる。第2動作モードではリアクトル3の後段の電位は半導体スイッチング素子401aがオン状態となることで V_{dc} に固定され、直流コンデンサ5の電圧 V_{dc} は交流電源1の電圧 V_{ac} のピーク電圧 V_p より高く制御されている状態では、電流 i_{ac} は減少する。また直流コンデンサ5では電流を充電しているため V_{dc} は増加する。なお、第2動作モードにおいては、トランス6の両端に生じる電位差が小さいため、2次側への電力の出力量は小さく、ここでは考慮しないものとする。

[0025] 第3動作モード、すなわち、図2に示す $t_2 \sim t_3$ 期間における電力変換装置の動作について説明する。第3動作モードでは、半導体スイッチング素子402aと403aがオン状態とし、半導体スイッチング素子401a、404aがオフ状態となる。第3動作モードにおいて、図5に示すとおり、電流 i_a はリアクトル3から半導体スイッチング素子402aを介して入力側へと還流する。また、直流コンデンサ5から半導体スイッチング素子403a、トランス6、半導体スイッチング素子402aを介して直流コンデンサ5へと電流が流れる。第3動作モードではリアクトル3の後段の電位は、半導体スイッチング素子402aがオン状態となることで0に固定され、電流 i_{ac} は増加する。また、直流コンデンサ5では電流を放電しているため V_{dc}

。は減少する。

[0026] 第4動作モード、すなわち、図2に示す $t_3 \sim T$ 期間における電力変換装置の動作について説明する。第4動作モードでは、半導体スイッチング素子402a、404aがオン状態とし、半導体スイッチング素子401a、403aをオフ状態とする。第4動作モードでは、図6に示す通りに、電流 i_{ac} はリアクトル3から半導体スイッチング素子402aを介して入力側へと還流する。また、半導体スイッチング素子402a、ダイオード404b、トランス6を介して電流が循環する。第4動作モードではリアクトル3の後段の電位は半導体スイッチング素子402aがオン状態となることで0に固定され、電流 i_{ac} は増加する。また、直流コンデンサ5では電流を充放電しないため V_{dc} は一定である。なお、第4動作モードにおいては、第2動作モードの場合と同様に、トランス6の両端に生じる電位差が小さいため、2次側への電力の出力量は小さく、ここでは考慮しないものとする。

[0027] 上述のように、第1動作モードと第3動作モードにおいて電流がトランス6に入力されて2次側に電力供給しており、第1動作モードと第3動作モードとの間で電流の極性が反転することとなる。これらの動作モードを変化させていくことにより、交流電流がトランス6に入力されることとなる。トランス6の1次側に入力された交流電力は、巻線数の比率に応じて変圧され、2次側に出力される。トランス6の後段では、整流回路700にて交流電力を直流電力に変換して、平滑リアクトル8と平滑コンデンサ9にて直流電力を平滑して、直流負荷10に平滑された直流電力を供給する。すなわち、第1動作モードおよび第3動作モードの期間において直流電力を直流負荷10に供給することができる。

[0028] 本発明の実施の形態1に示す電力変換装置では、第1レグのオン期間、すなわち、半導体スイッチング素子401aのオン期間である第1および第2動作モードと、半導体スイッチング素子402aのオン期間である第3および第4動作モードとの時比率を制御する。すなわち、図2における時刻 t_2 を制御することにより、リアクトル3を流れる電流 i_{ac} の増加量と減少量の

比率を制御することができ、リアクトル3を流れる電流 i_{ac} の制御を行うことができる。

[0029] また、第2レグのオン期間、すなわち、半導体スイッチング素子403aのオン期間である第2および第3動作モードと、半導体スイッチング素子404aのオン期間である第1および第4動作モードとの時比率を制御する。あわせて、第1レグのオン期間と第2レグのオン期間との位相シフト量、すなわち、半導体スイッチング素子401aに対する半導体スイッチング素子403a、半導体スイッチング素子402aに対する半導体スイッチング素子404aの駆動信号の位相をシフトする量（位相シフト量）を制御することで、直流コンデンサ5の充電量と放電量を調整して、直流コンデンサ5の電圧 V_{dc} を一定となるように制御することができる。または、上述したように電流制御でとりこんだ交流電力と直流負荷10に供給する電力との差電力を調整して直流コンデンサ5の電圧 V_{dc} を一定となるように制御する。これは、図2における時刻 t_1 と時刻 t_3 を制御することを意味する。なお、後述するように $0 \sim t_1$ と $t_2 \sim t_3$ の期間は等しくする。

[0030] このように、実施の形態1に示す電力変換装置では、半導体スイッチング素子401aと半導体スイッチング素子402aを用いた電流制御と、半導体スイッチング素子403aと半導体スイッチング素子404aを用いた V_{dc} の電圧制御をそれぞれ個別に行うことで、電流制御と電圧制御を同時に実現しながら直流負荷10に直流電力を供給することができる。したがって、電流制御を行うことにより交流電力の高力率制御、すなわち力率をおよそ1に制御することができる。また、直流コンデンサ5の電圧 V_{dc} を一定となるように制御することにより、直流負荷10に対する出力電力の制御が可能となる。そのため、直流負荷としてバッテリーが接続される場合において、バッテリー電流の不特定周波数のリップル成分を抑制することができ、より高品質な充電電力を供給することが可能となる。

[0031] ここで、図2における t_1 、 t_2 、 t_3 の定め方について説明する。 t_2 は、電流制御によって定まるタイミングであり、半導体スイッチング素子4

01 aにおけるスイッチング周期Tあたりのオン時間0～t₂の時比率（デューティ比）D₄₀₁は数式（1）で表される。一方、半導体スイッチング素子402 aにおけるスイッチング周期Tあたりのオン時間t₂～Tの時比率（デューティ比）D₄₀₂は数式（2）で表される。

[0032] [数1]

$$D_{401} = \frac{v_{ac}}{V_{dc}} \quad (1)$$

[0033] [数2]

$$D_{402} = \frac{V_{dc} - v_{ac}}{V_{dc}} \quad (2)$$

ここで、v_{ac}は交流電源1の電圧、V_{dc}は直流コンデンサ5の電圧である。このように、半導体スイッチング素子401 aと半導体スイッチング素子402 aはそれぞれ数式（1）と数式（2）に基づいた時比率で駆動させる。

[0034] まず、初期状態、すなわちバッテリー充電制御動作の開始時の状態では、第2レグの位相シフト量を0とする。初期状態においては、この位相シフト量を0とするため、半導体スイッチング素子403 aのオン状態における立ち上がりは半導体スイッチング素子401 aのオン状態の立ち上がりと同期させる。同様に、半導体スイッチング素子404 aのオン状態の立ち上がりは半導体スイッチング素子402 aのオン状態の立ち上がりと同期させる。すなわち、第3スイッチング素子のオン期間（ゲートパルス幅）および位相を第1スイッチング素子と等しくし、第4スイッチング素子のオン期間（ゲートパルス幅）および位相を前記第2スイッチング素子と等しくする。この場合、第2および第4動作モードのみの動作となり、第1および第3動作モードの期間は0となる。制御回路11は、この初期状態から位相シフト量を制御させる。これにより、初期状態において緩やかに電力供給を開始することができる。

[0035] また、この位相シフト量を0とするため、半導体スイッチング素子404

aのオン状態における立ち上がりは半導体スイッチング素子401aのオン状態の立ち上がりと同期させてもよい。このとき、半導体スイッチング素子403aのオン状態の立ち上がりは半導体スイッチング素子402aのオン状態の立ち上がりと同期させる。すなわち、第4スイッチング素子のオン期間（ゲートパルス幅）および位相を第1スイッチング素子と等しくし、第3スイッチング素子のオン期間（ゲートパルス幅）および位相を前記第2スイッチング素子と等しくする。この場合、第1および第3動作モードのみの動作となり、第2および第4動作モードの期間は0となる。制御回路11は、この初期状態から位相シフト量を制御させる。これにより、初期状態から急峻に電力供給を開始することができる。なお、必ずしも位相シフト量を0とする必要はなく、初期状態における要求に従って予め定められた位相シフト量を初期状態としてもよい。

[0036] 上述したように第1動作モードの期間と、第3動作モードの期間でそれぞれトランス6に逆極性に電流が流れる。従って、絶縁トランスの偏磁を抑制するために、半導体スイッチング素子401aおよび404aの重なり期間（第1動作モードの期間）と半導体スイッチング素子402aおよび403aの重なり期間（第3動作モードの期間）は等しくなるように制御する。すなわち、図2における0～t₁と、t₂～t₃の期間は等しくなる。なお、第1動作モードの期間と第3動作モードの期間は必ずしも同じである必要はない。

[0037] 次に、第2レグの位相シフト量について説明する。第2レグの位相シフト量は図2における第1動作モード（t₀～t₁）の期間の長さに相当するものであり、ここでは、D₄₀₁、D₄₀₂と合わせるために時比率で表すものとする。第2レグの位相シフト量D₄₀₃は数式（3）のように表される。ここで、トランス6の1次側すなわち交流電源側の巻き数をN₁、2次側すなわち直流負荷側の巻き数をN₂と定義する。また、V_{bat}は平滑コンデンサ9の電圧である。数式（3）に示す位相シフト量に従い、半導体スイッチング素子403aと半導体スイッチング素子404aは同じ位相シフト量で動作させる

。

[0038] [数3]

$$D_{403} = \frac{V_{bat}}{V_{dc}} \cdot \frac{N_2}{N_1} \cdot \frac{1}{2} \quad (3)$$

[0039] 本実施の形態に示す電力変換装置では、 D_{403} が、 D_{401} および D_{402} より常に下回る必要がある。すなわち、 t_1 について、 $0 \leq t_1 \leq t_2$ の関係を、 t_3 について $t_2 \leq t_3 \leq T$ の関係を満たす必要がある。

[0040] この関係を満たす D_{401} と D_{402} の概略デューティ軌跡図を図7に示す。図7において、横軸は交流電源1の電圧 V_{ac} の位相、縦軸は駆動周期に対する各半導体スイッチング素子のオン時間の時比率を表す。交流電圧の位相がゼロおよび π ではゼロ電圧となり、その近傍では D_{401} が限りなくゼロに近くなるため、 D_{403} は D_{401} が制約となる。一方で、 $\pi/2$ 付近では $D_{402} < D_{401}$ となるため、 D_{402} が制約となる。その結果、図7の太線で示す軌跡が D_{403} の上限値である制約デューティ D_{limit} となる。 D_{limit} は数式(4)で表すことができる。

[0041] [数4]

$$D_{limit} = \min \left\{ \frac{\sqrt{2}V_{ac}}{V_{dc}}, \frac{V_{dc} - \sqrt{2}V_{ac}}{V_{dc}} \right\} \quad (4)$$

[0042] D_{403} が D_{limit} を下回ることによってトランス6への電流通流期間 $0 \sim t_1$ 、 $t_2 \sim t_3$ を任意に調整することができ、 V_{dc} 制御を実現することができる。本実施の形態では、直流コンデンサの電圧 V_{dc} の一定制御の可制御条件はピーク位相における D_{limit} 、すなわち、 D_{limit_p} より D_{403} が小さいことを条件とする。これは、数式(5)が可制御条件となることを意味する。

[0043] [数5]

$$\frac{V_{bat}}{V_{dc}} \cdot \frac{N_2}{N_1} \cdot \frac{1}{2} < \min \left\{ \frac{\sqrt{2}V_{ac}}{V_{dc}}, \frac{V_{dc} - \sqrt{2}V_{ac}}{V_{dc}} \right\} \quad (5)$$

[0044] 位相ゼロ付近では D_{limit} が原理上限りなくゼロに近いいため、数式(5)の

関係を満たすことが出来ない。この場合、指令値 D_{403} は D_{limit} 以下となるように制御する。この場合、 D_{403} の軌跡は図8の通りとなり、 D_{403} が D_{limit} より大きい場合、 D_{403} は D_{limit} として、 D_{403} が D_{limit} より小さい場合は数式(3)で演算した D_{403} とする。この場合、位相に関わらず常に D_{403} は D_{limit} を下回ることができ、可制御条件を満たす。

[0045] このように、半導体スイッチング素子403aと半導体スイッチング素子404aの位相シフト量 D_{403} が、半導体スイッチング素子401aと半導体スイッチング素子402aによる電流制御で定まる D_{401} と D_{402} による制限 D_{limit} 以下とすることで、 V_{dc} 一定制御が成立して、高力率制御と出力電力制御をフルブリッジインバータ回路1回路で実現することができる。

[0046] なお、半導体スイッチング素子403a、404aにはオン期間のみを制御しても高力率制御と出力電力制御を実現できるが、半導体スイッチに貫通電流が生じて損失が増大する。しかし、第2レグの位相シフト量も制御することで貫通電流を抑制でき、ソフトスイッチング動作による高効率動作が可能となる。

[0047] インバータ回路400の駆動周期 T にて、直流コンデンサ5の充電と放電を行うため、駆動周期に基づいた電圧リップルが発生する。特に電圧リップルは第2動作モードにおける充電期間での電圧リップルで規定される。一般に、単相系統に接続する単相インバータでは直流部に交流周波数の2倍の周波数の電圧リップルが発生するが、本実施の形態に示す電力変換装置ではこの2倍の周波数の電圧リップルが発生しないため、直流コンデンサ5の容量を大幅に抑制することができ、直流コンデンサ5を小型化することができる。

[0048] 本実施の形態における電力変換装置において、力率が1となる交流電源の電圧と電流は数式(6)と(7)のように表される。また、交流電源1の電力 P_{ac} は数式(8)のように表される。本実施の形態に示す電力変換装置では、数式(8)で表される P_{ac} がすべて直流負荷10へと伝送される。直流負荷10が一定の電圧 V_{bat} に制御されたとすると、直流負荷へ供給される電流 I_{bat} は(9)で規定される。従って、直流負荷10に流れ込む電流に2倍

の交流周波数の脈動成分を有する。

[0049] [数6]

$$v_{ac} = \sqrt{2}V_{ac} \sin \omega t \quad (6)$$

[0050] [数7]

$$i_{ac} = \sqrt{2}I_{ac} \sin \omega t \quad (7)$$

[0051] [数8]

$$P_{ac} = V_{ac} I_{ac} (1 - \cos 2\omega t) \quad (8)$$

[0052] [数9]

$$I_{bat} = \frac{V_{ac} I_{ac}}{V_{bat}} (1 - \cos 2\omega t) \quad (9)$$

[0053] 次に、半導体スイッチング素子401aと半導体スイッチング素子402aによる電流制御、すなわち力率がおよそ1となるように、電流 i_{ac} を予め定められた目標正弦波電流となるように制御する方法の詳細について説明する。図9は、制御回路11における半導体スイッチング素子401aと半導体スイッチング素子402aの出力制御で用いるduty指令値の生成を示す制御ブロック図である。制御回路11では、交流電源1からの電流量と、交流電源1からの力率がおよそ1となるように、電流 i_{ac} を制御するためのduty指令値を演算する。まず、電源電圧 V_{ac} と同期した正弦波状の予め定められた電流指令（目標正弦波電流） i_{ac}^* と、電流検出器により検出された電流 i_{ac} との電流差20を算出する。算出した電流差20をフィードバック量として、PI制御により出力21を演算する。次に、出力21を電圧検出器により検出された直流コンデンサ5の電圧 V_{dc} で割ることで半導体スイッチング素子402aのduty指令値22を求める。

[0054] duty指令値22にフィードフォワード項23を加算する。ここで、フィードフォワード項23は、数式(2)で表される値であり、交流電源1の位相に従って駆動周期ごとに決められる。フィードフォワード項23を加算したduty指令値24を、半導体スイッチング素子402aのduty指

令値とする。また、半導体スイッチング素子402aのduty指令値24を1から減算したduty指令値25を半導体スイッチング素子401aのduty指令値とする。

[0055] 図10は、半導体スイッチング素子402aのduty指令値24と、半導体スイッチング素子401aのduty指令値25に基づいて演算される D_{limit} の演算ブロック図である。duty選択機(MUX)26は、 D_{402} のduty指令値24と D_{401} のduty指令値25の大小関係に従って、duty指令値24もしくはduty指令値25を D_{limit} として選択する。すなわち、duty指令値25がduty指令値24よりも大きい場合、比較信号27はLが出力され、duty選択機26にてduty指令値24が D_{limit} 28として選択される。一方、duty指令値24がduty指令値25よりも大きい場合、比較信号27はHが出力され、duty選択機26にてduty指令値25が D_{limit} 28として選択される。

[0056] 図11は、半導体スイッチング素子403aと半導体スイッチング素子404aによる直流コンデンサ5の電圧 V_{dc} の一定制御における D_{403} 指令値の生成を示す制御ブロック図である。半導体スイッチング素子403aと半導体スイッチング素子404aによる出力電力を調整して、直流コンデンサ5の電圧 V_{dc} を一定となるように制御するための D_{403} 指令値を演算している。

[0057] まず、予め定められた直流コンデンサ5の直流電圧指令値 V_{dc}^* と、電圧検出器により検出した電圧 V_{dc} との差29を演算する。ここでは、直流電圧指令値 V_{dc}^* を、交流電源より入力される交流電圧のピーク電圧よりも高い電圧値とする。この差29をフィードバック量として、PI制御した演算結果を直流負荷10への出力電流指令値30とする。この出力電流指令値30と直流電流の検出値 I_{bat} との差分値31をフィードバック量としてPI制御した演算結果32を、ゲイン調整機33に入力して D_{403} 指令値34を生成する。

[0058] 図12は、図11で示した演算ブロック図で算出した D_{403} 指令値34と、図10で示した演算ブロックで算出した D_{limit} 28とから、半導体スイッチ

ング素子403aと半導体スイッチング素子404aの位相シフト量指令値を生成する演算ブロック図である。まず、 D_{403} 指令値34と D_{limit} 28を選択機(MUX)35に入力する。選択機35では、 D_{403} 指令値34と D_{limit} 28の大小比較演算結果36に従って、 D_{403} 指令値34と D_{limit} 28を選択する。 D_{403} 指令値34が D_{limit} 28よりも小さい場合、 D_{403} 指令値34を D_{403} の位相シフト量指令値37とする。一方、 D_{403} 指令値34が D_{limit} 28よりも大きい場合、 D_{limit} 28を D_{403} の位相シフト量指令値37とする。このようにすることで、半導体スイッチング素子403aと半導体スイッチング素子404aの D_{403} の位相シフト量指令値37が常に D_{limit} 28以下をすることができ、 V_{dc} 制御の可制御条件を満たすことができる。

[0059] 次に、 D_{401} のduty指令値25から生成する半導体スイッチング素子401aのゲート信号、 D_{402} のduty指令値24から生成する半導体スイッチング素子402aのゲート信号、 D_{403} の位相シフト量指令値37から生成する半導体スイッチング素子403aと半導体スイッチング素子404aのゲート信号それぞれの生成過程を説明する。本実施の形態では、キャリア波に鋸波を用いてこれらのゲート信号を生成する場合について示す。

[0060] 図13に、キャリア波である鋸波38と、 D_{401} のduty指令値25と、 D_{402} のduty指令値24と、 D_{403} の位相シフト量指令値37と、半導体スイッチング素子401a~404aのゲート信号の関係を示す。また、図14に半導体スイッチング素子401aと半導体スイッチング素子402aのゲート信号を生成する演算ブロック図を、図15に半導体スイッチング素子403aと半導体スイッチング素子404aのゲート信号を生成する演算ブロック図を示す。鋸波は半導体スイッチング素子401aから404aまでの4素子に対して同じ値、同じ位相の鋸波を使用する。

[0061] 図14に示すように、ゲート信号生成器39に D_{402} のduty指令値24と鋸波38を入力する。図13に示すように、 D_{402} のduty指令値24と鋸波38を比較して、 D_{402} のduty指令値24が鋸波38よりも大きい場

合、半導体スイッチング素子402aをターンオンとする半導体スイッチング素子402aのゲート信号40を生成する。また、 D_{402} のduty指令値24と鋸波38を比較して、 D_{402} のduty指令値24が鋸波38よりも小さい場合、半導体スイッチング素子401aをターンオンとする半導体スイッチング素子401aのゲート信号41を生成する。このようにして半導体スイッチング素子401aと半導体スイッチング素子402aは高力率制御によって演算された D_{401} のduty指令値24、 D_{402} のduty指令値25に基づいて半導体スイッチング素子401aと半導体スイッチング素子402aのゲート信号を生成する。

[0062] 図15に示すように、ゲート信号生成器42に D_{403} の位相シフト量指令値37と鋸波38を入力する。また、ゲート信号生成器44には、 D_{403} の位相シフト量指令値37と D_{402} のduty指令値24の和をとった位相シフト量信号43と、鋸波38を入力する。位相シフト量信号43および鋸波38の比較信号と、鋸波38と D_{403} の位相シフト量指令値37の比較信号の論理積をとった信号を半導体スイッチング素子404aのゲート信号45とする。ゲート信号45の否定をとった信号を半導体スイッチング素子403aのゲート信号46とする。上述のようにして半導体スイッチング素子401a～404aへのゲート信号を生成することができる。

[0063] 図9～12および図14に示す演算ブロック図は、演算回路を用いてハードウェア的に構成してもよいし、図16に示すように、プログラムを記憶するメモリと、そのプログラムを処理するプロセッサを用いてソフトウェア的に構成してもよい。

[0064] なお、本実施の形態では半導体スイッチング素子401aのオン期間と、半導体スイッチング素子402aのオン期間との間にデッドタイムを設けない場合について示したが、デッドタイムを設けるようにしても良い。同様に、半導体スイッチング素子403aと半導体スイッチング素子404aにデッドタイムを設けても良い。

[0065] 本実施の形態では、リアクトル3の片端子を整流回路200の直流出力端

子のP側に接続して、リアクトル3の他端子を半導体スイッチング素子401aと半導体スイッチング素子402aの接続点である第1交流端に接続して半導体スイッチング素子401a、402aにて高力率制御を実施したが、リアクトル3の他端子を半導体スイッチング素子403aと404aと接続点に接続して半導体スイッチング素子403aと404aを用いて高力率制御を実施しても良い。この場合、半導体スイッチング素子401aに入力するゲート信号を半導体スイッチング素子403aに、半導体スイッチング素子402aに入力するゲート信号を半導体スイッチング素子404aに入力すればよい。

[0066] また、リアクトル3をダイオード整流回路の出力直流端子のN側に接続する場合、または、リアクトル3をダイオード整流回路の出力直流端子のP側とN側に分散して接続する場合は、半導体スイッチング素子401aと402aにて高力率制御を実施して、半導体スイッチング素子403aと半導体スイッチング素子404aにて出力電力制御を実施する。

[0067] 本実施の形態では、上述したように電流指令値に従って、半導体スイッチング素子401aと半導体スイッチング素子402aのオン duty を制御することで、交流電源1からの入力電流を所定の電流値に調整して、力率をおよそ1となるように制御することができる。また、同時に直流コンデンサ5の直流電圧 V_{dc} が目標電圧に追従するように半導体スイッチング素子403aと半導体スイッチング素子404aの位相シフト量を変化させて直流コンデンサ5の直流電圧を一定に制御し、直流負荷への出力電力を制御することができる。

[0068] 1つのフルブリッジインバータの構成にて、レグごとに高力率制御と出力電力制御の機能を分けることで、1つのフルブリッジインバータで高力率制御と出力電力制御を両立することが可能となり、一般的な2つの電力変換器を設けて高力率制御と出力電力制御を個別に実現する従来方式に比べて回路全体での小型化を実現することができる。

[0069] 交流電源1にて生じる交流電源周期の2倍の周波数で脈動する電力脈動は

すべて直流負荷 10 に伝達され、直流コンデンサ 5 ではスイッチング周期 T に起因した充放電によってのみ電圧リップルが発生する。この場合、交流電源周期の 2 倍の周波数の電力脈動を直流コンデンサ 5 で担保する必要がなく、一般的な 2 つの電力変換器を設けて 2 つの電力変換器のリンク部にコンデンサを設置する方式と比べると、スイッチング周期 T に起因した充放電だけを担保すればよいため、直流コンデンサ 5 の必要容量は大幅に低減することができ、直流コンデンサ 5 の小型化を実現することができる。

[0070] また、半導体スイッチング素子 401 a および半導体スイッチング素子 404 a のオン状態重なり期間と、半導体スイッチング素子 402 a および半導体スイッチング素子 404 a のオン状態重なり期間を等しくしてトランス 6 の偏磁を抑制することで、より信頼性の高い制御を実現することができる。

[0071] 実施の形態 2.

実施の形態 1 では、半導体スイッチング素子 401 a ~ 404 a のゲート信号の作成において、オン期間制御用キャリア信号に鋸波を用いていたが、実施の形態 2 ではオン期間制御用キャリア信号に三角波を用いた場合について示す。

[0072] 本実施の形態における電力変換装置の回路構成、および、制御方式は実施の形態 1 に示す場合と同様であり、説明を省略する。また、 D_{401} の duty 指令値 25 と、 D_{402} の duty 指令値 24 と、 D_{403} の位相シフト量指令値 37 の演算結果は実施の形態 1 と同様の方法で演算される。すなわち、図 13 ~ 15 に示す各半導体スイッチング素子のゲート信号生成動作以外については、実施の形態 1 に示す場合と同様である。

[0073] 本実施の形態における D_{401} の duty 指令値 25 から生成される半導体スイッチング素子 401 a のゲート信号と、 D_{402} の duty 指令値 24 から生成される半導体スイッチング素子 402 a のゲート信号と、位相シフト量指令値 37 から生成される半導体スイッチング素子 403 a と半導体スイッチング素子 404 a それぞれのゲート信号生成過程を説明する。

- [0074] 図17に、キャリア波47と、 D_{401} のduty指令値25と、 D_{402} のduty指令値24と、 D_{403} の位相シフト量指令値37と、半導体スイッチング素子401a～半導体スイッチング素子404aのゲート信号の関係を表す図を示す。キャリア波47は三角波であり、半導体スイッチング素子401a～404aのゲート信号を生成するにあたって同じの三角波を用いる。
- [0075] D_{402} のduty指令値24を基準に、 D_{403} の位相シフト量指令値を振幅とする矩形波48と三角波47の大小関係により、半導体スイッチング素子403aの位相を半導体スイッチング素子401aに対してシフトし、半導体スイッチング素子404aの位相を半導体スイッチング素子402aに対してシフトする。矩形波の値は三角波の山と谷で切り替える。この場合、図2で定義した第1動作モードから第4動作モードは新たに図の通りに定義されるが、実施の形態1で定義した4つの動作モードで同一の構成として、半導体スイッチング素子401aと半導体スイッチング素子402aにて高力率制御を行い、半導体スイッチング素子403aと半導体スイッチング素子404aにて出力電力制御を実施する。
- [0076] なお、矩形波48の代わりに矩形波振幅と同値である2つの直流信号を使用し、三角波47の山谷のタイミングで大小比較する信号を切り替え、疑似的な矩形波としてもよい。
- [0077] 図18に、 D_{401} のduty指令値25と D_{402} のduty指令値24から半導体スイッチング素子401aのゲート信号と半導体スイッチング素子402aのゲート信号を生成するブロック図を示す。ゲート信号生成機49に、 D_{402} のduty指令値24と三角波47を入力する。 D_{402} のduty指令値24が三角波47より大きい期間にてターンオンするように半導体スイッチング素子402aのゲート信号50を生成する。反対に、 D_{402} のduty指令値24が三角波47より小さい期間にてターンオンするように半導体スイッチング素子401aのゲート信号51を生成する。
- [0078] 図19に、半導体スイッチング素子403aおよび404aのゲート信号の生成方法を示す演算ブロック図を示す。図19に示すように、まず D_{402} の

d u t y 指令値 24 と D_{403} の位相シフト量指令値 37 を片振幅とする矩形波 48 と加算し、矩形波 48 を生成する。次に、比較器 52 に、生成した矩形波 48 と三角波 47 を入力する。矩形波 48 と三角波 47 を比較した演算結果 53 を半導体スイッチング素子 404 a のゲート信号とする。また、演算結果 53 の否定をとった信号 54 を半導体スイッチング素子 403 a のゲート信号とする。上述のようにして、半導体スイッチング素子 401 a ~ 404 a のゲート信号を生成することができる。

[0079] 本実施の形態では、上述したような構成および制御を行うため、実施の形態 1 に示す電力変換装置と同様に、フルブリッジインバータ回路 1 段で高効率制御と出力電力制御を同時に実現することができる。

[0080] 実施の形態 3.

実施の形態 1 および 2 に示す電力変換装置では、半導体スイッチング素子 401 a と 403 a、もしくは半導体スイッチング素子 402 a と 404 a が ON 状態となる還流期間（第 2 動作モードまたは第 4 動作モード）において、トランス 6 の両端に生じる電位差が小さいため 2 次側への出力量は小さく、考慮しないものとして説明したが、本実施の形態ではトランス 6 の両端に生じる電位差を考慮し、より安定した動作を可能とする電力変換装置について説明する。なお、本実施の形態に示す電力変換装置の構成は、図 1 に示す場合と同様であり、説明を省略する。

[0081] 図 20 に、第 2 動作モードおよび第 4 動作モードにおいて生じる微小なトランス 6 の両端電圧を考慮した場合の、キャリア波である鋸波 38 と、 D_{401} の d u t y 指令値 25 と、 D_{402} の d u t y 指令値 24 と、 D_{403} の位相シフト量指令値 37 と、半導体スイッチング素子 401 a ~ 404 a のゲート信号と、トランス 6 の電圧と、平滑リアクトル 8 の電流の関係を示す。図 20 に示すように還流期間においても、トランス 6 に微小な両端電圧が発生することとなる。

[0082] 図 21 に、半導体スイッチング素子 401 a および 403 a、または、半導体スイッチング素子 402 a および 404 a が ON 状態となる還流期間に

おける簡易等価回路を示す。このとき、トランス6の両端電圧 V_{tr-p} は、以下の数式(10)のように表される。なお、ダイオード701~704の順方向電圧を V_f 、トランス6の漏れインダクタンスを L_k 、平滑リアクトル8のインダクタンス値を L_f と定義している。なお、トランス6の漏れインダクタンス55と励磁インダクタンス56は外付けのリアクトルでもよい。

[0083] [数10]

$$V_{tr-p} = \frac{N_1}{N_2} \frac{V_{bat} + 2V_f}{1 + \frac{L_f}{L_k} \left(\frac{N_1}{N_2} \right)^2} \quad (10)$$

[0084] 図20および数式(10)に示すように、トランス6の微小な両端電圧を考慮すると、トランス6における電圧・時間積、および平滑リアクトル8における電流の時間積分値にずれが生じるため、電力容量の大きい用途では、偏磁現象が発生する恐れがある。トランスやリアクトル等の受動部品のスペックを変化させることなく偏磁現象を抑制するためには、トランス6における電圧・時間積ずれ、および平滑リアクトル8における電流の時間積分値ずれを打ち消す必要がある。そこで、本実施の形態に示す電力変換装置では、電力伝送期間(第1動作モードおよび第3動作モード)と還流期間(第2動作モードおよび第4動作モード)を補正することにより、トランス6の電圧・時間積ずれ、および平滑リアクトル8における電流の時間積分値ずれを小さくする。以下、その詳細について説明する。

[0085] 制御回路11では、半導体スイッチング素子401aの時比率(デューティ比) D_{401} 、半導体スイッチング素子402aの時比率(デューティ比) D_{402} 、および第2レグの位相シフト量 D_{403} を実施の形態1および実施の形態2と同様の方法で演算する。本実施の形態に示す電力変換装置では、これらの演算値に対し、補正を行う。

[0086] 図22に、半導体スイッチング素子403aと半導体スイッチング素子404aからなる第2レグの位相シフト量 D_{403} を補正した際の概略デューティ軌跡図を示す。図22では、第2レグの位相シフト量を $D_{403}-2$ に示す軌跡

のように補正を行う。図22に示すように、第2レグの位相シフト量を補正することで、半導体スイッチング素子403aと半導体スイッチング素子404aそれぞれのオン時間と位相シフト量が変化する。このことから、トランス6の電圧・時間積ずれ、および平滑リアクトル8における電流の時間積分値ずれを抑制することが可能となる。このときの電力伝送期間における補正期間を ΔT と定義する。また、 ΔT は半導体スイッチング素子402aと半導体スイッチング素子403aからなる電力伝送期間を増加する極性を正と定義する。さらに、補正方法としては、半導体スイッチング素子403aと半導体スイッチング素子404aにおけるゲート信号位相の中心を基準とし、両端を $\Delta T/2$ ずつ増減させる。なお、両端を $\Delta T/2$ ずつ低減する代わりにどちらか一方のパルス端を ΔT 増減させてもよい。なお、図23に示すように、半導体スイッチング素子401aと半導体スイッチング素子402aからなる第1レグのデューティ比（オン時間）を補正してもよい。

- [0087] 平滑リアクトル8における電流の時間積分値のずれを抑制することで、トランス6の電圧・時間積も同様に抑制されるため、平滑リアクトル8における電流の時間積分値を用いて制御手法を説明する。
- [0088] 図24に示すように、位相シフト量 D_{403} が D_{limit} よりも小さい期間を第1動作サブモードとし、 D_{403} が D_{limit} 以上である期間を第2動作サブモードと定義する。まず、第1動作サブモードにおいて、電力伝送期間に補正期間 ΔT_1 を考慮した場合について説明する。図25に示すように、補正期間 ΔT_1 を考慮した際の半導体スイッチング素子402aのONタイミングを t_{02} とし、半導体スイッチング素子403aのOFFタイミングを t_{12} とする。また、半導体スイッチング素子401aのONタイミングを t_{22} とし、半導体スイッチング素子404aのOFFタイミングを t_{32} とする。この場合、 $t_{02} \sim t_{12}$ 、 $t_{12} \sim t_{22}$ 、 $t_{22} \sim t_{32}$ 、 $t_{32} \sim T$ の4動作モードに分類することができる。
- [0089] また、半導体スイッチング素子401aと404aがON状態の期間における平滑リアクトル8電流の時間積分値を ΔI_{int1} 、半導体スイッチング素

子402aおよび403aがON状態の期間における平滑リアクトル8電流の時間積分値を ΔI_{int2} と定義する。

[0090] 上記4つの動作モード期間はそれぞれ以下の数式(11)～(14)のよ
うに表すことができる。なお、初期時間 t_{02} を0としている。

[0091] [数11]

$$t_{12} = D_{403}T + \frac{\Delta T_1}{2} \quad (11)$$

[0092] [数12]

$$t_{22} - t_{12} = (D_{402} - D_{403})T - \frac{\Delta T_1}{2} \quad (12)$$

[0093] [数13]

$$t_{32} - t_{22} = D_{403}T - \frac{\Delta T_1}{2} \quad (13)$$

[0094] [数14]

$$T - t_{32} = (1 - D_{402} - D_{403})T + \frac{\Delta T_1}{2} \quad (14)$$

[0095] このとき、それぞれの動作モードにおける平滑リアクトル8の初期電流 i_{Lf} は、以下のように表すことができる。

[0096] [数15]

$$i_{Lf}(t_{12}) = \frac{\frac{N_2}{N_1}V_{dc} - V_{bat}}{L_f} \left(D_{403}T + \frac{\Delta T_1}{2} \right) + i_{Lf}(0) \quad (15)$$

[0097] [数16]

$$i_{Lf}(t_{22}) = \frac{-V_{bat}}{L_f} \left\{ (D_{402} - D_{403})T - \frac{\Delta T_1}{2} \right\} + i_{Lf}(t_{12}) \quad (16)$$

[0098] [数17]

$$i_{Lf}(t_{32}) = \frac{\frac{N_2}{N_1}V_{dc} - V_{bat}}{L_{bat}} \left(D_{403}T - \frac{\Delta T_1}{2} \right) + i_{Lf}(t_{22}) \quad (17)$$

[0099] [数18]

$$i_{I_f}(T) = \frac{-V_{bat}}{L_f} \left\{ (1 - D_{402} - D_{403})T + \frac{\Delta T_1}{2} \right\} + i_{I_f}(t_{32}) \quad (18)$$

[0100] このことから、平滑リアクトル 8 電流の各時間積分値は数式 (19) と数式 (20) で表すことができる。

[0101] [数19]

$$\begin{aligned} \Delta I_{int1} &= \frac{1}{2} \{ i_{I_f}(t_{32}) + i_{I_f}(t_{22}) \} \left(D_{403}T - \frac{\Delta T_1}{2} \right) \\ &= \frac{1}{2L_f} \left[\left(\frac{N_2}{N_1} V_{dc} - V_{bat} \right) \left(D_{403}T - \frac{\Delta T_1}{2} \right)^2 - 2V_{bat} D_{402}T \right. \\ &\quad \left. + 2 \frac{N_2}{N_1} V_{dc} \left\{ (D_{403}T)^2 - \left(\frac{\Delta T_1}{2} \right)^2 \right\} + 2L_f i_{I_f}(0) \left(D_{403}T - \frac{\Delta T_1}{2} \right) \right] \end{aligned} \quad (19)$$

[0102] [数20]

$$\begin{aligned} \Delta I_{int2} &= \frac{1}{2} \{ i_{I_f}(t_{12}) + i_{I_f}(0) \} \left(D_{403}T + \frac{\Delta T_1}{2} \right) \\ &= \frac{1}{2L_f} \left[\left(\frac{N_2}{N_1} V_{dc} - V_{bat} \right) \left(D_{403}T + \frac{\Delta T_1}{2} \right)^2 + 2L_f i_{I_f}(0) \left(D_{403}T + \frac{\Delta T_1}{2} \right) \right] \end{aligned} \quad (20)$$

[0103] 数式 (19) および数式 (20) から、上記平滑リアクトル 8 電流の時間積分値 ΔI_{int} は、以下のように表される。

[0104] [数21]

$$\begin{aligned} \Delta I_{int} &= \Delta I_{int2} - \Delta I_{int1} \\ &= \frac{1}{2L_f} \left[\frac{N_2}{N_1} V_{dc} \Delta T_1^2 - 4 \left\{ \left(V_{bat} D_{402}T - \frac{N_2}{N_1} V_{dc} \right) D_{403}T - L_f i_{I_f}(0) \right\} \Delta T_1 \right. \\ &\quad \left. - 4 \left(\frac{N_2}{N_1} V_{dc} (D_{403}T)^2 - V_{bat} D_{402}T \right) \right] \end{aligned} \quad (21)$$

[0105] トランス 6 の偏磁を抑制するには ΔI_{int} がゼロとなる必要があるため、数式 (21) から補正期間 ΔT_1 は以下のように表すことができる。

[0106]

[数22]

$$\Delta T_1 = 2 \frac{\beta_1 - \sqrt{\beta_1^2 + \frac{N_2}{N_1} V_{dc} \left\{ \frac{N_2}{N_1} V_{dc} (D_{403} T)^2 - V_{bat} D_{402} T \right\}}}{\frac{N_2}{N_1} V_{dc}} \quad (22)$$

[0107] なお、数式(22)中の β_1 は以下のように定義している。

[0108] [数23]

$$\beta_1 = \left(V_{bat} D_{402} T - \frac{N_2}{N_1} V_{dc} \right) D_{403} T - L_f i_{Lf}(0) \quad (23)$$

[0109] 次に、図24の第2動作サブモードにおいて、電力伝送期間に補正期間 ΔT_2 を考慮した場合について説明する。図26に示すように、補正期間 ΔT_2 を考慮した際の半導体スイッチング素子402aのONタイミングを t_{03} とし、半導体スイッチング素子403aのOFFタイミングを t_{13} とする。また、半導体スイッチング素子401aのONタイミングを t_{23} とし、半導体スイッチング素子404aのOFFタイミングを t_{33} とする。この場合、 $t_{03} \sim t_{13}$ 、 $t_{13} \sim t_{23}$ 、 $t_{23} \sim t_{33}$ 、 $t_{33} \sim T$ の4動作モードに分類することができる。

[0110] 上記4つの動作モード期間はそれぞれ数式(24)～数式(27)のように表すことができる。なお、初期時間 t_{03} を0としている。

[0111] [数24]

$$t_{13} = \frac{\Delta T_2}{2} \quad (24)$$

[0112] [数25]

$$t_{23} - t_{13} = D_{403} T - \Delta T_2 \quad (25)$$

[0113] [数26]

$$t_{33} - t_{23} = (D_{402} - D_{403}) T + \frac{\Delta T_2}{2} \quad (26)$$

[0114] [数27]

$$T - t_{33} = (1 - D_{402})T \tag{27}$$

[0115] 上記第1動作サブモードと同様に、第2動作サブモードにおける平滑リアクトル8電流の時間積分値 ΔI_{int} は、数式(28)で表される。

[0116] [数28]

$$\begin{aligned} \Delta I_{int} &= \Delta I_{int2} - \Delta I_{int1} \\ &= \frac{1}{2L_f} \left[\frac{N_2}{N_1} V_{dc} \Delta T_2^2 - \left\{ \left(2 \frac{N_2}{N_1} V_{dc} - V_{bat} \right) D_{403} T + 2L_f i_{lf}(0) - 2 \frac{N_2}{N_1} V_{dc} (1 - D_{402}) T \right\} \Delta T_2 \right. \\ &\quad + \left[\frac{N_2}{N_1} V_{dc} \{ (D_{403} + 2D_{402} - 2) D_{403} - (1 - D_{402})^2 \} T - 2V_{bat} \{ (D_{402} - 2D_{403} - 2) D_{402} + D_{403} \} T \right. \\ &\quad \left. \left. + 2L_f i_{lf}(0) D_{403} \right] T \right] \tag{28} \end{aligned}$$

[0117] 上記第1動作サブモードと同様に、トランス6の偏磁を抑制するには ΔI_{int} がゼロとなる必要があるため、数式(28)から補正期間 ΔT_2 は以下のように表される。

[0118] [数29]

$$\Delta T_2 = \frac{\beta_2 - \sqrt{\beta_2^2 - 4 \frac{N_2}{N_1} V_{dc} \gamma_2}}{2 \frac{N_2}{N_1} V_{dc}} \tag{29}$$

[0119] なお、数式(29)中の β_2 と γ_2 は以下のように定義している。

[0120] [数30]

$$\beta_2 = \left(2 \frac{N_2}{N_1} V_{dc} - V_{bat} \right) D_{403} T + 2L_f i_{lf}(0) - 2 \frac{N_2}{N_1} V_{dc} (1 - D_{402}) T \tag{30}$$

[0121] [数31]

$$\begin{aligned} \gamma_2 &= \left[\frac{N_2}{N_1} V_{dc} \{ (D_{403} + 2D_{402} - 2) D_{403} - (1 - D_{402})^2 \} T \right. \\ &\quad \left. - 2V_{bat} \{ (D_{402} - 2D_{403} - 2) D_{402} + D_{403} \} T + 2L_f i_{lf}(0) D_{403} \right] T \tag{31} \end{aligned}$$

[0122] 数式(22)と数式(29)それぞれの補正期間は、装置動作中の、直流

コンデンサ5の電圧 (V_{dc})、平滑コンデンサ9の電圧 (V_{bat}) の検出値、平滑リアクトル8の電流値 (i_{Lf})、半導体スイッチング素子401aにおけるデューティ比 D_{401} 、半導体スイッチング素子402aにおけるデューティ比 D_{402} 、第2レグの位相シフト量 D_{403} 、の演算値から算出することができる。なお、直流コンデンサ5の電圧値 (V_{dc}) および平滑コンデンサ9の電圧値 (V_{bat}) はかならずしも検出値である必要はなく、各電圧値の目標電圧でもよく、また、演算値を用いてもよい。また、平滑リアクトル8の電流値 (i_{Lf}) は、必ずしも演算値である必要はなく、電流検出器により検出した検出値を用いてもよい。

[0123] また、ここでは第2レグの位相シフト量 D_{403} の補正を行う場合について説明したが、半導体スイッチング素子401aと半導体スイッチング素子402aからなる第1レグのデューティ比（オン時間）を補正してもよい。この場合も、数式(22)と数式(29)と同様の補正值を用いて半導体スイッチング素子401aおよび半導体スイッチング素子402aのデューティ比の補正を行う。すなわち、前記直流コンデンサの電圧値と、前記平滑コンデンサの電圧値と、前記平滑リアクトルの電流値と、前記第1スイッチング素子のデューティ比の演算値と、前記第2スイッチング素子のデューティ比と、前記第2レグの位相シフト量の演算値とに基づいて、前記第1レグのオン期間の補正を行う。なお、実施の形態1において説明したように、位相シフト量 D_{403} の上限値は、半導体スイッチング素子401aおよび402aのデューティ比 D_{401} および D_{402} に依存することとなるため、 D_{401} および D_{402} が補正された場合、位相シフト量 D_{403} の上限値もそれに合わせ補正されることとなる。

[0124] 本実施の形態における D_{401} のduty指令値25から生成される半導体スイッチング素子401aのゲート信号と、 D_{402} のduty指令値24から生成される半導体スイッチング素子402aのゲート信号の生成過程は、実施の形態1および実施の形態2と同様の方法であり、説明を省略する。実施の形態1と同様にキャリア波を鋸波とした場合において、位相シフト量指令値

37と電力伝送期間の補正期間から生成される半導体スイッチング素子403aと半導体スイッチング素子404aそれぞれのゲート信号生成過程を説明する。

[0125] 図27は、数式(22)と数式(29)に、装置動作中の瞬時値を代入することで算出される補正期間 $\Delta T1$ と $\Delta T2$ 、および D_{403} の位相シフト量指令値37と D_{limit} 28とから、半導体スイッチング素子403aと半導体スイッチング素子404aのデューティ補正值 d_t を生成する演算ブロック図である。まず、補正期間 $\Delta T1$ (57)と補正期間 $\Delta T2$ (58)を選択機(MUX)59に入力する。選択機59では、 D_{403} 位相シフト量指令値37と D_{limit} 28の大小比較演算結果60に従って、補正期間 $\Delta T1$ (57)と補正期間 $\Delta T2$ (58)を選択する。 D_{403} の位相シフト量指令値37が D_{limit} 28よりも小さい場合、補正期間 $\Delta T1$ (57)を補正值61とする。一方、 D_{403} の位相シフト量指令値37が D_{limit} 28よりも大きい場合、補正期間 $\Delta T2$ (58)を補正值61とする。半導体スイッチング素子401a~404aのスイッチング周波数62と補正值61との積から、デューティ補正值 d_t 63を出力する。

[0126] 図28に示すように、デューティ補正值 d_t 63と D_{403} の位相シフト量指令値37との加算値64と、鋸波38をゲート信号生成器65に入力する。また、 D_{403} の位相シフト量指令値37と D_{402} の $duty$ 指令値24の和から位相シフト量信号66を算出する。位相シフト量信号66とデューティ補正值 d_t 63との差分値67および鋸波38をゲート信号生成器68に入力する。加算値64と鋸波38との比較信号69、および、鋸波38と差分値67との比較信号70の論理積をとった信号を半導体スイッチング素子404aのゲート信号71とする。ゲート信号71の否定をとった信号を半導体スイッチング素子403aのゲート信号72とする。上述のようにして半導体スイッチング素子403aおよび404aへのゲート信号を生成することができる。

[0127] なお、上記ゲート信号生成過程ではキャリア波を実施の形態1と同様の鋸

波とした場合について説明したが、実施の形態2に示すようにキャリア波を三角波としてもよい。

[0128] また、本実施の形態では半導体スイッチング素子401aのオン期間と、半導体スイッチング素子402aのオン期間との間にデッドタイムを設けない場合について示したが、デッドタイムを設けるようにしても良い。同様に、半導体スイッチング素子403aと半導体スイッチング素子404aにデッドタイムを設けても良い。

[0129] 本実施の形態では、上述のような構成をしているため、トランス6の偏磁現象を抑制した安定動作を実現しつつ、上述したような構成および制御を実施の形態1と実施の形態2に示す電力変換装置と同様に、フルブリッジインバータ回路1段で高力率制御と出力電力制御を同時に実現することができる。

符号の説明

[0130] 1 交流電源、3 リアクトル、5 直流コンデンサ、6 トランス、8 平滑リアクトル、9 平滑コンデンサ、10 直流負荷、11 制御回路、200 第1整流回路、201～204 ダイオード素子、401a～404a 半導体スイッチング素子（第1～第4スイッチング素子）、401b～404b ダイオード、401c～404c コンデンサ、700 第2整流回路、701～704 ダイオード。

請求の範囲

[請求項1]

交流電源より入力された交流電力を整流する第1整流回路と、

直列接続された第1スイッチング素子および第2スイッチング素子を有し、前記第1スイッチング素子および前記第2スイッチング素子との接続点である第1交流端に前記第1整流回路の正極側直流端子が接続された第1レグ、ダイオードが逆並列にそれぞれ接続された第3スイッチング素子および第4スイッチング素子を有し、前記第3スイッチング素子および前記第4スイッチング素子が直列接続された第2レグ、直流コンデンサ、が互いに並列接続され、負極側直流母線が前記第1整流回路の負極側直流端子に接続されたインバータ回路と、

1次巻線および2次巻線を有し、前記1次巻線の一端に前記インバータ回路の前記第1交流端、他端に前記第3スイッチング素子および第4スイッチング素子の接続点である第2交流端が接続されたトランスと、

一端が前記トランスの前記2次巻線に接続され、他端が平滑コンデンサを介して直流負荷に接続され、トランスより入力される交流電力を整流して前記直流負荷に出力する第2整流回路と、

前記インバータ回路の動作を制御する制御回路と、を備え、

前記制御回路は、前記第1レグのオン期間を制御することより前記第1整流回路より出力される電流を制御し、

前記第2レグのオン期間、および、前記第1レグのオン期間と前記第2レグのオン期間との位相シフト量を制御することより前記直流コンデンサの電圧を一定となるように制御すること、

を特徴とする電力変換装置。

[請求項2]

前記制御回路は、

前記第1スイッチング素子および前記第4スイッチング素子をオンとする第1動作モードと、

前記第1スイッチング素子および前記第3スイッチング素子をオンと

する第2動作モードと、
前記第2スイッチング素子および前記第3スイッチング素子をオンとする第3動作モードと、
前記第2スイッチング素子および前記第4スイッチング素子をオンとする第4動作モードと、を用い、前記第1～第4動作モードの各期間を制御することにより前記インバータ回路を制御すること、
を特徴とする請求項1に記載の電力変換装置。

[請求項3] 前記制御回路は、前記第1整流回路より出力される電流が予め定められた目標正弦波電流になるように前記第1レグのオン期間を制御し、
前記直流コンデンサの電圧が、前記交流電源より入力される交流電圧のピーク電圧よりも高い目標電圧になるように前記第2レグのオン期間と位相シフト量を制御すること、
を特徴とする請求項1または2のいずれかに記載の電力変換装置。

[請求項4] 前記制御回路は、前記第2レグの位相シフト量を、前記第1スイッチング素子および前記第2スイッチング素子の2つのデューティ比のうち、より小さい方を上限として制御すること、
を特徴とする請求項3に記載の電力変換装置。

[請求項5] 前記制御回路は、前記第3スイッチング素子および前記第4スイッチング素子の位相シフトするタイミングを同期させること、
を特徴とする請求項3に記載の電力変換装置。

[請求項6] 前記制御回路は、前記第1スイッチング素子のオン期間と、対角の関係にある前記第4スイッチング素子のオン期間とが重なり合う期間と、
前記第2スイッチング素子のオン期間と、対角の関係にある前記第3スイッチング素子のオン期間とが重なり合う期間を等しくなるように、前記第1レグおよび第2レグのオン期間と前記第2レグの位相シフト量を制御することを特徴とする請求項3に記載の電力変換装置。

- [請求項7] 前記制御回路は、前記第1スイッチング素子と前記第2スイッチング素子とをオンオフが反転するように制御し、
- 位相シフト量をゼロとする初期状態で、前記第3スイッチング素子のゲートパルス幅および位相を前記第1スイッチング素子と等しくし、
- 前記第4スイッチング素子のゲートパルス幅および位相を前記第2スイッチング素子と等しくすること、
- を特徴とする請求項3～6のいずれか1項に記載の電力変換装置。
- [請求項8] 前記制御回路は、前記第1スイッチング素子と前記第2スイッチング素子とをオンオフが反転するように制御し、
- 位相シフト量をゼロとする初期状態で、前記第3スイッチング素子のゲートパルス幅および位相を前記第2スイッチング素子と等しくし、
- 前記第4スイッチング素子のゲートパルス幅および位相を前記第1スイッチング素子と等しくすること、
- を特徴とする請求項3～6のいずれか1項に記載の電力変換装置。
- [請求項9] 前記制御回路は、前記第1レグ、前記第2レグのキャリア波に鋸波を用い、
- 位相シフト量が増加するにしたがい、前記第3スイッチング素子のオン時間を前記第1スイッチング素子のオン時間と等しくしつつ、
- 前記第3スイッチング素子のゲートパルスの立ち上がりの位相が、前記第1スイッチング素子のゲートパルスの立ち上がりの位相に対してシフトし、
- 前記第4スイッチング素子のオン時間を前記第2スイッチング素子のオン時間と等しくしつつ、
- 前記第4スイッチング素子のゲートパルスの立ち上がりの位相が、前記第2スイッチング素子のゲートパルスの立ち上がりの位相に対してシフトすること、

を特徴とする請求項7に記載の電力変換装置。

[請求項10]

前記制御回路は、前記第1レグ、前記第2レグのキャリア波に三角波を用い、

位相シフト量が増加するにしたがい、

前記第3スイッチング素子のオン時間を前記第1スイッチング素子のオン時間と等しくしつつ、

前記第3スイッチング素子のゲートパルスの立ち上がりの位相が、前記第1スイッチング素子のゲートパルスの立ち上がりの位相に対してシフトし、

前記第4スイッチング素子のオン時間を前記第2スイッチング素子のオン時間と等しくしつつ、

前記第4スイッチング素子のゲートパルスの立ち上がりの位相が、前記第2スイッチング素子のゲートパルスの立ち上がりの位相に対してシフトすること、

を特徴とする請求項7に記載の電力変換装置。

[請求項11]

前記制御回路は、前記第1レグ、前記第2レグのキャリア波に鋸波を用い、

位相シフト量が増加するにしたがい、

前記第3スイッチング素子のオン時間を前記第1スイッチング素子のオン時間と等しくしつつ、

前記第3スイッチング素子のゲートパルスの立ち上がりの位相が、前記第2スイッチング素子のゲートパルスの立ち上がりの位相に対してシフトし、

前記第4スイッチング素子のオン時間を前記第2スイッチング素子のオン時間と等しくしつつ、

前記第4スイッチング素子のゲートパルスの立ち上がりの位相が、前記第1スイッチング素子のゲートパルスの立ち上がりの位相に対してシフトすること、

を特徴とする請求項 8 に記載の電力変換装置。

[請求項12]

前記制御回路は、前記第 1 レグ、前記第 2 レグのキャリア波に三角波を用い、

位相シフト量が増加するにしたがい、

前記第 3 スwitchング素子のオン時間を前記第 1 スwitchング素子のオン時間と等しくしつつ、

前記第 3 スwitchング素子のゲートパルスの立ち上がりの位相が、前記第 2 スwitchング素子のゲートパルスの立ち上がりの位相に対してシフトし、

前記第 4 スwitchング素子のオン時間を前記第 2 スwitchング素子のオン時間と等しくしつつ、

前記第 4 スwitchング素子のゲートパルスの立ち上がりの位相が、前記第 1 スwitchング素子のゲートパルスの立ち上がりの位相に対してシフトすること、

を特徴とする請求項 8 に記載の電力変換装置。

[請求項13]

前記第 2 整流回路の直流端子に接続された平滑リアクトルと、を備え、

前記制御回路は、前記直流コンデンサの電圧値と、前記平滑コンデンサの電圧値と、前記平滑リアクトルの電流値と、前記第 1 スwitchング素子のデューティ比の演算値と、前記第 2 スwitchング素子のデューティ比と、前記第 2 レグの位相シフト量の演算値とに基づいて、前記第 2 レグのオン期間を制御すること、

を特徴とする請求項 6 に記載の電力変換装置。

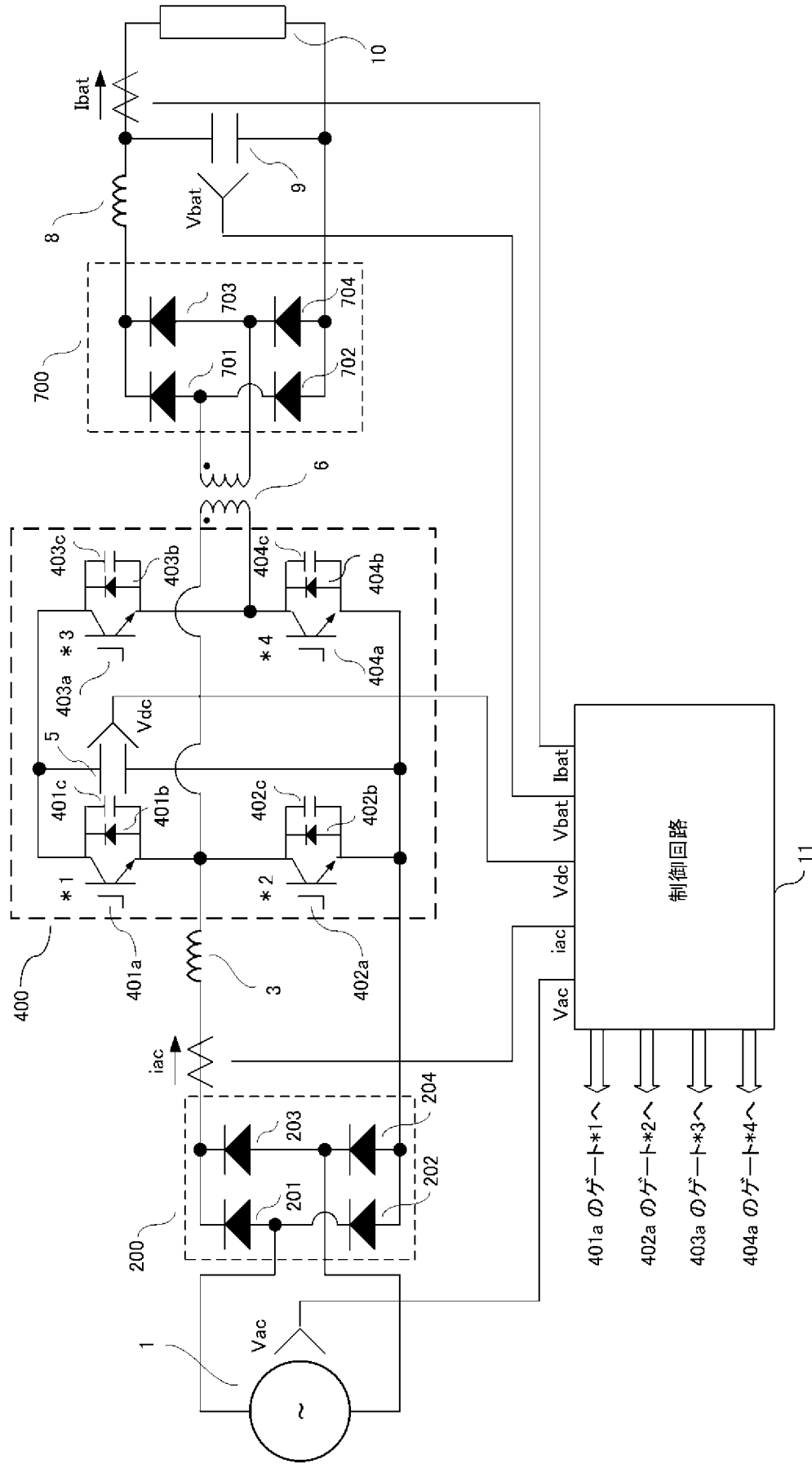
[請求項14]

前記第 2 整流回路の直流端子に接続された平滑リアクトルと、を備え、

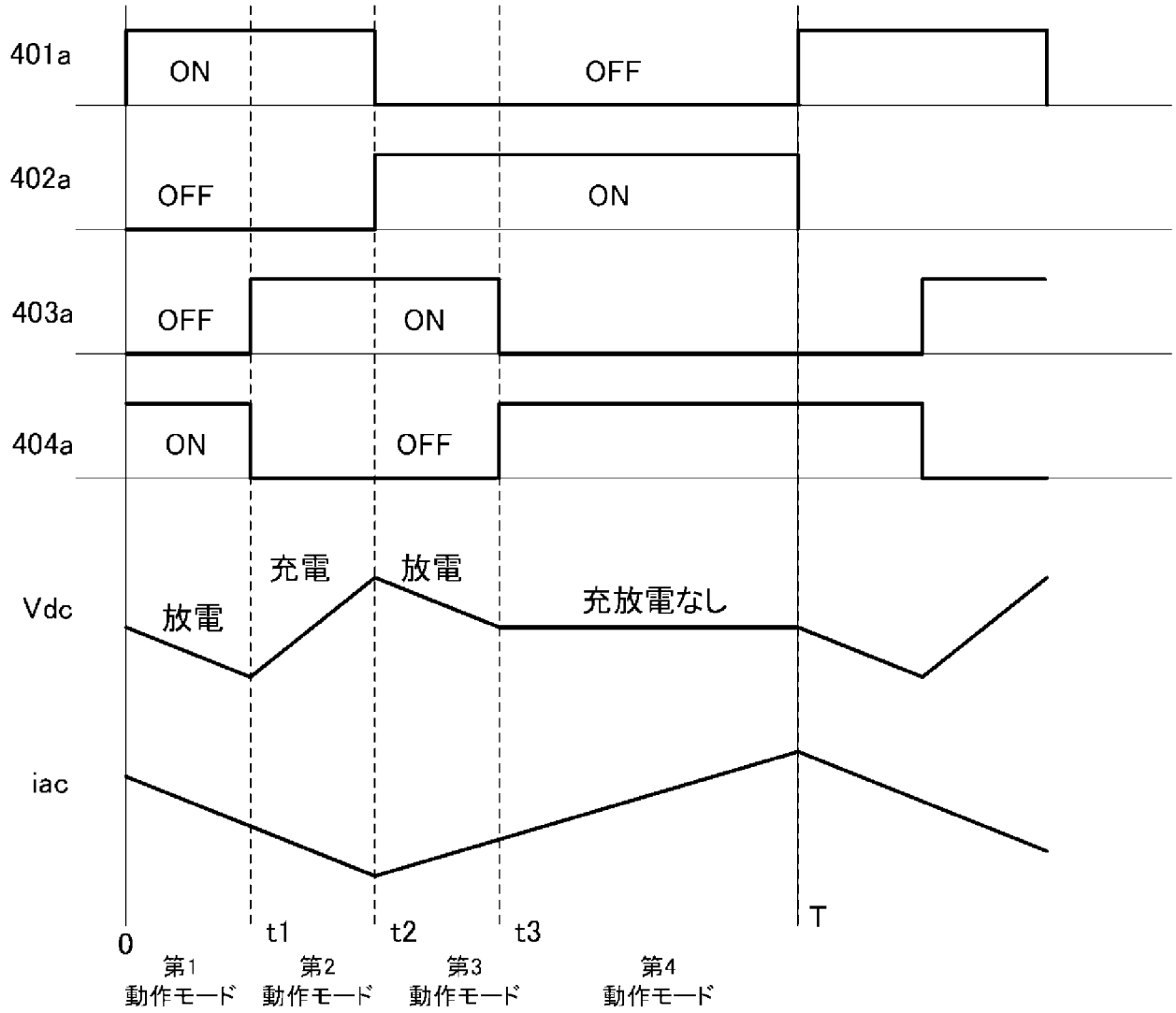
前記制御回路は、前記直流コンデンサの電圧値と、前記平滑コンデンサの電圧値と、前記平滑リアクトルの電流値と、前記第 1 スwitchング素子のデューティ比の演算値と、前記第 2 スwitchング素子のデ

ユーティ比と、前記第2レグの位相シフト量の演算値とに基づいて、
前記第1レグのオン期間を制御すること、
を特徴とする請求項6に記載の電力変換装置。

[図1]

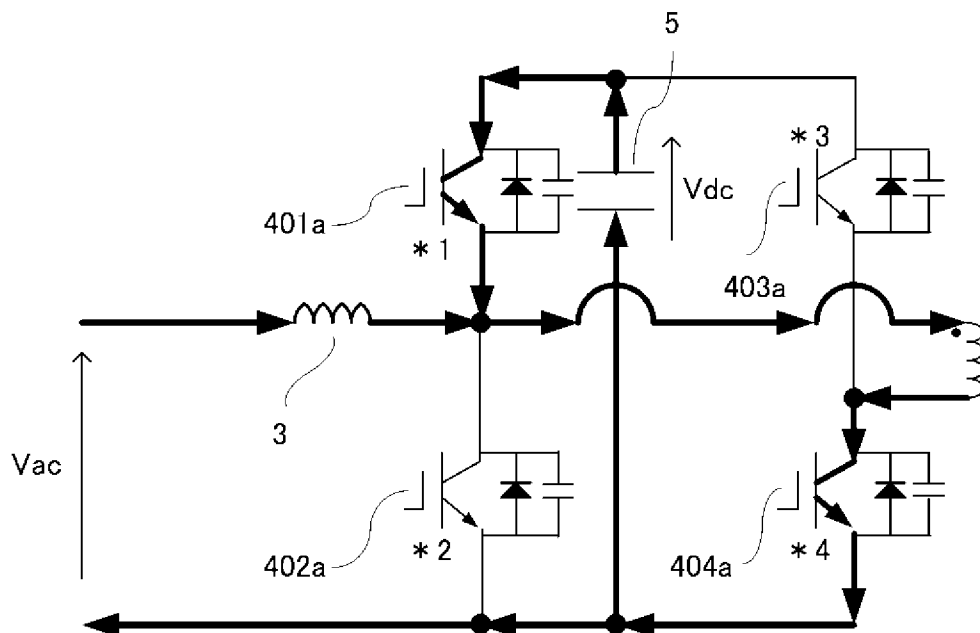


[図2]



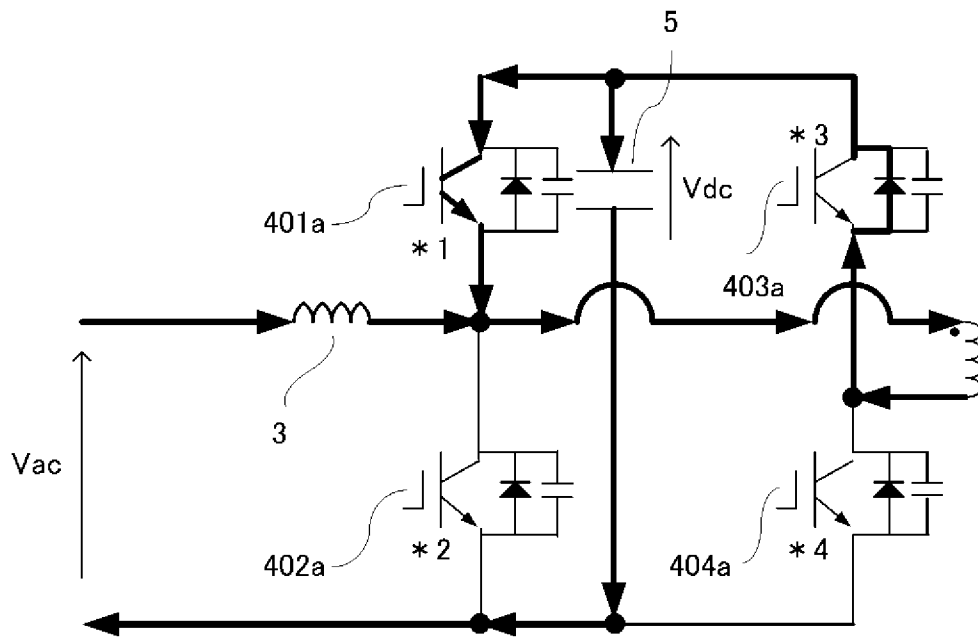
[図3]

第1動作モード



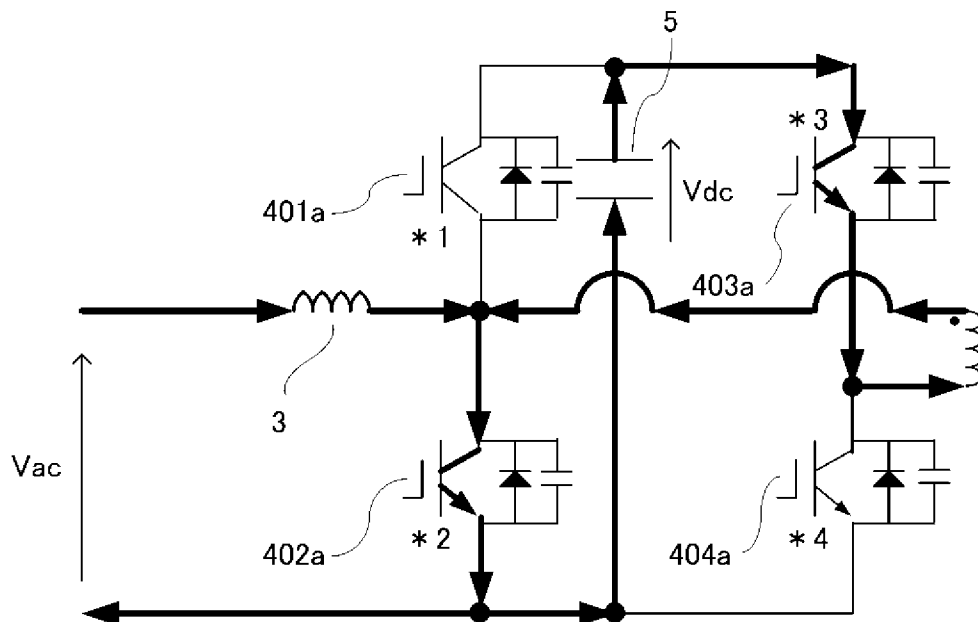
[図4]

第2動作モード



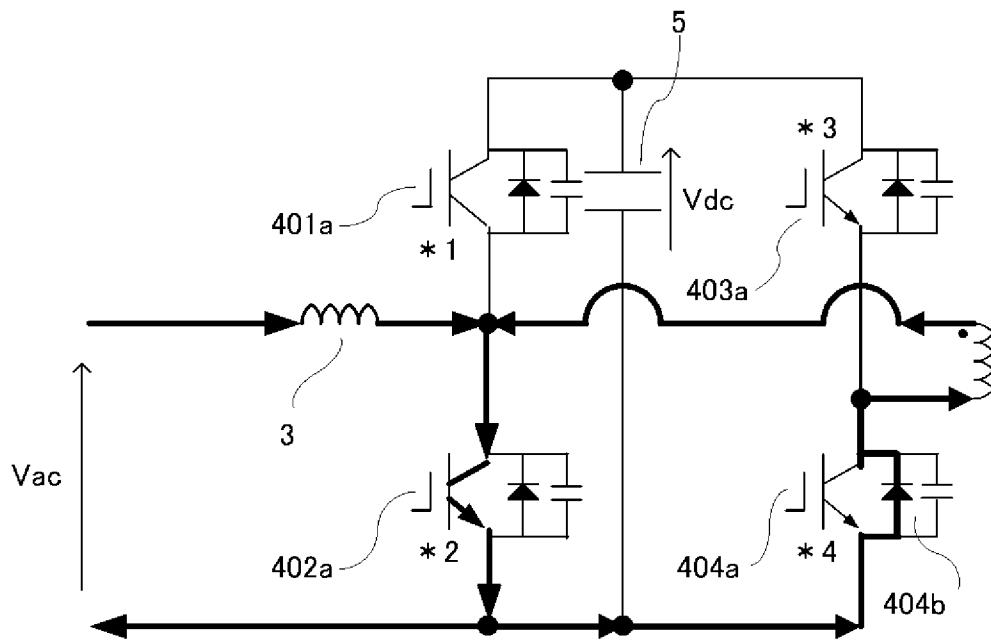
[図5]

第3動作モード

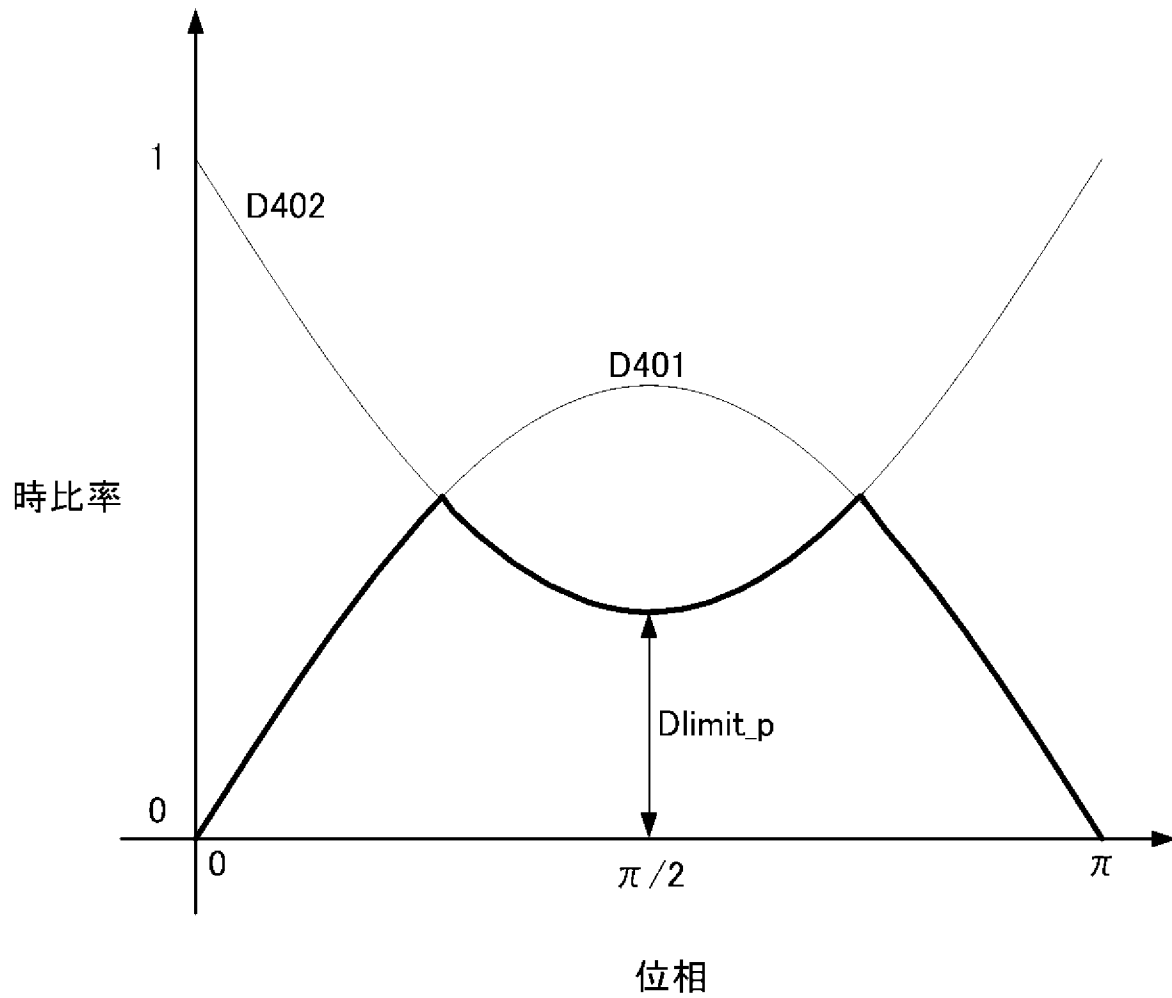


[図6]

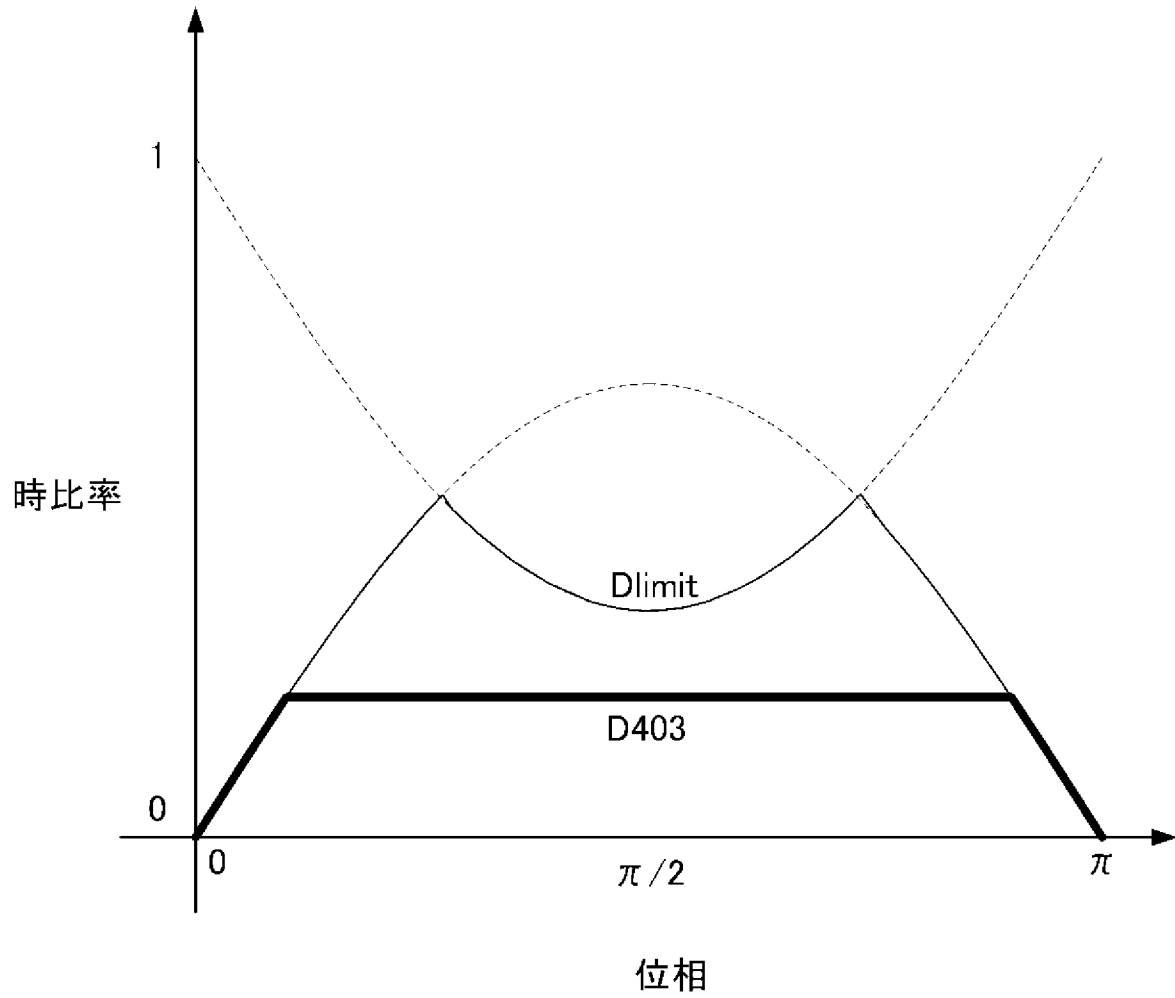
第4動作モード



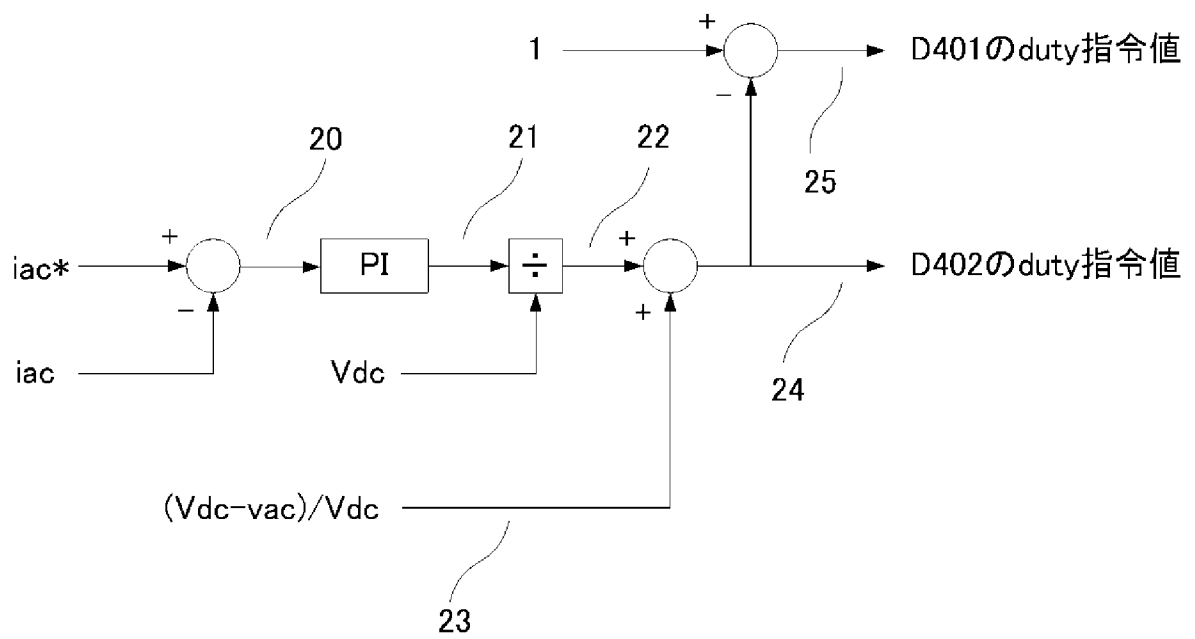
[図7]



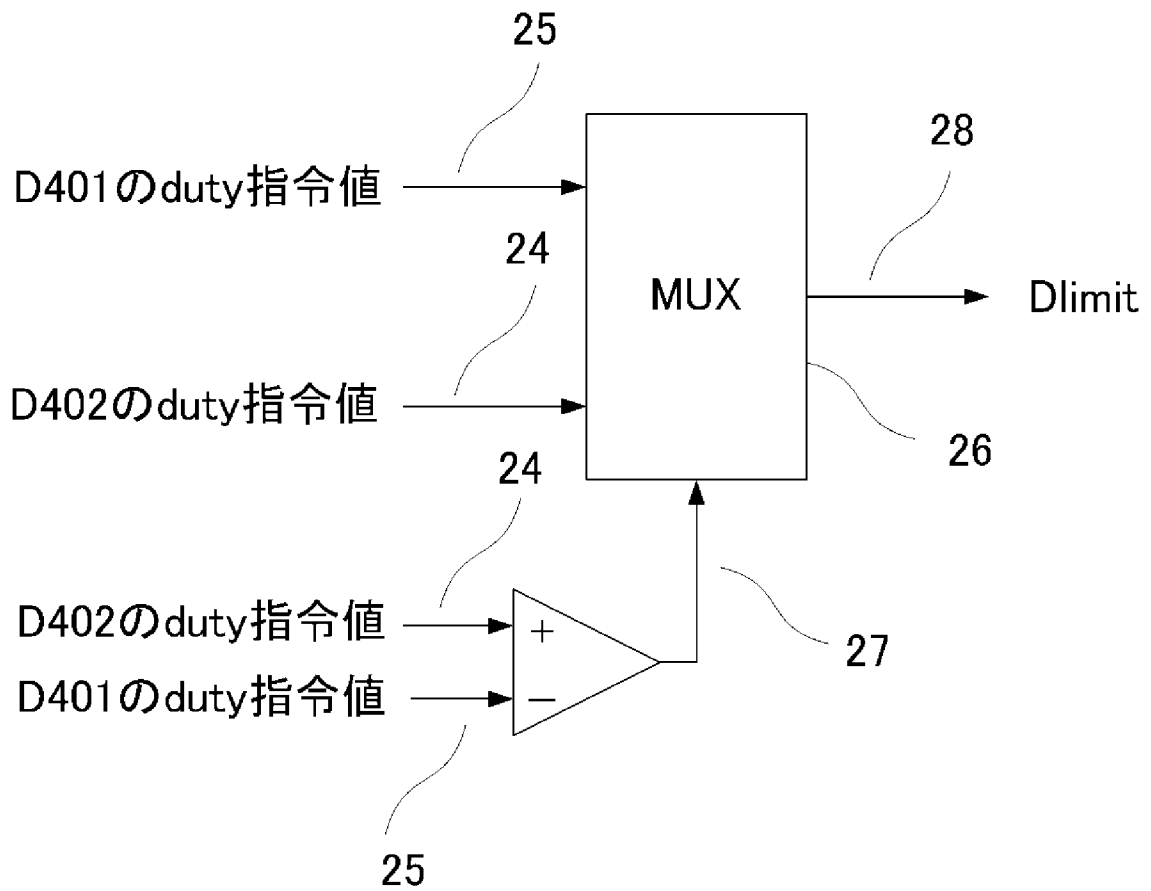
[図8]



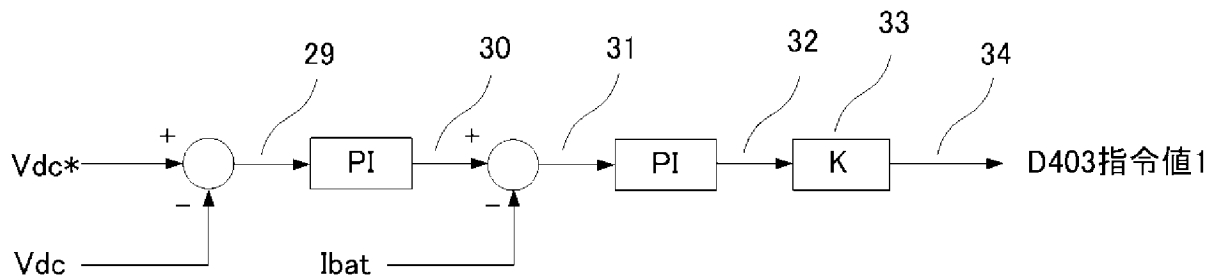
[図9]



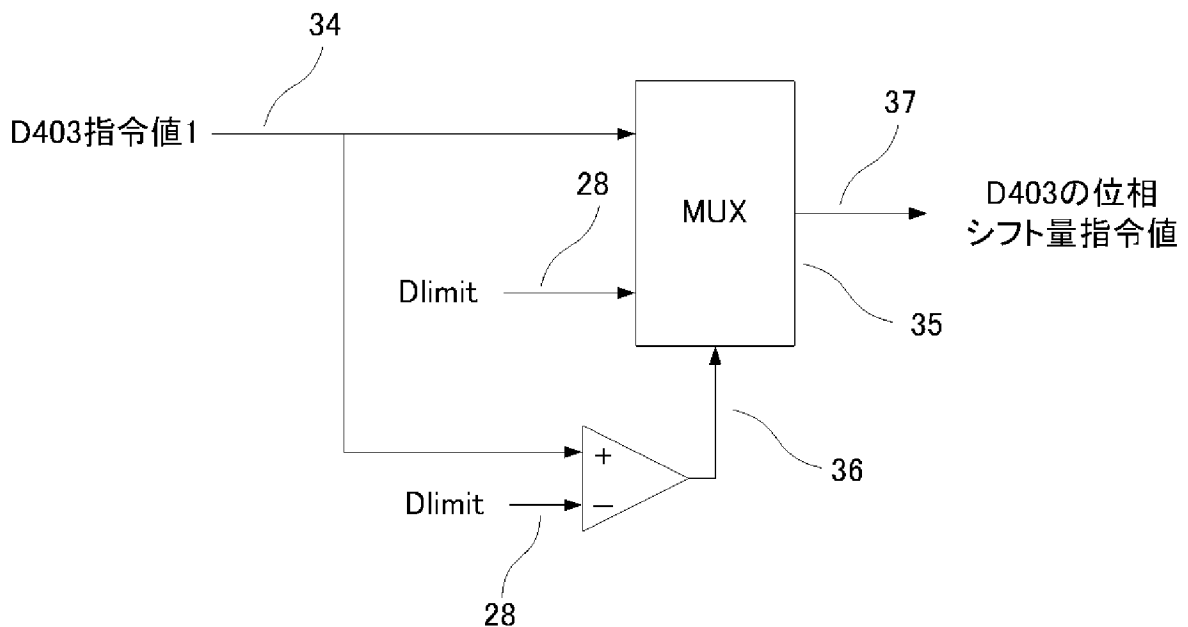
[図10]



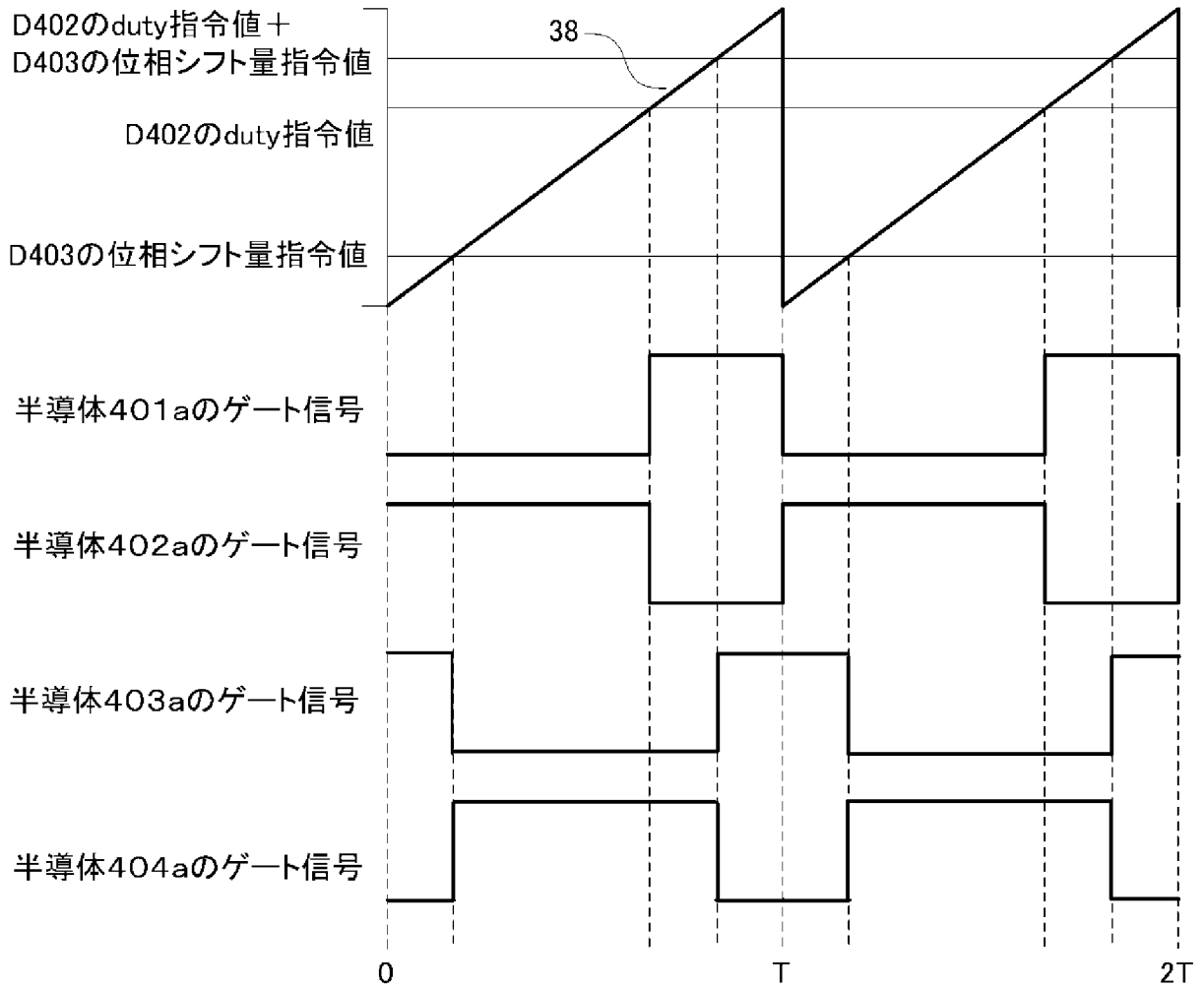
[図11]



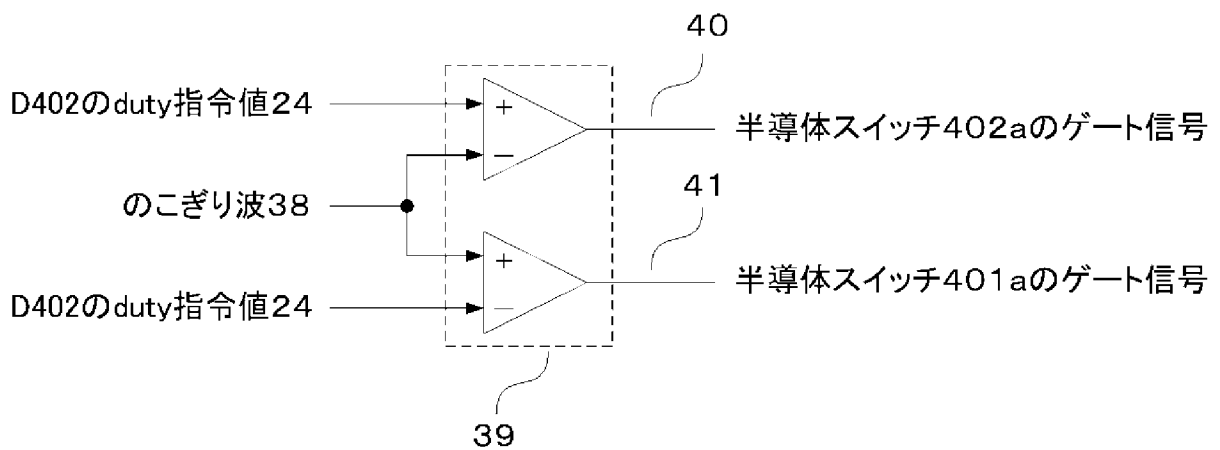
[図12]



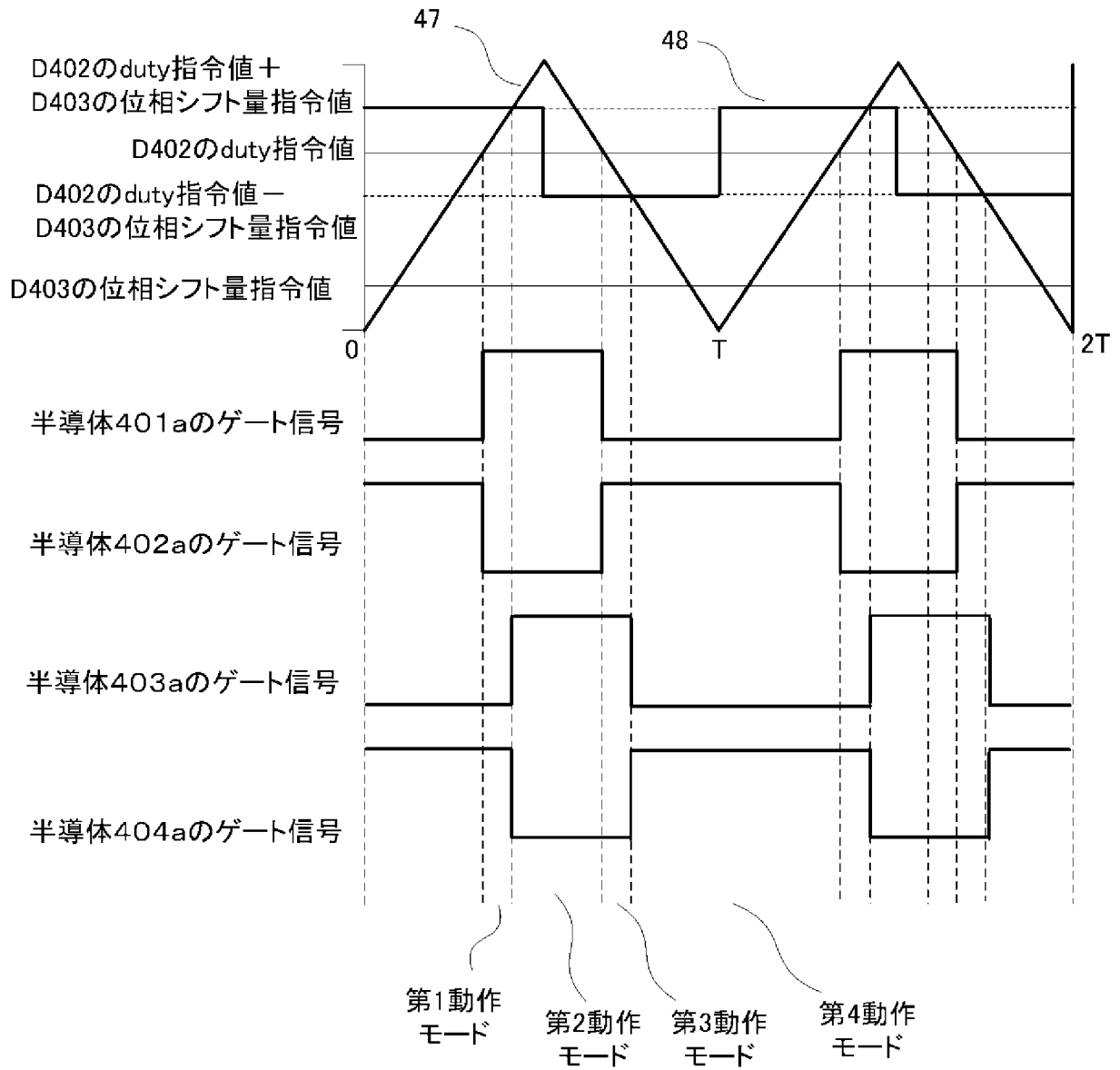
[図13]



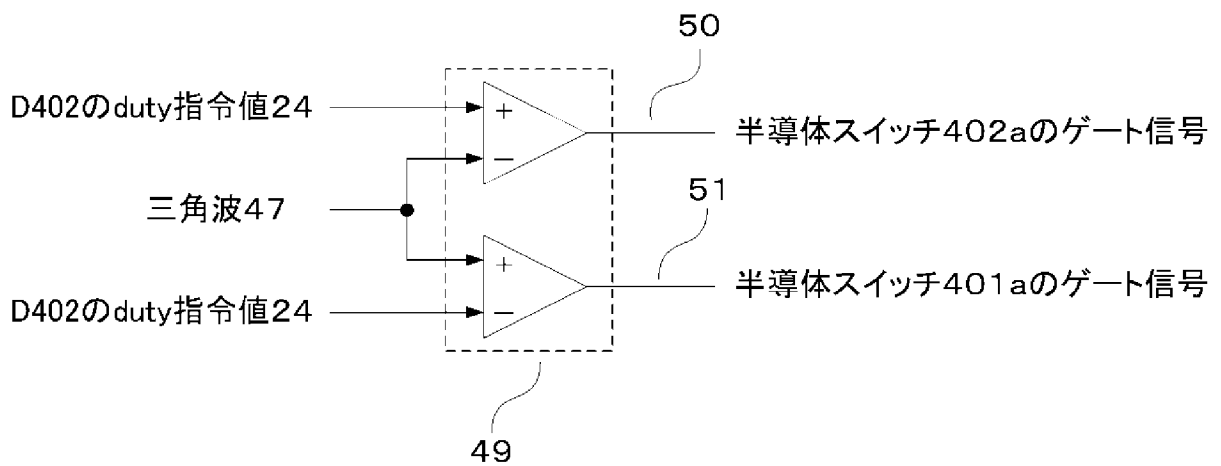
[図14]



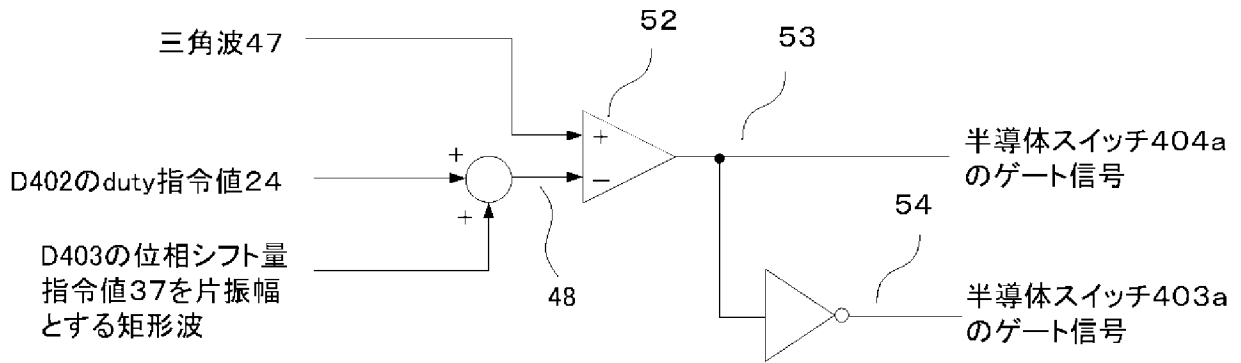
[図17]



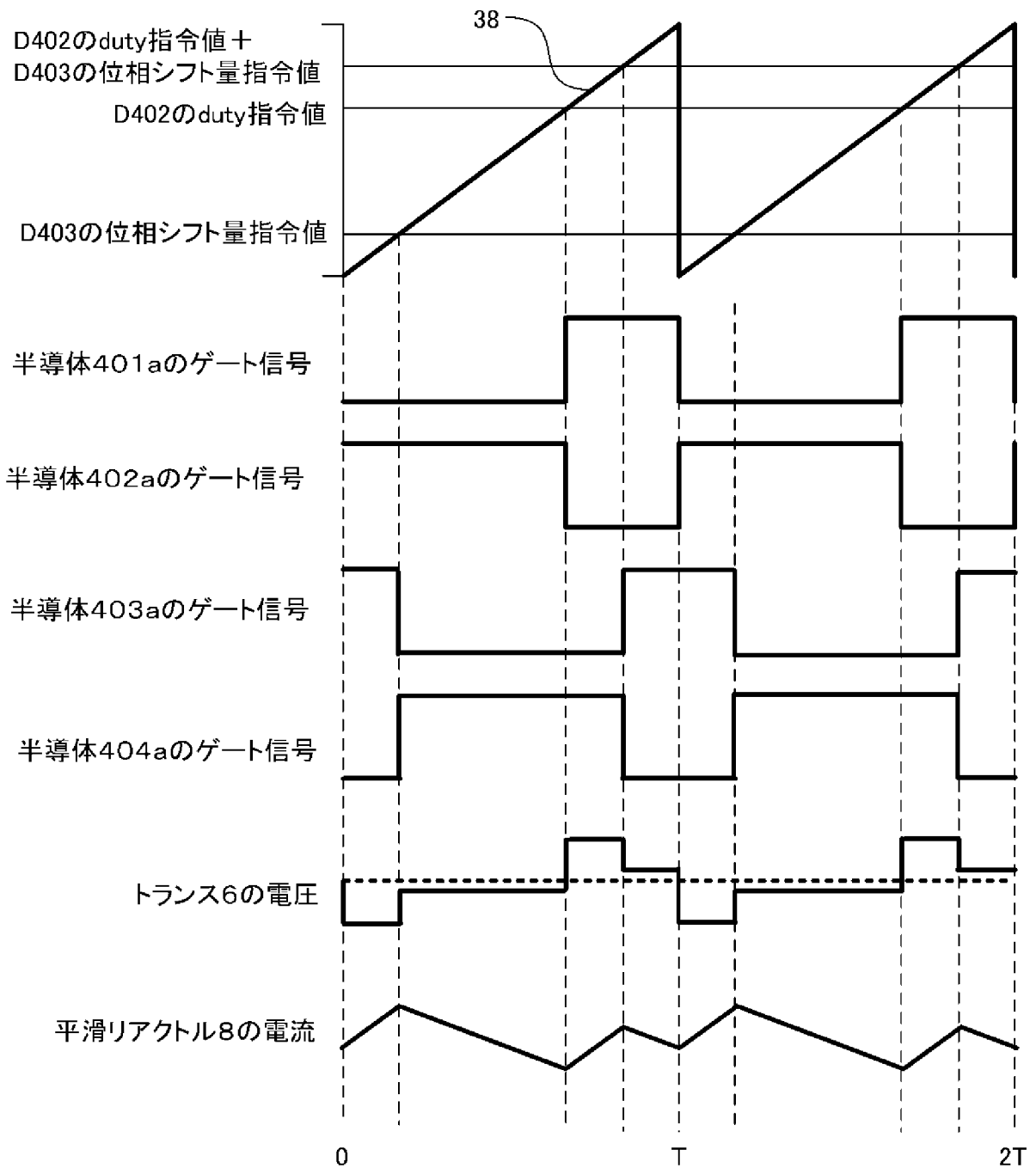
[図18]



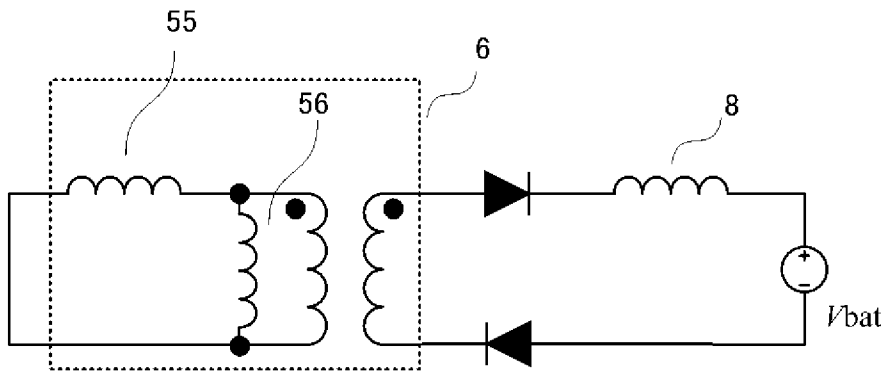
[図19]



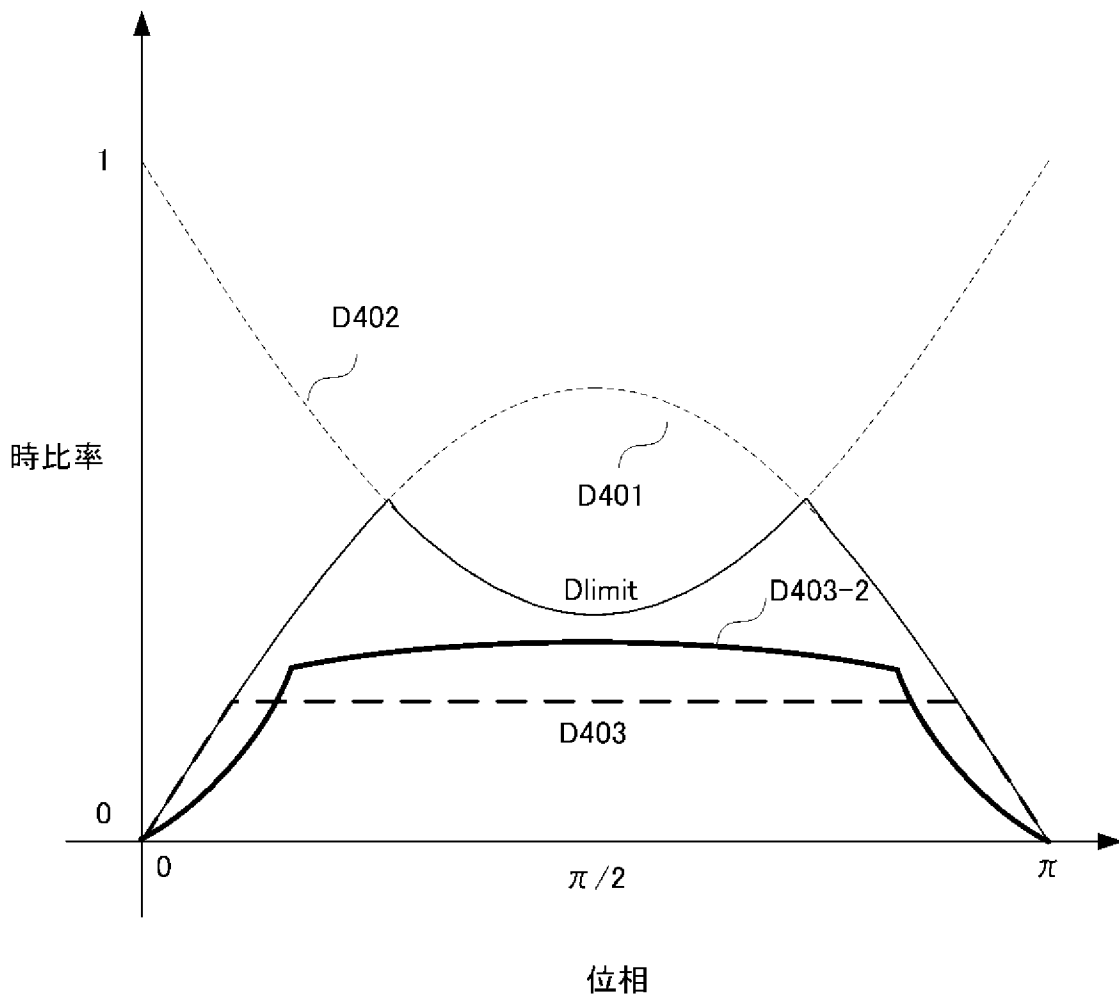
[図20]



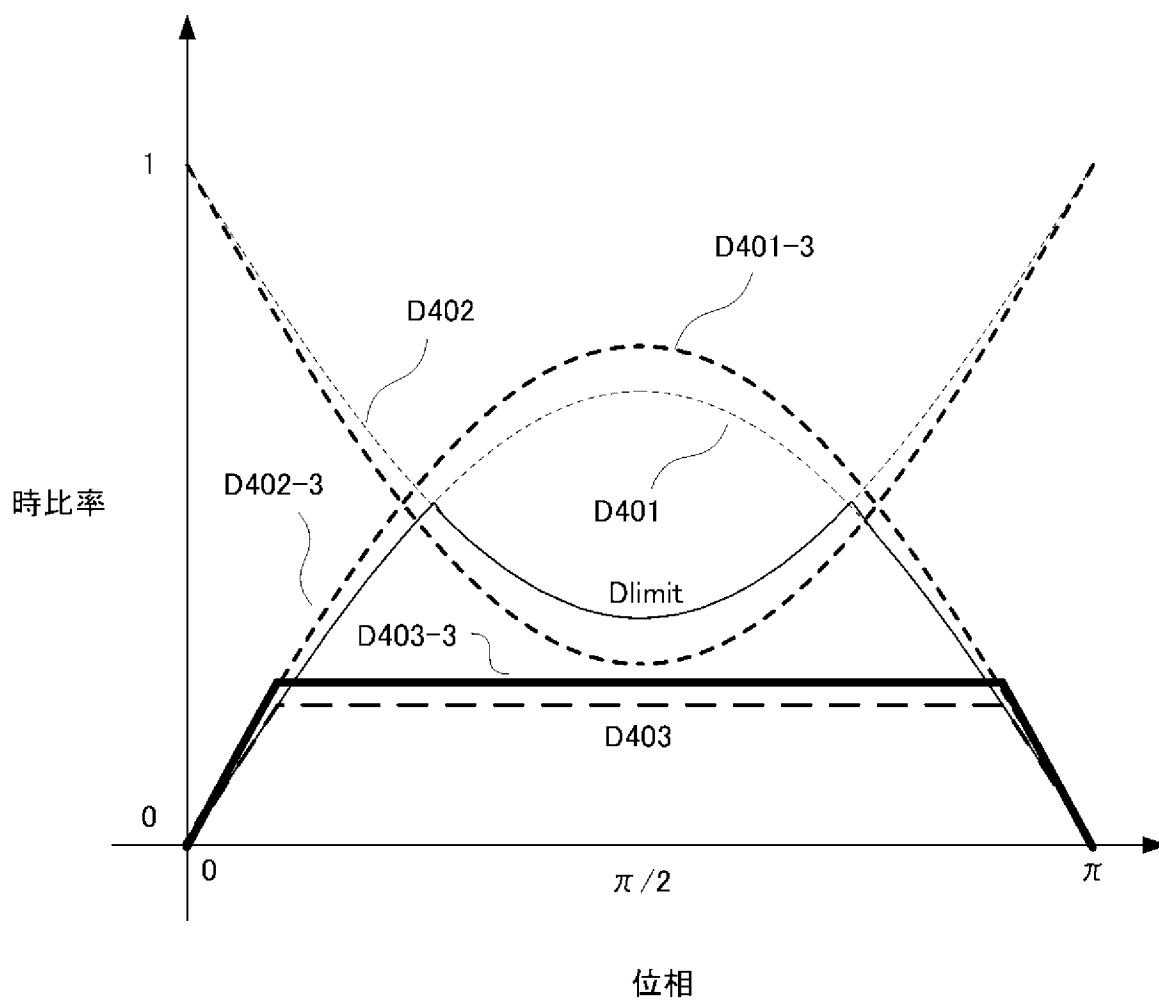
[図21]



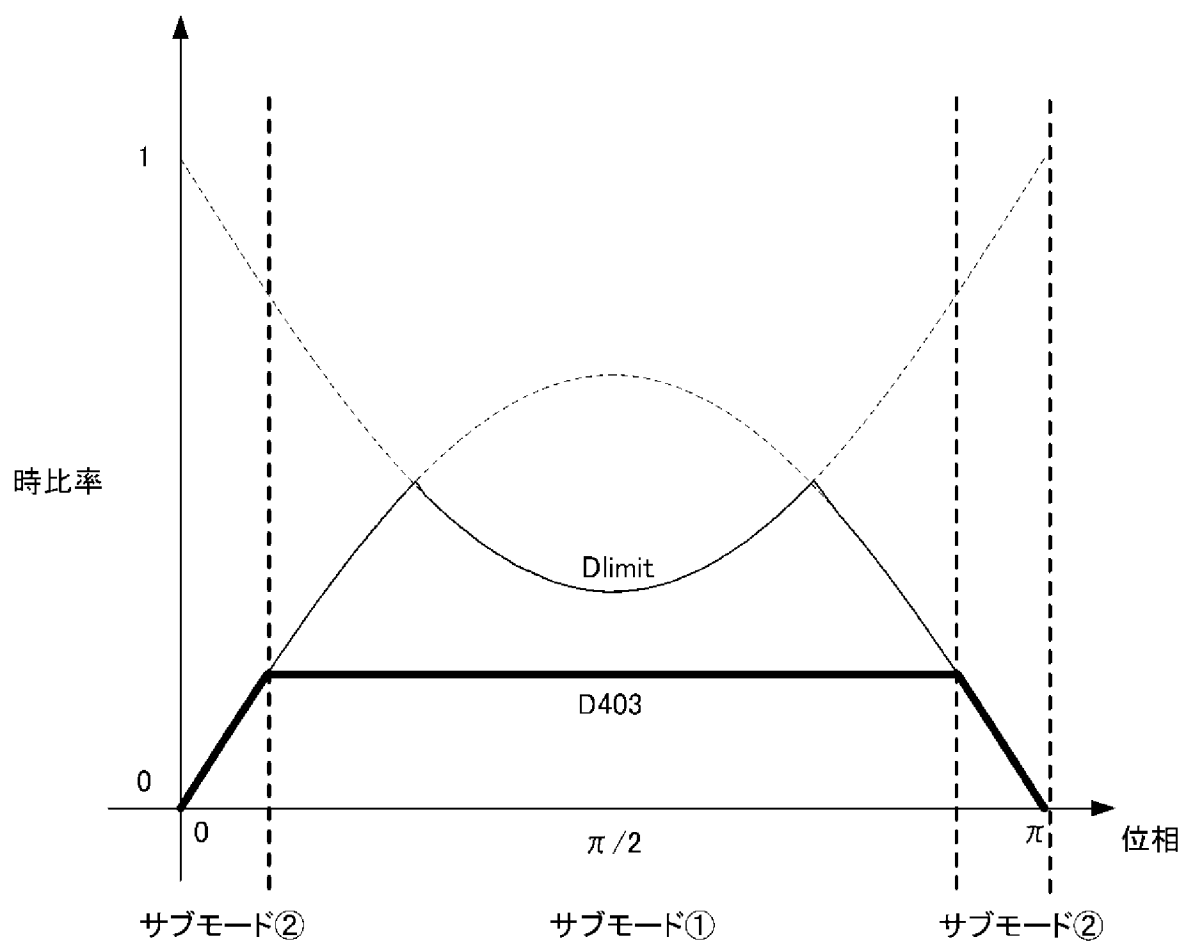
[図22]



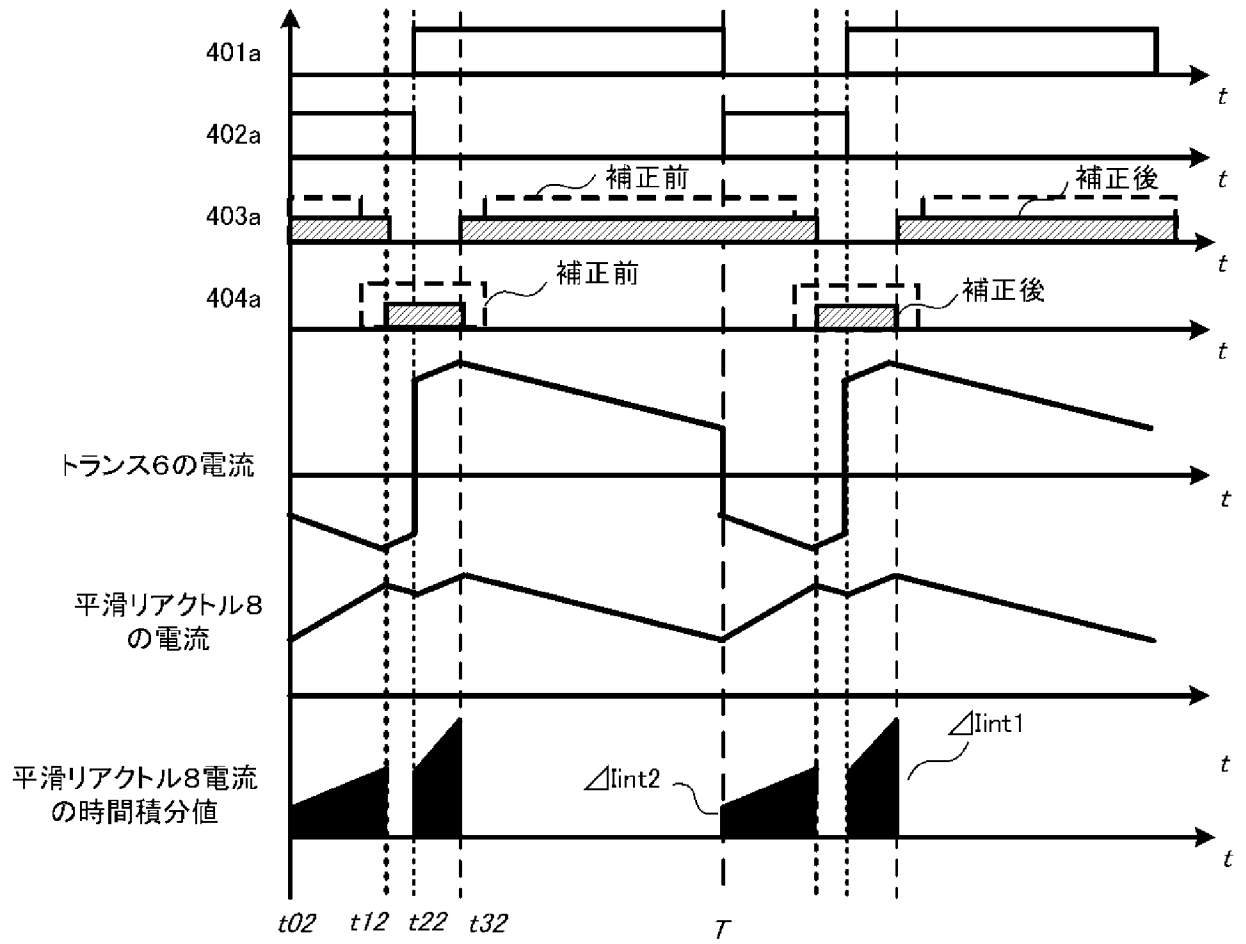
[図23]



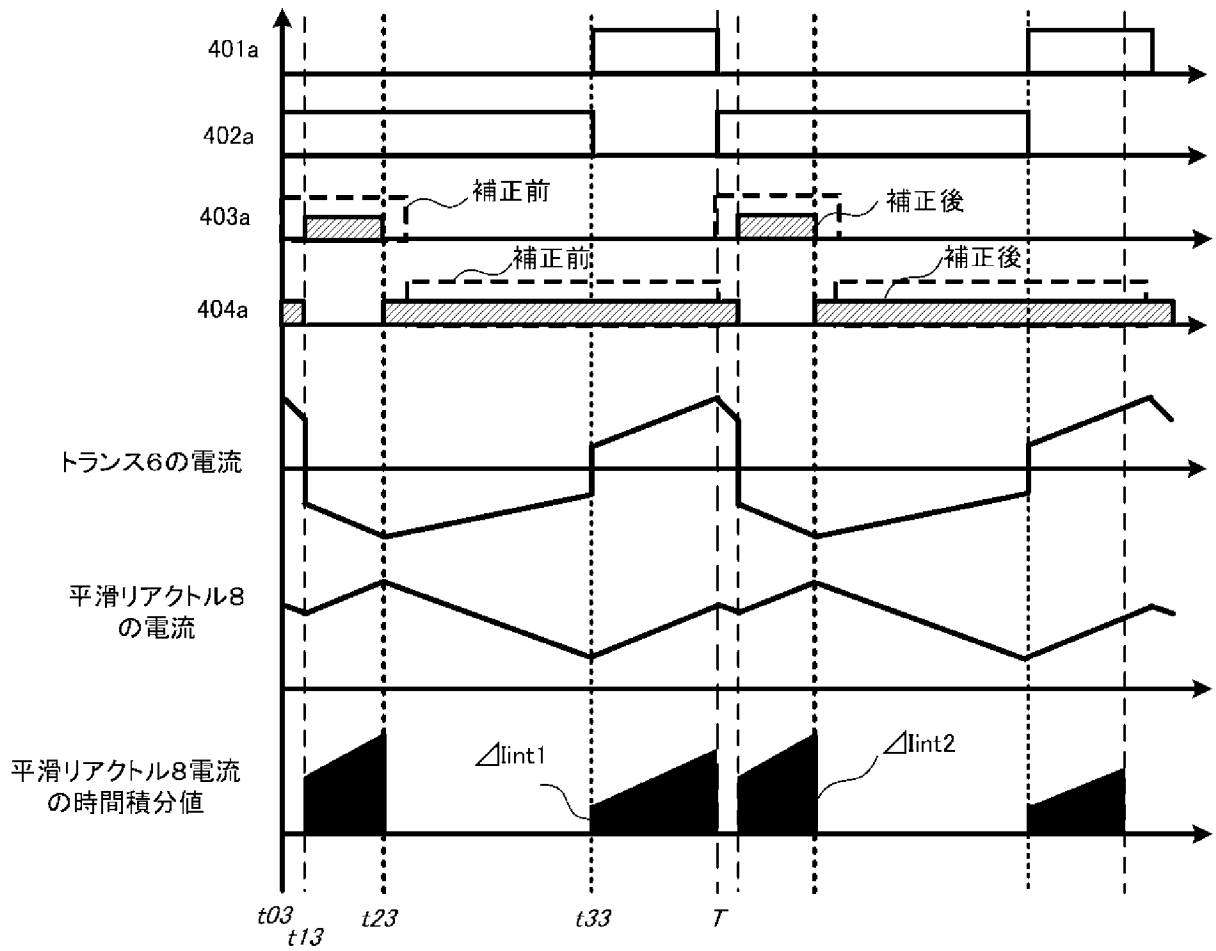
[図24]



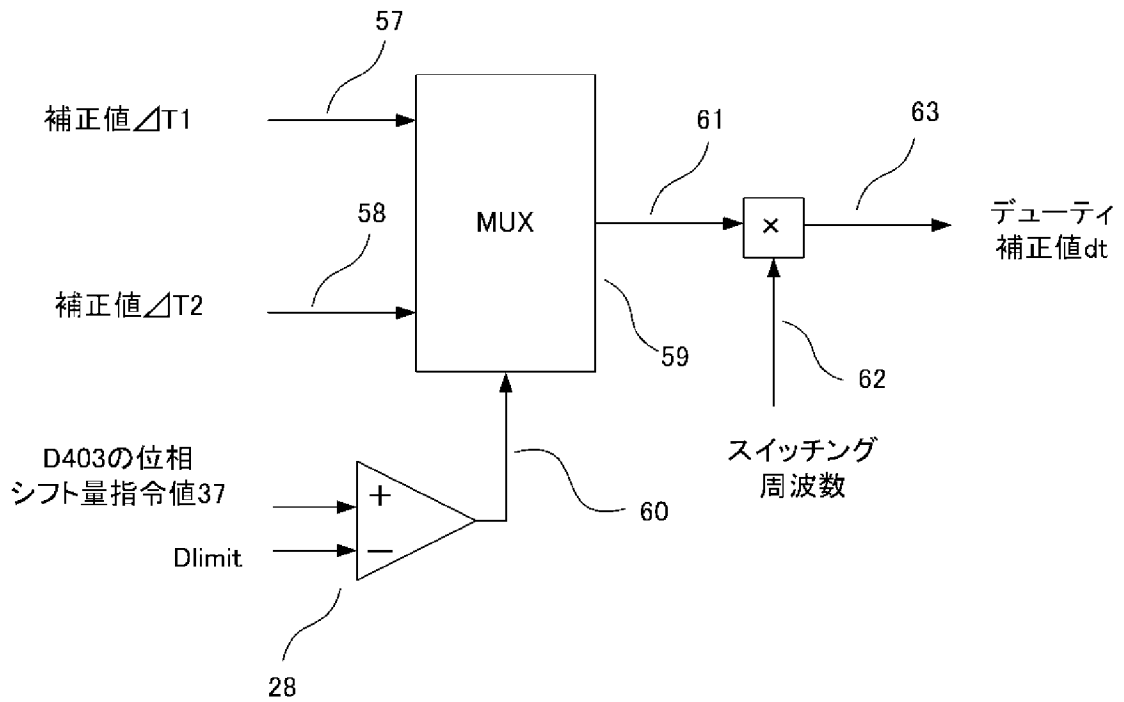
[図25]



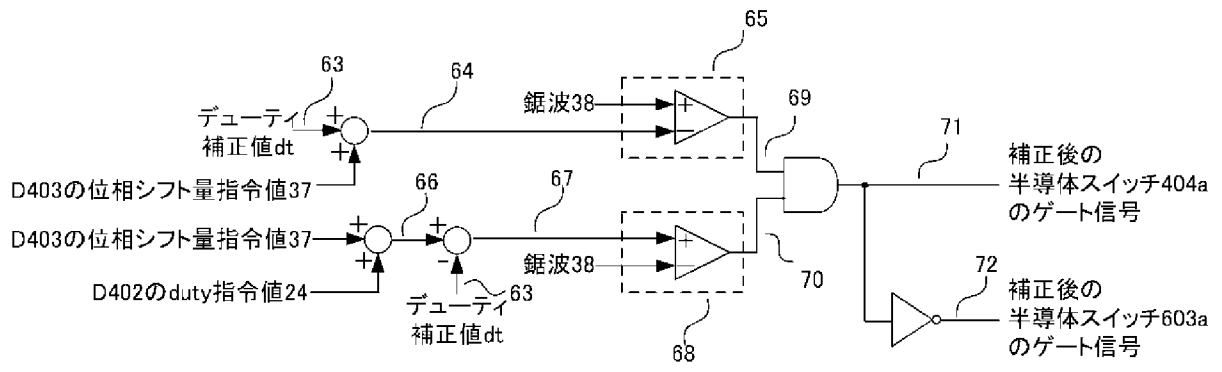
[図26]



[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/002759

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28(2006.01)i, H02M7/12(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/28, H02M7/12, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2015/174123 A1 (Mitsubishi Electric Corp.), 19 November 2015 (19.11.2015), abstract; paragraphs [0001], [0004], [0005], [0009] to [0025], [0036], [0037], [0050] to [0055], [0059], [0064] to [0066]; fig. 1 to 6, 13, 16 & CN 106068605 A	1-12 13, 14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 February 2017 (15.02.17)	Date of mailing of the international search report 28 February 2017 (28.02.17)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/002759

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2010/137278 A1 (Panasonic Corp.), 02 December 2010 (02.12.2010), paragraphs [0005], [0006], [0061] to [0063], [0080] to [0087], [0100] to [0115], [0121] to [0123]; fig. 1 to 4C & JP 2011-177023 A & US 2012/0120687 A1 paragraphs [0005], [0006], [0061] to [0063], [0111] to [0119], [0132] to [0147], [0153] to [0155]; fig. 1 to 4C & EP 2330729 A1 & CN 102227867 A & CN 103368439 A	1-12 13,14
A	JP 2015-220792 A (Daihen Corp.), 07 December 2015 (07.12.2015), paragraphs [0019] to [0030]; fig. 1, 2 (Family: none)	1-12
A	JP 2009-131007 A (Daihen Corp.), 11 June 2009 (11.06.2009), abstract; paragraphs [0020] to [0023]; fig. 1 to 4 (Family: none)	1-12
A	JP 2013-158122 A (Hitachi, Ltd.), 15 August 2013 (15.08.2013), paragraphs [0071] to [0076]; fig. 11, 12 & US 2013/0194698 A1 paragraphs [0210] to [0228]; fig. 11, 12	1-12
A	JP 2009-207304 A (Hitachi, Ltd.), 10 September 2009 (10.09.2009), paragraphs [0012] to [0014]; fig. 1 to 3 (Family: none)	1-12
A	JP 2012-257399 A (Toshiba IT & Control Systems Corp.), 27 December 2012 (27.12.2012), paragraphs [0040] to [0042]; fig. 1, 2 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H02M3/28(2006.01)i, H02M7/12(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H02M3/28, H02M7/12, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2015/174123 A1（三菱電機株式会社） 2015.11.19, 要約, 段落 0001, 0004, 0005, 0009-0025, 0036, 0037, 0050-0055, 0059, 0064-0066, 図 1-6, 13, 16 & CN 106068605 A	1-12 13, 14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 15.02.2017

国際調査報告の発送日
 28.02.2017

国際調査機関の名称及びあて先
 日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	5G	9852
戸次 一夫		
電話番号 03-3581-1101 内線 3526		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2010/137278 A1 (パナソニック株式会社) 2010. 12. 02, 段落 0005, 0006, 0061-0063, 0080-0087, 0100-0115, 0121-0123, 図 1-4C & JP 2011-177023 A & US 2012/0120687 A1, 段落 0005, 0006, 0061-0063, 0111-0119, 0132-0147, 0153-0155, 図 1-4C & EP 2330729 A1 & CN 102227867 A & CN 103368439 A	1-12 13, 14
A	JP 2015-220792 A (株式会社ダイヘン) 2015. 12. 07, 段落 0019-0030, 図 1, 2 (ファミリーなし)	1-12
A	JP 2009-131007 A (株式会社ダイヘン) 2009. 06. 11, 要約, 段落 0020-0023, 図 1-4 (ファミリーなし)	1-12
A	JP 2013-158122 A (株式会社日立製作所) 2013. 08. 15, 段落 0071-0076, 図 11, 12 & US 2013/0194698 A1, 段落 0210-0228, 図 11, 12	1-12
A	JP 2009-207304 A (株式会社日立製作所) 2009. 09. 10, 段落 0012-0014, 図 1-3 (ファミリーなし)	1-12
A	JP 2012-257399 A (東芝 I T コントロールシステム株式会社) 2012. 12. 27, 段落 0040-0042, 図 1, 2 (ファミリーなし)	1-12