

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4587746号
(P4587746)

(45) 発行日 平成22年11月24日 (2010.11.24)

(24) 登録日 平成22年9月17日 (2010.9.17)

(51) Int.Cl.

F I

H O 1 L 21/822 (2006.01)

H O 1 L 27/04

H

H O 1 L 27/04 (2006.01)

H O 1 L 27/04

D

H O 1 L 21/82 (2006.01)

H O 1 L 21/82

W

H O 1 L 27/06 (2006.01)

H O 1 L 27/06

1 O 2 A

H O 1 L 21/8234 (2006.01)

H O 1 L 27/08

1 O 2 J

請求項の数 11 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-250632 (P2004-250632)

(22) 出願日 平成16年8月30日 (2004.8.30)

(65) 公開番号 特開2006-66823 (P2006-66823A)

(43) 公開日 平成18年3月9日 (2006.3.9)

審査請求日 平成19年8月3日 (2007.8.3)

(73) 特許権者 308014341

富士通セミコンダクター株式会社

神奈川県横浜市港北区新横浜二丁目10番
23

(74) 代理人 100090273

弁理士 國分 孝悦

(72) 発明者 奥田 正樹

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

審査官 須原 宏光

(56) 参考文献 特開平04-323860 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

電源電圧を構成する高基準電位端子及び低基準電位端子と、

pチャネルMOS電界効果トランジスタのゲートが前記低基準電位端子に接続され、ソース及びドレインが前記高基準電位端子に接続される第1のMOS容量と、

前記ゲートに寄生容量を介して接続され、電源起動時に前記低基準電位の信号が供給され、電源起動後にコマンドに対応した信号が供給される第1の信号配線と

を有する半導体装置。

【請求項2】

前記第1の信号配線は、前記ゲートの上方で前記ゲートに絶縁膜を介して接続される請求項1記載の半導体装置。

10

【請求項3】

さらに、前記第1の信号配線に前記高基準電位を供給することにより動作可能になる第1の動作回路を有する請求項1又は2記載の半導体装置。

【請求項4】

前記第1の信号配線は、電源起動時に前記低基準電位が供給される際に、前記寄生容量を介して接続されるゲートが前記低基準電位端子に接続されているために、前記低基準電位が安定的に設定される請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

電源電圧を構成する高基準電位端子及び低基準電位端子と、

20

nチャネルMOS電界効果トランジスタのゲートが前記高基準電位端子に接続され、ソース及びドレインが前記低基準電位端子に接続される第1のMOS容量と、

前記ゲートに寄生容量を介して接続され、電源起動時に前記高基準電位の信号が供給され、電源起動後にコマンドに対応した信号が供給される第1の信号配線と
を有する半導体装置。

【請求項6】

前記第1の信号配線は、前記ゲートの上方で前記ゲートに絶縁膜を介して接続される請求項5記載の半導体装置。

【請求項7】

さらに、前記第1の信号配線に前記低基準電位を供給することにより動作可能になる第1の動作回路を有する請求項5又は6記載の半導体装置。 10

【請求項8】

前記第1の信号配線は、電源起動時に前記高基準電位が供給される際に、前記寄生容量を介して接続されるゲートが前記高基準電位端子に接続されているために、前記高基準電位が安定的に設定される請求項5～7のいずれか1項に記載の半導体装置。

【請求項9】

さらに、pチャネルMOS電界効果トランジスタのゲートが前記低基準電位端子に接続され、ソース及びドレインが前記高基準電位端子に接続される第2のMOS容量と、

前記第2のMOS容量のゲートに寄生容量を介して接続され、電源起動時に前記低基準電位の信号が供給され、電源起動後にコマンドに対応した信号が供給される第2の信号配線と
を有する請求項5～8のいずれか1項に記載の半導体装置。 20

【請求項10】

前記第2の信号配線は、前記第2のMOS容量のゲートの上方で前記ゲートに絶縁膜を介して接続される請求項9記載の半導体装置。

【請求項11】

前記コマンドは、リードコマンド又はライトコマンドである請求項1～10のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体装置に関し、特に電源容量を有する半導体装置に関する。

【背景技術】

【0002】

半導体チップは、電源電位V_{dd}及び基準電位V_{ss}の外部端子を有する。これらの2個の外部端子間に個別部品のコンデンサ(容量)を半導体チップの外部の基板上で電源安定化容量として接続することにより、電源電圧の安定化を図っている。近年、半導体装置(半導体チップ)では、微細化が進む一方で、電源安定化容量を半導体装置内に具備し、半導体装置外の部品点数を減らしたいとの要求がでてきている。

【0003】

40

また、下記の特許文献1には、電源配線を信号配線間に配置した半導体装置が開示されている。

【0004】

【特許文献1】特開平3-120743号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、信号配線の信号が電源容量により悪影響を受けることを防止することである。

【課題を解決するための手段】

50

【 0 0 0 6 】

本発明の一観点によれば、電源電圧を構成する高基準電位端子及び低基準電位端子と、
pチャネルMOS電界効果トランジスタのゲートが低基準電位端子に接続され、ソース及び
ドレインが高基準電位端子に接続される第1のMOS容量と、ゲートに寄生容量を介して
接続され、電源起動時に低基準電位の信号が供給され、電源起動後にコマンドに対応し
た信号が供給される第1の信号配線とを有する半導体装置が提供される。

【発明の効果】

【 0 0 0 7 】

第1の信号配線は、寄生容量を介してゲートに接続されている。そのゲートは、低基準
電位端子に接続されている。これにより、電源起動時に、第1の信号配線に低基準電位の
信号が供給されると、第1の信号配線に低基準電位が安定的に設定されるので、電源起動
時の誤動作を防止することができる。また、第1の信号配線をゲートの近くに配置するこ
とができるので、半導体装置内の領域を効率的に使用することができる。また、第1のM
OS容量は、電源安定化容量として機能させることができる。

10

【発明を実施するための最良の形態】

【 0 0 0 8 】

(第1の実施形態)

電源安定化容量(バイパスコンデンサ)は、電源電圧ドロップを低減し安定した電源電
圧を半導体装置に供給する目的で半導体装置の電源に接続される。この電源安定化容量を
半導体装置外に設けると、外部部品点数が多くなり、コストが高くなる。電源安定化容量
を半導体装置内に設けることにより、外部部品点数を減らし、安価な基板モジュールを製
造することができる。

20

【 0 0 0 9 】

この電源安定化容量は、半導体装置の内部論理回路として使用するMOS(metal-oxid
e semiconductor)電界効果トランジスタと同等のMOS電界効果トランジスタを用いて
MOS容量として構成される。電源安定化容量をMOS容量で構成することにより、半導
体製造工程を増やして高価な材質で製造するよりも、安価になる。以下、MOS電界効果
トランジスタを、単にトランジスタという。

【 0 0 1 0 】

図1(A)~(C)は、nチャネルMOS容量(MOSキャパシタ)の半導体装置の構
成例を示す図である。nチャネルMOS容量は、nチャネルトランジスタを用いて構成さ
れる。図1(A)は半導体装置の表面図であり、図1(B)は図1(A)の半導体装置を
右から見た断面図であり、図1(C)は図1(A)の半導体装置を下から見た断面図であ
る。

30

【 0 0 1 1 】

p型基板100は、例えばシリコン基板である。ソース101は、p型基板100内に
設けられるn型拡散領域である。ドレイン102は、p型基板100内に設けられるn型
拡散領域である。ソース101及びドレイン102間の基板100の表面には、チャネル
領域が設けられる。そのチャネル領域の上には、ゲート絶縁膜111を介してゲート10
3が設けられる。ゲート絶縁膜111は、例えばシリコン酸化膜である。ゲート103は
、例えばポリシリコンで形成される。ゲート103の上には、絶縁膜112を介して配線
層(電源配線107、108及び109を含む)が設けられる。電源配線107は、ソー
ス配線であり、コンタクト104を介してソース101に電氣的に接続される。電源配線
108は、ゲート配線であり、コンタクト105を介してゲート103に電氣的に接続さ
れる。電源配線109は、ドレイン配線であり、コンタクト106を介してドレイン10
2に電氣的に接続される。

40

【 0 0 1 2 】

高基準電位V_{dd}の端子及び低基準電位V_{ss}の端子は、電源電圧を構成する。例えば
、高基準電位V_{dd}は5V又は3.3Vであり、低基準電位V_{ss}は0V(グランド)で
ある。ソース配線107及びドレイン配線109は低基準電位V_{ss}の端子に接続され、

50

ゲート配線 108 は高基準電位 V_{dd} の端子に接続される。すなわち、ソース 101 及びドレイン 102 には低基準電位 V_{ss} が供給され、ゲート 103 には高基準電位 V_{dd} が供給される。これにより、ソース 101 及びドレイン 102 間にチャネルが形成され、MOS 容量 113 が形成される。

【0013】

MOS 容量 113 は、ゲート 103 と n 型領域 101, 102 との間に形成される。n 型領域 101, 102 の電位を基準にして、ゲート 103 の電圧をトランジスタしきい値電圧 V_{th} 以上の電源電圧 V_{dd} にすることにより容量が形成される。

【0014】

以上のように、n チャネル MOS 容量 113 では、ゲート 103 に高基準電位 V_{dd} を印加し、ソース 101 及びドレイン 102 に低基準電位 V_{ss} を印加することにより、チャネル領域にチャネルが形成され、ゲート絶縁膜 111 を誘電体とし、ゲート 103 と n 型拡散領域 101, 102 を電極とした MOS 容量ができる。その容量値 C は、式 (1) で与えられる。

【0015】

$$C = \epsilon \times S / t \quad (1)$$

【0016】

ここで、 ϵ は、ゲート絶縁膜 111 の誘電率であり、ゲート絶縁膜 111 の比誘電率 $\times$ 真空誘電率で表される。 S は、ゲートの面積であり、チャネル幅 $W \times$ チャネル長 L で表される。 t は、ゲート絶縁膜 111 の厚さである。

【0017】

安定した電源電圧を得るには、消費電流にもよるが、MOS 容量 113 の容量値を概ね 10000 [pF] にしなければならない。これを式 (1) に当てはめると、以下のようになる。ここで、 $t = 10$ [nm]、 $\epsilon = 34 \times 10^{-12}$ [F/m] とする。

【0018】

$$\begin{aligned} S &= C \times t / \epsilon \\ &= 10000 \text{ [pF]} \times 10 \text{ [nm]} / (34 \times 10^{-12} \text{ [F/m]}) \\ &= 3 \text{ [mm}^2\text{]} \end{aligned}$$

【0019】

例えば現在 128 Mビットの DRAM (dynamic random access memory) の面積がおおよそ 30 [mm²] であるので、ゲート面積 $S = 3$ [mm²] は DRAM の面積に対して約 1 割の面積に相当し、大面積を必要とする。1 個のトランジスタでゲート面積 $S = 3$ [mm²] を実現してもよいが、現実的には、多数のトランジスタを並列に接続してゲート面積 $S = 3$ [mm²] を実現するのが好ましい。

【0020】

ゲート面積 S は大面積を必要とするので、ゲート 103 の上方の配線層の空き領域 110 を有効活用するのが好ましい。この空き領域 110 に信号配線を配置し、MOS 容量 113 と信号配線とを同一エリアに配置することで、半導体装置の面積の低減を図ることができる。

【0021】

図 2 (A) ~ (C) は、図 1 (A) ~ (C) の n チャネル MOS 容量 113 の空き領域 110 に信号配線 201 を設けた半導体装置の構成例を示す図である。図 2 (A) は半導体装置の表面図であり、図 2 (B) は図 2 (A) の半導体装置を右から見た断面図であり、図 2 (C) は図 2 (A) の半導体装置を下から見た断面図である。

【0022】

信号配線 201 は、ゲート 103 の上方でゲート 103 に絶縁膜 112 を介して接続される。信号配線 201 は、長距離に渡り配置されるため、ゲート 103 と信号配線 201 との間に大きな寄生容量 202 が付加される。すなわち、信号配線 201 は、寄生容量 202 を介してゲート 103 に接続されることになる。配線層には、電源配線 107 ~ 109 及び信号配線 201 が設けられる。MOS 容量 113 のエリア内において、配線層の空

10

20

30

40

50

き領域に信号配線 201 を設けることにより、半導体装置の面積を有効活用することができる。信号配線 201 は、MOS 容量 113 以外の半導体装置内の他の回路の信号配線として用いることができる。

【0023】

例えば、図 4 に示すように、上記の n チャンネル MOS 容量 113 は、ゲートが高基準電位 V_{dd} の端子に接続され、ソース及びドレインが低基準電位 V_{ss} の端子に接続される。信号配線 201 は、寄生容量 202 を介して MOS 容量 113 のゲート 103 に接続される。すなわち、信号配線 201 は、寄生容量 202 を介して高基準電位 V_{dd} の端子に接続される。

【0024】

図 3 は、電源起動時の信号配線 201 の電圧 V_{201} を示す波形図である。ここで、説明の簡単のため、信号配線 201 がフローティング状態であるとして説明する。横軸は時間を示す。電源を起動すると、高基準電位 V_{dd} は 0 V から徐々に上昇してやがて一定電位に落ち着く。低基準電位 V_{ss} は、0 V を維持する。信号配線 201 はフローティング状態であるので、本来、電圧が供給されていない。しかし、信号配線 201 は、寄生容量 202 を介して高基準電位 V_{dd} に接続（容量結合）されるので、その電圧 V_{201} は高基準電位 V_{dd} に追従して上昇して一定値に落ち着く。すなわち、電源起動時、信号配線 201 の電圧 V_{201} は、意図せずに、立ち上がってしまう。この現象は、信号配線 201 を使用する回路が誤動作を生じるおそれがある。その回路例を図 4 に示す。

【0025】

図 4 は、電源安定化 MOS 容量 113 及び信号配線 201 を用いた半導体装置例を示す回路図である。この半導体装置は、例えばメモリのライト動作及びリード動作を行うことができる。

【0026】

信号回路 411 は、電源起動時に、信号配線 201 に低基準電位（ローレベル） V_{ss} の信号を供給するために、配線 401 に高基準電位（ハイレベル） V_{ss} の信号を供給する。ドライバ 412 は、配線 401 の信号を論理反転増幅して信号配線 201 に出力する。

【0027】

クロック回路 413 は、フリップフロップ 415 にクロック信号を供給するために、配線 402 にクロック信号を出力する。ドライバ 414 は、配線 402 の信号を論理反転増幅して配線 403 に出力する。

【0028】

D 型フリップフロップ 415 は、配線 403 のクロック信号の立ち上がり同期して、信号配線 201 の信号状態を保持して配線 404 を介して動作回路 416 に出力する。クロック信号がその後に立ち下がっても、フリップフロップ 415 はその状態を保持して出力する。動作回路 416 は、配線 404 が高基準電位 V_{dd} になると動作し、演算を開始する等の半導体装置内の機能を働かせる。すなわち、動作回路 416 は、信号配線 201 に高基準電位 V_{dd} が供給されることにより動作可能になる。

【0029】

図 5 は、図 4 の寄生容量 202 が仮に存在しない場合の理想的な半導体装置の電源起動時の動作例を示すタイミングチャートである。高基準電位 V_{dd} 及び低基準電位 V_{ss} は、図 3 の上記の説明と同じである。電源起動時、高基準電位 V_{dd} は 0 V から徐々に上昇してやがて一定電位に落ち着き、低基準電位 V_{ss} は 0 V を維持する。信号回路 411 は電源起動時に配線 401 に高基準電位 V_{dd} を出力し、ドライバ 412 はその高基準電位 V_{dd} の出力信号を論理反転して信号配線 201 に出力する。信号配線 201 の電圧 V_{201} は、低基準電位 V_{ss} (0 V) を維持する。配線 403 の電圧 V_{403} は、クロック回路 413 に応じたクロック信号の電圧である。フリップフロップ 415 は、電圧 V_{403} の立ち上がり同期して、電圧 V_{201} を保持して配線 404 に電圧 V_{404} を出力する。電圧 V_{403} の立ち上がり時に、電圧 V_{201} は低基準電位 V_{ss} であるので、電圧

10

20

30

40

50

V404は低基準電位Vssを維持する。動作回路416は、電圧V404が低基準電位Vssであるので、動作停止する。電源起動時には、高基準電位Vddが上昇して一定値に落ち着くまでの電源起動期間は、高基準電位Vddが不安定である。この電源起動期間では、動作回路416のライト動作及びリード動作等は安定的な動作を行うことができない。そのため、上記のように、電源起動時には、信号回路411が電圧V201を低基準電位Vssにすることにより、動作回路416の動作を停止させることができる。これにより、電源起動期間において、動作回路416の不安定動作を防止することができる。

【0030】

次に、電源起動後の動作について説明する。信号回路411は、ライト動作又はリード動作等を行いたいときには、ライトコマンド又はリードコマンド等として、配線401に低基準電位Vssを出力する。ドライバ412は、その出力信号を論理反転して高基準電位Vddの電圧V202を出力する。フリップフロップ415は、電圧V403の立ち上がりと一緒に、電圧V202の状態を保持して電圧V404を出力する。電圧V404は高基準電位Vddになるので、動作回路416はライト動作又はリード動作等を行うことができる。

【0031】

図6は、図4の寄生容量202が存在する場合の半導体装置の電源起動時の動作例を示すタイミングチャートである。高基準電位Vdd及び低基準電位Vssは、図5の上記の説明と同じである。電源起動時には、高基準電位Vddが一定電位に達していないので、ドライバ412の出力能力は不十分である。したがって、図3の上記の説明と同様に、信号配線201は、寄生容量202を介して高基準電位Vddに接続されるので、その電圧V201は高基準電位Vddに追従して上昇する。高基準電位Vddが一定値まで上昇すると、ドライバ412の出力能力が充分になり、電圧V201が低基準電位Vssになる。配線403のクロック電圧V403は、図5の上記の説明と同じである。

【0032】

フリップフロップ415は、電圧V403の立ち上がりと一緒に、電圧V201を保持して配線404に電圧V404を出力する。電圧V403の立ち上がり時に、電圧V201はハイレベルであるので、電圧V404は高基準電位Vddになる。動作回路416は、電圧V404が高基準電位Vddであるので、電源起動時であっても動作してしまう。しかし、電源起動期間では、高基準電位Vddが一定値に達していないので、動作回路は安定した動作を行うことができずに誤動作を引き起こしてしまう問題が生ずる。

【0033】

以上のように、電源安定化MOS容量113の空き領域110を有効活用するために、信号配線201を設けた場合には、寄生容量202の影響で、電源起動時に半導体装置が誤動作を引き起こしてしまう。この問題を解決するための半導体装置を、図7に示す。

【0034】

図7は、本発明の第1の実施形態による電源安定化MOS容量813及び信号配線201を用いた半導体装置例を示す回路図である。図7の回路は、図4の回路に対して、nチャネルMOS容量113の代わりに、pチャネルMOS容量813を設けた点異なる。以下、その異なる点を説明する。pチャネルMOS容量813は、ゲートが低基準電位Vssに接続され、ソース及びドレインが高基準電位Vddに接続される。pチャネルMOS容量813は、nチャネルMOS容量113と同等の特性を持った容量であり、同サイズで同様に安定した電源電圧を維持することができる。

【0035】

図8(A)～(C)は、図7の電源安定化MOS容量813及び信号配線201の半導体装置の構成例を示す図である。図8(A)は半導体装置の表面図であり、図8(B)は図8(A)の半導体装置を右から見た断面図であり、図8(C)は図8(A)の半導体装置を下から見た断面図である。電源安定化MOS容量813は、pチャネルトランジスタを用いたpチャネルMOS容量である。

【0036】

10

20

30

40

50

図 8 (A) ~ (C) の半導体装置が図 2 (A) ~ (C) の半導体装置と異なる点を説明する。p 型基板 1 0 0 内には、n 型拡散領域 8 0 3 が設けられる。n 型拡散領域 8 0 3 内には、p 型拡散領域 8 0 1 及び 8 0 2 が設けられる。p 型拡散領域 8 0 1 がソースであり、p 型拡散領域 8 0 2 がドレインである。p 型基板 1 0 0 の表面において、ソース 8 0 1 及びドレイン 8 0 2 の間にはチャネル領域が形成される。ソース 8 0 1 は、コンタクト 1 0 4 を介して電源配線 1 0 7 に接続される。ドレイン 8 0 2 は、コンタクト 1 0 6 を介して電源配線 1 0 9 に接続される。高基準電位 V_{dd} の端子は、電源配線 1 0 7 及び 1 0 9 を介してソース 8 0 1 及びドレイン 8 0 2 に接続される。低基準電位 V_{ss} の端子は、電源配線 1 0 8 を介してゲート 1 0 3 に接続される。これにより、ソース 8 0 1 及びドレイン 8 0 2 間にチャネルが形成され、p チャネル MOS 容量 8 1 3 が形成される。p チャネル MOS 容量 8 1 3 は、ゲート 1 0 3 と p 型領域 8 0 1 , 8 0 2 との間に形成される。信号配線 2 0 1 は、寄生容量 2 0 2 を介してゲート 1 0 3 に接続される。

【 0 0 3 7 】

図 5 を参照しながら、図 7 の回路の動作を説明する。高基準電位 V_{dd} 及び低基準電位 V_{ss} は、図 5 の上記の説明と同じである。信号回路 4 1 1 は電源起動時に配線 4 0 1 に高基準電位 V_{dd} を出力し、ドライバ 4 1 2 はその高基準電位 V_{dd} の出力信号を論理反転して信号配線 2 0 1 に出力する。信号配線 2 0 1 は、寄生容量 2 0 2 を介して低基準電位 V_{ss} に接続されているので、信号配線 2 0 1 の電圧 V_{201} は、低基準電位 V_{ss} (0 V) を維持する。配線 4 0 3 の電圧 V_{403} は、クロック回路 4 1 3 に応じたクロック信号の電圧である。フリップフロップ 4 1 5 は、電圧 V_{403} の立ち上がりに同期して、電圧 V_{201} を保持して配線 4 0 4 に電圧 V_{404} を出力する。電圧 V_{403} の立ち上がり時に、電圧 V_{201} は低基準電位 V_{ss} であるので、電圧 V_{404} は低基準電位 V_{ss} を維持する。動作回路 4 1 6 は、電圧 V_{404} が低基準電位 V_{ss} であるので、動作停止する。これにより、電源起動期間において、動作回路 4 1 6 の不安定動作を防止することができる。また、信号配線 2 0 1 を MOS 容量のゲート 1 0 3 の上方に配置することができるので、半導体装置の面積を有効活用することができる。

【 0 0 3 8 】

本実施形態によれば、電源起動時に信号配線 2 0 1 に低基準電位 V_{ss} が供給される回路では、p チャネル MOS 容量 8 1 3 が電源安定化容量として用いられる。p チャネル MOS 容量 8 1 3 は、ゲートが低基準電位 V_{ss} に接続され、ソース及びドレインが高基準電位 V_{dd} に接続される。信号配線 2 0 1 は、電源起動時に低基準電位 V_{ss} が供給される際に、寄生容量 2 0 2 を介して接続されるゲート 1 0 3 が低基準電位端子 V_{ss} に接続されているために、低基準電位 V_{ss} が安定的に設定され、電源起動時の誤動作を防止することができる。また、信号配線 2 0 1 をゲート 1 0 3 の近くに配置することができるので、半導体装置内の領域を効率的に使用することができる。また、MOS 容量 8 1 3 は、電源安定化容量として機能させることができる。

【 0 0 3 9 】

(第 2 の実施形態)

図 9 は、電源安定化 MOS 容量 8 1 3 及び信号配線 2 0 1 を用いた他の半導体装置例を示す回路図である。図 9 の回路が図 4 の回路と異なる点を説明する。図 4 の回路では動作回路 4 1 6 は電圧 V_{404} がハイレベルのときに動作するが、図 9 の回路では動作回路 4 1 6 は電圧 V_{404} がローレベルのときに動作する。

【 0 0 4 0 】

図 1 0 は、図 9 の寄生容量 2 0 2 が仮に存在しない場合の理想的な半導体装置の電源起動時の動作例を示すタイミングチャートである。高基準電位 V_{dd} 及び低基準電位 V_{ss} は、図 5 の上記の説明と同じである。コマンド回路 4 1 1 は、電源起動時に低基準電位 V_{ss} を配線 4 0 1 に出力する。ドライバ 4 1 2 は、その出力信号を論理反転して高基準電位 V_{dd} を配線 2 0 1 に出力する。配線 2 0 1 の電圧 V_{201} は、高基準電位 V_{dd} と同じ電圧として時間変化する。電圧 V_{403} は、図 5 の上記の説明と同じである。フリップフロップ 4 1 5 は、電圧 V_{403} の立ち上がりに同期して、電圧 V_{201} を保持して配線

404に電圧V404を出力する。電圧V403の立ち上がり時に、電圧V201は高基準電位Vddであるので、電圧V404は高基準電位Vddになる。動作回路416は、電圧V404が高基準電位Vddであるので、動作停止する。これにより、電源起動期間において、動作回路416の不安定動作を防止することができる。

【0041】

図11は、図9の寄生容量202が存在する場合の半導体装置の電源起動時の動作例を示すタイミングチャートである。高基準電位Vdd及び低基準電位Vssは、図10の上記の説明と同じである。電源起動時には、高基準電位Vddが一定電位に達していないので、ドライバ412の出力能力は不十分である。そして、信号配線201は、寄生容量202を介して低基準電位Vssに接続されるので、その電圧V201は暫く低基準電位Vssを維持する。高基準電位Vddが充分に高くなると、ドライバ412の出力能力が充分になり、電圧V201が徐々に上昇し、やがて高基準電位Vddになる。電圧V403は、図10の上記の説明と同じである。電圧V403の立ち上がり時に、電圧V201はローレベルであるので、電圧V404は低基準電位Vdを維持する。動作回路416は、電圧V404が低基準電位Vssであるので、電源起動時であっても誤って動作してしまう問題が生ずる。

【0042】

図12は、本発明の第2の実施形態による電源安定化MOS容量113及び信号配線201を用いた半導体装置例を示す回路図である。図12の回路は、図9の回路に対して、pチャネルMOS容量813の代わりに、nチャネルMOS容量113を設けた点が変わる。nチャネルMOS容量113は、ゲートが高基準電位Vddに接続され、ソース及びドレインが低基準電位Vssに接続される。信号配線201は、寄生容量202を介してMOS容量113のゲートに接続される。nチャネルMOS容量113の構成は、図2(A)～(C)の構成と同じである。

【0043】

図10を参照しながら、図12の回路の動作を説明する。高基準電位Vdd及び低基準電位Vssは、上記の説明と同じである。信号配線201は、寄生容量202を介して高基準電位Vddに接続されているので、信号配線201の電圧V201は、高基準電位Vddに追従して上昇し、やがて高基準電位Vddを維持する。電圧V403は、上記の説明と同じである。電圧V403の立ち上がり時に、電圧V201はハイレベルであるので、電圧V404は高基準電位Vddになる。動作回路416は、電圧V404が高基準電位Vddであるので、動作を停止し、電源起動時の誤動作を防止することができる。また、信号配線201をMOS容量113のゲート103の上方に配置することができるので、半導体装置の面積を有効活用することができる。

【0044】

本実施形態によれば、電源起動時に信号配線201に高基準電位Vddが供給される回路では、nチャネルMOS容量113が電源安定化容量として用いられる。nチャネルMOS容量113は、ゲートが高基準電位Vddに接続され、ソース及びドレインが低基準電位Vssに接続される。信号配線201は、電源起動時に高基準電位Vddが供給される際に、寄生容量202を介して接続されるゲート103が高基準電位端子Vddに接続されているために、高基準電位Vddが安定的に設定され、電源起動時の誤動作を防止することができる。また、信号配線201をゲート103の近くに配置することができるので、半導体装置内の領域を効率的に使用することができる。また、MOS容量113は、電源安定化容量として機能させることができる。

【0045】

なお、第1の実施形態の図7の回路と第2の実施形態の図12の回路とを同じ半導体装置内に設けてもよい。

【0046】

上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。す

10

20

30

40

50

なわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 0 0 4 7 】

本発明の実施形態は、例えば以下のように種々の適用が可能である。

【 0 0 4 8 】

(付 記 1)

電源電圧を構成する高基準電位端子及び低基準電位端子と、

pチャネルMOS電界効果トランジスタのゲートが前記低基準電位端子に接続され、ソース及びドレインが前記高基準電位端子に接続される第1のMOS容量と、

前記ゲートに寄生容量を介して接続され、電源起動時に前記低基準電位の信号が供給される第1の信号配線と
を有する半導体装置。 10

(付 記 2)

前記第1の信号配線は、前記ゲートの上方で前記ゲートに絶縁膜を介して接続される付記1記載の半導体装置。

(付 記 3)

さらに、前記第1の信号配線に前記高基準電位を供給することにより動作可能になる第1の動作回路を有する付記1記載の半導体装置。

(付 記 4)

さらに、第1のクロック信号に同期して前記第1の信号配線の信号状態を保持して前記第1の動作回路に出力する第1のフリップフロップを有し、 20

前記第1の動作回路は、前記第1のフリップフロップから前記高基準電位が供給されると動作可能になる付記3記載の半導体装置。

(付 記 5)

さらに、電源起動時に前記第1の信号配線に前記低基準電位の信号を供給するための第1の信号回路を有する付記4記載の半導体装置。

(付 記 6)

さらに、前記第1のフリップフロップに前記第1のクロック信号を供給するための第1のクロック回路を有する付記5記載の半導体装置。

(付 記 7)

前記第1の信号配線は、電源起動時に前記低基準電位が供給される際に、前記寄生容量を介して接続されるゲートが前記低基準電位端子に接続されているために、前記低基準電位が安定的に設定される付記1記載の半導体装置。 30

(付 記 8)

電源電圧を構成する高基準電位端子及び低基準電位端子と、

nチャネルMOS電界効果トランジスタのゲートが前記高基準電位端子に接続され、ソース及びドレインが前記低基準電位端子に接続される第1のMOS容量と、

前記ゲートに寄生容量を介して接続され、電源起動時に前記高基準電位の信号が供給される第1の信号配線と
を有する半導体装置。 40

(付 記 9)

前記第1の信号配線は、前記ゲートの上方で前記ゲートに絶縁膜を介して接続される付記8記載の半導体装置。

(付 記 1 0)

さらに、前記第1の信号配線に前記低基準電位を供給することにより動作可能になる第1の動作回路を有する付記8記載の半導体装置。

(付 記 1 1)

さらに、第1のクロック信号に同期して前記第1の信号配線の信号状態を保持して前記第1の動作回路に出力する第1のフリップフロップを有し、

前記第1の動作回路は、前記第1のフリップフロップから前記低基準電位が供給される 50

と動作可能になる付記 10 記載の半導体装置。

(付記 12)

さらに、電源起動時に前記第 1 の信号配線に前記高基準電位の信号を供給するための第 1 の信号回路を有する付記 11 記載の半導体装置。

(付記 13)

さらに、前記第 1 のフリップフロップに前記第 1 のクロック信号を供給するための第 1 のクロック回路を有する付記 12 記載の半導体装置。

(付記 14)

前記第 1 の信号配線は、電源起動時に前記高基準電位が供給される際に、前記寄生容量を介して接続されるゲートが前記高基準電位端子に接続されているために、前記高基準電位が安定的に設定される付記 8 記載の半導体装置。

10

(付記 15)

さらに、pチャネルMOS電界効果トランジスタのゲートが前記低基準電位端子に接続され、ソース及びドレインが前記高基準電位端子に接続される第 2 の MOS 容量と、

前記第 2 の MOS 容量のゲートに寄生容量を介して接続され、電源起動時に前記低基準電位の信号が供給される第 2 の信号配線と
を有する付記 8 記載の半導体装置。

(付記 16)

前記第 2 の信号配線は、前記第 2 の MOS 容量のゲートの上方で前記ゲートに絶縁膜を介して接続される付記 15 記載の半導体装置。

20

(付記 17)

さらに、前記第 2 の信号配線に前記高基準電位を供給することにより動作可能になる第 2 の動作回路を有する付記 15 記載の半導体装置。

(付記 18)

さらに、第 2 のクロック信号に同期して前記第 2 の信号配線の信号状態を保持して前記第 2 の動作回路に出力する第 2 のフリップフロップを有し、

前記第 2 の動作回路は、前記第 2 のフリップフロップから前記高基準電位が供給されると動作可能になる付記 17 記載の半導体装置。

(付記 19)

さらに、電源起動時に前記第 2 の信号配線に前記低基準電位の信号を供給するための第 2 の信号回路を有する付記 18 記載の半導体装置。

30

(付記 20)

さらに、前記第 2 のフリップフロップに前記第 2 のクロック信号を供給するための第 2 のクロック回路を有する付記 19 記載の半導体装置。

(付記 21)

前記第 2 の信号配線は、電源起動時に前記低基準電位が供給される際に、前記寄生容量を介して接続されるゲートが前記低基準電位端子に接続されているために、前記低基準電位が安定的に設定される付記 15 記載の半導体装置。

(付記 22)

電源電圧を構成する高基準電位端子及び低基準電位端子をレイアウトするステップと、
pチャネルMOS電界効果トランジスタのゲートが前記低基準電位端子に接続され、ソース及びドレインが前記高基準電位端子に接続される第 1 の MOS 容量をレイアウトするステップと、

40

前記ゲートに寄生容量を介して接続され、電源起動時に前記低基準電位の信号が供給される第 1 の信号配線をレイアウトするステップと
を有する半導体装置のレイアウト方法。

(付記 23)

電源電圧を構成する高基準電位端子及び低基準電位端子をレイアウトするステップと、
nチャネルMOS電界効果トランジスタのゲートが前記高基準電位端子に接続され、ソース及びドレインが前記低基準電位端子に接続される第 1 の MOS 容量をレイアウトする

50

ステップと、

前記ゲートに寄生容量を介して接続され、電源起動時に前記高基準電位の信号が供給される第１の信号配線をレイアウトするステップと
を有する半導体装置のレイアウト方法。

(付記２４)

さらに、pチャネルＭＯＳ電界効果トランジスタのゲートが前記低基準電位端子に接続され、ソース及びドレインが前記高基準電位端子に接続される第２のＭＯＳ容量をレイアウトするステップと、

前記第２のＭＯＳ容量のゲートに寄生容量を介して接続され、電源起動時に前記低基準電位の信号が供給される第２の信号配線をレイアウトするステップと
を有する付記２３記載の半導体装置のレイアウト方法。

10

【図面の簡単な説明】

【００４９】

【図１】図１（Ａ）～（Ｃ）はnチャネルＭＯＳ容量の半導体装置の構成例を示す図である。

【図２】図２（Ａ）～（Ｃ）はnチャネルＭＯＳ容量の空き領域に信号配線を設けた半導体装置の構成例を示す図である。

【図３】電源起動時の信号配線の電圧を示す波形図である。

【図４】電源安定化ＭＯＳ容量及び信号配線を用いた半導体装置例を示す回路図である。

【図５】図４の寄生容量２０２が仮に存在しない場合の理想的な半導体装置の電源起動時の動作例を示すタイミングチャートである。

20

【図６】図４の寄生容量２０２が存在する場合の半導体装置の電源起動時の動作例を示すタイミングチャートである。

【図７】本発明の第１の実施形態による電源安定化ＭＯＳ容量及び信号配線を用いた半導体装置例を示す回路図である。

【図８】図８（Ａ）～（Ｃ）はpチャネルＭＯＳ容量及び信号配線の半導体装置の構成例を示す図である。

【図９】pチャネルＭＯＳ容量及び信号配線を用いた他の半導体装置例を示す回路図である。

【図１０】図９の寄生容量２０２が仮に存在しない場合の理想的な半導体装置の電源起動時の動作例を示すタイミングチャートである。

30

【図１１】図９の寄生容量２０２が存在する場合の半導体装置の電源起動時の動作例を示すタイミングチャートである。

【図１２】本発明の第２の実施形態による電源安定化ＭＯＳ容量及び信号配線を用いた半導体装置例を示す回路図である。

【符号の説明】

【００５０】

１１３ nチャネルＭＯＳ容量

２０１ 信号配線

２０２ 寄生容量

40

４０１～４０４ 配線

４１１ 信号回路

４１２ ドライバ

４１３ クロック回路

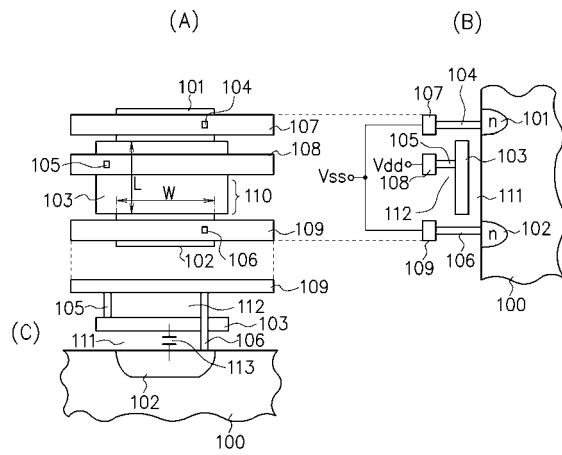
４１４ ドライバ

４１５ フリップフロップ

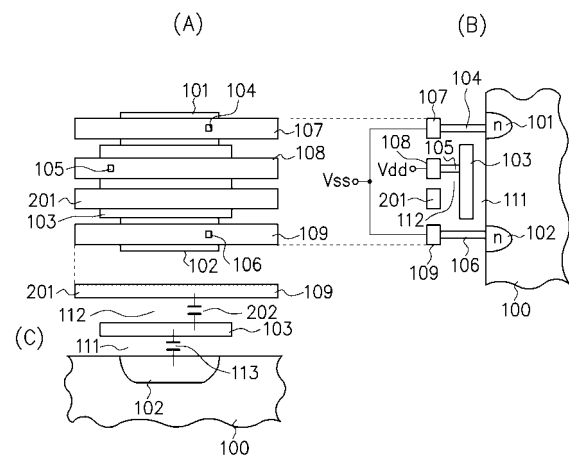
４１６ 動作回路

８１３ pチャネルＭＯＳ容量

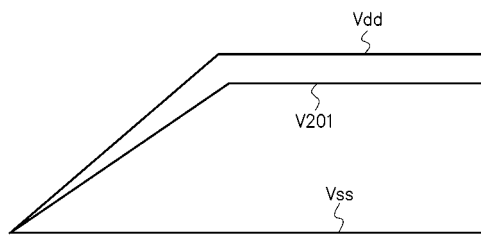
【図 1】



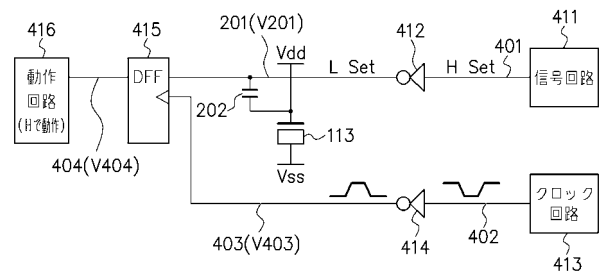
【図 2】



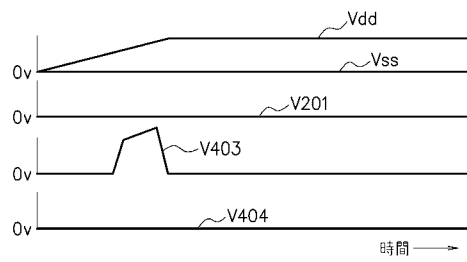
【図 3】



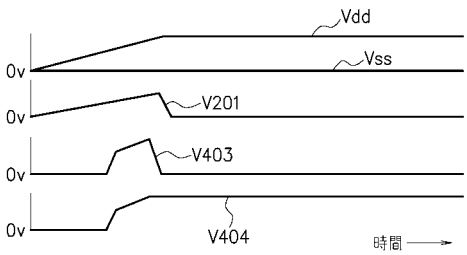
【図 4】



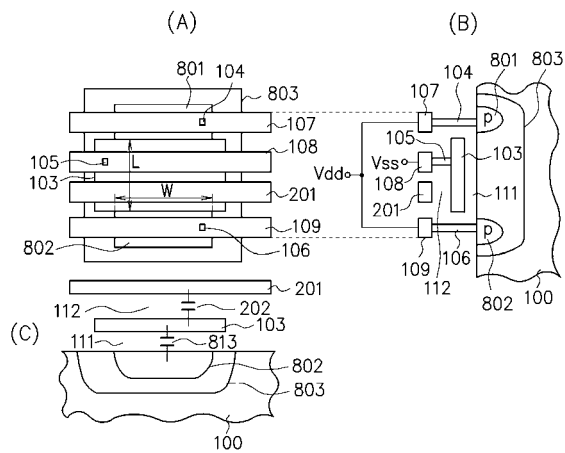
【図 5】



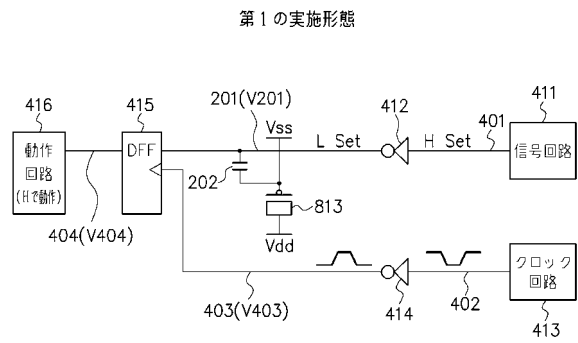
【図 6】



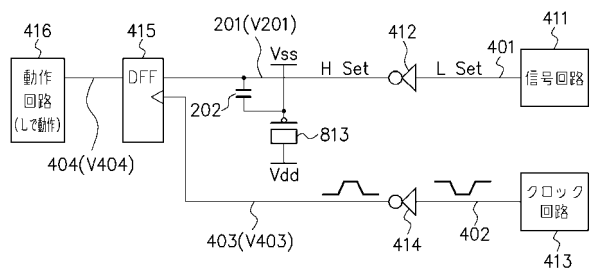
【図 8】



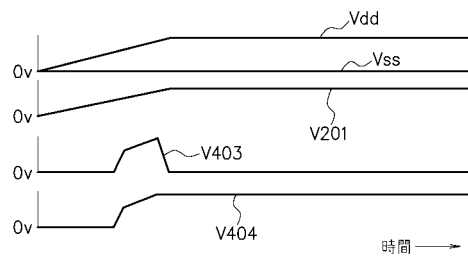
【図 7】



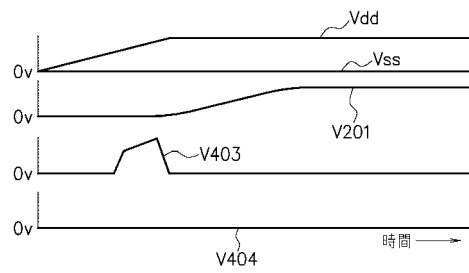
【図 9】



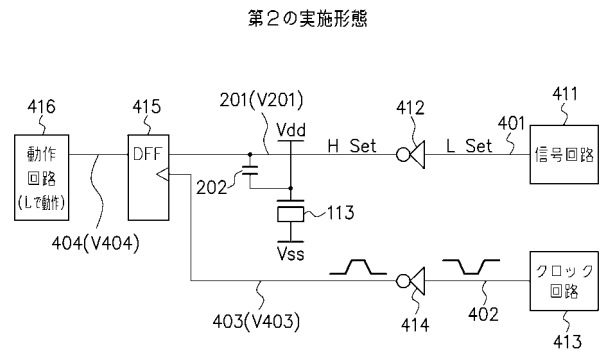
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/088 (2006.01)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 0 4

H 0 1 L 2 1 / 8 2

G 1 1 C 1 1 / 4 0

H 0 3 K 1 7 / 2 2