

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200480021046.6

H01L 27/01 (2006.01)

H01L 29/06 (2006.01)

H01L 31/072 (2006.01)

H01L 31/109 (2006.01)

H01L 31/0328 (2006.01)

H01L 31/0336 (2006.01)

[45] 授权公告日 2009年4月15日

[11] 授权公告号 CN 100479158C

[22] 申请日 2004.7.19

[21] 申请号 200480021046.6

[30] 优先权

[32] 2003.7.21 [33] US [31] 10/626,760

[86] 国际申请 PCT/US2004/023183 2004.7.19

[87] 国际公布 WO2005/010944 英 2005.2.3

[85] 进入国家阶段日期 2006.1.20

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 拉齐夫·V·约什

理查德·Q·威廉姆斯

[56] 参考文献

CN1685523A 2005.10.19

US6300182B1 2001.10.9

CN1218994A 1999.6.9

US6252284B1 2001.6.26

审查员 谢朝方

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

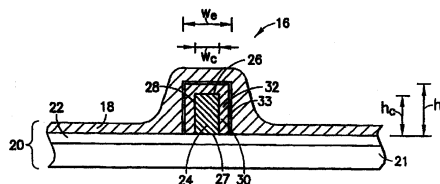
权利要求书 1 页 说明书 13 页 附图 9 页

[54] 发明名称

沿多个表面具有应变晶格结构的 FET 沟道

[57] 摘要

一种 FinFET (10) 的沟道 (16)，它具有沟道核心 (24) 和沟道外壳 (32)，各由确定不同晶格结构的半导体材料组成，以便利用应变硅的性质。栅通过栅介质被耦合到沟道外壳。示例性材料是 Si 和 $Si_x Ge_{1-x}$ ，其中 $78 < x < 92$ 。沟道核心 (24) 具有宽度为 w_c 的顶部表面 (26) 和高度为 h_c 的直立表面 (28, 30)，优选彼此取向成 90 度。沟道外壳 (32) 与顶部表面 (26) 和直立表面 (28, 30) 相接触，致使与仅仅沿顶部表面 (26) 的接触相比，增大了界面面积，改善了导电性和栅 (18) 对沟道 (16) 的控制。为了能够在稳定的 SRAM 中得到尺寸更小的 FET (10)，可以调整高度 h_c 。公开了各种形成沟道 (16) 的方法，包括掩蔽和腐蚀方法、处置晶片/载体晶片方法、以及浅沟槽方法。公开了具有一个到四个栅的 FinFET 的实施方案和方法。



1. 一种用来电连接场效应晶体管的源和漏的沟道，包括：

耦合到衬底并确定与衬底分隔开的顶部表面以及衬底与顶部表面之间相反的侧壁表面的沟道核心，其中，沟道核心包括确定第一晶格结构的第一半导体材料，并且至少一个侧壁表面确定高度 h_c ，而所述顶部表面确定宽度 w_c ，且 $h_c \geq 3w_c$ ；

与所述相反的侧壁表面和所述顶部表面相接触的沟道外壳，其中，沟道外壳包括确定不同于第一晶格结构的第二晶格结构的第二半导体材料；以及

设置在与沟道核心面对的沟道外壳表面周围的栅氧化物。

2. 权利要求 1 的沟道，还包括通过栅氧化物耦合到沟道外壳所确定的至少二个表面的栅。

3. 权利要求 1 的沟道，其中，沟道是场效应晶体管的组成部分，而场效应晶体管是静态随机存取存储器的组成部分，且至少一个侧壁表面确定高度 h_c ，此高度 h_c 被选择来提高静态随机存取存储器稳定性。

4. 权利要求 1 的沟道，其中，第二半导体材料覆盖二个侧壁表面和顶部表面。

5. 权利要求 1 的沟道，其中，第一和第二半导体材料之一包括硅和锗。

沿多个表面具有应变晶格结构的 FET 沟道

技术领域

此技术一般涉及到设置在半导体晶片或芯片上的场效应晶体管 (FET), 确切地说是涉及到作为连接 FET 源与漏的沟道的层状结构, 其中各个层中一个层的特征在于应变的晶格结构。

背景技术

半导体和集成电路芯片由于其成本和尺寸不断降低而已经在许多产品中变得随处可见。小型化通常能够在更低的功率电平和更低的成本下提高性能 (单位时间内的处理次数更多且产生的热更少)。目前的技术处于或接近诸如逻辑门、FET、电容器之类的某些微器件的原子级尺寸。具有成千上万这种器件的电路芯片并不罕见。而且, 尺寸的减小看来接近了埋置在其半导体衬底上以及埋置在其半导体衬底内的轨线和微器件的物理极限。本发明的目标就是这种微尺寸的 FET 器件。FET 是一种由源、栅、漏组成的晶体管。FET 的作用依赖于多数载流子沿源与漏之间的越过栅行进的沟道的流动。通过源与漏之间的沟道的电流, 由栅下方的横向电场来控制。可以用一个以上的栅来更有效地控制沟道。栅的长度决定了 FET 转换的快慢以及电路所能够工作的速度, 且通常大约与沟道的长度 (亦即源与漏之间的距离) 相同。目前现有技术的栅长度约为 50nm, 并在下一个 10 年内正向 10nm 推进。这种尺寸的减小应该能够在单个芯片上得到 10 亿个以上的器件。但这种小尺寸要求对诸如短沟道效应、穿通、以及 MOS 泄漏电流之类的性能问题进行更严格的控制。

通过使用一个或多个称之为鳍的鳍形沟道, 新近已经成功地减小了 FET 的尺寸。采用鳍的 FET 被称之为 FinFET。先前, 互补金属氧化物半导体 (CMOS) 器件除了 FET 栅被设置在沟道顶部上之外, 基

本上沿半导体衬底表面是平坦的。鳍利用垂直结构突破了这一范例，以便尽量增大暴露于栅的沟道表面积。由于栅延伸在鳍形沟道的3个侧面上而不是仅仅跨越更传统的平坦沟道的顶部，故栅对沟道的控制更强。是为具有6个鳍的现有技术FET的TEM显微照片的图1，示出了FinFET的一个例子。各个成对的鳍包含NFET和PFET。

提高鳍性能的一种方法是在不同材料的层中形成鳍。在美国专利No.6252284 B1“Planarized Silicon Fin Device”中，描述了一种受让于本发明受让人的用来控制短沟道效应的示例性器件。

多层平整FET鳍中多个层之一常常是应变硅。先前已经发现，对硅的晶格结构进行双轴拉伸，能够加速电子通过晶体管的流动，从而提高性能并降低功耗。不同层中的原子有一种自然的倾向，即借助于沿失配的平坦界面拉伸和/或压缩其失配的晶格结构而彼此对准。改变各个材料的厚度和化学组成，有助于控制各个材料中的延伸和压缩程度。作为一个例子，图2不按比例地示出了天然（未被拉伸）状态下的硅晶格和锗晶格。当硅被设置（或生长）在较厚的锗层上时，如在图2b的SiGe化合物中那样，硅的晶格拉伸而锗的晶格基本上保持不变，得到应变硅。由于锗层相对地较大的厚度产生了较大的结构完整性和对压缩的较大阻力，故得到了这一结果。晶格拉伸的实际过程也可以引起Si和Ge的原子在晶格结构内相互混合。这使二种原子汇集在单个层内，其中，与天然（未被拉伸的）硅晶格结构相比，较大的Ge原子强迫汇集的晶格结构发生拉伸。还可能实现与图2b所示相反的效应，其中，较薄的锗层当被键合到较厚的硅层时，呈现出晶格压缩。在NFET中，应变硅已经显示出直至70%的电子/空穴迁移率提高，而在PFET中，已经显示出直至30%的电子/空穴迁移率提高。诸如硅锗碳之类的其它材料也可以被用来形成提高导电性的结晶异质结构。存在着几种用来形成应变层的方法，包括化学气相淀积（CVD）和分子束外延（MBE）。

沿平面设置的应变硅已经被用于现有技术的FinFET中。但电流泄漏一直是进一步向原子极限缩小FET的一个限制因素。由于通常伴

随沟道长度的长度较短的 FET 栅对电荷载流子（空穴 或电子）的控制能力较小，故随着小型化的进展，电流泄漏成了一个日益重要的关切。

晶体管被关断时的非有意电荷载流子流动，被称为“电流泄漏”。电流泄漏是待机晶体管消耗功率的主要来源。电流泄漏可以被分为二种类型：MOS 关断电流和栅隧穿泄漏电流，在 MOS 关断电流中，非有意电流通过沟道而不管栅是否试图完全切断电流，在栅隧穿泄漏电流中，非有意电流跟随寄生路径流动，流入到沟道中、扩散区中、或硅本体中。随着 FET 沟道长度不断地减小，栅隧穿泄漏电流有望成为设计者的重要关切。鳍结构增强了栅对沟道的控制，但栅对电流的控制不是无限制的，即使在现有技术的 FinFET 中也是如此。综合电流泄漏问题，小型化使得能够得到甚至更低的功率水平，而这要求更绝对的栅控制。逃脱栅控制的电流泄漏更不容易区别于有意电流，特别是在低电流电平下更是如此。

所需要的是一种具有提高了的 NFET 和 PFET 性能的能够按比例缩小的 FET。此 FET 优选应该改善鳍结构中的栅控制，显示出提高了的载流子输运性质。

发明内容

根据这些论述的本优选实施方案，克服了上述和其它的问题，并实现了其它的一些优点。本发明涉及到用来电连接场效应晶体管（FET）的源与漏的沟道，通常称为 FinFET 的鳍。此沟道包括沟道核心和沟道外壳（channel envelope）。沟道核心被耦合到诸如 SIMOX 晶片（具有被注入氧分隔开的上部区域的晶片）或键合晶片之类的衬底。沟道核心确定了分隔于衬底的顶部表面以及衬底与顶部表面之间的相反的侧面。沟道核心由确定第一晶格结构的第一半导体材料组成。

沟道外壳与沟道核心的相反的侧面以及顶部表面相接触。沟道外壳由确定不同于第一晶格结构的第二晶格结构的第二半导体材料组成。晶格结构的这一差异由于晶格结构的拉伸或压缩而提供了增强的

导电性。此二种材料优选为硅和硅锗化合物。

在本发明的另一情况下，沟道核心确定了顶部表面和邻接的侧面。在一个优选实施方案中，顶部表面是水平顶部，而侧面是沟道核心二个直立侧壁之一，但可以采用二个从衬底延伸且会合于顶峰处的二个直立表面或由第三横向表面连接的二个侧壁。沟道核心包含第一半导体材料，而沟道外壳包含不同于第一半导体材料的第二半导体材料。至少第一或第二半导体材料之一由于拉伸或压缩晶格结构之一而显示出提高了的导电性。沟道外壳与顶部表面和侧面相接触，与仅仅沿顶部表面提供界面的现有技术的沟道相比，提供了不同晶格材料之间更大的界面面积。上述的示例性材料可用来提供拉伸的或压缩的晶格结构。

本发明还包括制作 FET 沟道的方法。在一种方法中，衬底被提供成具有第一半导体材料的重叠层。例如，利用掩蔽和腐蚀技术，第一沟道核心由重叠层确定。沟道核心确定了与衬底分隔开的顶部表面以及衬底与顶部表面之间的相反的第一和第二侧壁。此方法还包括将第二半导体材料层设置成至少接触二个表面（亦即顶部表面以及第一侧壁和第二侧壁中的至少二个）。通过不同于第一半导体材料的第二半导体材料层的导电性由于其与沟道核心接触而得到提高。第二半导体材料层可以经由真空淀积来淀积，或可以被生长在载体晶片上并与其分隔开以便接触沟道核心的适当表面。

形成沟道的另一种方法包括在衬底上提供第一半导体材料层。此方法包括在上层中形成沟槽，然后由沟槽将上层分成第一区和第二区。可以用诸如 TEOS（也称为四乙氧基硅烷、四乙基原硅酸盐、四乙氧基原硅酸盐、四乙氧基硅化物）之类的缓冲材料来填充此沟槽。然后清除第二区部分，留下厚度小于沟槽深度的第一半导体材料的剩余层。这暴露了部分沟槽。然后，此方法包括将第二半导体材料层设置在剩余层上邻接于沟槽。上面讨论了示例性半导体材料。剩余层优选小于大约 15nm。在第二半导体材料是 $\text{Si}_x\text{Ge}_{1-x}$ 的情况下，可以选择锗的相对浓度来促进沟道的热稳定性。锗的含量优选约为 8-22%，最优选约

为 10-20%，且低温化学气相淀积工艺被用来形成第二半导体材料层。

而且，此处所述的是一种用来电连接场效应晶体管（FET）的源与漏的沟道，它包含沟道核心以及沟道外壳，沟道核心包含耦合到衬底的底部表面，并确定与衬底分隔开的顶部表面以及底部表面与顶部表面之间的相反的侧壁表面，其中，沟道核心由确定第一晶格结构的第一半导体材料组成，沟道外壳与顶部表面、底部表面、以及侧壁表面之一中的至少一个（或它们的组合）相接触，其中，沟道外壳包含第二半导体材料，它包含不同于第一晶格结构的应变晶格结构，此沟道外壳被电耦合到栅电极。此沟道优选由弛豫的 Si-Ge 晶格组成，而外壳由应变的硅晶格组成。

此处公开了采用根据本论述的 FinFET 的一种示例性电路 SRAM 电路。

附图说明

参照附图，在优选实施方案的下列详细描述中，这些论述的上述和其它的情况变得更为明显。在这些附图中：

图 1 是具有 6 个鳍的现有技术 FET 的 TEM 显微照片；

图 2a 和 2b 是现有技术图，示出了当设置成相反于其天然状态（图 2a）的邻接于鳍（图 2b）时，硅的晶格结构的应变情况；

图 3 是方框图，示出了一种其中可以应用本发明的 FinFET；

图 4 是沿图 3 中 4'-4'线的剖面图；

图 5a-5f 是放大的剖面图，示出了一种利用掩蔽和腐蚀将沟道外壳淀积到沟道核心上来制作根据本发明的沟道的方法；

图 6a-6h 是放大的剖面图，示出了另一种利用载体晶片和处置晶片来制作至少一个沟道的方法；

图 7a-7f 是放大的剖面图，示出了另一种利用浅沟槽来制作 PFET 沟道的方法；

图 8a-8f 是 FinFET 器件各种实施方案的透视图；而

图 9 示出了一种 SRAM 电路，可用来讨论量子化。

具体实施方式

上面描述了图 1 和 2a-2b, 并用来理解本发明。图 3 在方框图中示出了 FET 10。如本技术领域所知, 源 12 和漏 14 经由被栅 18 跨越的沟道 16 被电连接。在单个 FET 10 中可以有一个或多个沟道 16 和栅 18。如此处所使用的那样, 沟道 16 的长度是从源 12 到漏 14 的距离, 如图 3 所示。

图 4 示出了沟道 16 沿剖面线 4'-4' 的剖面图。FET 10 被设置在诸如其上有埋置氧化物层 22 的硅 21 之类的衬底 20 上。沟道核心 24 由设置在衬底 20 上的第一半导体材料组成。如本技术领域所知, 衬底 20 优选为硅基晶片, 例如 SIMOX 晶片、键合晶片、或 CZ 硅晶片(用切克拉克斯基工艺制作的硅晶片)。沟道核心优选被制作在形成部分衬底 20 的埋置氧化物层 22 的顶部上。沟道核心 24 确定了底部表面 27 (被示为附着于衬底 20)、分隔于衬底 20 的顶部表面 26、以及设置在衬底 20 与顶部表面 26 之间的相反的侧壁 28 和 30。组成沟道核心的第一半导体材料确定了第一天然晶格结构。如此处使用的那样, 除非另有说明, 特定材料(元素或化合物)的天然晶格结构指的是所涉及的特定材料在其天然状态下的晶格结构, 亦即未被诸如上述对应变硅那样的外部操纵而拉伸、压缩、或应变的晶格结构。显示出驰豫晶格结构的化合物此处未被描述为天然状态的晶格结构, 在驰豫的晶格结构中, 驰豫仅仅是由于目的在于清除可能存在的张应力或压应力而进行的退火或其它处理。

当在剖面中观察沟道 16 时, 沟道外壳 32 基本上被设置在沟道核心部分 24 的没有直接与衬底 20 相接触的部分上, 至少在被栅 18 跨越的沟道 16 部分处。沟道外壳 32 优选被耦合到沟道核心 24 的顶部表面 26 以及相反的侧壁 28 和 30。沟道外壳 32 由确定不同于第一晶格结构的第二晶格结构的第二半导体材料组成。第一与第二半导体材料不同的天然晶格结构至少在沟道核心 24 与沟道外壳 32 之间的边界处引起张应力或压应力。此处称为“异质结”的这一天然晶格的失配, 方便

了栅介质接触异质结叠层处的载流子输运。但载流子输运不一定要在异质结处被最大化；如本技术领域所知，依赖于各种因素，载流子输运的主沟道也可以形成在一种材料或其它不同的材料内。沟道核心 24 确定了核心的宽度 w_c 和核心高度 h_c 。同样，沟道外壳 32 确定了外壳宽度 w_e 和外壳高度 h_e 。可以选择这些尺寸的任何一個或全部来优化或控制相反侧壁 28 和 30 与顶部表面 26 的组合表面积。在沟道核心 24 和/或外壳 32 不是矩形（如此处主要所示的那样）的情况下，例如当沟道核心 24 是三角形且沟道外壳 32 被设置在沟道核心 24 的二侧上时，宽度和高度被认为是特定分量的平均值。可以根据第一和/或第二半导体材料的特定材料、掺杂剂在其中的存在、或核心 24 和外壳 32 的尺寸，来选择采用此处所述的本发明沟道 16 的 FET 10 的阈值电压。

对于 PFET，包含沟道核心 24 的第一半导体材料优选是硅，而包含沟道外壳 32 的第二半导体材料优选是诸如 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 之类的包含硅和锗的化合物。对于 NFET，包含沟道核心 24 的第一半导体材料优选是被处理成显示出弛豫晶格结构的包含硅和锗的化合物，而包含沟道外壳 32 的第二半导体材料优选是硅。

可以由多晶或金属或本技术领域所知的其它材料组成的栅 18，被设置在沟道 16 上，以便通过设置在沟道外壳 32 周围的也称为栅介质的介质层 33 而接触沟道外壳 32。介质层 33 可以包括氧化物、氮氧化物、或稀土氧化物（例如氧化铪）。沟道外壳 32 被设置为基本上防止和优选完全地防止栅 18 与沟道核心 24 之间的接触。

图 5 示出了用来制作根据此处所述的 FET 10 的一种优选方法。图 5a-5f 示出了一个实施方案，其中，PFET 沟道 34 和 NFET 沟道 36 二者都被设置在同一个衬底 20 上。

在图 5a 中，提供了包括埋置氧化物层（BOX）22 并层叠有诸如硅之类的第一半导体材料层 18 的衬底 20。可以用本技术领域所知的 SIMOX 晶片，可以用键合晶片，或可以用切克拉尔斯基工艺提供的晶片，来提供衬底层 20、BOX 层 22、以及第一半导体材料层 38 的组合。在图 5b 中，利用掩蔽和腐蚀，或利用本技术所知的其它方法，第

一沟道核心 40 和第二沟道核心 42 由第一半导体材料层 38 确定。第一沟道核心 40 的长度和/或宽度可以不同于第二沟道核心 42 的长度和/或宽度。图 5c 示出了第二沟道核心 42 上以及除了第一沟道核心 40 紧邻之外的所有区域上的掩模 44 (示出了二个掩模)。腐蚀或其它所知的工艺可以被用来从与第一沟道核心 40 的相反的侧壁表面的接触清除掩模 44, 或用来防止掩模 44 接触这些侧壁。第一沟道核心 40 将成为 PFET 沟道 34。

图 5d 示出了第二半导体材料 46 在整个晶片上的淀积。第二半导体材料层 46 优选是通过超高真空化学气相淀积 (UHVCVD) 所淀积的硅和锗的化合物, 但其它化学淀积工艺也是兼容的。层 46 最优选将厚度确定为 5-10nm, 且层 46 的厚度决定于锗的浓度以及有关这种锗浓度的层热稳定性的标准。整个图 5d 在图 5e 中被整平, 以便清除重叠掩模 44 的整个第二半导体材料层 46 部分。掩模 44 的剩余部分在图 5f 中被清除, 留下 PFET 沟道 34 和邻近的 NFET 沟道 36。更新近开发的各种方法描述了在硅上选择性地淀积 SiGe。利用这种技术, SiGe 层 46 能够被选择性地淀积在暴露的硅沟道核心 40 上, 并能够经由化学腐蚀清除任何残留物。在第一半导体材料层 38 是硅, 且第二半导体材料层 46 是 $\text{Si}_x\text{Ge}_{1-x}$ 的情况下, 由 $\text{Si}_x\text{Ge}_{1-x}$ 化合物组成的沟道外壳由于下方硅层 18 较小的天然晶格结构而处于压应力下。

图 6 示出了一种变通的方法。在图 6a 中, 处置晶片 48 包括前面所述的埋置氧化物层 22 以及诸如硅的第一半导体材料的上方层 38。图 6b 示出了使用掩蔽和腐蚀来确定邻接于第一半导体材料层 38 的剩余部分 38a 的一个或多个沟槽 47。考虑到处置晶片 48 的总体膨胀, 沟槽 47 和/或第一半导体材料层 38 的剩余部分 38a 可以相连或不相连。与图 6a-6b 所述工艺同时或分隔开一定时间, 在图 6c 中将诸如应变的或弛豫的 SiGe 之类的第二半导体材料层 46 层叠在分立的载体晶片 50 上。然后在图 6c 中, 对具有上方层 46 的载体晶片 50 进行离子注入。如本技术领域所知, 诸如氢或硼离子的离子 52 的注入使上层 46 能够在通常低于大约 600°C 的温度下被退火并分隔于载体晶片 50, 同时还

提供了无位错的高质量的 SiGe.还能够达到 SiGe 层 46 的几乎完全(大于或等于 95%)应变弛豫。上述工艺在本技术领域中被提出称为“智能切割”技术,并在此处列为参考的论文 Lijuan Huang et al, ELECTRON AND HOLE MOBILITY ENHANCEMENT IN STRAINED SOI BY WAFER BONDING, IEEE Transactions on Electron Devices, vol.49, no.9, September 2002, pp.1566-1571 中更确切地进行了描述。在图 6d 中,掩蔽和腐蚀被用来从第二半导体材料层 46 确定一个或多个小岛 49。载体晶片 50 上小岛 49 的形状互补于处置晶片 48 上的沟槽 47 的形状。薄的氧化物层 51 优选被设置在至少小岛 49 上,以便于稍后键合到处置晶片 48。一旦形成了小岛 49,就可以根据诸如侧壁图象转移之类的熟知的 FinFET 加工技术来进一步加工。

图 6e 示出了与图 6b 的结构结合在一起的图 6d 结构。在图 6e 中,载体晶片 50 被倒置在处置晶片 48 上。小岛 49 与沟槽 47 被彼此准确对准,优选精确到 0.25 微米以内。智能切割技术的上述退火工艺被用来从载体晶片 50 移去小岛 49。小岛 49 从而位于沟槽 47 内,并被薄氧化物层 51 键合到处置晶片 48。优选移去载体晶片 50,以便在高温退火和抛光之后重新用作处置晶片。在某些实施方案中,通过上层 46 的垂直腐蚀以及由此垂直腐蚀限定的离子注入,被用来将一个以上的层(一种以上的半导体材料)组合在小岛 49 中。如上所述可以安置这种小岛 49 来配合处置晶片 48 上的凹陷沟槽 47,或可以在处置晶片 48 上的硅或其它半导体材料的抬高的表面上淀积这种小岛 49。如下面更充分地描述的那样,这些实施方案导致二层以上的异质结。

图 6f 示出了小岛 49 和剩余部分 38a 的暴露表面的整平,其中,这些表面与处置晶片 48 相反。整平和抛光被用来得到基本上均匀的高度。

图 6g 示出了一个步骤,其中,小岛 49 和剩余部分 38a 都被掩蔽和腐蚀即被加工,以便确定一个或多个 PFET 沟道核心 53,优选还确定一个或多个 NFET 沟道核心 55。虽然如此处所述优选同时制作

PFET 和 NFET，但本发明并不要求如此。如图 6h 所示，不同于第一半导体材料的半导体材料外延层被生长或设置在 PFET 沟道核心 53 上，以便形成沟道外壳 32，产生应变硅或其它异质层。

依赖于生成的沟道 16 的所需性质，沟道外壳 32 的材料可以是应变的或非应变的。沿沟道核心 24 的相反侧壁表面 28 或 30 和底部表面 27/顶部表面 26 所确定的线而出现最大的晶格不连续性。

PFET 沟道 34 或 NFET 沟道 36 优选特征在于约为 100-150 埃的宽度和约为 500-600 埃的高度。这些尺寸可以按比例改变。应变晶格优选沿 PFET 沟道 34 或 NFET 沟道 36 的侧壁 28 和 30 以及顶部表面 26 二者设置。

静态随机存取存储器 (SRAM) 中的 FET 10 是其中能够利用沿应变侧壁的载流子通道的一种具体应用。SRAM 是一种存储器，它不像动态 RAM (DRAM) 那样需要刷新，故 SRAM 通常快速得多 (典型地说，SRAM 约为 10ns，而 DRAM 约为 60ns) 且更可靠。此外，由于 SRAM 在各个存取之间不需要暂停，故其周期 (存储器芯片能够做到的二个紧挨存取的快速程度的一种度量) 比 DRAM 的短得多。SRAM 的设计通常将 FET 假定为几种固定的尺寸 (量子化)。但沟道 16 的宽度对于 SRAM 的稳定性是关键性的，从而在尺寸与稳定性之间有一折中。为了调制沟道的高度，以便能够得到仍然确保 SRAM 稳定性的更小的 FET 10，可以采用根据本发明的使用鳍的 FET 10，而不选择沿 x-y 平面 (图 3 的平面) 的量子化沟道宽度可能比所需更大的 FET。在制作过程中，初始硅至少可以与估计的最高的鳍一样高。单元内某些器件的选择性掩蔽和腐蚀对鳍的高度进行裁剪，以便达到所希望的 SRAM 稳定性。优选采用慢腐蚀来确保均匀性和鳍高度的精细控制。此外，可以利用多个鳍，优选按并列关系，来调整有效沟道宽度。

图 7 是一系列方框图，示出了制作 PFET 过程中的各个工艺步骤。图 7 示出了安放于诸如 SiGe 之类的第一半导体材料与诸如 Si 之类的第二半导体材料之间的浅沟槽隔离 (STI)。在图 7a 中，衬底 20 支

持着上面有诸如硅之类的第一半导体材料层 38 的埋置氧化物层 (BOX) 22。如前面所述和本技术领域所知那样,此衬底/BOX/上层的组合 70,可以是 SIMOX 晶片、键合晶片、或 CZ 晶片。在图 7b 中,形成了沟槽 58,并如本技术领域所知,用氧化物或诸如 TEOS 之类的其它绝缘体填充此沟槽 58。要指出的是,在几个步骤中来执行图 7b 所表示的沟槽形成和填充,且沟槽 58 将第一半导体材料层 38 分成第一区域 62 和 PFET 区域 64。作为变通,可以腐蚀沟槽 58 而不填充,也不偏离本发明的优点。在图 7c 中,掩模层 44 被选择性地设置在沟槽 58 和第一半导体材料区域 62 上。在图 7d 中,PFET 区域 64 被回腐蚀成薄层 60,优选厚度约为 10nm。在图 7e 中,在清除掩模 44 之前或之后,第二半导体材料层 46 被设置在薄层 60 上。如图 7e 所示,薄层 60 包括水平表面 67 和基本上垂直的表面 68。

第二半导体材料 46 优选为中等浓度的 SiGe。当层 46 的厚度约为 10-30nm 时,10-20%的 Ge 浓度对于热稳定的鳍是优选的。已经发现,更厚的 SiGe 层 46 和/或更高的 Ge 浓度将是亚稳的,并可能需要进一步热处理,但不是退火。本发明的任何一个实施方案优选包括栅介质或栅氧化物的外包层。如图 3 所示,根据本发明的沟道 16 可以是 FinFET 10 的一部分,且 FinFET 10 优选可以是集成电路 100 的一部分。如图 4 所示,沟道 16 可以包括具有基本上直立的侧壁 28 和 30、顶部表面 26、以及底部表面 27 的沟道核心,或如图 7e 所示可以被形成为仅仅确定水平表面 67 和基本上垂直的表面 68。作为进一步的变通,如图 7f 所示,沟道 16 可以具有从衬底 22 延伸并在尖锐峰或圆峰 71 处连结的二个侧壁表面 74,以便确定一个与诸如薄层 60 的剖面之类的此处所示的矩形剖面相反的基本上三角形的剖面 75。预计利用顶部上与栅氧化物相接触的应变硅,确定非正交剖面的沟道可能被优化。沟道外壳 32 可以接触沟道核心 24 的表面 26、27、28、30 中的任何二个或所有不接触衬底 20 的表面 26、28、30。与现有技术 FinFET 相比,在上述任何一个实施方案中,承载电荷(电子或空穴)的应变晶格结构的更宽大的表面被更好地暴露于栅 18,使栅 18 的控制能够更

强，且电流输运能够更为有效。

图 8 说明了根据此处论述的 FinFET 结构的各种其它的实施方案。在图 8 所示的各种实施方案中，各结构包括具有上方应变硅层的弛豫的 Si-Ge 层。这种组合提供了改进的电子-空穴迁移率。

图 8A-B 所示的沟道 16 由沟道核心 24 组成，且上方有图 4 所示的沟道外壳 32。如图 8 所示，衬底 20 包括埋置的氧化物层 22 以及硅层 21。图 8 所示的各个结构包括源 12、漏 14、以及沟道 16。还示出了设置在沟道 16 与各个栅之间的介质层 33。由于沟道 16 在图 8C-E 所示的结构内部，因而不可见，仅仅在图 8A-B 和 8F 中示出了沟道 16。尽管如此，图 8A-8F 的各个实施方案可以包括如前面所述的沟道核心 24 和沟道外壳 32。

在图 8A 中，示出了一种单栅 FinFET 90。在此实施方案中，沟道 16 包括弛豫的 Si-Ge 层和应变硅层。薄的氧化物层 33 被设置在沟道 16 与单栅 95 之间。图 8B 表示 FinFET 的一种双栅实施方案 91。除了图 8A 所示的单栅 95 之外，表示了一个第二栅 96。在此实施方案中，第二栅 96 被埋置在埋置氧化物层 22 中的沟槽内。图 8C 示出了一种三栅 FinFET 92，其中，三重栅 97 被形成在设置于沟道 16（图 8A-B 所示）上的薄的氧化物层 33 上。图 8D 示出了一种四栅 FinFET 93，其中，四重栅 98 有效地环绕着沟道 16。在图 8D 中，部分四重栅 98 被潜入埋置的氧化物层 22 中。在图 8E 中，示出了一种具有 Pi 栅 99 的 FinFET 94。Pi 栅 99 向下延伸，并至少部分地进入到埋置的氧化物层 22 中。

图 8F 是双栅 FinFET 87 的另一实施方案，确定了第一栅 88 和第二栅 89。可以例如借助于对图 8C 的 FinFET 进行抛光，直至清除沟道 16 上方的图 8C 的三重栅 97 部分，留下图 8F 的双栅 88 和 89，来形成图 8F 的 FinFET。沟道优选包括应变的硅锗。图 8F 栅安排的一个优点在于各个栅 88 和 89 可以被独立地控制，致使例如第一栅 88 是典型的 FinFET 栅，而第二栅 89 可以施加可变电压。以这种方式，当源 12 与漏 14 之间的电流在开通与关断之间转换时，第二栅 89 是一

个控制耗尽区的背栅。这种第二栅 89 利用可变电压更好地控制了第一栅 88 的泄漏和性能；致使仅仅施加控制泄漏电流所必须的最小电压。

在四重栅 FinFET 93 和 Pi 栅 FinFET 94 上淀积应变硅层，其中，FinFET 93 和 94 是 PFET（不是 NFET），改善了 PFET 中的迁移率，同时保留了 PFET 和 NFET 的有益方面。还要指出的是，沿 [110] 方向淀积应变硅层也改善迁移率。[110] 方向与结晶轴成 45 度角。

图 9 示出了 6 晶体管 SRAM 单元的一个实施方案。为了 SRAM FinFET 量子化，优选在 6 晶体管常规 SRAM 中最小的器件（例如 NFET 通过门 77 (Pg) 和上拉 PFET 76 (PL) 的尺寸较小）上进行 PFET 量子化。这样，鳍高度的量子化能够基于各个器件，即将通过门 NFET 和上拉 PFET 定在一个量子高度，并将较大的 NFET 78 (Cc) 定在另一个量子高度。或者，可以采用用于图 8A-F 所示实施方案的多个 NFET 和 PFET 器件中的较小的鳍高度。这一量子化将有助于形成耐用而稳定的单元。

虽然在这些优选实施方案中进行了描述，但本技术领域的熟练人员能够对上述各个实施方案做出各种修正和改变，且所有这些修正和改变仍然在本发明和所附权利要求的范围内。此处的各个例子被认为是示例性的而不是本发明论述的全部。

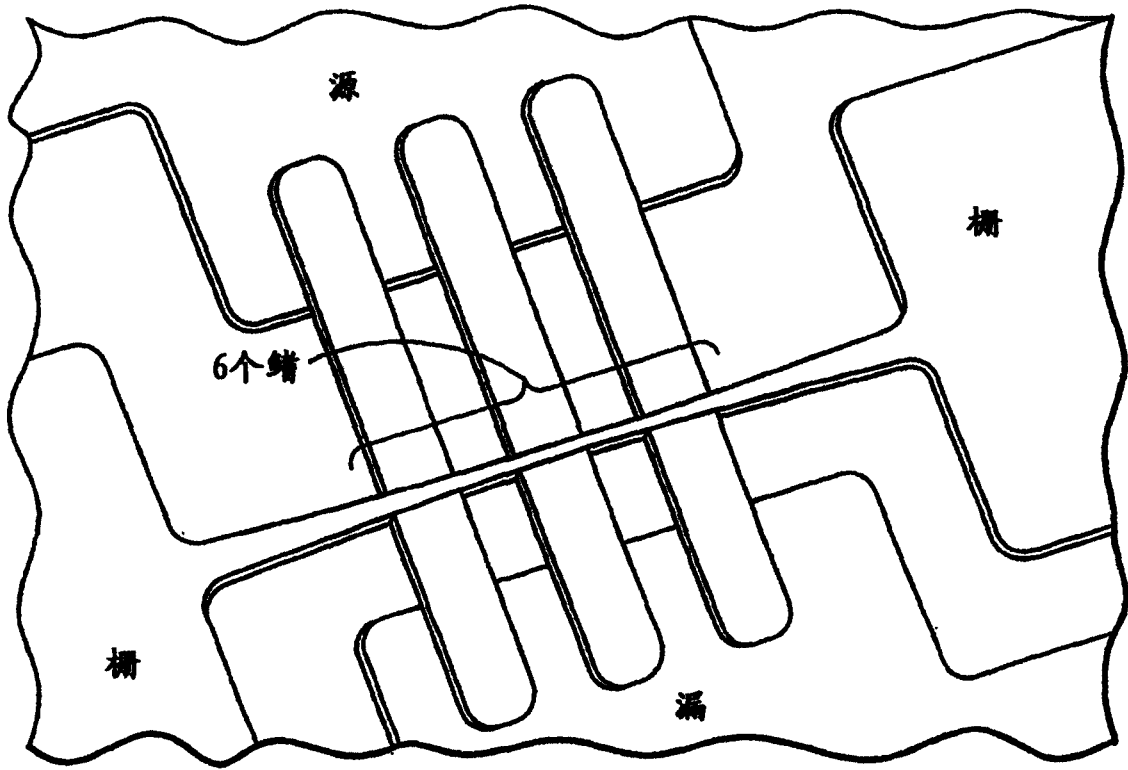


图1
现有技术

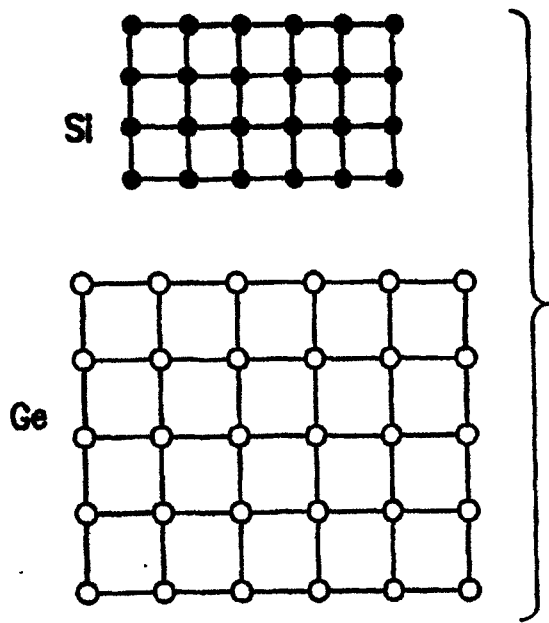


图2a

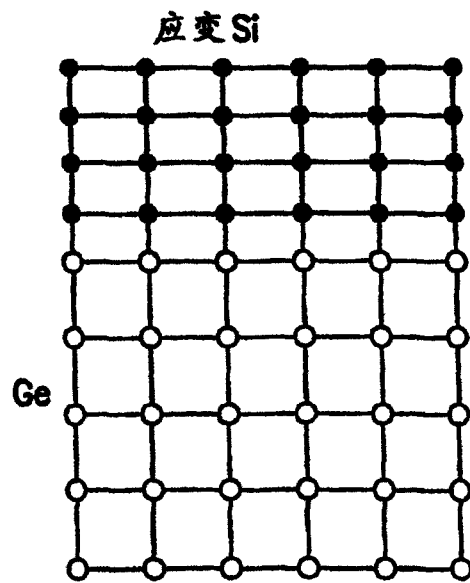


图2b

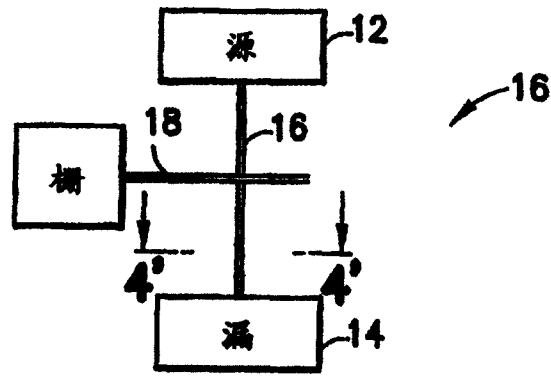


图 3

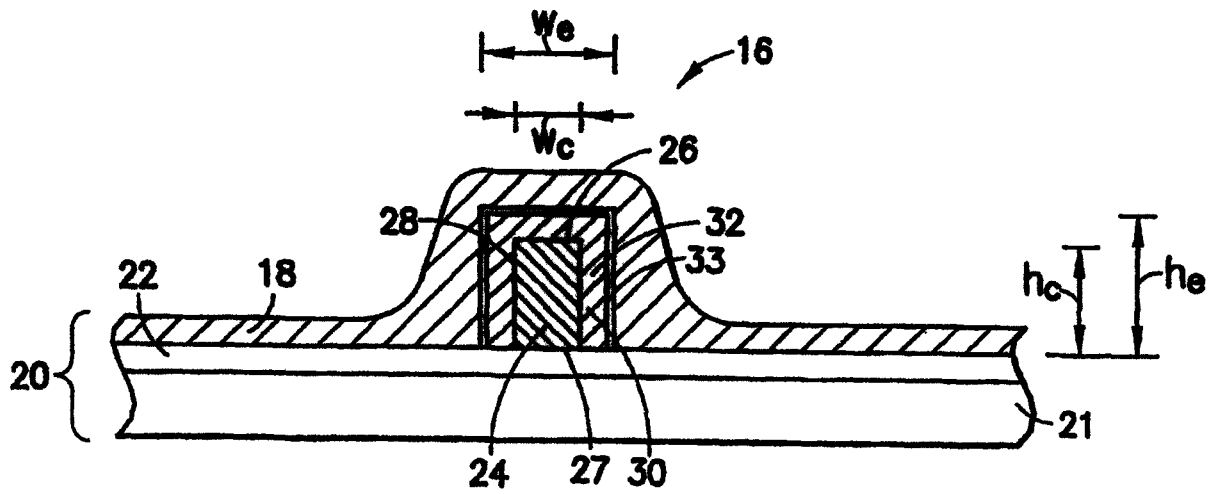


图 4

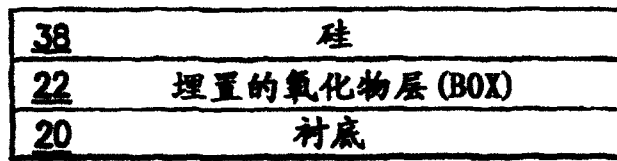


图 5a

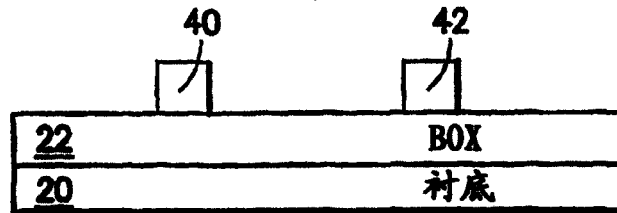


图 5b

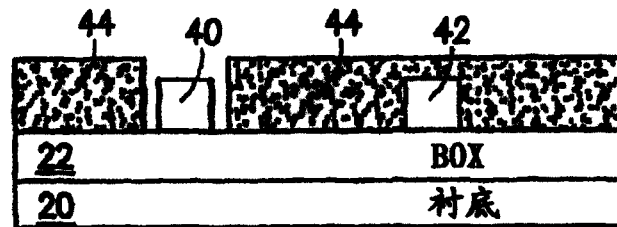


图 5c

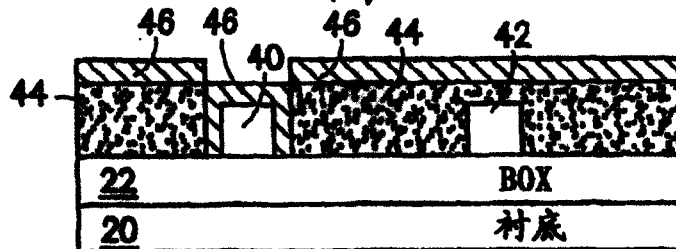


图 5d

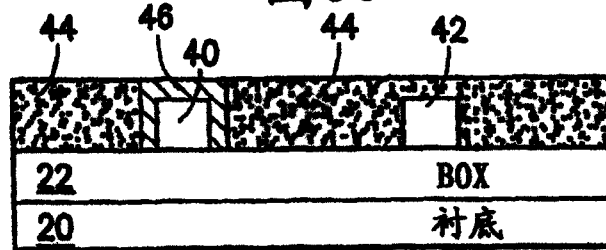


图 5e

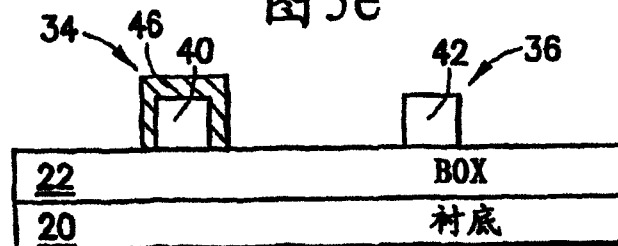


图 5f

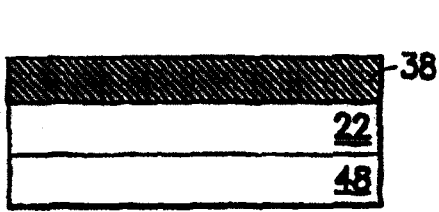


图 6a

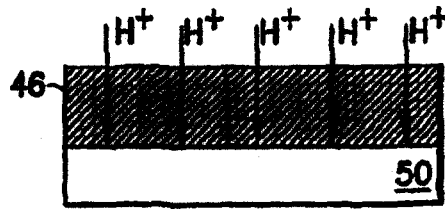


图 6c

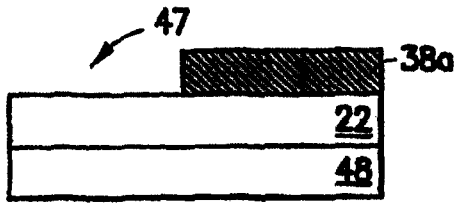


图 6b



图 6d

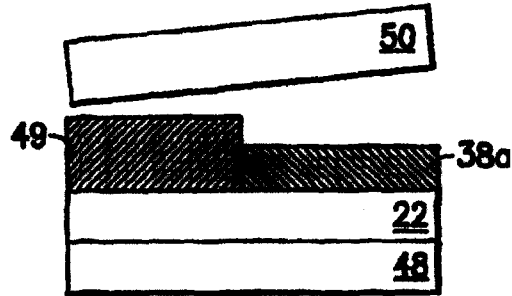


图 6e

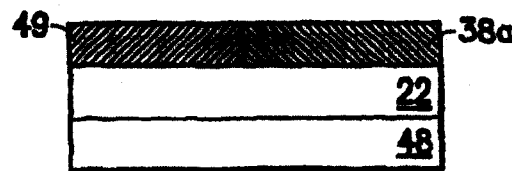


图 6f

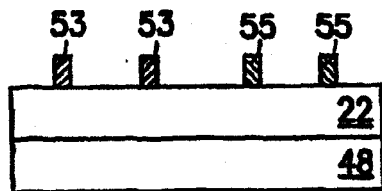


图 6g

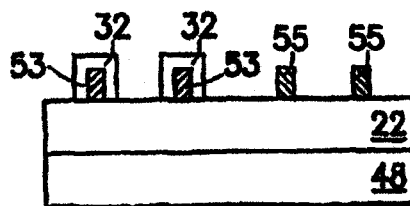


图 6h

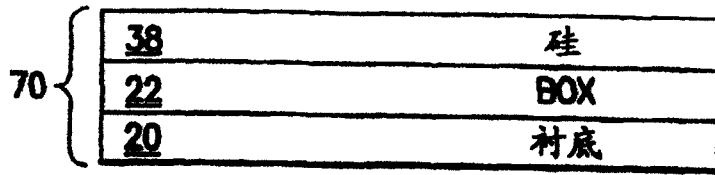


图 7a

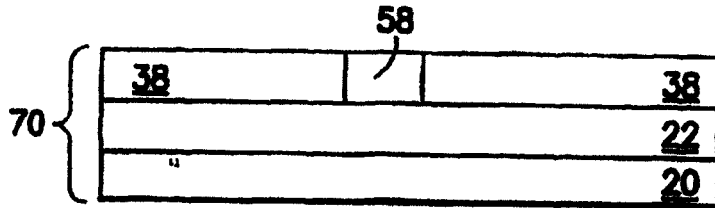


图 7b

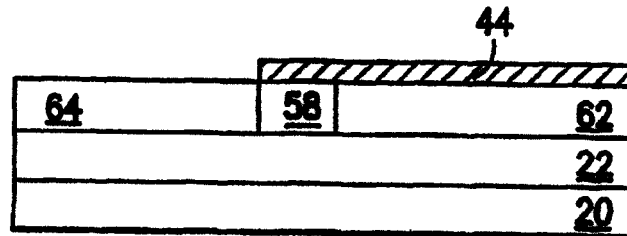


图 7c

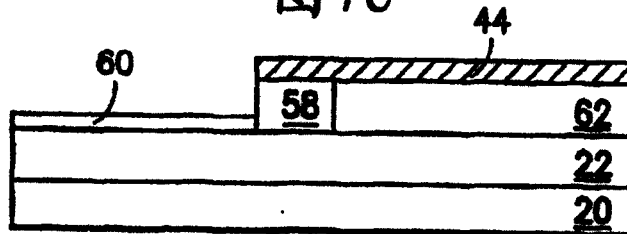


图 7d

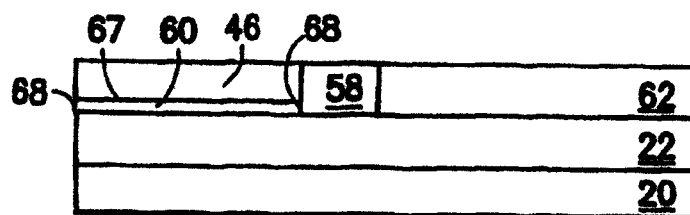


图 7e

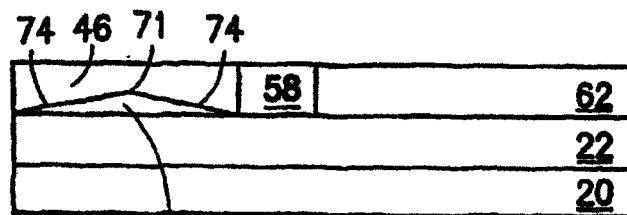


图 7f

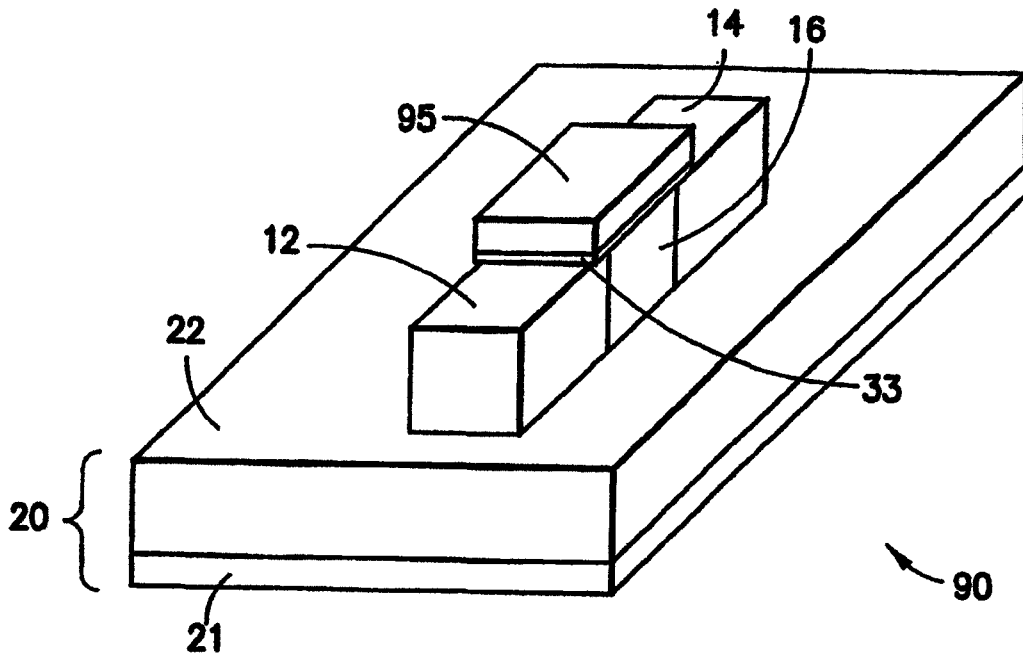


图 8A

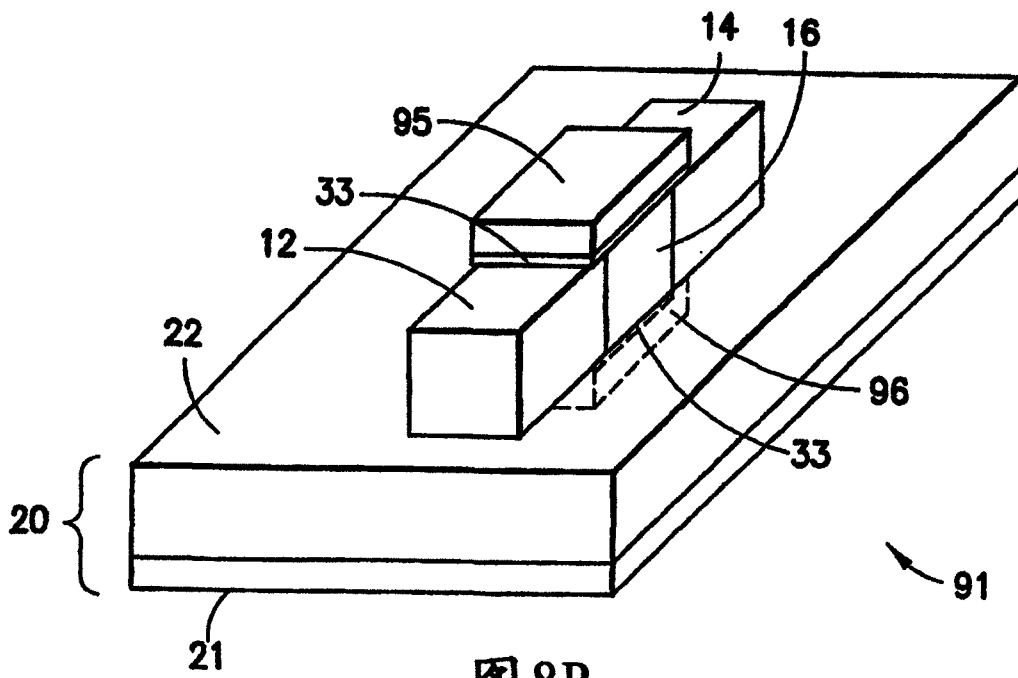


图 8B

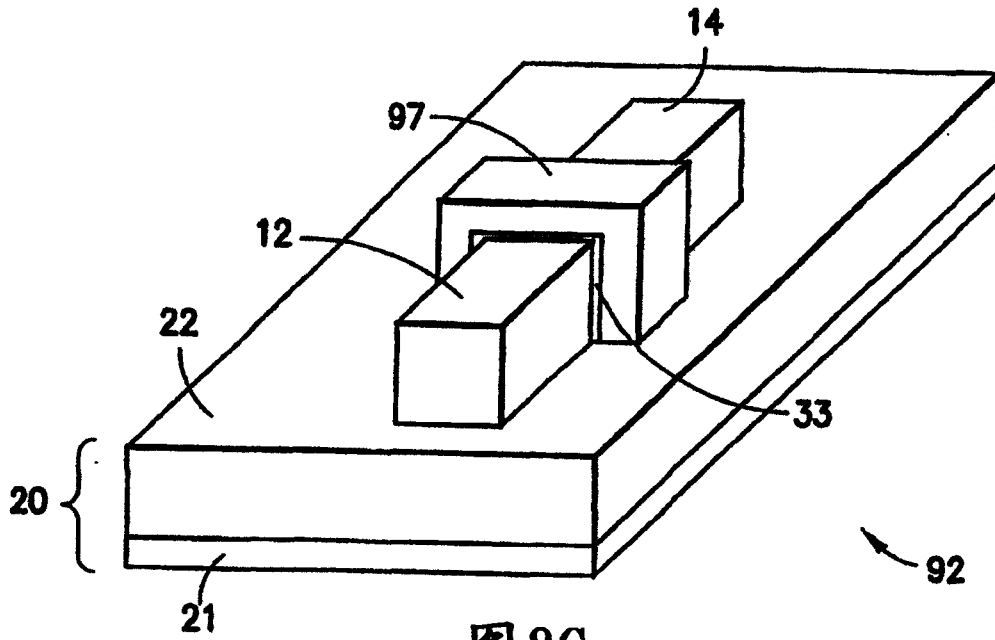


图 8C

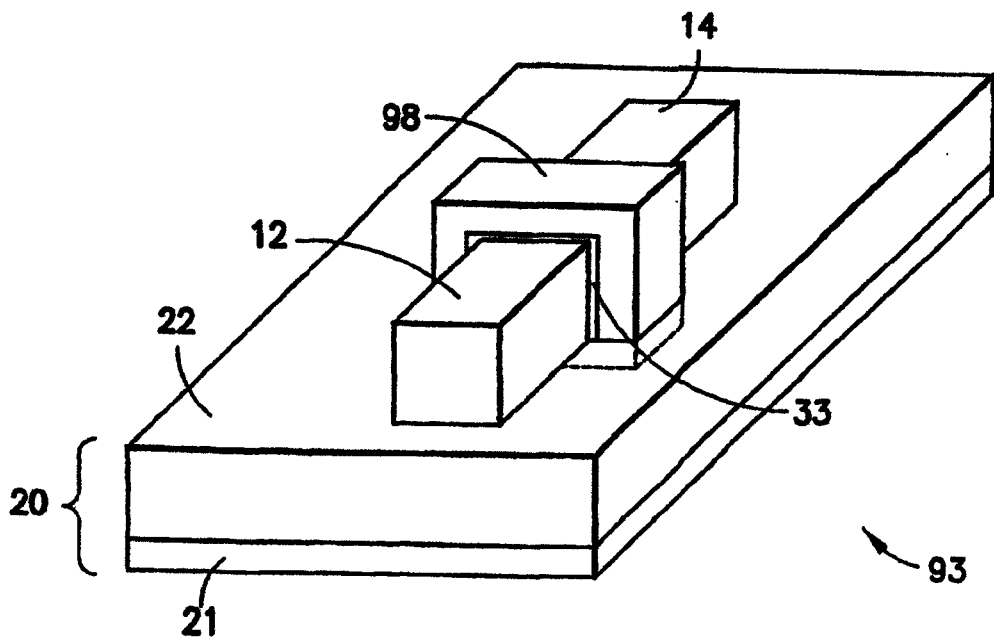


图 8D

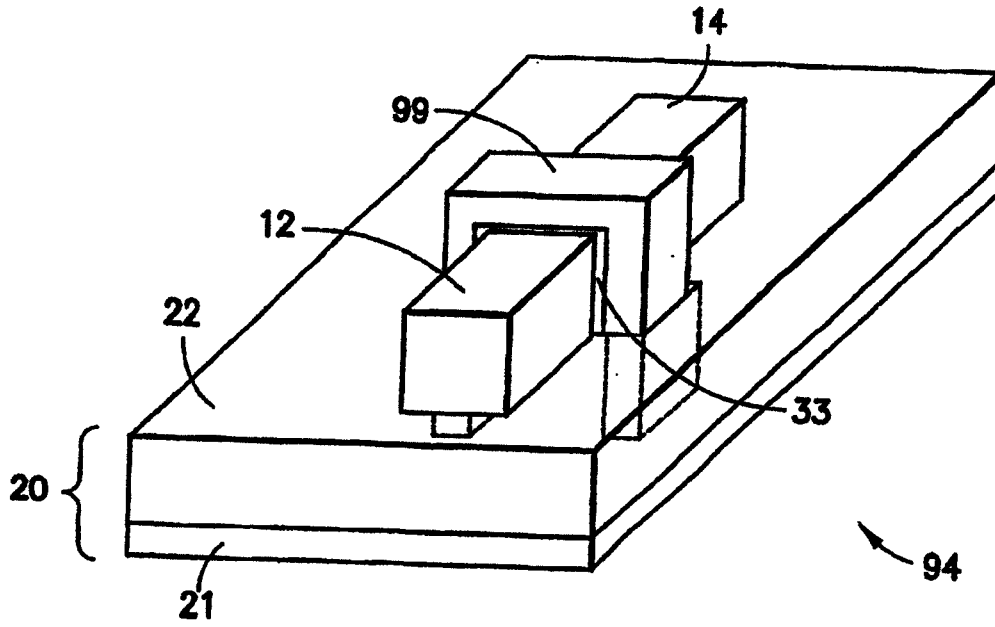


图 8E

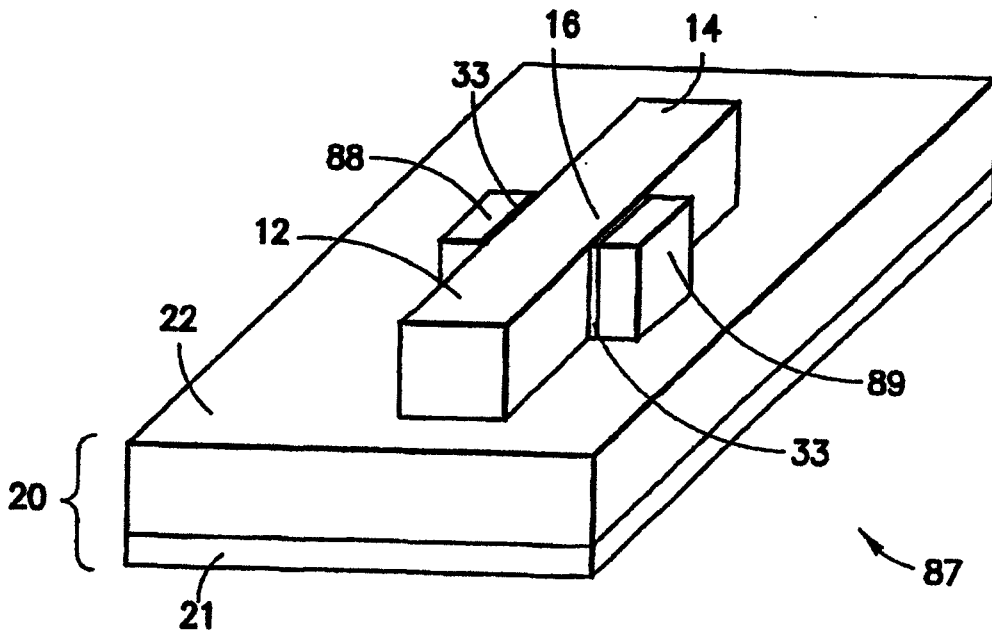


图 8F

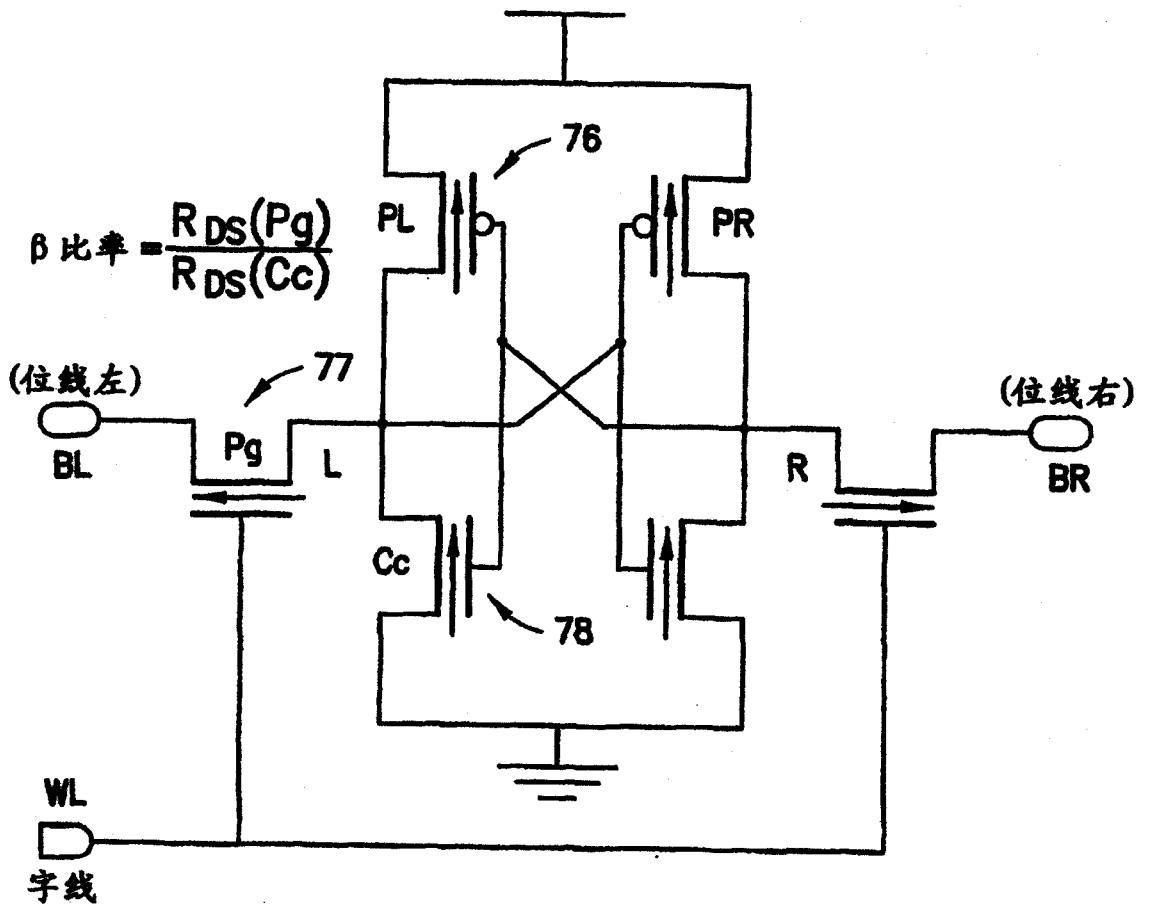


图9