(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3641012号
(P3641012)
(45)発行日　平成17年4月20日(2005.4.20)　(24)登録日　平成17年1月28日(2005.1.28)

(51)Int.Cl.[7]　F I
H03M 13/41　H03M 13/41

請求項の数 3　(全 11 頁)

(21)出願番号　特願平7-125520
(22)出願日　平成7年4月14日(1995.4.14)
(65)公開番号　特開平8-181621
(43)公開日　平成8年7月12日(1996.7.12)
審査請求日　平成14年4月8日(2002.4.8)
(31)優先権主張番号　9404548
(32)優先日　平成6年4月15日(1994.4.15)
(33)優先権主張国　フランス(FR)

(73)特許権者　590000879
テキサス　インスツルメンツ　インコーポレイテツド
アメリカ合衆国テキサス州ダラス，ノース　セントラルエクスプレスウエイ　１３５　ＯＯ
(74)代理人　100066692
弁理士　浅村　皓
(74)代理人　100072040
弁理士　浅村　肇
(74)代理人　100094673
弁理士　林　鉐三
(74)代理人　100091339
弁理士　清水　邦明

最終頁に続く

(54)【発明の名称】ビタービアルゴリズムの実施の方法及び装置

(57)【特許請求の範囲】
【請求項１】
ビタービアルゴリズムを実施するようにディジタル信号処理装置を動作させる方法であって、
インターフェース回路からデータを受け取り、
古い計量値Ｍｅ（２ｊ）を格納する単一の記憶場所を同時にアクセスすることにより、前記古い計量値Ｍｅ（２ｊ）から第１の演算ユニットおよび第２の演算ユニットにおいて式Ｍｅ（２ｊ）＋ｄ０および式Ｍｅ（２ｊ）－ｄ０を同時に計算し、
前記第１の演算ユニットによる式Ｍｅ（２ｊ）＋ｄ０の計算結果を第１のレジスタに記憶する一方、同時に前記第２の演算ユニットによる式Ｍｅ（２ｊ）－ｄ０の計算結果を第２のレジスタに記憶し、
古い計量値Ｍｅ（２ｊ＋１）を格納する単一の記憶場所を同時にアクセスすることにより、前記古い計量値Ｍｅ（２ｊ＋１）から前記第１の演算ユニットおよび前記第２の演算ユニットにおいて式Ｍｅ（２ｊ＋１）＋ｄ１および式Ｍｅ（２ｊ＋１）－ｄ１を同時に計算し、ここでｄ０およびｄ１は係数の理論値とサンプルの実際値との不一致であり、
前記第１の演算ユニットまたは前記第２の演算ユニットを用いて前記係数の理論値と前記サンプルの実際値との前記不一致ｄ０＝Ｃ（２ｊ）－Ｐｓを１度だけ計算し、前記第１の演算ユニットまたは前記第２の演算ユニットを用いて前記不一致ｄ１＝Ｃ（２ｊ＋１）－Ｐｓを１度だけ計算し、ここで
Ｃ＝記号間歪み係数

Ｐ＝伝送されるビットの確率
であり、
前記式Ｍｅ（２ｊ＋１）＋ｄ１の値を前記第１のレジスタに記憶されている値と比較して新しい計量値Ｍｓ（ｊ）を生成する一方、同時に前記式Ｍｅ（２ｊ＋１）－ｄ１の値を前記第２のレジスタに記憶されている値と比較して新しい計量値Ｍｓ（ｊ＋８）を生成し、
前記新しい計量値Ｍｓ（ｊ）および前記新しい計量値Ｍｓ（ｊ＋８）をメモリに記憶する
ステップを含むことを特徴とする方法。
【請求項２】
請求項１に記載の方法において、前記新しい計量値Ｍｓ（ｊ）の値は、動作の所定フェーズ中に記憶されることを特徴とする方法。
【請求項３】
請求項１に記載の方法において、前記新しい計量値Ｍｓ（ｊ＋８）の値の記憶はパイプラインレジスタ（２５）の助けにより動作の前記所定フェーズに続く動作のフェーズまで遅延されることを特徴とする方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、ＲＡＭメモリの帯域幅の減少を可能にする加算、比較、及び選択のためのビタービアルゴリズム（Ｖｉｔｅｒｂｉ　ａｌｇｏｒｉｔｈｍ）の実施の方法及び装置に関し、特にデイジタル信号処理装置又はＤＳＰの構造に含まれるメモリ、特にＲＡＭビタービメモリに関する。
【０００２】
【従来の技術】
一般にデイジタル信号処理装置の機能は、例えば、３２ビツトより大きいか、これに等しい高い計算精度で演算を行うことである。
【０００３】
ビタービアルゴリズム内の加算、比較、及び選択の作業における処理装置の処理能力を制限する３つの障害がある。これらは、
算術計算、
データ転送、及び
条件命令の実行に関する遅延である。
【０００４】
ビタービアルゴリズムは、３つの手順に分けることができる。手順Ｉは、インタフェースからのサンプルデータをＲＡＭデータメモリへ変換してロードし、手順 II は、「計量値」、又は各々が観測値と各サンプルに対する種々な可能な値との差を表わす値の表を計算し、トレース、又は最大尤度をもつデータ列の決定を生成し、また手順 IIIは、トレースメモリからデータを生成する。
【０００５】
手順ＩＩは、各入力サンプルに対する加算、減算、比較及びデータ転送の様な一組の単純演算を必要とする。またこのアルゴリズムを実行するためには、デイジタル信号処理装置の構造が適合されていないという事実によつて、デイジタル信号処理装置に対して多数のサイクルが要求される。
【０００６】
【発明が解決しようとする課題】
本発明は、上述の欠点を、ビタービアルゴリズムの実行という面で、デイジタル信号処理装置と結合するように特別に設計されたメモリを創作することにより改善することを目的とする。
【０００７】

【課題を解決するための手段】
本発明は、ＲＡＭメモリの帯域幅の減少を可能にする加算、比較、及び選択のためのビタービアルゴリズムの実施の方法において、一つのサイクルｎの過程において、古い計量値Ｍｅ（２ｊ）、または観測値と種々の可能な値との差を表わす値の表に基づいて、式Ｍｅ（２ｊ）＋Ｄ０及びＭｅ（２ｊ）－Ｄ０　の計算を行い、部分的な結果を２つの一時レジスタに記憶し、次のサイクルｎ＋１の過程において、別の古い計量値Ｍｅ（２ｊ＋１）に基づいて、式Ｍｅ（２ｊ＋１）＋Ｄ１及びＭｅ（２ｊ＋１）－Ｄ１の計算を行い、ここに、Ｄ０　及びＤ１　は係数の理論値とサンプルの実際の値との不一致であり、得られた結果を一時レジスタの内容と比較して、値Ｍｓ（ｊ），Ｍｓ（ｊ８）の２つの新しい表及び比較の結果を表わす状態Ｔｓ（ｊ），Ｔｓ（ｊ＋８）に向かう経路についての推移決定を定めることを特徴とする。

【０００８】
また、本発明は、上述の方法の実施のためのデイジタル信号処理装置をもつ装置であつて、デイジタル信号処理装置の本体、及び上記信号処理装置にそれぞれ接続されたＲＯＭプログラムメモリとＲＡＭデータメモリを含む上記装置において、ビタービアルゴリズムの加算、比較、及び選択の演算の手段を含むＲＡＭビタービメモリ及び上記ＲＡＭビタービメモリを制御するための制御論理ブロツクが上記ＲＡＭデータメモリに結合していることを特徴とする。

【０００９】
【実施例】
本発明を、単なる次の例によつて説明する。
図１４に示す従来のデイジタル信号処理装置は、デイジタル信号処理装置（以下、処理装置という）１の本体又はコアを含み，これにＲＯＭプログラムメモリ２、ＲＡＭデータメモリ３及びインタフェース４が連係している。

【００１０】
ディジタル信号処理装置１の本体に含まれるダッシュ線の矩形及び矢印によって示されるように、処理装置１は、ビタービアルゴリズムを実行するときは、３つの手順で演算を行う。これらは、
手順Ｉの過程において、インタフェース４から発生するデータは取得され、これらのデータは変換されてＲＡＭデータメモリ３へ転送される。
手順 II の過程において、データはＲＡＭデータメモリ３から処理装置１の本体へ転送され、計量値又は値の表が計算され、これらは、観測値と各データサンプルに対する種々の可能な値との差を表わし、またトレース、又は最大尤度をもつデータ列が計算され、結果は新たにＲＡＭデータメモリ３に記憶される。
手順 IIIの過程において、データが、ＲＡＭデータメモリ３に記憶されているトレースデータから生成される。

【００１１】
上述の演算は図２の線図に示されており、ここでは、図１の回路のＲＡＭデータメモリ３に記憶されている古い値の表５と、古い値に対する処理装置１の本体による加算、比較、及び選択の結果である新しい値の表６が示されている。

【００１２】
古い計量値と新しい計量値は、それぞれ記号Ｍｅ及びＭｓで表わされている。
古い計量値に対して行われる演算及び新しい計量値の表６に置かれている得られた結果は、古い計量値の表５の各箱と新しい計量値の表６の２つの箱を結ぶ線で描かれている。

【００１３】
これらの線は、表５の計量値Ｍｅ（２ｊ）を表６のＭｓ（ｊ）及びＭｓ（ｊ＋８）へ結ぶ線、及び表５の計量値Ｍｅ（２ｊ＋１）を表６のＭｓ（ｊ）及びＭｓ（ｊ＋８）へ結ぶ線を除いては破線で表わされている。

【００１４】
【数１】

Ｄ０＝Ｃ（２ｊ）－Ｐ（ｓ）
は、Ｍｅ（２ｊ）に対する演算の過程において加算及び減算される。
【数２】
Ｄ１＝Ｃ（２ｊ＋１）－Ｐ（ｓ）
は、Ｍｅ（２ｊ＋１）に対する演算の過程において加算及び減算される。
これらの関係において、Ｃ（２ｊ）、Ｃ（２ｊ＋１）は係数であり、Ｐ（ｓ）はＲＡＭデータメモリ３の中に含まれているサンプルである。
【００１５】
例えば、ＧＳＭセルラー無線電話システム（図３及び４）に応用される１６状態ビタービ等化器アルゴリズムの加算、比較、及び選択部分はビタービＲＡＭのアーキテクチヤを示している。係数「Ｃ」及び入力サンプル「Ｐ」は手順Ｉにより生成される。
【００１６】
各サンプルＰ（Ｓ）に対して、手順ＩＩは、前の計量値「Ｍｅ」から１６個の新しい計量値「Ｍｓ」を計算する，メモリの帯域幅を減少させるため、一般に２つの計量値Ｍｓ（ｊ）とＭｓ（ｊ＋８）は並列に計算される。
【００１７】
これらの計算には、次のパラメタが用いられる。
Ｃ　＝記号間歪み係数
Ｄ０、Ｄ１＝係数の理論値とサンプルの実際の値との不一致
Ｐ　＝伝送されるビツトの確率
Ｍｅ　＝古い計量値
Ｍｓ　＝新しい計量値
Ｔ　＝状態ｊに向かう経路に関する椎移決定
【００１８】
ｌｏｏｐ　ｓ＝１，１２０
ｌｏｏｐ　ｊ＝０，７
Ｄ０＝Ｃ２ｊ－Ｐｊ　　Ｄ１＝Ｃ２ｊ＋１－Ｐｊ
Ｉｆ　Ｍｅ　２ｊ＋Ｄ０＞Ｍｅ２ｊ＋１＋Ｄ１
ｔｈｅｎ　Ｍｓｊ＝Ｍｅ２ｊ＋Ｄ０　　Ｔｓ，ｊ＝０
ｅｌｓｅ　Ｍｓｊ＝Ｍｅ２ｊ＋１＋Ｄ１　　Ｔｓ，ｊ＝１
ｅｎｄｉｆ
Ｉｆ　Ｍｅ２ｊ－Ｄ０＞　　Ｍｅ２ｊ＋１－Ｄ１
ｔｈｅｎ　Ｍｓｊ＋８＝　　Ｍｅ２ｊ－Ｄ０，　　Ｔｓ，ｊ＋８＝０
ｅｌｓｅ　Ｍｓｊ＋８＝　　Ｍｅ２ｊ＋１－Ｄ１，　Ｔｓ，ｊ＋８＝１
ｅｎｄｉｆ
ｅｎｄ　ｌｏｏｐ
【００１９】
新しい計量値Ｍｓの値は、次の式の最大値である。
【数３】
Ｍｅ２ｊ＋／－Ｄ０＞Ｍｅ２ｊ＋１＋／－Ｄ１
比較の結果は、状態Ｔ（ｓ）（ｊ）又はＴ（ｓ）（ｊ＋８）に向かう決定経路を生成し、これは、次に手順ＩＩＩで使用するためにメモリＴの内部に記憶される。
【００２０】
このような経路は図２に示されており、ここでは１個のサンプルに対して、異なる係数で１６回の計算が行われることが分かる。
【００２１】
進行中における加算、比較、及び選択信号の変化は図３に示されている。
サイクルｎの過程において、新しい計量値Ｍｓ（ｊ）及び推移経路Ｔ（ｊ）は、古い計量値Ｍｅ（２ｊ）及びＭｅ（２ｊ＋１）に基づいて計算される。演算は、Ｍｅ（２ｊ）、Ｃ（２ｊ）、Ｐ（ｓ）、とＭｅ（２ｊ＋１）、Ｃ（２ｊ＋１）、Ｐ（ｓ）との間の２つの１

６ビツト演算の最大値の選択からなる。サイクルｎ＋１におけるＭｓ（ｊ＋８）及びＴ（ｓ）（ｊ＋８）の計算は対称的である。２つの１６ビツト「＋」演算は、「－」演算によつて置換される。

【００２２】

サイクルｎとｎ＋１は古い計量値のメモリに対して４回のアクセスを要求する。一般に、２つの別個のメモリＭｅ（２ｊ）及びＭｅ（２ｊ＋１）が、メモリの帯域幅を改善するため、及び加算、比較、及び選択Ａ．Ｃ．Ｓ．に対するアルゴリズムの実行のサイクルの数を減らすために使用される。

【００２３】

進行中の計量値計算の実行は図３に示され、ここでは計算に入つてくるファクタの全部が記されている。

【００２４】

本発明によるＲＡＭビタービメモリを備えたデイジタル信号処理装置が図４に示されている。

図１の処理装置と同様に、処理装置１の本体を含み、これにＲＯＭプログラムメモリ２、ＲＡＭデータメモリ３及びインタフェース回路４が連係している。

【００２５】

本発明の処理装置は、さらにＲＡＭビタービメモリ７を含み、これは、ＲＡＭデータメモリ３とは別個であり、処理装置１に連係している。ＲＡＭビタービメモリ７には、加算、比較、及び選択のための手順ＩＩの実行を制御するための制御論理ブロツク８が結合し、この手順ＩＩは、いまやＲＡＭビタービメモリ７に割当られている。

【００２６】

手順Ｉ及びＩＩＩは、依然として処理装置１の本体に割当てられ、これには、更に別のプログラムに関する手順ｎが割当られている。

ＲＡＭビタービメモリ７は、デジタル信号処理装置からも、また加算、比較、及び選択のための手順ＩＩに関しても、両方からメモリの様にみえる。

【００２７】

処理装置１は、ＲＡＭビタービメモリ７を作業メモリとして使用する。手順Ｉの実行の終わりにおいて、データは、加算、比較、及び選択の処理のために、メモリへのデータ転送なしに使用可能である。

処理装置１は、手順ＩＩの実行によつて割当てられず、また制御論理ブロツク８の制御の下にある処理装置１とＲＡＭビタービメモリ７は、並列に動作することができる。

【００２８】

新しい加算、比較、及び選択信号の変化のスケツチが図５に示されている。

計算手順の全部のフエーズが参照符号を付けて示されているこの図から、加算、比較、及び選択アルゴリズムの実施には各サイクルにおいて、古い計量値を読出すために一つメモリサイクルだけが要求されることが分かる。理論値と実際の値との間の不一致である「Ｄ０」及び「Ｄ１」は１回置きに計算できる。

【００２９】

サイクルｎの間に、Ｍｅ（２ｊ）＋Ｄ０　及びＭｅ（２ｊ）－Ｄ０　の結果は、一時レジスタの内部に記憶される。サイクルｎ＋１　の過程において、Ｍｅ（２ｊ＋１）＋Ｄ０　及びＭｅ（２ｊ＋１）－Ｄ０　は計算され、一時レジスタの内容と比較される。最大値Ｍｓ（ｊ）は新しい計量値メモリに記憶され、また推移経路Ｔ（ｓ）（ｊ）はメモリ「Ｔ」に記憶される。パイプライン状態は、Ｍｓ（ｊ＋８）及びＴ（ｓ）（ｊ＋８）の結果を、それぞれの対応するメモリに記憶する前に導入される。

【００３０】

本発明によるビタービＲＡＭメモリのアーキテクチヤを図６を参照して説明する。

ビタービＲＡＭメモリ７は、前述の手順ＩＩの実行を制御する制御論理ブロツク８を含み、制御論理ブロツク８は、書込みアドレスを発生する回路９に接続され、回路９それ自身は、メモリ書込みのためにカウンタ（ｓ）１０及びカウンタ（ｊ）１１に接続される。

制御論理ブロツク８は、初期化入力ＩＮＩＴを受ける。アドレスを発生する回路９は、１６×１６ＲＡＭメモリ１２に結合される。

【００３１】

ビタービＲＡＭメモリ７は、更に、対にグループ分けされたマルチプレクサ１３から１６を含み、一方の対のマルチプレクサ１３及び１４の出力は算術及び論理ユニツト１７の入力Ａ及びＢにそれぞれ結合され、また他方の対のマルチプレクサ１５及び１６の出力は算術及び論理ユニツト１８の入力Ａ及びＢにそれぞれ結合される。これら２つの算術及び論理ユニツト１７及び１８の出力は、それぞれレジスタＲ０　１９及びレジスタＲ１　２０に供給される。

【００３２】

最大値を決めるための比較器２３、２４に結合される一時レジスタＲ２　２１及び一時レジスタＲ３　２２も、また制御論理ブロツク８に連係する。算術及び論理ユニツト１７及び１８の出力もまた比較器２３、及び２４の入力に結合される。

これらは、１６×１６ＲＡＭメモリ１２へ信号を供給する。

【００３３】

更に、パイプラインレジスタ２５がレジスタＲ３　２２に結合している。

制御及び比較結果の記憶のための連係している回路２６、２７、２８は、レジスタ２１、２２、２５にそれぞれ結合し、また回路２６及び２７は、制御論理ブロツク８に連係し、また比較器２３及び２４にそれぞれ連係している。

【００３４】

図６に表わされたアルゴリズムを実施する一例によれば、ビタービＲＡＭメモリ７は、Ｍｓ（ｊ）及びＭｓ（ｊ＋８）を並列に計算するために、２つのデータ経路を含んでいる。フェーズ１の過程において、不一致Ｄ０及びＤ１が計算され、その結果はそれぞれレジスタＲ０　１９及びＲ１　２０に記憶される。フェーズ２の過程において、部分的結果がＭｅ（２ｊ）に基づいて計算され、その結果は一時レジスタＲ２　２１及びＲ３　２２に記憶される。フェーズ３の過程において、新しい計量値メモリ１２に記憶する必要のある最大値が計算される。

【００３５】

Ｍｓ（ｊ）及びＴ（ｓ）（ｊ）は、フェーズ３の終わりにおいて、ＲＡＭデータメモリ３内の上記新しい計量値メモリ及びメモリＴに記憶される。Ｍｓ（ｊ＋８）及びＴ（ｓ）（ｊ＋８）は、メモリに記憶される前に、パイプラインレジスタ２５を横切るとき１フェーズだけ遅延される。

【００３６】

ＡＣＳ（加算、比較、選択）の実行は、ＩＮＩＴ信号の入力のとき処理装置１の管理の下で開始される。これは、カウンタ（ｓ）１０、カウンタ（ｊ）１１及び制御論理ブロツク８によつて制御される。

【００３７】

アルゴリズムの実行の詳細は次の通りである。

フェーズ１ａでは、不一致

【数４】

$$D0 = C2j - Ps$$

が計算され、その結果がレジスタRo １９に記憶される。

フェーズ１ｂでは、不一致

【数５】

$$D1 = C2j+1 - Ps$$

が計算され、その結果がレジスタR1 ２０に記憶される。

フェーズ２では、式Me(2j)+D0及び、式Me(2j)-D0 が並列に計算され、その結果は一時レジスタR2 ２１及びR3２２へ転送される。

前のループを解放するための、Ms((j-1)+8)及びTs((j-1)+8)は、パイプラインレジスタ２５に基づいて、それらの、それぞれのメモリに記憶される。

フェーズ3では、式Me(2j)-D0 及び、式Me(2j+1)-D1 が並列に計算される。それらの結果は、一時レジスタR2 21及びR322の内容とそれぞれ比較される。

【００３８】

Me(2j)-D0と一時レジスタR2 21の内容の最大値はMs(j)に記憶され、また比較の状態はTs(j)に記憶される。

Me(2j+1)-D1と一時レジスタR3 22の内容の最大値及び比較の状態T(s)(J+8)は、パイプラインレジスタ25内に記憶される。

フェーズ1から3は、８ｘ１２０回繰り返される。

【００３９】

上述の演算は、次の様に表される。

Ｌｏｏｐ　ｓ＝１，１２０　Ｎｏ．ｏｆ　ｉｎｔｅｒｎａｌ　ｃｙｃｌｅｓ　１２０×（３×８）＝２８８０

Ｌｏｏｐ　ｊ＝０，７

１　Ｒ０＝Ｃ（２ｊ）－Ｐｓ　　Ｒ１＝Ｃ（２ｊ＋１）－Ｐ（ｓ）

２　Ｒ２＝（Ｍｅ（２ｊ）＋Ｒ０）　Ｒ３＝（Ｍｅ（２ｊ）－Ｒ０）

３　Ｒ２＝ｍａｘ［（Ｒ２），（Ｍｅ（２ｊ＋１）＋Ｒ１）］　Ｒ３＝ｍａｘ［（Ｒ３），（Ｍｅ（２ｊ＋１）－Ｒ１）］

Ｔ（ｓ，ｊ），Ｍｓ（ｊ）＝Ｒ２　{@1} Ｔ（ｓ，ｊ＋８），Ｍｓ（ｊ＋８）＝Ｒ３

Ｅｎｄ　ｌｏｏｐ

Ｅｎｄ　ｌｏｏｐ

【００４０】

【発明の効果】

本発明においては、加算、比較、及び選択を含むビタービアルゴリズムを実行するデイジタル信号処理装置に、ＲＯＭプログラムメモリ及びＲＡＭデータメモリの他に、ＲＡＭビタービメモリを備え、これらの加算、比較、及び選択の演算を実行するので、ビタービアルゴリズムを実行するのに必要なサイクルの数を減少させることができる。

【００４１】

以上の説明に関して更に以下の項を開示する。

（１）ＲＡＭメモリの帯域幅の減少を可能にする加算、比較、及び選択のためのビタービアルゴリズムの実施の方法において、一つのサイクルｎの過程において、古い計量値Ｍｅ（２ｊ）、または観測値と種々の可能な値との差を表わす値の表に基づいて、式Ｍｅ（２ｊ）＋Ｄ０及びＭｅ（２ｊ）－Ｄ０　の計算を行い、部分的な結果を二つの一時レジスタ（２１、２２）に記憶し、次のサイクルｎ＋１の過程において、別の古い計量値Ｍｅ（２ｊ＋１）に基づいて、式Ｍｅ（２ｊ＋１）＋Ｄ１及びＭｅ（２ｊ＋１）－Ｄ１の計算を行い、ここに、Ｄ０　及びＤ１は係数の理論値とサンプルの実際の値との不一致であり、得られた結果を一時レジスタの内容と比較して、値Ｍｓ（ｊ），Ｍｓ（ｊ＋８）の二つの新しい表及び比較の結果を表す状態Ｔｓ（ｊ），Ｔｓ（ｊ＋８）に向かう経路についての推移決定を定めることを特徴とする。

（２）第１項記載の方法において、係数の理論値とサンプルの実際の値との不一致

【数６】

Ｄ０＝Ｃ（２ｊ）－Ｐｓ、

Ｄ１＝Ｃ（２ｊ＋１）－Ｐｓ

を１回だけ計算する。

（３）第１項又は第２項記載の方法において、値Ｍｓ（ｊ）及びＴｓ（ｊ）をサイクルｎ＋１の過程において記憶する。

（４）第１項から第３項のいずれかに記載の方法において、値Ｍｓ（ｊ＋８）及びＴｓ（ｊ＋８）の記憶はパイプラインレジスタ（２５）により１サイクルだけ遅延される。

（５）第１項から第４項のいずれかに記載の方法において、値Ｍｓ（ｊ）とＭｓ（ｊ＋８）は並列に計算される。

【００４２】

（６）第１項記載の方法の実施のためのデイジタル信号処理装置をもつ装置であつて、デイジタル信号処理装置（１）の本体、及び上記信号処理装置にそれぞれ接続されたＲＯＭプログラムメモリ（２）とＲＡＭデータメモリ（３）を含む上記装置において、ビタービアルゴリズムの加算、比較、及び選択の演算の手段（１５、１６、１７、１８、１９、２０、２５）を含むＲＡＭビタービメモリ（７）及び上記ＲＡＭビタービメモリ（７）を制御するための制御論理ブロツク（８）が上記ＲＡＭデータメモリ（３）に結合していることを特徴とする。

（７）第６項記載の装置において、上記ＲＡＭビタービメモリ（７）は、処理装置（１）のための作業メモリとなる。

（８）第６項又は第７項記載の装置において、上記ＲＡＭビタービメモリ（７）は、値Ｍｓ（ｊ）とＭｓ（ｊ＋８）の表を並列に計算するため２つのデータ経路（１７、１９、２１及び１８、２０、２２、２５）を含む。

（９）第８項記載の装置において、上記２つのデータ経路の各々は算術及び論理ユニツト（１７、１８）、係数の理論値と、古い値Ｍｅ（２ｊ）、Ｍｅ（２ｊ＋１）の２つの表に基づいて計算したサンプルの実際の値との不一致（Ｄ０、Ｄ１）を記憶するレジスタ（１９、２０）、及び古い値Ｍｅ（２ｊ）の表に基づいた計算の部分的結果を記憶するレジスタ（２１、２２）を含む。

【００４３】

（１０）第９項記載の装置において、上記経路（１８、２０、２２、２５）の一方は、計算の部分的結果を記憶するレジスタ（２２）に連係したパイプラインレジスタ（２５）を、ＲＡＭビタービメモリ（７）のＲＡＭメモリ（１２）内の２つの新しい表の１つに関する値Ｍｓ（ｊ＋８）及びＴｓ（ｊ＋８）の記憶を１サイクルだけ遅延させるために含む。

（１１）この装置は、デイジタル信号処理装置（１）の本体、ＲＯＭプログラムメモリ（２）、及びＲＡＭデータメモリ（３）を含み、これらはそれぞれ処理装置に接続され、その特徴とするところは、ビタービアルゴリズムの加算、比較、及び選択の演算の手段を含むＲＡＭビタービメモリ（７）、及びＲＡＭビタービメモリ（７）を制御する制御論理ブロツク（８）がＲＡＭデータメモリに結合されていることである。

【図面の簡単な説明】

【図１】加算、比較、及び選択手順を実行する従来のデジタル信号処理装置の概略図。

【図２】ＡＣＳ１６状態ビタービ等化器を示す図。

【図３】図２の計量値を計算する２つのサイクルを示す線図。

【図４】本発明によるＲＡＭビタービメモリを備えたデイジタル信号処理装置の概略図。

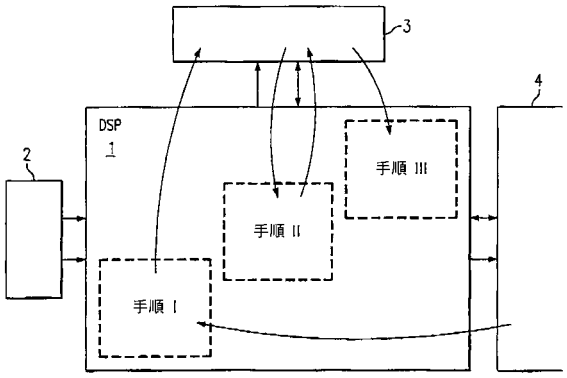
【図５】図４の処理装置を用いて計量値を計算する２つのサイクルを示す線図。

【図６】本発明によるＲＡＭビタービメモリのアーキテクチャを示す概略図。

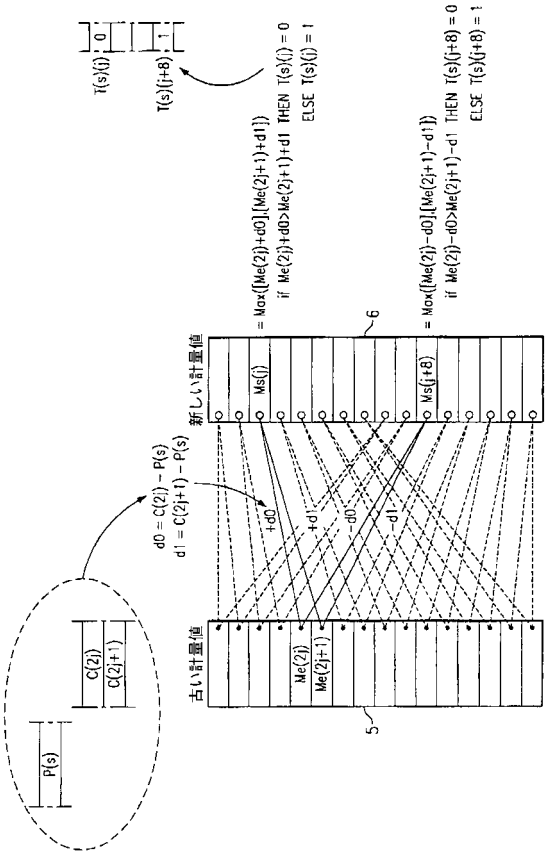
【符号の説明】

１　デイジタル信号処理装置
２　ＲＯＭプログラムメモリ
３　ＲＡＭデータメモリ
４　インタフェース回路
７　ＲＡＭビタービメモリ
８　制御論理ブロツク
９　アドレス発生回路
１０、１１　カウンタ
１２　１６×１６ＲＡＭメモリ
１３－１６　マルチプレクサ
１７、１８　算術及び論理ユニツト
１９、２０　レジスタ
２１、２２　一時レジスタ
２３、２４　比較器
２５　パイプラインレジスタ

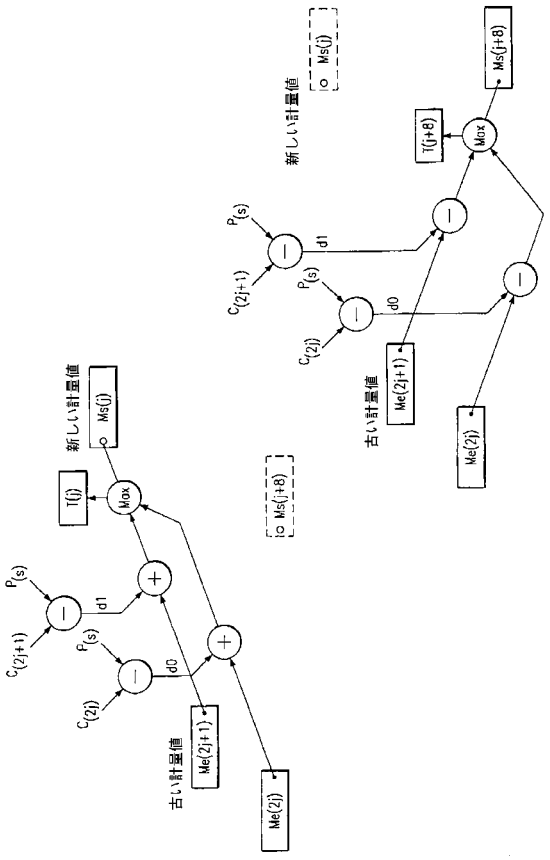
【図１】


3
4
DSP
1
2
手順 III
手順 II
手順 I

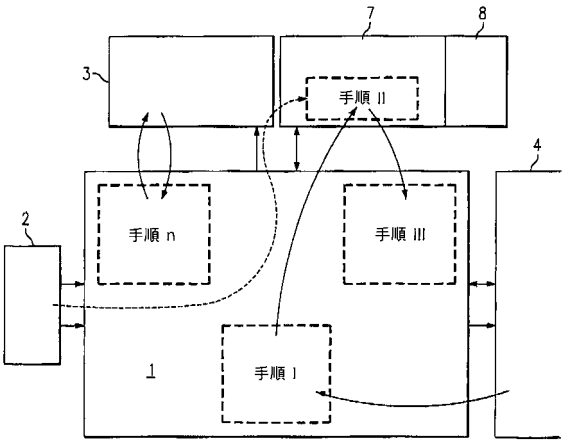
【図２】


T(s)(i)
T(s)(i+8)
= Max{[Me(2i)+d0],[Me(2i+1)+d1]}
if Me(2i)+d0>Me(2i+1)+d1 THEN T(s)(i) = 0
ELSE T(s)(i) = 1
= Max{[Me(2i)-d0],[Me(2i+1)-d1]}
if Me(2i)-d0>Me(2i+1)-d1 THEN T(s)(i+8) = 0
ELSE T(s)(i+8) = 1
6
新しい計量値
Ms(i)
Ms(i+8)
d0 = C(2i) − P(s)
d1 = C(2i+1) − P(s)
+d0
+d1
-d0
-d1
古い計量値
Me(2i)
Me(2i+1)
5
C(2i)
C(2i+1)
P(s)

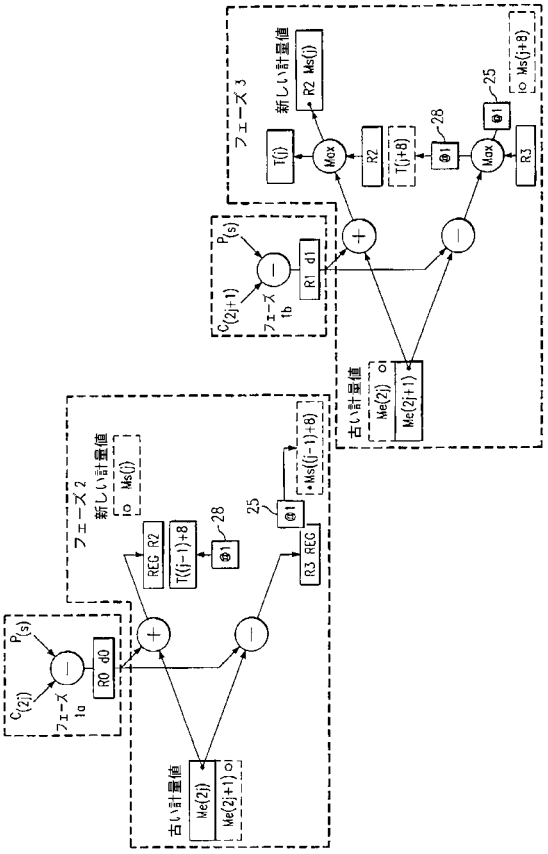
【図３】


新しい計量値
Ms(i)
Ms(i+8)
T(i)
T(i+8)
Max
P(s)
C(2i+1)
C(2i)
d1
d0
古い計量値
Me(2i+1)
Me(2i)

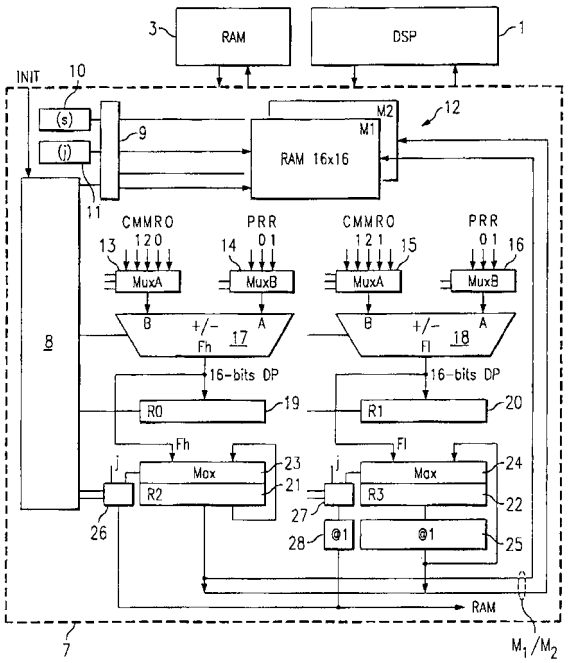
【図４】


7
8
3
手順 II
4
2
手順 n
手順 III
1
手順 I

【図５】


フェーズ3
新しい計量値
R2 Ms(j)
T(j)
Max
R2
T(j+8)
@1
Max
R3
25
28
Ms(j+8)
P(s)
C(2j+1)
フェーズ 1b
R1 d1
古い計量値
Me(2j)
Me(2j+1)
フェーズ2
新しい計量値
Ms(j)
REG R2
T((j-1)+8)
@1
28
25
Ms((j-1)+8)
R3 REG
P(s)
C(2j)
フェーズ 1a
R0 d0
古い計量値
Me(2j)
Me(2j+1)

【図６】


RAM
DSP
INIT
(s)
(j)
RAM 16x16
M2
M1
CMMRO
PRR
MuxA
MuxB
+/-
Fh
Fl
16-bits DP
R0
R1
R2
R3
Max
@1
RAM
M1/M2

フロントページの続き

(72)発明者 ジェラール ショウベル
フランス国アンティベ, シーエッチ. デ ラ スクエット, ４００
(72)発明者 シャン － ルック ビルビエール
フランス国アンティベ, リュ ドゥ バトウ, １４

審査官 藤井 浩

(56)参考文献 特開昭６０－１８３８２４（ＪＰ, Ａ）
特開昭６１－０６２２３５（ＪＰ, Ａ）
特開昭６３－２１５２２７（ＪＰ, Ａ）

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03M 13/00-13/53