

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4318404号
(P4318404)

(45) 発行日 平成21年8月26日(2009.8.26)

(24) 登録日 平成21年6月5日(2009.6.5)

(51) Int. Cl.		F I			
HO3G	3/20	(2006.01)	HO3G	3/20	A
HO4B	1/16	(2006.01)	HO3G	3/20	D
HO4W	76/02	(2009.01)	HO4B	1/16	R
HO4L	27/00	(2006.01)	HO4B	7/26	109N
			HO4L	27/00	Z

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2001-100950 (P2001-100950)	(73) 特許権者	000005821
(22) 出願日	平成13年3月30日(2001.3.30)		パナソニック株式会社
(65) 公開番号	特開2002-299976 (P2002-299976A)		大阪府門真市大字門真1006番地
(43) 公開日	平成14年10月11日(2002.10.11)	(74) 代理人	100105647
審査請求日	平成19年2月20日(2007.2.20)		弁理士 小栗 昌平
早期審査対象出願		(74) 代理人	100119552
			弁理士 橋本 公秀
		(74) 代理人	100108589
			弁理士 市川 利光
		(72) 発明者	酒井原 邦彦
			神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内
		(72) 発明者	沼田 貴之
			神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内
			最終頁に続く

(54) 【発明の名称】 自動利得制御装置

(57) 【特許請求の範囲】

【請求項1】

直交変調信号を増幅する利得制御増幅手段と、
 前記利得制御増幅手段からの増幅された直交変調信号を直交復調しベースバンドのI信号およびQ信号として出力する復調手段と、
 前記復調手段からのベースバンドのI信号およびQ信号をデジタル化するアナログ/デジタル変換手段と、
 前記アナログ/デジタル変換手段からのデジタル化されたI信号およびQ信号に基づきこれらの二乗和を示す二乗和信号を生成する二乗和信号生成手段と、
 前記二乗和信号生成手段からの二乗和信号の所定のサンプリング期間における最大値を検出する最大値検出手段と、
 前記最大値検出手段からの二乗和信号の最大値を該最大値に対応した設定値変化量データに変換する第1の参照テーブル手段と、
 前記第1の参照テーブル手段からの設定値変化量データを該設定値変化量データに対応した利得変化設定値データに変換する第2の参照テーブル手段とを備え、
 前記第2の参照テーブル手段からの利得変化設定値データを前記利得制御増幅手段に供給して、該利得制御増幅手段の利得を自動的に制御し、
 前記第1の参照テーブル手段が、前記利得制御増幅手段の利得が運用される機器の伝送速度、運用周波数または受信信号のフレーム中の位置に応じて適宜選択される複数種類の参照テーブルを有し、選択された参照テーブルにより前記最大値検出手段からの二乗和信

10

20

号の最大値を該最大値に対応した設定値変化量データに変換することを特徴とする自動利得制御装置。

【請求項 2】

複数種類の参照テーブルを有する前記第 1 の参照テーブル手段を可変レジスタ化し、同様の機能を 1 つのテーブルで実現することも可能とすることを特徴とする請求項 1 に記載の自動利得制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル無線端末装置の受信系等に用いられる自動利得制御装置に関する。 10

【0002】

【従来の技術】

従来より、例えば無線端末装置ではデジタル化が進みつつある。公衆無線通信システムにおいては、T D M A (Time Division Multiple Access) 方式の場合であっても、無線端末装置は、基地局と同期をとって動作することが前提条件となっており、基地局の動作タイミングに同期して待機し通信するといった動作を行う。

【0003】

【発明が解決しようとする課題】

しかしながら、個人用または業務用のデジタル無線通信システムは、ユーザ同士が基地局を介さずに直接通信を行う機能を併有しているため、無線端末装置は、不定期に到来する電波を検出し復調しなければならない。しかも、リミッタ方式と呼ばれる常に高利得で運用できる P D C (Personal Digital Cellular) 携帯電話のようなシステムとは異なり、多値変調 / 線形変調を行うシステムにおいては、受信信号を飽和させてしまった場合には該受信信号に含まれている情報が破壊されてしまうため、受信系が常に高利得で動作し、かつ電界強度の変化タイミングが判明していることを前提にしての利得制御はできない。また、同一周波数で複数のスロットにより通信を行う T D M A 方式の場合であっても、自己に割り当てられた複数のスロットにより複数の異なった受信電界強度を有する通信相手と同時に安定な通信を確立しなければならない。 20

【0004】

更に、上述したようなシステムにおいて、受信電界強度に応じて利得制御増幅器の利得を制御するといった構成の一般的なアナログの自動利得制御 (A G C : Automatic Gain Control) ループを用いて受信系の利得を制御しようとする、次のような問題点があった。すなわち、(1) いわゆるポンピングエフェクトが発生しないようにシステムの運用周波数に合わせて自動利得制御ループの時定数を調整しなければならない、(2) 高速の利得制御を行う際の判定のタイミングはフレーム構造を認識しているデジタル信号プロセッサ (D S P : Digital Signal Processor) により制御しなければならず、アナログの自動利得制御ループ単体での動作が困難である、(3) T D M A 方式のように電界強度の異なる複数の電波が周期的に到来するような方式には非対応である、(4) 一般的なアナログの自動利得制御ループでの制御信号となる R S S I (Received Signal Strength Indicator) は、例えば 4 5 0 k H z 付近の第 2 中間周波数帯域を使用する汎用回路を利用することになるためフィルタやディスクリミネータ等が更に必要となり、部品点数が必然的に多くなってしまう、といった問題点があった。 30 40

【0005】

本発明は、このような実状に鑑みて為されたものであり、上述したような問題点を一挙に解決することができるとともに、複数のシステムにおけるデジタル無線端末装置の受信動作に適した利得制御を自動的に行うことができるような自動利得制御装置を提供することを目的としている。

【0006】

【課題を解決するための手段】

上述した目的を達成するため、第 1 に、本発明の自動利得制御装置は、直交変調信号を増 50

幅する利得制御増幅手段と、前記利得制御増幅手段からの増幅された直交変調信号を直交復調しベースバンドのI信号およびQ信号として出力する復調手段と、前記復調手段からのベースバンドのI信号およびQ信号をデジタル化するアナログ/デジタル変換手段と、前記アナログ/デジタル変換手段からのデジタル化されたI信号およびQ信号に基づきこれらの二乗和を示す二乗和信号を生成する二乗和信号生成手段と、前記二乗和信号生成手段からの二乗和信号の所定のサンプリング期間における最大値を検出する最大値検出手段と、前記最大値検出手段からの二乗和信号の最大値を該最大値に対応した設定値変化量データに変換する第1の参照テーブル手段と、前記第1の参照テーブル手段からの設定値変化量データを該設定値変化量データに対応した利得変化設定値データに変換する第2の参照テーブル手段とを備え、前記第2の参照テーブル手段からの利得変化設定値データを前記利得制御増幅手段に供給して、該利得制御増幅手段の利得を自動的に制御することを特徴としている。

10

【0007】

第2に、本発明の自動利得制御装置は、前記第1に記載の自動利得制御装置において、前記アナログ/デジタル変換手段が、前記復調手段からのベースバンドのI信号およびQ信号をデジタル化するとともに、ルートナイキスト特性によるフィルタリング処理を施すことを特徴としている。

【0008】

第3に、本発明の自動利得制御装置は、前記第1に記載の自動利得制御装置において、前記二乗和信号生成手段が、前記アナログ/デジタル変換手段からのデジタル化されたI信号およびQ信号に対してそれぞれ二乗演算を施す第1および第2の二乗手段と、これらの二乗手段からの出力を加算して前記二乗和信号を生成する加算手段とを有していることを特徴としている。

20

【0009】

第4に、本発明の自動利得制御装置は、前記第1に記載の自動利得制御装置において、前記最大値検出手段が、前記二乗和信号生成手段からの二乗和信号と1サンプリング前の二乗和信号とを比較し大きい方の信号を選択する比較・選択手段を有し、前記比較・選択手段からの出力に基づき前記所定のサンプリング期間における最大値を回路構成を簡素化しつつ検出することを特徴としている。

【0010】

30

第5に、本発明の自動利得制御装置は、前記第1に記載の自動利得制御装置において、前記第1の参照テーブル手段が、前記利得制御増幅手段の利得が運用される機器の伝送速度、運用周波数または受信信号のフレーム中の位置に応じて適宜選択される複数種類の参照テーブルを有し、選択された参照テーブルにより前記最大値検出手段からの二乗和信号の最大値を該最大値に対応した設定値変化量データに変換することを特徴としている。

【0011】

第6に、本発明の自動利得制御装置は、前記第5に記載の自動利得制御装置において、複数種類の参照テーブルを有する前記第1の参照テーブル手段を可変レジスタ化し、同様の機能を1つのテーブルで実現することも可能とすることを特徴としている。

【0012】

40

第7に、本発明の自動利得制御装置は、前記第1に記載の自動利得制御装置において、前記第2の参照テーブル手段が、前記利得制御増幅手段を構成する素子に応じて少なくとも1種類の参照テーブルを有し、該参照テーブルにより前記第1の参照テーブル手段からの設定値変化量データを該設定値変化量データに対応した利得変化設定値データに変換することで複数種類の素子に対応することを特徴としている。

【0013】

第8に、本発明の自動利得制御装置は、前記第7に記載の自動利得制御装置において、少なくとも1種類の参照テーブルを有する前記第2の参照テーブル手段を可変レジスタ化し、同様の機能を1つのテーブルで実現することも可能とすることを特徴としている。

【0014】

50

第 9 に、本発明の自動利得制御装置は、前記第 1 に記載の自動利得制御装置において、前記第 1 の参照テーブル手段からの設定値変化量データを各スロット毎に保持し、複数のサブスロットに対応し独立して前記利得制御増幅手段の利得を制御することを特徴としている。

【 0 0 1 5 】

第 1 0 に、本発明の自動利得制御装置は、前記第 9 に記載の自動利得制御装置において、前記スロットの数を 6 以下とし、ほとんどのスタンダードに対応させることを特徴としている。

【 0 0 1 6 】

【 発明の実施の形態 】

以下、本発明の一実施形態について図面を参照しながら詳細に説明する。なお、本実施形態は、一例として、本発明を、ユーザ同士が基地局を介さずに直接通信を行うような T D M A 方式のデジタル無線通信システムにおける無線端末装置の受信系に適用したものである。

【 0 0 1 7 】

図 1 は、本発明が適用されたデジタル無線端末装置の受信系の構成を示すブロック図である。図 1 において、シングルスーパーヘテロダイン方式の受信部 (R X) 2 0 は、アンテナ 1 0 を介して供給される通信相手からの電波 (高周波の直交変調信号) を増幅して中間周波数信号に周波数変換するフロントエンド回路 (F E) 2 1 と、このフロントエンド回路 2 1 からの中間周波数信号を後述するゲートアレイ (G A) 4 0 内の制御回路 (C O N T) 4 1 からの利得変化設定値データに応じた利得で増幅する利得制御増幅器 (G C A) 2 2 と、この利得制御増幅器 2 2 から増幅された中間周波数信号をベースバンドの I 信号および Q 信号に直交復調する復調器 (D E M) 2 3 とを備えている。受信系は、上述した受信部 2 0 に加えて、更に、復調器 2 3 から I 信号および Q 信号をそれぞれデジタル信号に変換するとともに、ルートナイキスト特性を有する狭帯域のベースバンドフィルタを備えこれによるフィルタリング処理を施すアナログ / デジタル変換器 (A D C) 3 0 と、このアナログ / デジタル変換器 3 0 からデジタル化されたベースバンドの I 信号および Q 信号に基づき上述した利得制御増幅器 2 2 に供給される利得変化設定値データを生成する制御回路 4 1 と、この制御回路 4 1 を包含するゲートアレイ 4 0 とを備えている。更に、制御回路 4 1 に供給する各種制御信号を生成する等の機能を有するデジタル信号プロセッサ (D S P) 5 0 と、デジタル無線端末装置全体の動作を制御する等の機能を有する中央処理ユニット (C P U) 6 0 とが設けられている。ここで、利得制御増幅器 2 2 と、復調器 2 3 と、アナログ / デジタル変換器 3 0 と、制御回路 4 1 とにより、本実施形態の自動利得制御装置が構成されている。

【 0 0 1 8 】

上述したゲートアレイ 4 0 内に設けられた制御回路 4 1 は、例えば図 2 に示すような構成を有している。図 2 において、アナログ / デジタル変換器 3 0 から供給されるデジタル化されかつルートナイキスト特性によるフィルタリング処理が施されたベースバンドの I 信号 (1 6 ビット) から上位 6 ビットを選択するビットセレクタ 1 0 1 は、選択された上位 6 ビットに対して二乗演算を施し 1 1 ビットの信号を出力する二乗回路 1 0 2 に接続されている。一方、アナログ / デジタル変換器 3 0 から供給されるデジタル化されかつルートナイキスト特性によるフィルタリング処理が施されたベースバンドの Q 信号 (1 6 ビット) から上位 6 ビットを選択するビットセレクタ 1 0 3 は、選択された上位 6 ビットに対して二乗演算を施し 1 1 ビットの信号を出力する二乗回路 1 0 4 に接続されている。これらの二乗回路 1 0 2 および 1 0 4 は、加算器 1 0 5 にそれぞれ接続されている。この加算器 1 0 5 は、二乗回路 1 0 2 および 1 0 4 からそれぞれ供給される 1 1 ビットの信号を加算して 1 2 ビットの信号 (デジタル化されたベースバンドの I 信号と Q 信号の二乗和を示す二乗和信号) として出力するものである。ここで、ビットセレクタ 1 0 1 および 1 0 3 と、二乗回路 1 0 2 および 1 0 4 と、加算器 1 0 5 とにより、二乗和信号生成部 2 0 0 が構成されている。

10

20

30

40

50

【 0 0 1 9 】

加算器 1 0 5 は、コンパレータ 1 0 6 の一方の入力端子に接続されており、該コンパレータ 1 0 6 の他方の入力端子には、1 サンプリング前の二乗和信号をラッチするラッチ回路 1 0 7 が接続されている。このコンパレータ 1 0 6 は、加算器 1 0 5 からの二乗和信号 (1 2 ビット) とラッチ回路 1 0 7 からの 1 サンプリング前の二乗和信号 (1 2 ビット) とを比較し、いずれの信号がより大きいかを示す信号を比較結果として出力するものである。コンパレータ 1 0 6 は、セレクトア 1 0 8 に接続されており、該セレクトア 1 0 8 には、更に加算器 1 0 5 およびラッチ回路 1 0 7 がそれぞれ接続されている。このセレクトア 1 0 8 は、コンパレータ 1 0 6 からの比較結果に応じて、加算器 1 0 5 からの二乗和信号およびラッチ回路 1 0 7 からの 1 サンプリング前の二乗和信号のうちいずれか一方 (大きい方の信号) を選択的にラッチ回路 1 0 7 に供給するものである。すなわち、ラッチ回路 1 0 7 には、常に大きい方の信号がラッチされ、所定のサンプリング期間における二乗和信号の最大値が検出される。本実施形態では、この二乗和信号の最大値を受信信号のキャリアのレベルとみなしている。ここで、コンパレータ 1 0 6 と、ラッチ回路 1 0 7 と、セレクトア 1 0 8 とにより、最大値検出部 3 0 0 が構成されている。なお、ラッチ回路 1 0 7 は、クリア信号によりクリアされ、ゲート信号により所定のサンプリング期間のみに駆動される。これらのクリア信号およびゲート信号は、前述したデジタル信号プロセッサ 5 0 から供給される。

10

【 0 0 2 0 】

ラッチ回路 1 0 7 は、該ラッチ回路 1 0 7 からの出力をラッチするラッチ回路 1 0 9 に接続されている。このラッチ回路 1 0 9 は、該ラッチ回路 1 0 9 からの出力 (二乗和信号の最大値) を該出力に対応した設定値の変化量を示す設定値変化量データに変換する第 1 の参照テーブル部 1 1 0 に接続されている。第 1 の参照テーブル部 1 1 0 は、前述した利得制御増幅器 2 2 の利得を高速で制御するための高速モード用の参照テーブル 1 1 0 a と、該利得制御増幅器 2 2 の利得を低速で制御するための低速モード用の参照テーブル 1 1 0 b とを有している。第 1 の参照テーブル部 1 1 0 では、前述したデジタル信号プロセッサ 5 0 から供給されるテーブル選択信号により、高速モード用の参照テーブル 1 1 0 a および低速モード用の参照テーブル 1 1 0 b のうちいずれか一方が選択され、選択された参照テーブルによりラッチ回路 1 0 9 からの二乗和信号の最大値を該最大値に対応した設定値変化量データに変換する処理が行われる。ここで、高速モード用の参照テーブル 1 1 0 a および低速モード用の参照テーブル 1 1 0 b は、例えば図 3 に示すような構成を有している。図 3 において、例えば高速モードでラッチ 1 0 9 の出力が「 0 0 0 0 0 0 0 0 1 x x 」の場合には、設定値の変化量は「 + 3 」 d B となり、低速モードでラッチ 1 0 9 の出力が同様に「 0 0 0 0 0 0 0 0 1 x x 」の場合には、設定値の変化量は「 + 1 」 d B となる。なお、図 3 には利得の変化量も記載されているが、これは後述する第 2 の参照テーブル部 1 1 5 から出力される利得変化設定値データによって示されるものであり、前述した利得制御増幅器 2 2 の利得に対応するものである。

20

30

【 0 0 2 1 】

第 1 の参照テーブル部 1 1 0 は、該参照テーブル部 1 1 0 からの出力 (設定値変化量データ) と後述するラッチ回路 1 1 3 からの出力とを加算する加算器 1 1 1 に接続されている。加算器 1 1 1 は、その加算結果を設定値の変化量の上限值および下限値で定められる範囲内に制限するリミッタ 1 1 2 に接続されている。リミッタ 1 1 2 は、該リミッタ 1 1 2 からの出力をラッチするラッチ回路 1 1 3 に接続されている。サブスロットレジスタ 1 1 4 は、ラッチ回路 1 1 3 の保持内容を各スロット毎に一時的に保持しておくとともに、各スロットの処理タイミングに応じて保持しておいた内容 (データ) をラッチ回路 1 1 3 に戻すといった機能を有するものである。ラッチ回路 1 1 3 は、上述した加算器 1 1 1 に接続されているとともに、該ラッチ回路 1 1 3 からの出力 (設定値変化量データ) を該出力に対応した利得の変化量を示す利得変化設定値データに変換する第 2 の参照テーブル部 1 1 5 に接続されている。第 2 の参照テーブル部 1 1 5 は、前述した利得制御増幅器 2 2 を構成する素子に応じて該利得制御増幅器 2 2 の利得を制御するための 2 種類の参照テーブ

40

50

ル 1 1 5 a および 1 1 5 b を有している。第 2 の参照テーブル部 1 1 5 では、ユーザにより、利得制御増幅器 2 2 を構成する素子に応じて 2 種類の参照テーブル 1 1 5 a および 1 1 5 b のうちいずれか一方が選択され、選択された参照テーブルによりラッチ回路 1 1 3 からの設定値変化量データを該データに対応した利得変化設定値データに変換する処理が行われる。この第 2 の参照テーブル部 1 1 5 は、利得制御増幅器 2 2 に接続されており、利得変化設定値データが供給されることにより該利得制御増幅器 2 2 の利得がスロット単位で自動的に制御される。なお、ラッチ回路 1 0 9 および第 2 の参照テーブル部 1 1 5 は、ラッチ回路 1 0 7 と同様に、上述したゲート信号により所定のサンプリング期間のみに駆動される。また、第 1 および第 2 の参照テーブル部 1 1 0 および 1 1 5 は、可変レジスタ化することにより、それぞれ同様の機能を 1 つのテーブルで実現することができる。例えば E E P R O M (Electrically Erasable and Programmable Read Only Memory) 内のデータをゲートアレイ 4 0 内の制御回路 4 1 に適宜ロードすることにより、レジスタテーブルの数を減らすことができる。更に、サブスロットレジスタ 1 1 4 におけるスロットの数を 6 以下とすることにより、ほとんどのスタンダードに対応させることができる。

10

【 0 0 2 2 】

次に、本実施形態の自動利得制御装置の動作について図 1 ないし図 3 を参照しながら説明する。まず、図 1 において、通信相手からの電波（高周波の直交変調信号）は、アンテナ 1 0 を介してフロントエンド回路 2 1 に供給され、増幅された後、中間周波数信号に周波数変換される。フロントエンド回路 2 1 からの中間周波数信号は、利得制御増幅器 2 2 に供給され、制御回路 4 1 からの利得変化設定値データに応じた利得で増幅される。利得制御増幅器 2 2 からの増幅された中間周波数信号は、復調器 2 3 に供給され、ベースバンドの I 信号および Q 信号に直交復調される。復調器 2 3 からのベースバンドの I 信号および Q 信号は、アナログ/デジタル変換器 3 0 に供給され、それぞれデジタル信号に変換されるとともに、ルートナイキスト特性によるフィルタリング処理が施される。アナログ/デジタル変換器 3 0 からのデジタル化されかつルートナイキスト特性によるフィルタリング処理が施された I 信号および Q 信号は、制御回路 4 1 に供給される。

20

【 0 0 2 3 】

以下、図 2 を参照しながら説明を続ける。アナログ/デジタル変換器 3 0 からのデジタル化されかつルートナイキスト特性によるフィルタリング処理が施された I 信号（16 ビット）は、ビットセレクタ 1 0 1 に供給され、上位の 6 ビットが選択される。ビットセレクタ 1 0 1 からの選択された上位 6 ビットは、二乗回路 1 0 2 に供給され、二乗演算が施され 1 1 ビットの信号とされた後、加算器 1 0 5 に供給される。一方、アナログ/デジタル変換器 3 0 からのデジタル化されかつルートナイキスト特性によるフィルタリング処理が施された Q 信号（16 ビット）は、ビットセレクタ 1 0 3 に供給され、上位の 6 ビットが選択される。ビットセレクタ 1 0 3 からの選択された上位 6 ビットは、二乗回路 1 0 4 に供給され、二乗演算が施され 1 1 ビットの信号とされた後、加算器 1 0 5 に供給される。加算器 1 0 5 では、二乗回路 1 0 2 および 1 0 4 からそれぞれ供給される 1 1 ビットの信号が加算され、1 2 ビットの二乗和信号として出力される。この 1 2 ビットの二乗和信号は、コンパレータ 1 0 6 に供給され、ラッチ回路 1 0 7 から供給される 1 サンプル前の二乗和信号と比較され、いずれの信号がより大きいかを示す信号が比較結果として該コンパレータ 1 0 6 から出力される。セレクタ 1 0 8 では、コンパレータ 1 0 6 からの比較結果に応じて、加算器 1 0 5 からの二乗和信号およびラッチ回路 1 0 7 からの 1 サンプル前の二乗和信号のうちいずれか大きい方の信号が選択され、この信号がラッチ回路 1 0 7 に供給される。すなわち、ラッチ回路 1 0 7 には、常に大きい方の信号がラッチされ、所定のサンプリング期間における二乗和信号の最大値が検出される。

30

40

【 0 0 2 4 】

ラッチ回路 1 0 7 からの出力（二乗和信号の最大値）は、ラッチ回路 1 0 9 に供給され、ラッチされる。このラッチ回路 1 0 9 からの出力は、第 1 の参照テーブル部 1 1 0 に供給される。ここで、デジタル信号プロセッサ 5 0 から供給されるテーブル選択信号により選択された参照テーブル（高速モード用の参照テーブル 1 1 0 a および低速モード用の参照

50

テーブル 110b のうちいずれか一方)からの、ラッチ回路 109 の出力に対応した設定値変化量データ(図 3 参照)が、第 1 の参照テーブル部 110 からの設定値変化量データとして出力される。この第 1 の参照テーブル部 110 からの設定値変化量データは、加算器 111 およびリミッタ 112 を介してラッチ回路 113 に供給され、ラッチされる。ラッチ回路 113 からの出力は、第 2 の参照テーブル部 115 に供給される。ここで、ユーザにより利得制御増幅器 22 を構成する素子に応じて選択された参照テーブル(2 種類の参照テーブル 115a および 115b のうちいずれか一方)からの、ラッチ回路 113 の出力に対応した利得変化設定値データ(図 3 参照)が、第 2 の参照テーブル部 115 からの利得変化設定値データとして出力される。そして、この第 2 の参照テーブル部 115 からの利得変化設定値データが、利得制御増幅器 22 に供給され、該利得制御増幅器 22 の利得が自動的に制御される。なお、ラッチ回路 113 の保持内容は、各スロット毎に一時的にサブスロットレジスタ 114 に保持され、また、保持された内容(データ)は各スロットの処理タイミングに応じてラッチ回路 113 に戻される。従って、利得制御増幅器 22 の利得のスロット単位での制御が可能となっている。

10

【0025】

このように、本実施形態の自動利得制御装置では、フロントエンド回路 21 からの中間周波数信号を利得制御増幅器 22 で増幅し、利得制御増幅器 22 からの増幅された中間周波数信号を復調器 23 で直交復調しベースバンドの I 信号および Q 信号として出力し、復調器 23 からのベースバンドの I 信号および Q 信号をアナログ/デジタル変換器 30 でデジタル化し、アナログ/デジタル変換器 30 からのデジタル化された I 信号および Q 信号に基づきこれらの二乗和を示す二乗和信号を二乗和信号生成部 200 で生成し、二乗和信号生成部 200 からの二乗和信号の所定のサンプリング期間における最大値を最大値検出部 300 で検出している。更に、最大値検出部 300 からの二乗和信号の最大値を第 1 の参照テーブル部 110 で該最大値に対応した設定値変化量データに変換し、第 1 の参照テーブル部 110 からの設定値変化量データを第 2 の参照テーブル部 115 で該設定値変化量データに対応した利得変化設定値データに変換し、そして、第 2 の参照テーブル部 115 からの利得変化設定値データを利得制御増幅器 22 に供給して、該利得制御増幅器 22 の利得を自動的に制御するようにしている。

20

【0026】

なお、上述した実施形態では、第 1 の参照テーブル部 110 には、高速モード用および低速モード用の 2 種類の参照テーブル 110a および 110b が設けられているが、本発明はこれには限定されず、運用される機器の伝送速度、運用周波数または受信信号のフレーム中の位置に応じて 2 種類以上の参照テーブルを設けるようにしてもよい。また、同様に、第 2 の参照テーブル部 115 には、2 種類の参照テーブル 115a および 115b が設けられているが、利得制御増幅器 22 を構成する素子に応じて少なくとも 1 種類の参照テーブルを設けるようにすればよい。

30

【0027】**【発明の効果】**

上述した説明から明らかなように、本発明の自動利得制御装置によれば、前述したようなアナログの自動利得制御ループの有している問題点を一挙に解決することができるとともに、ユーザ同士が基地局を介さずに直接通信を行うような TDMA 方式のデジタル無線通信システムにおける無線端末装置であっても、その受信動作に適した利得制御を自動的に行うことができる。

40

【図面の簡単な説明】

【図 1】本発明が適用されたデジタル無線端末装置の受信系の構成を示すブロック図である。

【図 2】図 1 におけるゲートアレイ内に設けられた制御回路の具体的な構成例を示すブロック図である。

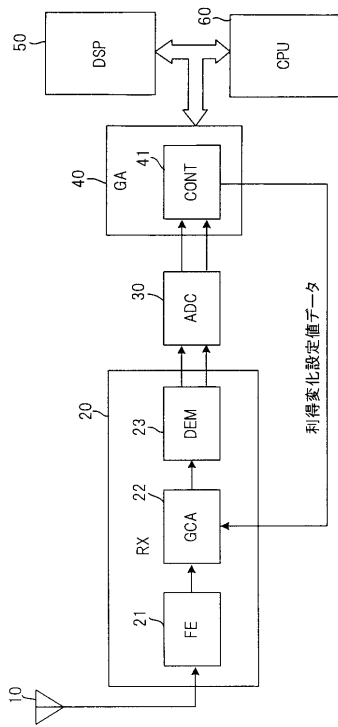
【図 3】図 2 における各参照テーブルの構成例を示す図である。

【符号の説明】

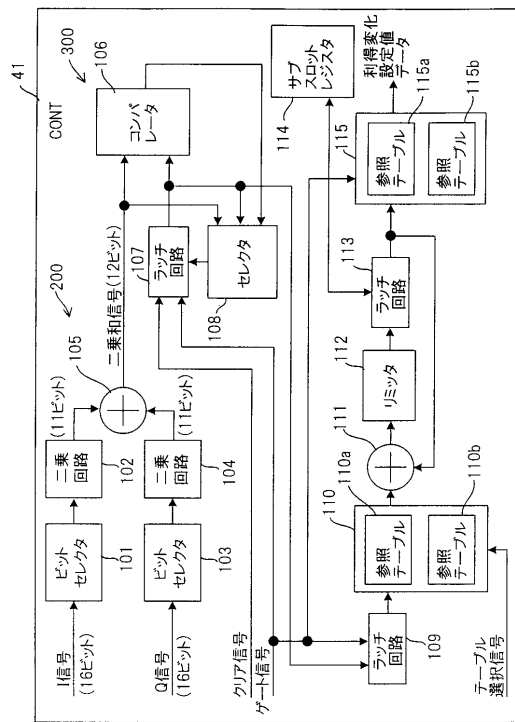
50

- 2 2 利得制御増幅器 (G C A)
- 2 3 復調器 (D E M)
- 3 0 アナログ/デジタル変換器 (A D C)
- 1 0 2、1 0 4 二乗回路
- 1 0 5 加算器
- 1 0 6 コンパレータ
- 1 0 8 セレクタ
- 1 1 0 第1の参照テーブル部
- 1 1 0 a、1 1 0 b 参照テーブル
- 1 1 5 第2の参照テーブル部
- 1 1 5 a、1 1 5 b 参照テーブル
- 2 0 0 二乗和信号生成部
- 3 0 0 最大値検出部

【 図 1 】



【 図 2 】



【図3】

ラッチ回路109の出力 (二乗和信号の最大値)	高速モード		低速モード	
	設定値 変化量	利得変化 設定値	設定値 変化量	利得変化 設定値
0000 0000 0000	+10	+20	+2	+4
0000 0000 0001	+6	+12	+2	+4
0000 0000 0010	+5	+10	+1	+2
0000 0000 0011	+4	+8	+1	+2
0000 0000 01××	+3	+6	+1	+2
0000 0000 10××	+2	+4	0	0
0000 0000 11××	+1	+2	0	0
0000 0001 ××××	0	0	0	0
0000 0010 ××××	-1	-2	-1	-2
0000 0011 ××××	-2	-4	-1	-2
0000 01×× ××××	-3	-6	-1	-2
0000 10×× ××××	-4	-8	-2	-4
0000 11×× ××××	-5	-10	-2	-4
0001 ×××× ××××	-6	-12	-3	-6
0010 ×××× ××××	-7	-14	-4	-8
0011 ×××× ××××	-8	-16	-5	-10
01×× ×××× ××××	-9	-18	-6	-12
1××× ×××× ××××	-10	-20	-7	-14

フロントページの続き

(72)発明者 白岩 基紹

神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内

審査官 儀同 孝信

(56)参考文献 特開平04 - 181874 (JP, A)
特開平11 - 355078 (JP, A)
特開平10 - 056343 (JP, A)
特開平11 - 298376 (JP, A)
特開平11 - 098208 (JP, A)
特開平11 - 251967 (JP, A)
特開2000 - 091916 (JP, A)
特開平06 - 244754 (JP, A)
特開2000 - 004264 (JP, A)
国際公開第00 / 051253 (WO, A1)
特開平11 - 008524 (JP, A)
特開平06 - 112746 (JP, A)
特開平11 - 154839 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03G 1/00- 3/34、

H04B 1/06、 1/16、

H04L 27/00-27/38