



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0165536
(43) 공개일자 2022년12월15일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H05K 1/02 (2006.01) H01L 23/00 (2006.01)
H01L 23/50 (2006.01) H01L 23/528 (2006.01)
H05K 1/11 (2006.01)</p> <p>(52) CPC특허분류
H05K 1/0218 (2013.01)
H01L 23/50 (2013.01)</p> <p>(21) 출원번호 10-2021-0074296
(22) 출원일자 2021년06월08일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
백기원
경기도 용인시 기흥구 기흥로116번길 7, 104동
1306호(신갈동, 새릉골푸림아파트)</p> <p>(74) 대리인
리엔목특허법인</p> |
|--|--|

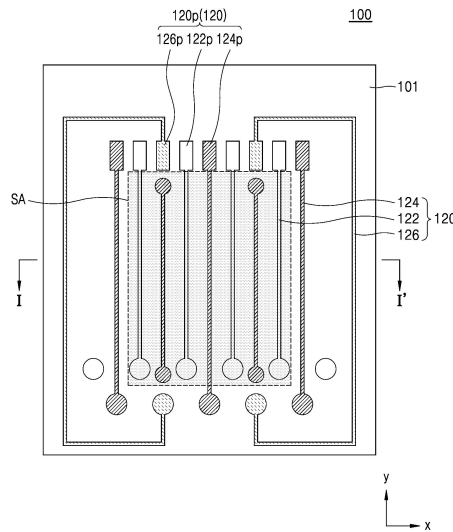
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 노이즈 방지용 기판 및 그 기판을 포함한 반도체 패키지

(57) 요약

본 발명의 기술적 사상은 신호 무결성을 구현할 수 있는 노이즈 방지용 기판, 및 그 기판을 포함한 반도체 패키지를 제공한다. 그 기판은 바디층; 상기 바디층의 하면 상에 배치된 제1 배선층, 및 상기 바디층의 상면 상에 배치된 제2 배선층;을 포함하고, 상기 제1 배선층과 제2 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며, 상기 파워 라인 없이 상기 신호 라인들로 구성된 신호 영역이 정의된다.

대표도 - 도1a



(52) CPC특허분류

H01L 23/5286 (2013.01)

H01L 24/24 (2013.01)

H01L 24/94 (2013.01)

H01L 25/10 (2013.01)

H01L 25/16 (2013.01)

H05K 1/111 (2013.01)

H01L 2224/24145 (2013.01)

H01L 2224/94 (2013.01)

H01L 2225/1035 (2013.01)

명세서

청구범위

청구항 1

바디층;

상기 바디층의 하면 상에 배치된 제1 배선층, 및

상기 바디층의 상면 상에 배치된 제2 배선층;을 포함하고,

상기 제1 배선층과 제2 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며,

상기 파워 라인의 포함없이 상기 신호 라인들을 포함한 신호 영역이 정의된, 기관.

청구항 2

제1 항에 있어서,

실질적으로 동일한 동작 속도와 기능을 갖는 신호 라인들의 모임을 신호 그룹이라고 할 때,

상기 신호 영역은, 상기 상면에 평행한 수평 방향과 상기 상면에 수직하는 수직 방향으로, 상기 신호 그룹을 구성하는 신호 라인들 중 최외곽의 신호 라인들을 포함하는 영역으로 정의되고,

상기 신호 영역에는 상기 파워 라인이 배치되지 않은 것을 특징으로 하는 기관.

청구항 3

제2 항에 있어서,

상기 제1 배선층과 제2 배선층 각각은, 상기 신호 영역 내에 상기 그라운드 라인을 포함하는 것을 특징으로 하는 기관.

청구항 4

제2 항에 있어서,

상기 제1 배선층과 제2 배선층 각각은 신호 핀, 파워 핀, 및 그라운드 핀을 포함하고,

상기 신호 라인은 상기 신호 영역을 통과하여 상기 신호 핀들 사이를 연결하고,

상기 파워 라인은 상기 신호 영역의 외부로 우회하여 상기 파워 핀들 사이를 연결하는 것을 특징으로 하는 기관.

청구항 5

제1 항에 있어서,

상기 제1 배선층과 제2 배선층 사이의 상기 바디층의 내부에 배치된 내부 배선층을 더 포함하는 것을 특징으로 하는 기관.

청구항 6

제5 항에 있어서,

상기 내부 배선층은 1층, 또는 다중층 구조를 가지며, 적어도 하나의 그라운드 플레인(ground plane)을 포함하는 것을 특징으로 하는 기관.

청구항 7

제5 항에 있어서,

상기 신호 영역은, 상기 상면에 평행한 수평 방향과 상기 상면에 수직하는 수직 방향으로, 신호 그룹을 구성하는 신호 라인들 중 최외곽의 신호 라인들을 포함하는 영역으로 정의되고,

상기 신호 영역은, 상기 수평 방향으로 정의된 수평 신호 영역과, 상기 수직 방향으로 정의된 수직 신호 영역으로 구별되며,

상기 내부 배선층은 다중층 구조를 가지며, 상기 수직 방향으로 상기 수직 신호 영역이 적어도 2개 정의된 것을 특징으로 하는 기판.

청구항 8

제7 항에 있어서,

적어도 2개의 상기 수직 신호 영역은 전체(total) 수직 신호 영역을 구성하고,

상기 수직 신호 영역들을 서로 분리시키는 그라운드 플레인, 상기 수평 방향으로 상기 전체 수직 신호 영역을 가로질러 배치된 것을 특징으로 하는 기판.

청구항 9

바디층;

상기 바디층의 하면 상에 배치된 제1 배선층,

상기 바디층의 상면 상에 배치된 제2 배선층; 및

상기 제1 배선층과 제2 배선층 사이의 상기 바디층의 내부에 배치된 내부 배선층;을 포함하고,

상기 제1 배선층, 제2 배선층, 및 내부 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며,

실질적으로 동일한 동작 속도와 기능을 갖는 신호 라인들의 모임을 신호 그룹이라고 하고, 상기 상면에 평행한 수평 방향과 상기 상면에 수직하는 수직 방향으로, 상기 신호 그룹을 구성하는 신호 라인들 중 최외곽의 신호 라인들을 포함하는 영역을 신호 영역으로 정의할 때,

상기 신호 영역 내에, 상기 파워 라인의 포함없이 상기 신호 라인들이 포함된, 기판.

청구항 10

제9 항에 있어서,

상기 제1 배선층, 제2 배선층, 및 내부 배선층 각각은, 상기 신호 영역 내에 상기 그라운드 라인을 포함하는 것을 특징으로 하는 기판.

청구항 11

제9 항에 있어서,

상기 제1 배선층과 제2 배선층 각각은 신호 핀, 파워 핀, 및 그라운드 핀을 포함하고,

상기 신호 라인은 상기 신호 영역을 통과하여 상기 신호 핀들 사이를 연결하고,

상기 파워 라인은 상기 신호 영역의 외부로 우회하여 상기 파워 핀들 사이를 연결하는 것을 특징으로 하는 기판.

청구항 12

제9 항에 있어서,

상기 내부 배선층은 1층, 또는 다중층 구조를 가지며, 적어도 하나의 그라운드 플레인을 포함하는 것을 특징으로 하는 기판.

청구항 13

기판;

상기 기판 상에 실장된 적어도 하나의 반도체 칩; 및
 상기 기판 상에 상기 적어도 하나의 반도체 칩을 밀봉하는 밀봉재;를 포함하고,
 상기 기판은,
 바디층, 상기 바디층의 하면 상에 배치된 제1 배선층, 및 상기 바디층의 상면 상에 배치된 제2 배선층을 포함하
 며,
 상기 제1 배선층과 제2 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며,
 상기 파워 라인의 포함없이 상기 신호 라인들을 포함한 신호 영역이 상기 기판에 정의된, 반도체 패키지.

청구항 14

제13 항에 있어서,
 실질적으로 동일한 동작 속도와 기능을 갖는 신호 라인들의 모임을 신호 그룹이라고 할 때,
 상기 신호 영역은, 상기 상면에 평행한 수평 방향과 상기 상면에 수직하는 수직 방향으로, 상기 신호 그룹을 구
 성하는 신호 라인들 중 최외곽의 신호 라인들을 포함하는 영역으로 정의되고,
 상기 신호 영역에는 상기 파워 라인이 배치되지 않은 것을 특징으로 하는 반도체 패키지.

청구항 15

제14 항에 있어서,
 상기 제1 배선층과 제2 배선층 각각은 신호 핀, 파워 핀, 및 그라운드 핀을 포함하고,
 상기 신호 라인은 상기 신호 영역을 통과하여 상기 신호 핀들 사이를 연결하고,
 상기 파워 라인은 상기 신호 영역의 외부로 우회하여 상기 파워 핀들 사이를 연결하는 것을 특징으로 하는 반도
 체 패키지.

청구항 16

제13 항에 있어서,
 상기 제1 배선층과 제2 배선층 사이의 상기 바디층의 내부에 배치된 내부 배선층을 더 포함하고,
 상기 내부 배선층은 1층, 또는 다중층 구조를 가지며, 적어도 하나의 그라운드 플레인을 포함하는 것을 특징으
 로 하는 반도체 패키지.

청구항 17

제13 항에 있어서,
 상기 반도체 패키지는,
 상기 기판이 웨이퍼를 기반으로 하는 웨이퍼 레벨 패키지이거나, 또는
 상기 기판이 패널을 기반으로 하는 패널 레벨 패키지인 것을 특징으로 하는 반도체 패키지.

청구항 18

제13 항에 있어서,
 상기 반도체 패키지는 2.5D 구조의 패키지이고,
 상기 기판은, 베이스 기판과 상기 베이스 기판 상의 인터포저를 포함하며,
 상기 반도체 칩은 로직 칩과 메모리 칩을 포함하며,
 상기 로직 칩과 메모리 칩은 상기 인터포저 상에 서로 인접하여 배치된 것을 특징으로 하는 반도체 패키지.

청구항 19

제18 항에 있어서,

상기 메모리 칩은, HBM(High Bandwidth Memory) 패키지 구조를 가지고 상기 인터포저 상에 실장되고,

상기 HBM 패키지는 최하부에 버퍼 칩과 상기 버퍼 칩 상에 복수 개의 DRAM 칩을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 20

제13 항에 있어서,

상기 반도체 패키지는, 3D 구조의 패키지이고,

상기 반도체 칩은 로직 칩과 메모리 칩을 포함하며,

상기 로직 칩은 상기 기판 상에 실장되고, 상기 메모리 칩은 상기 로직 칩 상에 실장된 것을 특징으로 하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 패키지에 관한 것으로서, 특히, 노이즈 방지용 기판, 및 그 기판을 포함한 반도체 패키지에 관한 것이다.

배경 기술

[0002] 전자 산업의 비약적인 발전 및 사용자의 요구에 따라 전자기기는 더욱 소형화 및 경량화되고 있다. 전자기기의 소형화 및 경량화에 따라, 그에 사용되는 반도체 패키지 역시 소형화 및 경량화되고 있고, 또한 반도체 패키지는 고성능 및 대용량과 함께 높은 신뢰성이 요구되고 있다. 예컨대, 반도체 패키지의 신뢰성과 관련하여, 반도체 패키지의 소형화 및 동작 속도 증가에 따라, 노이즈에 기인한 신호 무결성 문제가 발생하고 있다. 그에 따라, 신호 무결성 문제를 해결할 수 있는 패키지 구조에 대한 연구와 개발이 지속적으로 이루어지고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 신호 무결성을 보장할 수 있는 노이즈 방지용 기판, 및 그 기판을 포함한 반도체 패키지를 제공하는 데에 있다.

[0004] 또한, 본 발명의 기술적 사상이 해결하고자 하는 과제는, 이상에서 언급한 과제에 제한되지 않으며, 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있다.

과제의 해결 수단

[0005] 상기 과제를 해결하기 위하여, 본 발명의 기술적 사상은, 바디층; 상기 바디층의 하면 상에 배치된 제1 배선층, 및 상기 바디층의 상면 상에 배치된 제2 배선층;을 포함하고, 상기 제1 배선층과 제2 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며, 상기 파워 라인의 포함없이 상기 신호 라인들을 포함한 신호 영역이 정의된, 기판을 제공한다.

[0006] 또한, 본 발명의 기술적 사상은, 상기 과제를 해결하기 위하여, 바디층; 상기 바디층의 하면 상에 배치된 제1 배선층, 상기 바디층의 상면 상에 배치된 제2 배선층; 및 상기 제1 배선층과 제2 배선층 사이의 상기 바디층의 내부에 배치된 내부 배선층;을 포함하고, 상기 제1 배선층, 제2 배선층, 및 내부 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며, 실질적으로 동일한 동작 속도와 기능을 갖는 신호 라인들의 모임을 신호 그룹이라고 하고, 상기 상면에 평행한 수평 방향과 상기 상면에 수직하는 수직 방향으로, 상기 신호 그룹을 구성하는 신호 라인들 중 최외곽의 신호 라인들을 포함하는 영역을 신호 영역으로 정의할 때, 상기 신호 영역 내에, 상기 파워 라인의 포함없이 상기 신호 라인들이 포함된, 기판을 제공한다.

[0007] 더 나아가, 본 발명의 기술적 사상은, 상기 과제를 해결하기 위하여, 기판; 상기 기판 상에 실장된 적어도 하나의 반도체 칩; 및 상기 기판 상에 상기 적어도 하나의 반도체 칩을 밀봉하는 밀봉재;를 포함하고, 상기 기판은,

바디층, 상기 바디층의 하면 상에 배치된 제1 배선층, 및 상기 바디층의 상면 상에 배치된 제2 배선층을 포함하며, 상기 제1 배선층과 제2 배선층 각각은 신호 라인, 파워 라인, 및 그라운드 라인을 포함하며, 상기 파워 라인의 포함없이 상기 신호 라인들을 포함한 신호 영역이 상기 기판에 정의된, 반도체 패키지를 제공한다.

발명의 효과

[0008] 본 발명의 기술적 사상에 의한 노이즈 방지용 기판은, 신호 영역 내에 파워 라인들이 포함되지 않을 수 있다. 즉, 신호 영역에는 신호 라인들과 그라운드 라인들만이 포함되고, 파워 라인들은 포함되지 않을 수 있다. 이와 같이 본 발명의 기술적 사상에 의한 노이즈 방지용 기판은, 신호 영역 내에 파워 라인들이 배치되지 않음으로써, 파워 라인들에 기인한 노이즈가 억제될 수 있고, 따라서, 신호 무결성이 보장된 반도체 패키지를 구현할 수 있도록 한다.

도면의 간단한 설명

[0009] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 노이즈 방지용 기판에 대한 평면도 및 단면도이다.
 도 2a는 비교예의 기판에 대한 단면도이고, 도 2b는 도 2a의 비교예의 기판과 도 1b의 노이즈 방지용 기판에 대한 주파수에 따른 크로스토크를 보여주는 그래프이다.
 도 3a 및 도 3b는 도 2a의 비교예의 기판과 도 1b의 기판에 대한 아이 다이어그램(eye diagram) 사진들이고, 도 3c는 다양한 신호들에서 도 2a의 비교예의 기판과 도 1b의 기판에 대한 아이 오픈(eye open) 값들을 보여주는 그래프이다.
 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 노이즈 방지용 기판에 대한 평면도 및 단면도로서, 신호 영역을 설명하기 위한 평면도 및 단면도이다.
 도 5a 내지 도 5c는 본 발명의 실시예들에 따른 노이즈 방지용 기판에 대한 단면도들이고, 도 5d는 비교예의 기판에 대한 단면도이다.
 도 6a 내지 도 6c는 본 발명의 실시예들에 따른 노이즈 방지용 기판에 대한 단면도들이다.
 도 7a 및 도 7b는 본 발명의 실시예들에 따른 노이즈 방지용 기판에 대한 평면도들이다.
 도 8a 내지 도 10은 본 발명의 일 실시예들에 따른 반도체 패키지에 대한 단면도들이다.
 도 11a 및 도 11b는 본 발명의 일 실시예에 따른 반도체 장치에 대한 사시도 및 단면도이다.
 도 12는 본 발명의 일 실시예에 따른 반도체 장치에 대한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조 부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.

[0011] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 노이즈 방지용 기판에 대한 평면도 및 단면도로서, 1b는 도 1a의 I-I' 부분을 절단하여 보여주는 단면도이다.

[0012] 도 1a 및 도 1b를 참조하면, 본 실시예의 노이즈 방지용 기판(100, 이하, 간단히 '기판'이라 한다)은 바디층(101), 하부 배선층(110), 상부 배선층(120), 및 내부 배선층(130)을 포함할 수 있다.

[0013] 바디층(101)은 다양한 재질로 형성될 수 있다. 예컨대, 바디층(101)은 패키지 기판(100)의 종류에 따라 실리콘, 세라믹, 유기물, 유리, 에폭시 수지 등으로 형성될 수 있다. 본 실시예의 기판(100)은 인쇄회로기판(Printed Circuit Board: PCB)일 수 있고, 바디층(101)은 에폭시 수지를 기반으로 할 수 있다. 바디층(101)에는 다층의 배선층이 형성될 수 있다. 본 실시예의 기판(100)에서, 3층의 배선층(110, 120, 130)이 바디층(101)에 형성될 수 있다. 그러나 배선층의 수가 3층에 한정되는 것은 아니다.

[0014] 바디층(101)의 하면과 상면 상에는 보호층(도 8a의 103u, 103l 참조)이 형성될 수 있다. 보호층은 하부 배선층(110)과 상부 배선층(120)을 덮어 보호할 수 있다. 보호층은, 예컨대, SR(Solder Resist)로 형성될 수 있다. 그러나 보호층의 재질이 SR에 한정되는 것은 아니다. 예컨대, 기판의 종류나 기능에 따라, 보호층은 산화막이나 절화막 등의 패시베이션층으로 형성될 수 있다. 한편, 하부 배선층(110)과 상부 배선층(120)의 핀들(120p)은 보

호층으로부터 노출될 수 있다.

- [0015] 하부 배선층(110)은 바디층(101)의 하면 상에 배치될 수 있다. 하부 배선층(110)은 하부 신호 라인(112), 하부 그라운드 라인(114), 및 하부 파워 라인(116)을 포함할 수 있다. 하부 신호 라인(112)은 신호 핀들 사이를 연결하고, 하부 그라운드 라인(114)은 그라운드 핀들 사이를 연결하며, 하부 파워 라인(116)은 파워 핀들 사이를 연결할 수 있다. 여기서, 핀들은 솔더 볼이나 범프 등의 연결 단자, 또는 수직 콘택 등이 연결되는 부분으로, 도 1a에 도시된 바와 같이 라인들과 구별하기 위하여 핀들(120p)은 네모나 원형 등으로 도시되고 있다. 기능과 위치에 따라, 핀은 패드로 언급될 수도 있다.
- [0016] 상부 배선층(120)은 바디층(101)의 상면 상에 배치될 수 있다. 상부 배선층(120)은 상부 신호 라인(122), 상부 그라운드 라인(124), 및 상부 파워 라인(126)을 포함할 수 있다. 상부 신호 라인(122)은 신호 핀들(122p) 사이를 연결하고, 상부 그라운드 라인(124)은 그라운드 핀들(124p) 사이를 연결하며, 상부 파워 라인(126)은 파워 핀들(126p) 사이를 연결할 수 있다.
- [0017] 내부 배선층(130)은 바디층(101) 내부에 배치될 수 있다. 내부 배선층(130)은, 그라운드 플레인(134p, ground plane)을 포함할 수 있다. 그러나 내부 배선층(130)이 그라운드 플레인(134p)만을 포함하는 것은 아니다. 예컨대, 내부 배선층(130)은 내부 신호 라인, 내부 그라운드 라인, 내부 파워 라인 등을 더 포함할 수 있다. 한편, 그라운드 플레인(134p), 내부 신호 라인, 내부 그라운드 라인, 내부 파워 라인 중 적어도 하나는 내부 배선층(130)에서 생략될 수 있다. 또한, 절단 위치에 따라, 그라운드 플레인(134p), 내부 신호 라인, 내부 그라운드 라인, 내부 파워 라인 중 적어도 하나는 단면도에 나타나지 않을 수 있다.
- [0018] 도 1b에서, 내부 배선층(130)이 바디층(101) 내에 1층으로 배치되고 있지만, 내부 배선층(130)이 1층에 한정되는 것은 아니다. 예컨대, 내부 배선층(130)은 2층 이상의 다중층으로 바디층(101) 내에 배치될 수 있다. 한편, 실시예에 따라, 내부 배선층(130)이 생략될 수도 있다. 다중층의 내부 배선층을 포함하는 기관에 대해서는, 도 5c 내지 도 6c의 설명 부분에서 좀더 상세히 설명한다.
- [0019] 참고로, 그라운드 플레인(134p)은, 평판과 같이 어느 정도의 면적을 갖는 그라운드 배선을 의미하며, 라인 형태를 갖는 그라운드 라인과 비교하여, 그라운드 공급 측면보다는 노이즈 방지 측면이 중요시 될 수 있다. 이하에서는, 편의상, 수평 방향으로 신호 영역(SA)의 폭의 1/2 이상의 폭을 갖는 그라운드 배선을 그라운드 플레인이라고 하고, 그 이하의 폭을 갖는 그라운드 배선을 그라운드 라인이라 한다. 그러나 실시예에 따라, 그라운드 플레인과 그라운드 라인은 다양하게 정의될 수도 있다. 한편, 파워 배선의 경우도 어느 정도 면적을 가질 수 있고, 그러한 경우, 파워 플레인으로 언급될 수 있다. 또한, 노이즈 방지 측면에서, 그라운드 배선과 파워 배선은 레퍼런스 배선으로 언급될 수 있다.
- [0020] 도시되지 않았지만, 하부 배선층(110), 상부 배선층(120), 및 내부 배선층(130)은 바디층(101) 내에 배치된 수직 콘택 등을 통해 서로 전기적으로 연결될 수 있다. 한편, 실시예에 따라, 바디층(101)의 적어도 일부를 관통하는 관통 비아가 바디층(101) 내에 배치될 수도 있다. 여기서, 수직 콘택과 관통 비아는 다른 층의 배선들을 연결한다는 측면에서 기능적으로 유사할 수 있다. 그러나 크기, 형태, 재질 등에서 서로 다를 수 있다. 예컨대, 관통 비아가 수직 콘택에 비해 상대적으로 크고 복잡한 구조를 가질 수 있다.
- [0021] 본 실시예의 기관(100)에서, 신호 영역(SA) 내에 파워 라인들(116, 126)이 포함되지 않을 수 있다. 즉, 신호 영역(SA)에는 신호 라인들(112, 122)과 그라운드 라인들(114, 124)만이 포함되고, 파워 라인들(116, 126)은 포함되지 않을 수 있다. 예컨대, 도 1a 및 도 1b에 도시된 바와 같이, 신호 라인들(112, 122)은 신호 영역(SA)을 통과하여 신호 핀들(122p)을 연결할 수 있다. 그라운드 라인들(114, 124)은 신호 영역(SA)을 통과하여 그라운드 핀들(124p)을 연결할 수도 있다. 또한, 그라운드 라인들(114, 124)은, 신호 영역(SA)의 외부에서 그라운드 핀들(124p)을 연결할 수도 있다. 그에 반해, 파워 라인들(116, 126)은 신호 영역(SA)의 외부로 우회하여 파워 핀들(126p)을 연결할 수 있고, 신호 영역(SA)을 통과할 수는 없다. 이와 같이 본 실시예의 기관(100)에서는, 신호 영역(SA) 내에 파워 라인들(116, 126)이 배치되지 않음으로써, 파워 라인들(116, 126)에 기인한 노이즈가 억제될 수 있고, 따라서, 신호 무결성(SI: Signal Integrity)이 보장될 수 있다.
- [0022] 여기서, 신호 영역(SA)은 신호 그룹이 차지하는 영역에 의해 정의될 수 있다. 또한, 신호 그룹은 동작 속도와 기능에 따라 신호 라인들(112, 122)이 나누어진 그룹을 의미할 수 있다. 예컨대, 신호 라인들(112, 122)은 데이터 신호 라인들(DQ)과 컴맨드/어드레스 신호 라인들(C/A)을 포함할 수 있고, 데이터 신호 라인들(DQ)은, 동작 속도와 기능에 따라, 하나 이상의 신호 그룹으로 나누어질 수 있다. 예컨대, 하나의 신호 그룹을 구성하는 데이터 신호 라인들(DQ)은 실질적으로 동일한 동작 속도와 기능을 가질 수 있다. 한편, 컴맨드/어드레스 신호 라인

들(C/A) 역시 하나의 신호 그룹을 구성할 수 있다. 그러나 실시예에 따라, 커맨드/어드레스 신호 라인들(C/A)은 신호 그룹을 구성하지 않을 수도 있다. 신호 그룹 및 신호 영역(SA)과 관련하여, 도 4a 내지 도 6c의 설명 부분에서 좀더 상세히 설명한다.

- [0023] 도 2a는 비교예의 기관에 대한 단면도이고, 도 2b는 도 2a의 비교예의 기관과 도 1b의 기관에 대한 주파수에 따른 크로스토크를 보여주는 그래프로서, 얇은 실선이 도 2a의 비교예의 기관을 의미하고, 굵은 실선이 도 1b의 기관을 의미할 수 있다.
- [0024] 도 2a를 참조하면, 비교예의 기관(Scom1)은 바디층(11), 하부 배선층(10), 상부 배선층(20), 및 내부 배선층(30)을 포함할 수 있다. 또한, 하부 배선층(10), 상부 배선층(20), 및 내부 배선층(30) 각각은 신호 라인(12, 22), 그라운드 라인(14, 24, 34), 및 파워 라인(16, 26, 36)을 포함할 수 있다. 이러한 비교예의 기관(Scom1)에서는, 파워 라인(16, 26, 36)이 제1 방향(x 방향) 및 제3 방향(z 방향)으로 신호 라인(12, 22)에 인접하여 배치될 수 있다. 여기서, 제1 방향(x 방향)은 기관(100)의 상면에 평행한 일 방향으로 정의되고, 제3 방향(z 방향)은 기관(100)의 상면에 수직인 방향으로 정의되며, 제2 방향(y 방향)은 기관(100)의 상면에 평행하고 제1 방향(x 방향)에 수직인 방향으로 정의될 수 있다.
- [0025] 파워 라인(16, 26, 36)이 신호 라인(12, 22)에 인접하여 배치됨으로써, 작은 곡선 화살표로 표시된 바와 같이, 파워 라인(16, 26, 36)이 신호 라인(12, 22)에 노이즈로 작용할 수 있다. 다시 말해서, 신호 라인(12, 22)에서 바라보는 파워 레조넌스(power resonance)에 의한 파워 노이즈 커플링(power noise coupling) 또는 크로스토크(crosstalk)가 증가할 수 있고, 그에 따라, 신호 무결성 특성이 저하될 수 있다.
- [0026] 도 2b를 참조하면, 그래프를 통해 알 수 있듯이, 크로스토크는 주파수가 높을수록 증가할 수 있다. 또한, 전반적으로 도 2a의 비교예의 기관(Scom1)이 도 1b의 기관(100)보다 ΔCT 만큼 크로스토크가 높음을 알 수 있다. 이러한 ΔCT 만큼의 크로스토크의 차이는 파워 라인(16, 26, 36)에 기인한 파워 노이즈 커플링에 기인한 것으로 예측할 수 있다.
- [0027] 도 3a 및 도 3b는 도 2a의 비교예의 기관과 도 1b의 기관에 대한 아이 다이어그램(eye diagram) 사진들이고, 도 3c는 다양한 신호들에서 도 2a의 비교예의 기관과 도 1b의 기관에 대한 아이 오픈(eye open) 값들을 보여주는 그래프이다. 도 3a 및 도 3b의 그래프에서, x축은 시간으로 단위는 피코초(ps)이고, y축은 앰플리튜드로 단위는 임의의 단위이다. 도 3c의 그래프에서, x축은 신호의 종류를 나타내고, y축은 아이 오픈으로 단위는 피코초이다.
- [0028] 도 3a 및 도 3b를 참조하면, 아이 다이어그램에서 양쪽 화살표 부분이 아이 지터(eye jitter) 또는 타이밍 지터(timing jitter)를 나타내는데, 도 3b에서의 도 1b의 기관(100)에 대한 아이 지터 값(EJ₁₀₀)이, 도 3a에서의 도 2a의 비교예의 기관(Scom1)에 대한 아이 지터 값(EJs)보다 작음을 알 수 있다. 참고로, 아이 지터는 파형의 옴과 내림이 교차되는 부분의 폭을 측정된 것으로 좁을수록 좋다.
- [0029] 도 3c를 참조하면, 여러 신호들, 예컨대 16가지의 데이터 신호들(DQ0 ~ DQ15)에 대하여, 도 1b의 기관(100)과 도 2a의 비교예의 기관(Scom1)의 아이 오픈 값을 보여주고 있는데, 전반적으로 도 1b의 기관(100)의 아이 오픈 값이 높음을 알 수 있다. 참고로, 아이 오픈 또는 아이 폭은 수신 신호를 샘플링할 수 있는 시간 간격을 의미하고, 아이 오픈 값이 클수록 좋으며, 노이즈가 유입되는 경우, 아이 오픈 값이 감소하게 된다. 결과적으로, 도 3a 내지 도 3c의 아이 지터 값들과 아이 오픈 값들을 통해 알 수 있듯이, 본 실시예에 해당하는 도 1b의 기관(100)의 신호 특성이 도 2a의 비교예의 기관(Scom1)의 신호 특성보다 우수함을 알 수 있다.
- [0030] 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 기관에 대한 평면도 및 단면도로서, 신호 영역을 설명하기 위한 평면도 및 단면도이다. 4b는 도 4a의 II-II' 부분을 절단하여 보여주는 단면도이다. 도 1a 내지 도 3c의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0031] 도 4a 및 도 4b를 참조하면, 본 실시예의 기관(100a)은 제1 배선층(120a)의 핀들과 배선 라인들의 위치에서 도 1a의 기관(100)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100a)에서, 제1 방향(x 방향)의 중앙 부분에서, 2개의 상부 신호 라인들(122)과 그에 대응하는 신호 핀들(122p)이 서로 인접하여 배치되고, 2개의 상부 그라운드 라인(124)과 그에 대응하는 그라운드 핀들(124p)이 서로 인접하여 배치될 수 있다. 또한, 도 1a의 기관(100)과 유사하게, 본 실시예의 기관(100a)에서, 신호 라인들(112, 122)은 신호 영역(SA)을 통과하여 신호 핀들(122p)을 연결할 수 있다. 그라운드 라인들(114, 124)은 신호 영역(SA)을 통과하여 그라운드 핀들(124p)을 연결하거나, 또는 신호 영역(SA)의 외부에서 그라운드 핀들(124p)을 연결할 수 있다. 그에 반해, 파워 라인들(116, 126)은 신호 영역(SA)의 외부로 우회하여 파워 핀들(126p)을 연결할 수 있고, 신호 영역(SA)을 통과할 수는 없

다.

- [0032] 도 1a의 기관(100)과 도 4a의 기관(100a)의 상부 신호 라인들(122)과 상부 그라운드 라인들(124), 및 그에 대응하는 핀들의 배치 위치는 예시들에 지나지 않는다. 예컨대, 하기에 설명하는 신호 영역(SA) 내에 신호 라인(112, 122)과 그라운드 라인(114, 124)은 다양한 위치 및 형태로 배치될 수 있다.
- [0033] 신호 영역(SA)은 신호 그룹이 차지하는 영역에 의해 정의될 수 있다. 신호 그룹은, 전술한 바와 같이, 실질적으로 동일한 동작 속도와 기능을 갖는 신호 라인들의 모임을 의미할 수 있다. 도 1a 및 도 4a에서, 신호 라인들(112, 114)이 모두 동일한 동작 속도와 기능을 갖는 것으로 가정할 때, 신호 라인들(112, 114) 모두는 하나의 신호 그룹을 구성할 수 있다.
- [0034] 신호 영역(SA)은, 신호 그룹이 차지하는 영역으로서, 도 4a 및 도 4b에서, 점선의 네모로 둘러싸인 해칭된 부분에 해당할 수 있다. 구체적으로, 신호 영역(SA)은 신호 그룹을 구성하는 최외곽의 신호 라인들(122om1, 122om2)을 포함하도록 정의될 수 있다. 또한, 신호 영역(SA)은 내부에 파워 라인들(116, 126)은 포함하지 않도록 정의될 수 있다. 한편, 그라운드 라인들(114, 124)의 경우는, 신호 영역(SA)에 포함될 수도 있고, 포함되지 않을 수도 있다. 예컨대, 도 4a, 및 도 4b에서, 제1 방향(x 방향)으로 양쪽 최외곽의 그라운드 라인들(114, 124)은 신호 영역(SA)에 포함되지 않고, 신호 라인들(112, 122) 사이에 배치된 그라운드 라인들(114, 124)만 신호 영역(SA)에 포함될 수 있다. 한편, 실시예에 따라, 파워 라인들(116, 126)이 포함되지 않는다는 전제하에, 최외곽의 그라운드 라인들을 포함하도록 신호 영역(SA)이 정의될 수도 있다. 또한, 그라운드 플레인(134p)의 경우도, 도 4b에서와 같이, 신호 영역(SA)을 벗어날 수도 있지만, 실시예에 따라, 신호 영역(SA) 내에만 배치될 수도 있다.
- [0035] 한편, 신호 영역(SA)의 에지(점선 부분)와 최외곽 신호 라인들(122mo1, 122mo2) 사이의 거리는, 예컨대, 500 μ m 이상일 수 있다. 신호 영역(SA)의 에지와 최외곽 신호 라인들(122mo1, 122mo2) 사이의 거리의 상한은 기관의 종류에 따라 달라질 수 있다. 예컨대, 기관(100)이, 메모리 패키지의 패키지 기관과 같이 비교적 작은 사이즈를 갖는 경우, 신호 영역(SA)의 에지와 최외곽 신호 라인들(122mo1, 122mo2) 사이의 거리의 상한은 1mm 정도일 수 있다. 반면에, 기관(100)이, 시스템 보드 등과 같이 큰 사이즈를 갖는 경우, 신호 영역(SA)의 에지와 최외곽 신호 라인들(122mo1, 122mo2) 사이의 거리의 상한은 5mm 정도까지 확장될 수 있다. 물론, 신호 영역(SA)의 에지와 최외곽 신호 라인들(122mo1, 122mo2) 사이의 거리가 전술한 수치 범위에 한정되는 것은 아니다.
- [0036] 한편, 신호 영역(SA)은 기관(100)의 상면에 평행한 수평 방향으로 정의된 수평 신호 영역(SAh)과, 기관(100)의 상면에 수직인 수직 방향으로 정의된 수직 신호 영역(SAv)로 구별될 수 있다. 신호 영역(SA)의 정의와 동일하게, 수평 신호 영역(SAh)에 신호 라인들(112, 122)만이 포함되고, 파워 라인들(116, 126)은 포함되지 않을 수 있다. 또한, 수직 신호 영역(SAv)에 신호 라인들(112, 122)만이 포함되고, 파워 라인들(116, 126)은 포함되지 않을 수 있다. 그라운드 라인들(114, 124)의 경우, 수평 신호 영역(SAh)과 수직 신호 영역(SAv)에 일부는 포함되고, 일부는 포함되지 않을 수 있다.
- [0037] 도 5a 내지 도 5c는 본 발명의 실시예들에 따른 기관에 대한 단면도들이고, 도 5d는 비교예의 기관에 대한 단면도이다. 도 1a 내지 도 4b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0038] 도 5a를 참조하면, 본 실시예의 기관(100b)는 내부 배선층(130a)의 구조에서, 도 4a의 기관(100a)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100b)에서, 내부 배선층(130a)은 내부 신호 라인(132)과 그라운드 플레인(134pa)을 포함할 수 있다. 내부 신호 라인(132)은 하부 그라운드 라인(114), 상부 그라운드 라인(124) 및 그라운드 플레인(134pa)에 의해 둘러싸일 수 있다. 결국, 본 실시예의 기관(100b)에서, 내부 배선층(130a)은 그라운드 플레인(134pa)뿐만 아니라, 내부 신호 라인(132), 내부 그라운드 라인, 내부 파워 라인 등을 더 포함할 수 있다. 그러나 수직 신호 영역(SAv)에는 그라운드 플레인(134pa), 내부 신호 라인(132), 내부 그라운드 라인 등만이 포함되고, 내부 파워 라인은 포함될 수 없다.
- [0039] 도 5b를 참조하면, 본 실시예의 기관(100c)는 수직 신호 영역(SAv) 내에 배치된 신호 라인(112, 122)의 위치와 내부 배선층(130b)의 구조에서, 도 1a 또는 도 4a의 기관(100, 100a)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100c)에서, 최외곽 신호 라인(112om2, 122om1)이 수직 신호 영역(SAv)의 한쪽 에지 부분에 인접하여 배치될 수 있다. 예컨대, 하부 배선층(110)의 경우, 수직 신호 영역(SAv)의 오른쪽 에지에 최외곽 신호 라인(112om2)이 인접하여 배치되고, 왼쪽 에지에는 신호 라인 대신 그라운드 라인(114)이 인접하여 배치될 수 있다. 또한, 상부 배선층(120)의 경우, 수직 신호 영역(SAv)의 왼쪽 에지에 인접하여 최외곽 신호 라인(122om1)이 배치되고, 오른쪽 에지에는 신호 라인 대신 그라운드 라인(114)이 인접하여 배치될 수 있다.
- [0040] 한편, 내부 배선층(130b)의 그라운드 플레인(134pb)은 수직 신호 영역(SAv) 내에만 배치될 수 있다. 그러나 그

라운드 플레인(134pb)은 제1 방향(x 방향)으로 수직 신호 영역(SAv)의 외부로 확장하는 구조를 가질 수도 있다.

- [0041] 도 5b의 실시예를 통해, 결국, 신호 영역(SA)의 양쪽 에지 모두가 최외곽의 신호 라인에 인접하도록 신호 영역(SA)이 정의될 필요는 없다는 것을 알 수 있다. 다시 말해서, 신호 그룹을 구성하는 신호 라인들이 신호 영역(SA)에 모두 포함될 수만 있다면, 신호 영역(SA)의 에지에 그라운드 라인이 인접하도록 신호 영역(SA)이 정의될 수 있다. 또한, 도 1a, 또는 도 4a의 기관(100, 100a)에서, 그라운드 플레인(134p)이 수직 신호 영역(SAv)의 외부로 확장되고, 그라운드 플레인(134p)의 일부분이 수직 신호 영역(SAv)에 포함되고 있음에 기초하여, 신호 영역(SA)이 그라운드 라인의 일부만을 포함하도록 신호 영역(SA)이 정의될 수도 있음을 알 수 있다.
- [0042] 도 5c 및 도 5d를 참조하면, 본 실시예의 기관(100d)은 다중층의 내부 배선층(130-1, 130-2, 130-3)을 포함한다는 측면에서, 도 1a, 도 4a, 도 5a, 및 도 5b의 기관(100, 100a ~ 100c)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100d)은, 하부 배선층(110), 상부 배선층(120), 제1 내부 배선층(130-1), 제2 내부 배선층(130-2), 및 제3 내부 배선층(130-3)을 포함할 수 있다.
- [0043] 제1 내부 배선층(130-1)은 그라운드 플레인(134p-1)을 포함하고, 제2 내부 배선층(130-2)은 내부 신호 라인(132-2), 내부 그라운드 라인(134-2), 및 내부 파워 라인(136-2)을 포함하며, 제3 내부 배선층(130-3)은 그라운드 플레인(134p-3)과 파워 라인(136-3)을 포함할 수 있다. 도 5c의 제1 내부 배선층(130-1), 제2 내부 배선층(130-2), 및 제3 내부 배선층(130-3) 각각에서, 배선들의 구성은 하나의 예시로서, 제1 내부 배선층(130-1), 제2 내부 배선층(130-2), 및 제3 내부 배선층(130-3) 각각은 다른 배선들의 구성을 포함할 수도 있다. 또한, 도 5c에서, 기관(100d)이 3층의 내부 배선층을 포함하고 있지만, 내부 배선층이 3층에 한정되는 것은 아니다.
- [0044] 본 실시예의 기관(100d)에서도, 신호 영역(SA), 예컨대, 수직 신호 영역(SAv)은 앞서 설명한 바와 같이 정의될 수 있다. 즉, 신호 그룹을 구성하는 신호 라인들 중 최외곽의 신호 라인들을 포함하도록 수직 신호 영역(SAv)이 정의될 수 있다. 만약, 신호 그룹을 구성하는 신호 라인들 중 하나라도 벗어나도록 영역이 정의되는 경우, 해당 영역은 신호 영역에 해당될 수 없다. 또한, 파워 라인이 하나라도 포함되도록 영역이 정의되는 경우도, 해당 영역은 신호 영역에 해당될 수 없다.
- [0045] 도 5d의 비교예의 기관(Scm2)에서와 같이, 제2 내부 배선층(130-2)의 파워 라인(136-2, 원으로 둘러싸인 부분)이 그라운드 라인과 그라운드 플레인에 의해 완전히 둘러싸여 있다고 하더라도, 해당 파워 라인(136-2)이 포함된 영역(NSA)은 신호 영역에 해당될 수 없다.
- [0046] 덧붙여, 본 실시예들의 기관들에서, 신호 영역(SA)이 정의된다는 것은, 배선들이 이미 배치 설계된 기관에 신호 영역(SA)이 정의된다는 의미가 아니라, 신호 영역(SA)이 정의되도록 배선들이 기관에 배치 설계된다는 것을 의미할 수 있다. 예컨대, 본 실시예들의 기관들에서, 신호 영역(SA)이 정의된다는 것은, 신호 영역(SA)이 정의되도록 파워 라인들이 신호 영역(SA)을 우회하여 배치 설계된다는 것을 의미할 수 있다.
- [0047] 도 6a 내지 도 6c는 본 발명의 실시예들에 따른 기관에 대한 단면도들이다. 도 1a 내지 도 5d의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0048] 도 6a를 참조하면, 본 실시예의 기관(100e)은 2개의 신호 영역(SA1, SA2)이 정의되고, 또한, 2개의 신호 영역(SA1, SA2)을 포함하는 전체 신호 영역(TSA)이 정의된다는 측면에서, 도 1a, 도 4a, 및 도 5a ~ 도 5c의 기관(100, 100a ~ 100d)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100e)에서, 5층의 내부 배선층(130-1 ~ 130-5)이 바디층(101)의 내부에 배치될 수 있다. 또한, 신호 그룹은 2개의 그룹으로 나누어지고, 2개의 신호 그룹에 의해 2개의 신호 영역(SA1, SA2)이 정의될 수 있다. 예컨대, 제1 신호 그룹은 제1 하부 신호 라인들(112-1)과 제1 상부 신호 라인들(122-1)을 포함하고, 제1 신호 그룹의 신호 라인들을 포함하도록 제1 신호 영역(SA1)이 정의될 수 있다. 또한, 제2 신호 그룹은 제2 하부 신호 라인들(112-2)과 제2 상부 신호 라인들(122-2)을 포함하고, 제2 신호 그룹의 신호 라인들을 포함하도록 제2 신호 영역(SA2)이 정의될 수 있다. 여기서, 제1 신호 영역(SA1)과 제2 신호 영역(SA2) 각각 수직 신호 영역에 해당할 수 있다. 한편, 제1 신호 그룹(SA2)의 신호 라인들(112-1, 122-1)과 제2 신호 그룹(SA2)의 신호 라인들(112-1, 122-1)이 서로 다른 특성을 가지므로, 도 6a에서 다른 해칭으로 표시하고 있다.
- [0049] 한편, 바디층(101) 내부에는 제1 내지 제5 내부 배선층(130-1 ~ 130-5)이 배치되며, 제3 내부 배선층(130-3)은 제1 신호 영역(SA1)과 제2 신호 영역(SA2)을 분리하는 그라운드 플레인(134p-3)을 포함할 수 있다. 도 6a에 도시된 바와 같이, 그라운드 플레인(134p-3)은 제1 방향(x 방향)으로 바디층(101) 전체를 가로질러 연장할 수 있다. 그에 따라, 그라운드 플레인(134p-3)은 그라운드 풀 플레인(ground full plane)이라고 언급되기도 한다.
- [0050] 본 실시예의 기관(100e)에서, 2개의 신호 영역(SA1, SA2)을 포함하는 전체 신호 영역(TSA)이 정의될 수 있다.

전체 신호 영역(TSA)이 2개의 신호 영역(SA1, SA2)을 포함하므로, 결국, 전체 신호 영역(TSA)은 기관(100e)의 모든 신호 라인들을 포함하도록 정의될 수 있다. 또한, 일반적인 신호 영역과 마찬가지로, 전체 신호 영역(TSA)에도 파워 라인이 포함될 수 없다. 한편, 도 6a를 통해 알 수 있듯이, 제1 방향(x 방향)으로 제1 신호 영역(SA1)과 제2 신호 영역(SA2)의 위치가 다르므로, 전체 신호 영역(TSA)에 내부 그라운드 라인 및 그라운드 플레인(인)의 적어도 일부가 추가적으로 포함될 수 있다. 덧붙여, 제1 신호 영역(SA1)에 대응하는 파워 라인의 파워 레벨과 제2 신호 영역(SA2)에 대응하는 파워 라인의 파워 레벨이 서로 다를 수 있다. 그에 따라, 도 6a에서 제1 신호 영역(SA1)에 인접하는 파워 라인과 제2 신호 영역(SA2)에 인접하는 파워 라인의 해칭을 달리 표시하고 있다.

[0051] 도 6b를 참조하면, 본 실시예의 기관(100f)은 제3 내부 배선층(130a-3)의 구조에서, 도 6a의 기관(100e)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100f)에서, 제3 내부 배선층(130a-3)의 그라운드 플레인(134pa-3)은 제1 방향(x 방향)으로 바디층(101)의 일부만 가로질러 배치될 수 있다. 다시 말해서, 제3 내부 배선층(130a-3)의 그라운드 플레인(134pa-3)은 그라운드 풀 플레인 구조를 갖지 않을 수 있다. 한편, 도 6b에 도시된 바와 같이, 제3 내부 배선층(130a-3)의 그라운드 플레인(134pa-3)은 제1 방향(x 방향)으로 전체 신호 영역(TSA)의 외부로 확장하는 구조를 가질 수 있다.

[0052] 도 6c를 참조하면, 본 실시예의 기관(100g)은, 바디층(101)에 그라운드 풀 플레인 또는 그와 유사한 구조의 내부 배선층을 포함하지 않는다는 점에서, 도 6a의 기관(100e)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100g)에서, 제1 내지 제4 내부 배선층(130-1 ~ 130-4)이 바디층(101) 내부에 배치될 수 있다. 또한, 상부에 제1 신호 영역(SA1)이 정의되고, 하부에 제2 신호 영역(SA2)이 정의될 수 있다. 그러나 제1 신호 영역(SA1)과 제2 신호 영역(SA2)을 분리하는 그라운드 풀 플레인 또는 그와 유사한 구조의 내부 배선층이 바디층(101) 내부에 배치되지 않을 수 있다. 한편, 도 6c에 도시된 바와 같이, 제1 신호 영역(SA1)과 제2 신호 영역(SA2)을 분리하는 내부 배선층이 배치되지 않더라도, 제1 신호 영역(SA1)과 제2 신호 영역(SA2)을 포함하는 전체 신호 영역(TSA)은 정의될 수 있다.

[0053] 도 7a 및 도 7b는 본 발명의 실시예들에 따른 기관에 대한 평면도들이다. 도 1a 내지 도 6c의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0054] 도 7a를 참조하면, 본 실시예의 기관(100h)에서는 3개의 수평 신호 영역(SAh1, SAh2, SAh3)이 정의된다는 측면에서, 도 1a 또는 도 4a의 기관(100, 100a)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100h)에서, 신호 라인들은 3개의 신호 그룹, 예컨대, 제1 데이터 신호 그룹(DQ1), 제2 데이터 신호 그룹(DQ2), 및 커맨드/어드레스 신호 그룹(CA)으로 나누어질 수 있다. 도 7a에 도시된 바와 같이, 제1 데이터 신호 그룹(DQ1)은 왼쪽 부분에 배치되고, 제2 데이터 신호 그룹(DQ2)은 오른쪽 부분에 배치되며, 커맨드/어드레스 신호 그룹(CA)은 중앙 부분에 배치될 수 있다. 그에 따라, 제1 데이터 신호 그룹(DQ1)에 대응하는 제1 수평 신호 영역(SAh1)이 왼쪽 부분에 정의되고, 제2 데이터 신호 그룹(DQ2)에 대응하는 제2 수평 신호 영역(SAh2)이 오른쪽 부분에 정의되며, 커맨드/어드레스 신호 그룹(CA)에 대응하는 제3 수평 신호 영역(SAh3)이 중앙 부분에 정의될 수 있다.

[0055] 제1 방향(x 방향)으로 제1 수평 신호 영역(SAh1)과 제3 수평 신호 영역(SAh3) 사이에 제1 패스 영역(PA1)이 배치되고, 제1 방향(x 방향)으로 제3 수평 신호 영역(SAh3)과 제2 수평 신호 영역(SAh2) 사이에 제2 패스 영역(PA2)이 배치될 수 있다. 제1 상부 파워 라인들(126-1)은 제1 패스 영역(PA1)을 통해 제1 수평 신호 영역(SAh1)을 우회하여 제1 수평 신호 영역(SAh1)에 대응하는 파워 핀들을 연결할 수 있다. 또한, 제2 상부 파워 라인들(126-2)은 제2 패스 영역(PA2)을 통해 제2 수평 신호 영역(SAh2)을 우회하여 제2 수평 신호 영역(SAh2)에 대응하는 파워 핀들을 연결할 수 있다. 한편, 제3 수평 신호 영역(SAh3)에 대응하는 파워 핀들이 존재하는 경우, 그에 대응하는 파워 라인들이 제1 패스 영역(PA1) 또는 제2 패스 영역(PA2)을 통해 우회하여 해당 파워 핀들을 연결할 수 있다.

[0056] 덧붙여, 실시예에 따라, 제1 패스 영역(PA1)과 제2 패스 영역(PA2)이 별도로 배치되지 않을 수도 있다. 그러한 경우, 제1 상부 파워 라인들(126-1)은 제1 수평 신호 영역(SAh1)의 왼쪽으로 우회하여 제1 수평 신호 영역(SAh1)에 대응하는 파워 핀들을 연결하고, 제2 상부 파워 라인들(126-2)은 제2 수평 신호 영역(SAh2)의 오른쪽으로 우회하여 제2 수평 신호 영역(SAh2)에 대응하는 파워 핀들을 연결할 수 있다. 또한, 실시예에 따라, 제1 방향(x 방향)으로 제1 수평 신호 영역(SAh1)의 양쪽 부분과 제2 수평 신호 영역(SAh2)의 양쪽 부분이 우회 패스로 활용될 수도 있다.

[0057] 도 7b를 참조하면, 본 실시예의 기관(100i)에서는 2개의 수평 신호 영역(SAh1, SAh2)이 정의된다는 측면에서, 도 7a의 기관(100h)과 다를 수 있다. 구체적으로, 본 실시예의 기관(100i)에서, 신호 라인들은 2개의 신호

그룹, 예컨대, 제1 데이터 신호 그룹(DQ1), 및 제2 데이터 신호 그룹(DQ2)으로 나누어질 수 있다. 도 7a의 기판(100h)과 달리, 커맨드/어드레스 신호 라인들(C/A)은 그룹을 구성하지 않을 수 있다. 그에 따라, 제1 데이터 신호 그룹(DQ1)에 대응하는 제1 수평 신호 영역(SAh1)이 왼쪽 부분에 정의되고, 제2 데이터 신호 그룹(DQ2)에 대응하는 제2 수평 신호 영역(SAh2)이 오른쪽 부분에 정의될 수 있다.

[0058] 한편, 커맨드/어드레스 신호 라인들(C/A)이 배치된 중앙 부분은 공통 패스 영역(PAs)에 포함될 수 있다. 그에 따라, 제1 상부 파워 라인들(126-1)은 공통 패스 영역(PAs)을 통해 제1 수평 신호 영역(SAh1)을 우회하여 제1 수평 신호 영역(SAh1)에 대응하는 파워 핀들을 연결할 수 있다. 또한, 제2 상부 파워 라인들(126-2)은 공통 패스 영역(PAs)을 통해 제2 수평 신호 영역(SAh2)을 우회하여 제2 수평 신호 영역(SAh2)에 대응하는 파워 핀들을 연결할 수 있다.

[0059] 도 8a 내지 도 10은 본 발명의 일 실시예들에 따른 반도체 패키지에 대한 단면도들이다. 도 1a 및 도 1b를 함께 참조하여 설명하고, 도 1a 내지 도 7b의 설명 부분에서 이미 설명한 내용을 간단히 설명하거나 생략한다.

[0060] 도 8a를 참조하면, 본 실시예의 반도체 패키지(1000)는 패키지 기판(100), 외부 연결 단자(200), 반도체 칩(300), 접착층(400), 및 밀봉재(500)를 포함할 수 있다.

[0061] 패키지 기판(100)은 도 1a의 기판(100)일 수 있다. 그러나 패키지 기판(100)이 도 1a의 기판(100)에 한정되는 것은 아니다. 예컨대, 패키지 기판(100)은, 도 4a, 도 5a ~ 도 5c, 및 도 6a ~ 도 7b의 기판들(100a ~ 100i) 중 어느 하나일 수도 있다. 전술한 바와 같이, 패키지 기판(100)에서, 바디층(101)은 반도체 물질을 포함하지 않은 PCB, 유기물 패널, 유리 기판 등을 기반으로 할 수 있다. 그러나 실시예에 따라, 바디층(101)은 실리콘(Si) 웨이퍼 등과 같은 반도체 물질을 기반으로 할 수도 있다. 바디층(101)이 반도체 물질을 포함하는 경우, 실시예에 따라, 바디층(101)의 내부에 집적 소자층이 배치될 수 있다. 도 8a에 도시된 바와 같이, 바디층(101)의 하면과 상면 상에 하부 및 상부 보호층(103l, 103u)이 배치될 수 있다. 한편, 패키지 기판(100)에서, 하부 배선층(110), 상부 배선층(120) 및 내부 배선층(130)은 생략되고, 핀들(120p) 또는 패드들만이 도시되고 있다. 핀들(120p)은 상부 보호층(103u)을 통해 노출될 수 있다. 이하의 다른 실시예들의 반도체 패키지들에서도 하부 배선층(110), 상부 배선층(120), 내부 배선층(130) 등은 생략되어 도시되고 있다.

[0062] 패키지 기판(100)의 하면 상에 외부 연결 단자(200)가 배치될 수 있다. 외부 연결 단자(200)는 패키지 기판(100)의 하부 배선층(110)에 전기적으로 연결될 수 있다. 한편, 외부 연결 단자(200)는 솔더 볼로 형성될 수 있다. 그러나 실시예에 따라, 외부 연결 단자(200)는 필라와 솔더를 포함하는 구조를 가질 수도 있다. 본 실시예의 반도체 패키지(1000)는 외부 연결 단자(200)를 통해 인터포저나 베이스 기판 등의 외부 기판 상에 실장될 수 있다.

[0063] 반도체 칩(300)은 패키지 기판(100) 상에 적층될 수 있다. 본 실시예의 반도체 패키지(1000)에서, 반도체 칩(300)이 패키지 기판(100) 상에 1개 적층되고 있지만, 패키지 기판(100) 상에 적층되는 반도체 칩(300)이 1개에 한정되는 것은 아니다. 예컨대, 반도체 칩(300)은 패키지 기판(100) 상에 복수 개 적층될 수 있다. 복수 개의 반도체 칩(300)이 패키지 기판(100) 상에 적층된 구조에 대해서는, 도 8b의 설명 부분에서 좀더 상세히 설명한다.

[0064] 반도체 칩(300)은 칩 기판(301), 소자층(310), 및 범프(320)를 포함할 수 있다. 칩 기판(301)은 실리콘 웨이퍼 등과 같은 반도체 물질을 기반으로 할 수 있다. 소자층(310)은 칩 기판(301) 하면 상에 배치되고, 다양한 종류의 소자들을 포함할 수 있다. 예컨대, 소자층(310)은, planar FET(Field Effect Transistor)이나 FinFET 등의 FET, 플래시(flash) 메모리, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), PRAM(Phase-change Random Access Memory), MRAM(Magnetoresistive Random Access Memory), FeRAM(Ferroelectric Random Access Memory), RRAM(Resistive Random Access Memory) 등의 메모리 소자, AND, OR, NOT 등의 로직 소자, 시스템 LSI(Large Scale Integration), CIS(CMOS Imaging Sensor), MEMS(Micro-Electro-Mechanical System)와 같은 다양한 능동 소자 및/또는 수동 소자를 포함할 수 있다. 예컨대, 본 실시예의 반도체 패키지(1000)에서, 반도체 칩(300)은 소자층(310)에 DRAM 소자들을 포함하는 DRAM 칩일 수 있다. 그에 따라, 본 실시예의 반도체 패키지(1000)는, HBM(High Bandwidth Memory) 제품이나, 또는 EDP(Electro Date Processing) 제품 등에 이용될 수 있다. 물론, 본 실시예의 반도체 패키지(1000)에서, 반도체 칩(300)의 종류가 DRAM 칩에 한정되는 것은 아니다.

[0065] 범프(320)는 소자층(310)의 하면 상에 배치되고, 소자층(310)에 배선을 통해 전기적으로 연결될 수 있다. 범프(320)는, 예컨대, 필라와 솔더를 포함할 수 있다. 실시예에 따라, 범프(320)는 필라를 포함하지 않고 솔더만을

포함할 수도 있다.

- [0066] 한편, 실시예에 따라, 반도체 칩(300)은 와이어 본딩을 통해 패키지 기판(100) 상에 실장될 수 있다. 그러한 경우, 범프(320)는 생략될 수 있다. 또한, 반도체 칩(300)은 소자층(310)이 상방을 향하는 구조로 패키지 기판(100) 상에 실장되고, 반도체 칩(300)은 와이어를 통해 패키지 기판(100)에 전기적으로 연결될 수 있다.
- [0067] 반도체 칩(300)은 범프(320) 및 접착층(400)을 통해 패키지 기판(100) 상에 실장될 수 있다. 접착층(400)은 언더필, 또는 NCF(Non Conductive Film)와 같은 접착 필름으로 형성될 수 있다. 실시예에 따라, 반도체 패키지(1000)는 MUF(Molded Underfill) 공정으로 제조될 수 있고, 그러한 경우, 접착층(400)은 생략될 수 있다.
- [0068] 밀봉재(500)는 패키지 기판(100)의 상면 일부와 반도체 칩(300)의 상면, 그리고 반도체 칩(300)의 측면과 접착층(400)의 측면을 덮을 수 있다. 도 8a에 도시된 바와 같이, 밀봉재(500)는 소정의 두께를 가지고 반도체 칩(300)의 상면을 덮을 수 있다. 그러나 실시예에 따라, 반도체 칩(300)의 상면이 밀봉재(500)로부터 외부로 노출 되도록 밀봉재(500)는 반도체 칩(300)의 상면을 덮지 않을 수도 있다. 밀봉재(500)는, 예컨대, EMC(Epoxy Mold Compound)을 포함할 수 있다. 그러나 밀봉재(500)의 재질이 EMC에 한정되는 것은 아니다.
- [0069] 본 실시예의 반도체 패키지(1000)에서, 패키지 기판(100)은 신호 영역(SA) 내에 파워 라인들을 포함하지 않을 수 있다. 즉, 신호 영역(SA)에는 신호 라인들과 그라운드 라인들만이 포함되고, 파워 라인들은 포함되지 않을 수 있다. 이와 같이 본 실시예의 반도체 패키지(1000)는, 패키지 기판(100)의 신호 영역(SA) 내에 파워 라인들이 배치되지 않음으로써, 파워 라인들에 기인한 노이즈가 억제될 수 있고, 따라서, 신호 무결성이 향상된 반도체 패키지를 구현할 수 있도록 한다.
- [0070] 도 8b를 참조하면, 본 실시예의 반도체 패키지(1000a)는 패키지 기판(100) 상에 4개의 반도체 칩들(300-1, 300-2, 300-3, 300-4)이 적층되고, 제1 반도체 칩 내지 제3 반도체 칩(300-1 ~ 300-3)이 TSV(330, Through Silicon Via)을 포함한다는 점에서, 도 8a의 반도체 패키지(1000)와 다를 수 있다. 본 실시예의 반도체 패키지(1000a)에서, 예컨대, 패키지 기판(100) 상에 4개 반도체 칩(300-1 ~ 300-4)이 적층되고 있지만, 패키지 기판(100) 상에 적층되는 반도체 칩이 4개에 한정되는 것은 아니다. 예컨대, 패키지 기판(100) 상에 2개나 3개, 또는 5개 이상의 반도체 칩이 적층될 수도 있다.
- [0071] 제1 반도체 칩 내지 제4 반도체 칩(300-1 ~ 300-4) 각각은, 예컨대, 메모리 칩으로서, 도 8a의 반도체 패키지(1000)의 반도체 칩(300)과 유사할 수 있다. 다만, 제1 반도체 칩 내지 제3 반도체 칩(300-1 ~ 300-3)은, 칩 기판(301)을 관통하는 TSV(330)을 더 포함한다는 측면에서, 도 8a의 반도체 패키지(1000)의 반도체 칩(300)과 다를 수 있다. 한편, 제4 반도체 칩(300-4)은 TSV(330)을 포함하지 않을 수 있다. 제1 반도체 칩 내지 제4 반도체 칩(300-1 ~ 300-4)은 TSV(330) 및 범프(320)를 통해 패키지 기판(100)에 전기적으로 연결될 수 있다.
- [0072] 한편, 제1 반도체 칩(300-1)은 범프(320)와 접착층(400)을 통해 패키지 기판(100)에 상에 적층될 수 있다. 또한, 제2 반도체 칩 내지 제4 반도체 칩(300-2 ~ 300-4) 각각은 대응하는 하부의 반도체 칩 상에 범프(320)와 접착층(400)을 통해 적층될 수 있다. 도 8b에서, 접착층(400)이 일체형 구조로 도시되고 있지만, 실시예에 따라, 제1 반도체 칩(300-1)과 패키지 기판(100) 사이의 접착층과, 다른 인접하는 2개의 반도체 칩들 사이의 접착층은 서로 구별되어 형성될 수 있다. 또한, 접착층들은 해당 반도체 칩에서 외곽으로 약간 돌출된 구조를 가지고, 서로 완전히 분리된 형태를 가질 수도 있다.
- [0073] 한편, 실시예에 따라, 제1 반도체 칩 내지 제4 반도체 칩(300-1 ~ 300-4)은 와이어 본딩을 통해 패키지 기판(100) 상에 실장될 수 있다. 그러한 경우, 제1 반도체 칩 내지 제3 반도체 칩(300-1 ~ 300-3)은 TSV(330)를 포함하지 않을 수 있다. 또한, 제1 반도체 칩 내지 제4 반도체 칩(300-1 ~ 300-4)은 소자층(310)이 상방을 향하도록 패키지 기판(100) 또는 대응하는 하부의 반도체 칩 상에 접착층을 통해 적층될 수 있다. 또한, 와이어 본딩을 위해 제1 반도체 칩 내지 제4 반도체 칩(300-1 ~ 300-4)은 지그재그 구조나 계단형 구조로 패키지 기판(100) 상에 적층될 수 있고, 와이어를 통해 패키지 기판(100)에 전기적으로 연결될 수 있다.
- [0074] 도 8b에 도시된 바와 같이, 제4 반도체 칩(300-4)의 상면은 밀봉재(500)에 의해 덮이지 않을 수 있다. 그러나 실시예에 따라, 제5 반도체 칩(300-4)의 상면은 밀봉재(500)에 의해 완전히 덮힐 수도 있다.
- [0075] 본 실시예의 반도체 패키지(1000a) 역시, 패키지 기판(100)은 신호 영역(SA) 내에 파워 라인들을 포함하지 않을 수 있다. 따라서, 본 실시예의 반도체 패키지(1000a)는 파워 라인들에 기인한 노이즈가 억제될 수 있고, 신호 무결성이 향상된 반도체 패키지를 구현할 수 있도록 한다. 한편, 본 실시예의 반도체 패키지(1000a)는 HBM 패키지에 해당할 수 있다. 그러한 경우, 패키지 기판(100)은 인터페이스 칩이고, 반도체 칩들(300-1 ~ 300-4) 각각

은 DRAM 칩일 수 있다. 물론, 본 실시예의 반도체 패키지(1000a)가 HBM 패키지에 한정되는 것은 아니다.

- [0076] 도 9를 참조하면, 본 실시예의 반도체 패키지(1000b)는 패키지 기판(100), 외부 연결 단자(200), 하부 반도체 칩(3001), 상부 반도체 칩(300u1, 300u2), 밀봉재(500a, 500b), 관통 전극(530), 재배선 구조체(550), 및 수동 소자(670)를 포함할 수 있다.
- [0077] 패키지 기판(100)은 도 1a의 기판(100)일 수 있다. 그러나 패키지 기판(100)이 도 1a의 기판(100)에 한정되는 것은 아니다. 예컨대, 패키지 기판(100)은, 도 4a, 도 5a ~ 도 5c, 및 도 6a ~ 도 7b의 기판들(100a ~ 100i) 중 어느 하나일 수도 있다. 패키지 기판(100)의 하면 상에 외부 연결 단자(200)가 배치될 수 있다. 참고로, 외부 연결 단자가 해당 반도체 칩의 하면을 벗어나 넓게 배치된 구조를 팬-아웃(Fan-Out: FO) 구조라 한다. 또한, 웨이퍼 기반의 FO 구조의 패키지 기판을 포함하는 반도체 패키지를 FOWLP(FO Wafer Level Package)하고, 패널 기반의 FO 구조의 패키지 기판을 포함하는 반도체 패키지를 FOPLP(FO Panel Level Package)라고 한다. 한편, 본 실시예의 반도체 패키지(1000b)에서, 패키지 기판(100)의 바디층(101)은 웨이퍼를 기반으로 할 수 있다. 따라서, 본 실시예의 반도체 패키지(1000b)는 FOWLP에 해당할 수 있다.
- [0078] 하부 반도체 칩(3001)은 범프(3201) 및 접착층(4001)을 통해 패키지 기판(100) 상에 실장되고, 제1 밀봉재(500a)에 의해 밀봉될 수 있다. 하부 반도체 칩(3001)은 로직 반도체 칩 및/또는 메모리 반도체 칩을 포함할 수 있다. 예컨대, 로직 반도체 칩은 AP(Application Processor), 마이크로프로세서(micro-processor), CPU(Central Processing Unit), 컨트롤러, 또는 ASIC(Application Specific Integrated Circuit) 등일 수 있다. 또한, 메모리 반도체 칩은, 예컨대, DRAM, SRAM 등과 같은 휘발성 메모리, 또는 플래시 메모리 등과 같은 비휘발성 메모리일 수도 있다.
- [0079] 제1 밀봉재(500a) 내에는 관통 전극(530)이 배치될 수 있다. 관통 전극(530)은 제1 밀봉재(500a) 형성 후, 제1 밀봉재(500a)를 관통하는 관통 홀을 형성한 뒤, 관통 홀을 도전 물질로 채워 형성할 수 있다. 그러나 실시예에 따라, 관통 전극(530)이 먼저 형성되고, 그 후 제1 밀봉재(500a)가 관통 전극(530)을 둘러싸는 식으로 형성될 수도 있다.
- [0080] 하부 반도체 칩(3001) 및 제1 밀봉재(500a) 상에 재배선 구조체(550)가 형성될 수 있다. 재배선 구조체(550)는 내부에 재배선을 포함할 수 있다. 재배선 구조체(550)의 재배선은 하부의 관통 전극(530)에 연결될 수 있다. 한편, 재배선 구조체(550)는 도 1a의 기판(100)과 같이, 신호 영역(SA)이 정의될 수 있다. 따라서, 재배선 구조체(550)의 신호 영역(SA)에는 파워 라인들이 포함되지 않을 수 있다. 한편, 실시예에 따라, 재배선 구조체(550)에 신호 영역(SA)이 정의되지 않을 수도 있다.
- [0081] 상부 반도체 칩(300u1, 300u2), 및 수동 소자(670)는 재배선 구조체(550) 상에 실장되고, 제2 밀봉재(500b)에 의해 밀봉될 수 있다. 상부 반도체 칩(300u1, 300u2)은 제1 상부 반도체 칩(300u1)과 제2 상부 반도체 칩(300u2)을 포함할 수 있다. 예컨대, 제1 상부 반도체 칩(300u1)과 제2 상부 반도체 칩(300u2)은 서로 다른 종류의 메모리 칩일 수 있다. 상부 반도체 칩(300u1, 300u2)은 범프(320u) 및 접착층(400u)을 통해 재배선 구조체(550) 상에 적층될 수 있다. 상부 반도체 칩(300u1, 300u2)과 수동 소자(670)는 재배선 구조체(550)의 재배선에 전기적으로 연결될 수 있다.
- [0082] 본 실시예의 반도체 패키지(1000b) 역시, 패키지 기판(100) 및/또는 재배선 구조체(550)는 신호 영역(SA) 내에 파워 라인들을 포함하지 않을 수 있다. 따라서, 본 실시예의 반도체 패키지(1000b)는 파워 라인들에 기인한 노이즈가 억제될 수 있고, 신호 무결성이 향상된 반도체 패키지를 구현할 수 있도록 한다.
- [0083] 도 10을 참조하면, 반도체 패키지(1000c)는 재배선 기판(100j), 외부 연결 단자(200), 하부 반도체 칩(3001), 코어층(140), 충전재(150), 및 상부 패키지(1000)를 포함할 수 있다.
- [0084] 재배선 기판(100j)은 하부 반도체 칩(3001)의 하부에 배치되고, 하부 반도체 칩(3001)의 칩 패드들을 하부 반도체 칩(3001)의 외부 영역으로 재배선할 수 있다. 재배선 기판(100j)은, 도 1a의 기판(100)에 대응할 수 있다. 그에 따라, 재배선 기판(100j)은, 도 1a의 기판(100)과 유사하게, 바디층(101j), 하부 배선층(110j), 상부 배선층(120j), 및 내부 배선층(130j)을 포함할 수 있다. 바디층(101j)은 유기물을 기반으로 할 수 있다. 예컨대, 재배선 기판(100j)은 유기물 패널일 수 있다. 내부 배선층(130j)은 다중층으로 형성되고 재배선 라인들을 포함할 수 있다. 한편, 하부 배선층(110j)은 바디층(101j) 하면의 보호층(103j)으로부터 노출될 수 있다.
- [0085] 재배선 기판(100j)의 하면 상에 외부 연결 단자(200)가 배치될 수 있다. 외부 연결 단자(200)는 재배선 기판(100j)을 통해 하부 반도체 칩(3001)의 칩 패드들에 전기적으로 연결될 수 있다. 외부 연결 단자(200)는 하부 반도체 칩(3001)의 하면에 대응하는 부분과, 하면에서 제1 방향(x 방향) 및 제2 방향(y 방향)으로 외부로 확장

된 부분 상에 배치될 수 있다. 재배선 기관(100j)을 통해 외부 연결 단자(200)가 하부 반도체 칩(3001)의 하면을 벗어나 넓게 배치되고, 또한, 재배선 기관(100j)이 패널을 기반으로 하므로, 본 실시예의 반도체 패키지는 FOPLP에 해당할 수 있다.

- [0086] 하부 반도체 칩(3001)은 로직 반도체 칩 및/또는 메모리 반도체 칩을 포함할 수 있다. 본 실시예의 반도체 패키지(1000c)에서, 하부 반도체 칩(3001)은 액티브 면이 재배선 기관(100j)을 향하도록 실장될 수 있다.
- [0087] 코어층(140)은 상하면을 관통하는 관통 홀(CH)을 포함할 수 있고, 관통 홀(CH) 내에 하부 반도체 칩(3001)이 배치될 수 있다. 관통 홀(CH)은 코어층(140)은 하면을 완전히 관통하지 않고, 캐비티 형태를 가질 수도 있다. 관통 홀(CH)은, 코어층(140)의 중앙 부분에 형성될 수 있다. 그러나 관통 홀(CH)의 위치가 중앙 부분에 한정되는 것은 아니다.
- [0088] 코어층(140)은 코어 절연층(141), 코어 배선(143), 및 코어 비아(145)를 포함할 수 있다. 코어 배선(143)은 다중층 구조로 형성되고, 코어 비아(145)를 통해 서로 전기적으로 연결될 수 있다. 도 10에서, 코어 배선(143)이 3층 구조로 형성되고 있는데, 코어 배선(143)의 층수가 3층에 한정되는 것은 아니다. 코어 절연층(141)은 코어 배선(143)의 다중층 구조에 대응하여 다중층 구조를 가질 수 있다. 도 1b에서 편의상 코어 절연층(141)은 단일층으로 도시되고 있다.
- [0089] 충전재(150)는 코어층(140)의 관통 홀(CH) 내의 공간을 채우고, 코어층(140)의 상면 상으로 연장될 수 있다. 다시 말해서, 충전재(150)는 하부 반도체 칩(3001)과 관통 홀(CH)의 내측벽 사이의 공간을 채우고, 하부 반도체 칩(3001)의 상면과 코어층(140)의 상면을 덮을 수 있다. 이와 같이, 충전재(150)가 관통 홀(CH) 내부에 배치된 하부 반도체 칩(3001)을 밀봉함으로써, 하부 반도체 칩(3001)을 외부의 물리적 화학적 손상으로부터 보호할 수 있다.
- [0090] 상부 패키지(1000)는 외부 연결 단자(200a)를 통해 코어층(140) 및 충전재(150) 상부에 적층될 수 있다. 상부 패키지(1000)는 예컨대, 도 8a의 반도체 패키지(1000)일 수 있다. 그러나 상부 패키지(1000)가 도 8a의 반도체 패키지에 한정되는 것은 아니다. 예컨대, 상부 패키지(1000)는 복수의 반도체 칩들을 포함하는 도 8b의 반도체 패키지(1000a)일 수도 있다.
- [0091] 본 실시예의 반도체 패키지(1000c) 역시, 재배선 기관(100j)은 신호 영역(SA) 내에 파워 라인들을 포함하지 않을 수 있다. 따라서, 본 실시예의 반도체 패키지(1000c)는 파워 라인들에 기인한 노이즈가 억제될 수 있고, 신호 무결성이 향상된 반도체 패키지를 구현할 수 있도록 한다.
- [0092] 도 11a 및 도 11b는 본 발명의 일 실시예에 따른 반도체 장치에 대한 사시도 및 단면도로서, 11b는 도 11a의 III-III' 부분을 절단하여 보여주는 단면도이다. 도 1a 및 도 1b를 함께 참조하여 설명하고, 도 1a 내지 도 10의 설명 부분에서 이미 설명한 내용을 간단히 설명하거나 생략한다.
- [0093] 도 11a 및 도 11b를 참조하면, 본 실시예의 반도체 장치(10000)는 패키지 기관(100), 외부 연결 단자(200), 반도체 패키지(1000d), 인터포저(600), 및 프로세서 칩(700)을 포함할 수 있다.
- [0094] 패키지 기관(100)은 도 1a의 기관(100)일 수 있다. 그러나 패키지 기관(100)이 도 1a의 기관(100)에 한정되는 것은 아니다. 예컨대, 패키지 기관(100)은, 도 4a, 도 5a ~ 도 5c, 및 도 6a ~ 도 7b의 기관들(100a ~ 100i) 중 어느 하나일 수도 있다. 패키지 기관(100)의 하면 상에 외부 연결 단자(200)가 배치될 수 있다. 반도체 장치(10000)는 외부 연결 단자(200)를 통해 시스템 보드나 마더 보드와 같은 다른 외부 보드 상에 실장될 수 있다.
- [0095] 반도체 패키지(1000d)는 도 8b의 반도체 패키지(1000a)일 수 있다. 그러나 본 실시예의 반도체 장치(10000)에서, 반도체 패키지(1000d)가 도 8b의 반도체 패키지(1000a)에 한정되는 것은 아니다. 예컨대, 반도체 패키지(1000d)는 도 8a, 도 9, 및 도 10의 반도체 패키지(1000, 1000b, 1000c) 중의 하나일 수도 있다. 한편, 본 실시예의 반도체 장치(10000)에서, 4개의 반도체 패키지(1000d)가 인터포저(600) 상에 실장되고 있는데, 반도체 패키지(1000d)가 4개에 한정되는 것은 아니다. 예컨대, 반도체 패키지(1000d)는 인터포저(600) 상에 1개 내지 3개 또는 5개 이상 실장될 수 있다.
- [0096] 인터포저(600)는 인터포저 기관(601), 상부 보호층(603), 상부 패드(605), 배선층(610), 범프(620), 및 관통전극(630)을 포함할 수 있다. 반도체 패키지(1000d)와 프로세서 칩(700)은 인터포저(600)를 매개로 하여 패키지 기관(100) 상에 실장될 수 있다. 인터포저(600)는 반도체 패키지(1000d)와 프로세서 칩(700)을 패키지 기관(100)에 전기적으로 연결할 수 있다.
- [0097] 인터포저 기관(601)은 예컨대, 실리콘, 유기물, 플라스틱, 및 유리 기관 중 어느 하나로 형성될 수 있다. 그러

나 인터포저 기판(601)의 재질이 전술한 물질들에 한정되는 아니다. 인터포저 기판(601)이 실리콘 기판인 경우에, 인터포저(600)는 실리콘 인터포저로 언급될 수 있다. 또한, 인터포저 기판(601)이 유기물 기판인 경우에, 인터포저(600)는 패널 인터포저로 언급될 수 있다.

- [0098] 기판(601) 상면 상에 상부 보호층(603)이 배치되고, 상부 패드(605)가 상부 보호층(603) 상에 배치될 수 있다. 상부 패드(605)는 관통 전극(630)에 연결될 수 있다. 상부 패드(605) 상에 배치된 범프들(320c)을 통해 반도체 패키지(1000d) 및 프로세서 칩(700)이 인터포저(600) 상에 적층될 수 있다. 배선층(610)은 인터포저 기판(601) 하면 상에 배치되고, 단층 또는 다중층 구조를 가질 수 있다.
- [0099] 관통 전극(630)은 인터포저 기판(601)을 관통하여 연장할 수 있다. 또한, 관통 전극(630)은 배선층(610)의 내부로 연장되어, 배선층(610)의 배선들과 전기적으로 연결될 수 있다. 인터포저 기판(601)이 실리콘인 경우, 관통 전극(630)은 TSV로 언급될 수 있다. 한편, 실시예에 따라, 인터포저(600)는 내부에 배선층만을 포함하고, 관통 전극은 포함하지 않을 수도 있다.
- [0100] 본 실시예의 반도체 장치(10000)에서, 인터포저(600)는 패키지 기판(100)과 반도체 패키지(1000d) 또는 프로세서 칩(700) 사이에서 전기신호를 변환하거나 전달하기 위한 목적으로 사용될 수 있다. 그에 따라, 인터포저(600)는 능동 소자나 수동 소자 등의 소자들을 포함하지 않을 수 있다. 한편, 인터포저(600)에서, 배선층(610)이 관통 전극(630)의 하부에 배치되고 있지만, 실시예에 따라서, 배선층(610)은 관통 전극(630)의 상부에 배치될 수도 있다. 예컨대, 배선층(610)과 관통 전극(630)의 위치 관계는 상대적일 수 있다.
- [0101] 범프(620)는 인터포저(600)의 하면 상에 배치되고 배선층(610)의 배선과 전기적으로 연결될 수 있다. 범프(620)를 통해 인터포저(600)가 패키지 기판(100) 상에 실장될 수 있다. 범프(620)는 배선층(610)의 배선들과 관통 전극(630)을 통해 상부 패드(605)에 연결될 수 있다.
- [0102] 한편, 본 실시예의 반도체 장치(10000)에서, 인터포저(600)는, 도 1a의 기판(100)과 같이, 신호 영역(SA)이 정의될 수 있다. 따라서, 인터포저(600)의 신호 영역(SA)에는 파워 라인들이 포함되지 않을 수 있다. 예컨대, 인터포저(600)의 상부 패드(605)는 도 1a의 기판(100)의 핀들(120p)에 대응하고, 인터포저(600)의 배선층(610)은 도 1a의 기판(100)의 하부 배선층(110) 및/또는 내부 배선층(130)에 대응할 수 있다. 한편, 실시예에 따라, 인터포저(600)에 신호 영역(SA)이 정의되지 않을 수도 있다.
- [0103] 프로세서 칩(700)은 GPU/CPU/SOC 칩일 수 있다. 프로세서 칩(700)의 내부에 포함된 소자들의 종류에 따라, 반도체 장치(10000)는 서버(sever)향 반도체 장치나 모바일(mobile)향 반도체 장치 등으로 구별될 수 있다.
- [0104] 도시하지 않았지만, 반도체 장치(10000)는 인터포저(600) 상에 반도체 패키지(1000d)와 프로세서 칩(700)을 밀봉하는 내부 밀봉재를 포함할 수 있다. 또한, 반도체 장치(10000)는 패키지 기판(100) 상에 인터포저(600)와 내부 밀봉재를 밀봉하는 외부 밀봉재를 포함할 수 있다. 실시예에 따라, 외부 밀봉재와 내부 밀봉재는 함께 형성되어 구별되지 않을 수 있다. 또한, 실시예에 따라, 내부 밀봉재는 프로세서 칩(700)의 상면만을 덮고 반도체 패키지(1000d)의 상면은 덮지 않을 수 있다.
- [0105] 참고로, 본 실시예와 같은 반도체 장치(10000)의 구조를 2.5D 패키지 구조라고 부르는데, 2.5D 패키지 구조는 인터포저가 없는 3D 패키지 구조에 대한 상대적인 개념일 수 있다. 2.5D 패키지 구조와 3D 패키지 구조는 모두 SIP(System In Package) 구조에 포함될 수 있다. 한편, 본 실시예의 반도체 장치(10000) 역시 일종의 반도체 패키지일 수 있다. 그러나 반도체 장치(10000)가 도 8a 내지 도 10의 반도체 패키지들(1000, 1000a ~ 1000c)에 해당하는 반도체 패키지(1000d)를 포함할 수 있으므로, 반도체 패키지(1000d)와 용어적으로 구별하기 위하여 반도체 장치라고 명명하고 있다. 이하, 도 12의 반도체 장치(10000a)에도 역시 동일한 개념이 적용될 수 있다.
- [0106] 본 실시예의 반도체 장치(10000) 역시, 패키지 기판(100) 및/또는 인터포저(600)은 신호 영역(SA) 내에 파워 라인들을 포함하지 않을 수 있다. 따라서, 본 실시예의 반도체 장치(10000)는 파워 라인들에 기인한 노이즈가 억제될 수 있고, 신호 무결성이 향상된 반도체 장치를 구현할 수 있도록 한다.
- [0107] 도 12는 본 발명의 일 실시예에 따른 반도체 장치에 대한 단면도이다. 도 1a 및 도 1b를 함께 참조하여 설명하고, 도 11의 설명 부분에서 이미 설명한 내용을 간단히 설명하거나 생략한다.
- [0108] 도 12를 참조하면, 본 실시예의 반도체 장치(10000a)는 패키지 기판(100), 외부 연결 단자(200), 메모리 칩(300a, 300b), 로직 칩(700a), 내부 밀봉재(500c), 및 외부 밀봉재(500d)를 포함할 수 있다.
- [0109] 패키지 기판(100)은 도 1a의 기판(100)일 수 있다. 그러나 패키지 기판(100)이 도 1a의 기판(100)에 한정되는 것은 아니다. 예컨대, 패키지 기판(100)은, 도 4a, 도 5a ~ 도 5c, 및 도 6a ~ 도 7b의 기판들(100a ~ 100i)

중 어느 하나일 수도 있다. 패키지 기판(100)의 하면 상에 외부 연결 단자(200)가 배치될 수 있다. 반도체 장치(10000)는 외부 연결 단자(200)를 통해 시스템 보드나 마더 보드와 같은 다른 외부 보드 상에 실장될 수 있다.

[0110] 2개의 메모리 칩(300a, 300b)은 로직 칩(700a) 상에 실장될 수 있다. 2개의 메모리 칩(300a, 300b)은 동일한 메모리 칩일 수도 있다. 예컨대, 2개의 메모리 칩(300a, 300b) 모두 SRAM 칩일 수 있다. 그러나 실시예에 따라, 2개의 메모리 칩(300a, 300b)은 서로 다른 메모리 칩일 수도 있다. 예컨대, 제1 메모리 칩(300a)은 SRAM 칩이고 제2 메모리 칩(300b)는 DRAM 칩일 수 있다.

[0111] 로직 칩(700a) 상에 적층되는 메모리 칩이 2개에 한정되는 것은 아니다. 예컨대, 메모리 칩은 로직 칩(700a) 상에 1개 또는 3개 이상 적층될 수 있다. 또한, 메모리 칩의 종류의 SRAM 칩이나 DRAM 칩에 한정되는 것은 아니다. 예컨대, 앞서 기술한 다양한 종류의 메모리 칩이 본 실시예에 반도체 장치(10000a)에 포함될 수 있다. 더 나아가, 2개의 메모리 칩(300a, 300b) 대신에 메모리 패키지가 로직 칩(700a) 상에 실장될 수도 있다. 메모리 패키지는 적어도 2개의 메모리 칩을 포함할 수 있다. 또한, 로직 칩(700a) 상에는 3개 이상의 메모리 패키지가 실장될 수도 있다.

[0112] 로직 칩(700a)은 패키지 기판(100) 상에 실장될 수 있다. 로직 칩(700a)은 GPU/CPU/SOC 칩 등 다양한 종류의 프로세서 칩일 수 있다. 내부 밀봉재(500c)는 로직 칩(700a) 상의 메모리 칩(300a, 300b)을 밀봉할 수 있다. 또한, 외부 밀봉재(500d)는 패키지 기판(100) 상의 로직 칩(700a), 및 내부 밀봉재(500c)를 밀봉할 수 있다. 본 실시예의 반도체 장치(10000a)는 패키지 기판(100) 상에 로직 칩(700a)이 적층되고, 로직 칩(700a) 상에 메모리 칩(300a, 300b)이 적층되므로 3D 패키지 구조에 해당할 수 있다.

[0113] 본 실시예의 반도체 장치(10000a) 역시, 패키지 기판(100)은 신호 영역(SA) 내에 파워 라인들을 포함하지 않을 수 있다. 따라서, 본 실시예의 반도체 장치(10000a)는 파워 라인들에 기인한 노이즈가 억제될 수 있고, 신호 무결성이 향상된 반도체 장치를 구현할 수 있도록 한다.

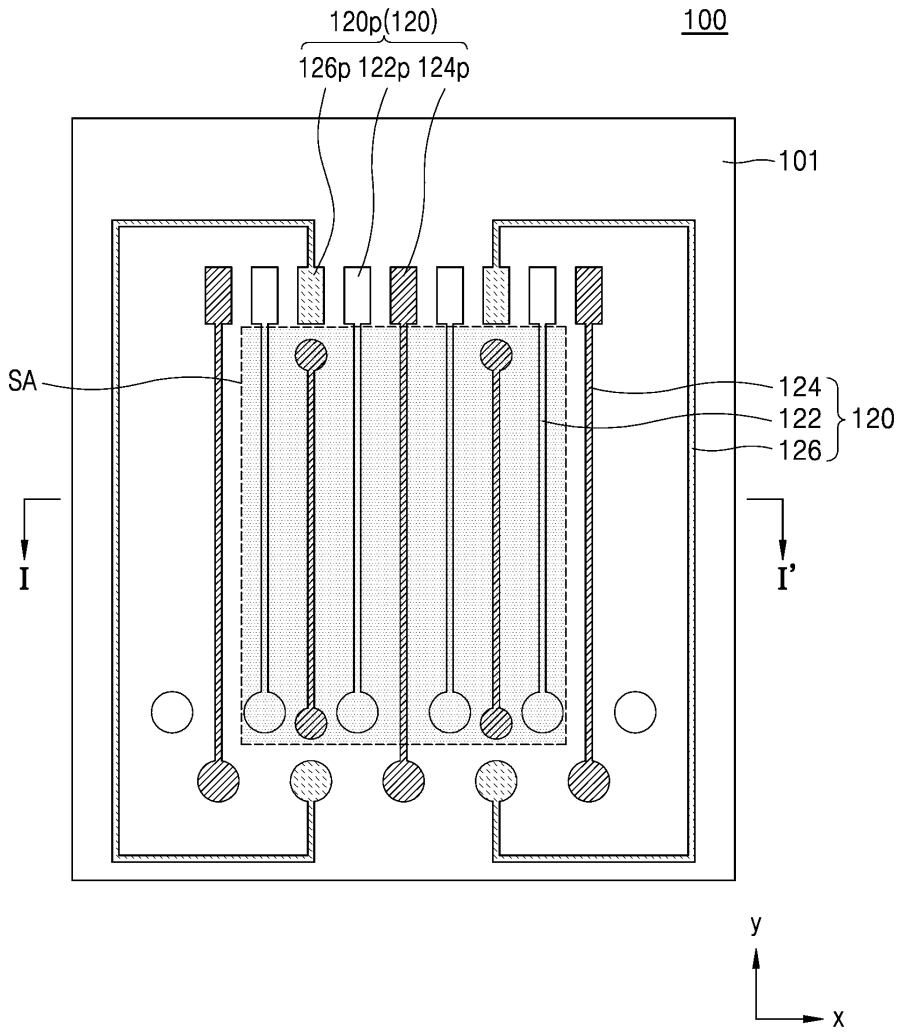
[0114] 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

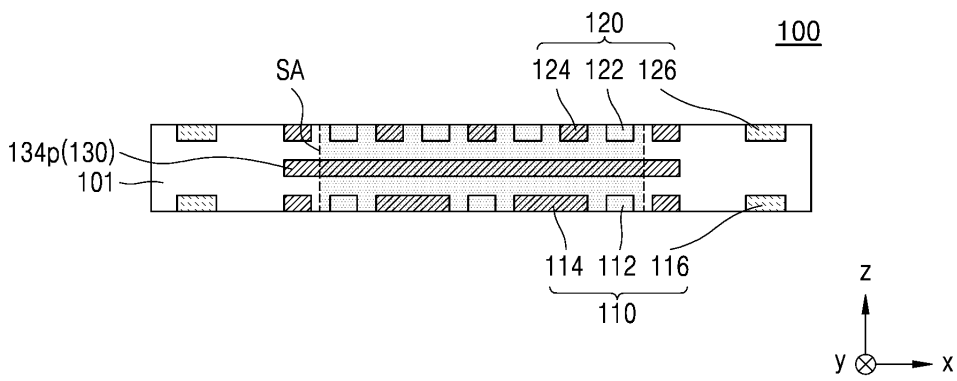
[0116] 100, 100a ~ 100i: 기판, 101: 바디층, 110: 하부 배선층, 112, 122, 132: 신호 라인, 114, 124, 134: 그라운드 라인, 116, 126, 136: 파워 라인, 120: 상부 배선층, 120p: 핀, 130, 130a, 134b: 내부 배선층, 134p, 134pa, 134pb: 그라운드 플레인, 112om2, 122om1, 122om2: 최외곽 신호 라인, 200: 외부 연결 단자, 300: 반도체 칩, 301: 칩 기판, 320: 범프, 330: TSV, 400: 접착층, 500, 500a, 500b, 500c: 밀봉재, 600: 인터포저, 670: 수동 소자, 700: 프로세서 칩, 1000, 1000a ~ 1000d: 반도체 패키지, 10000, 10000a: 반도체 장치

도면

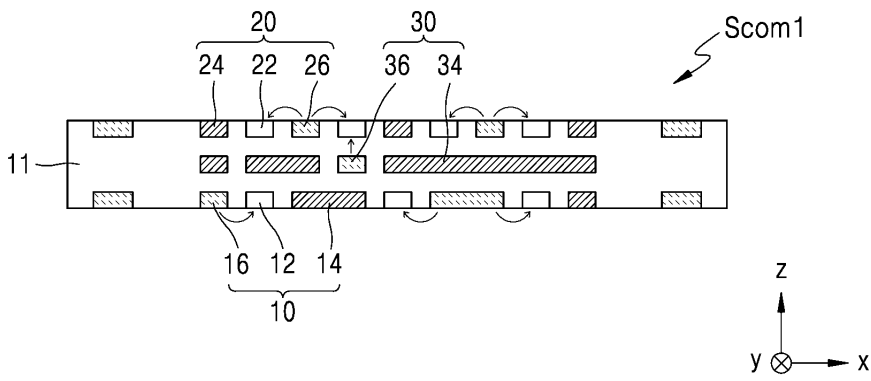
도면1a



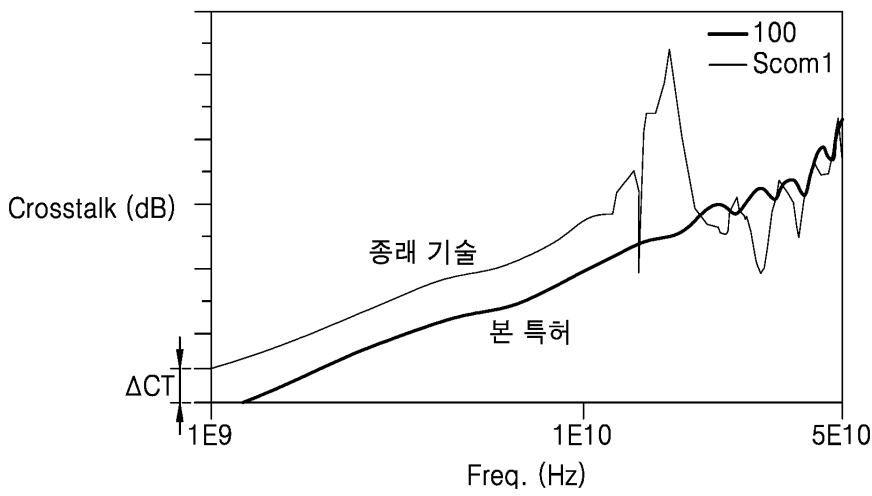
도면1b



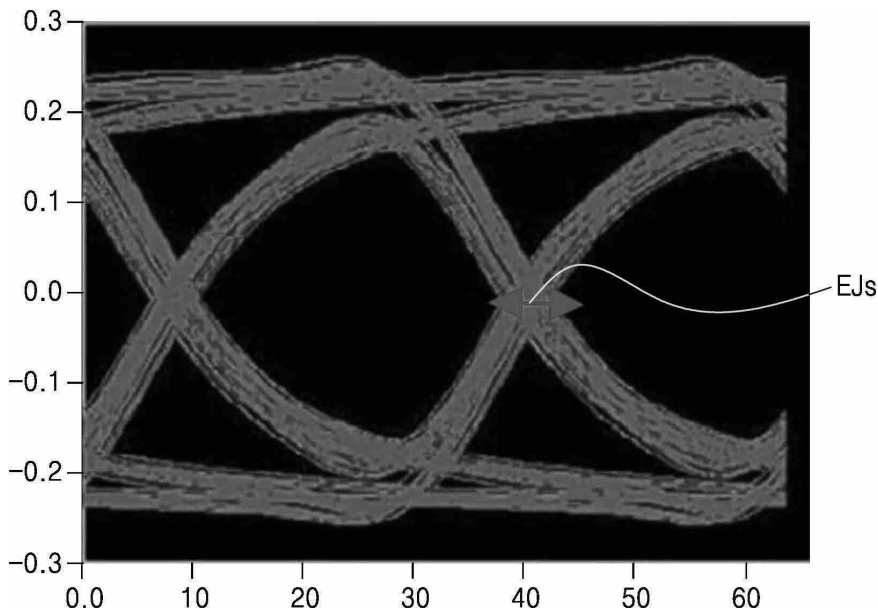
도면2a



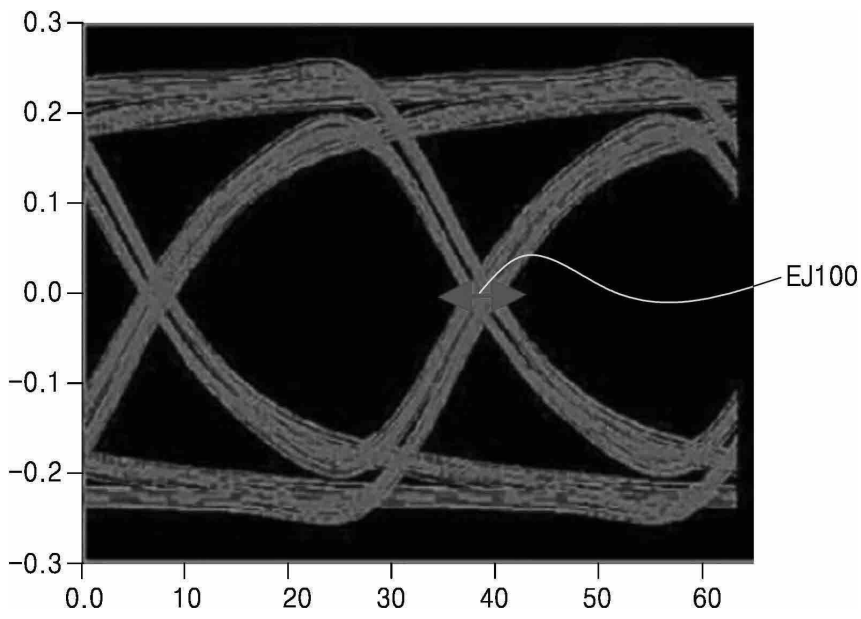
도면2b



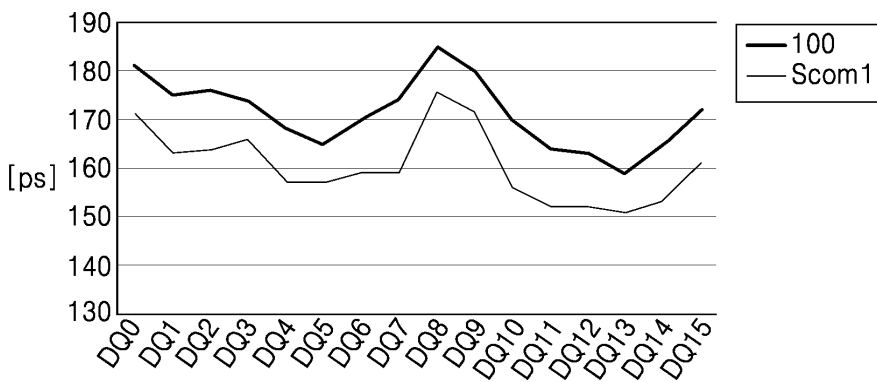
도면3a



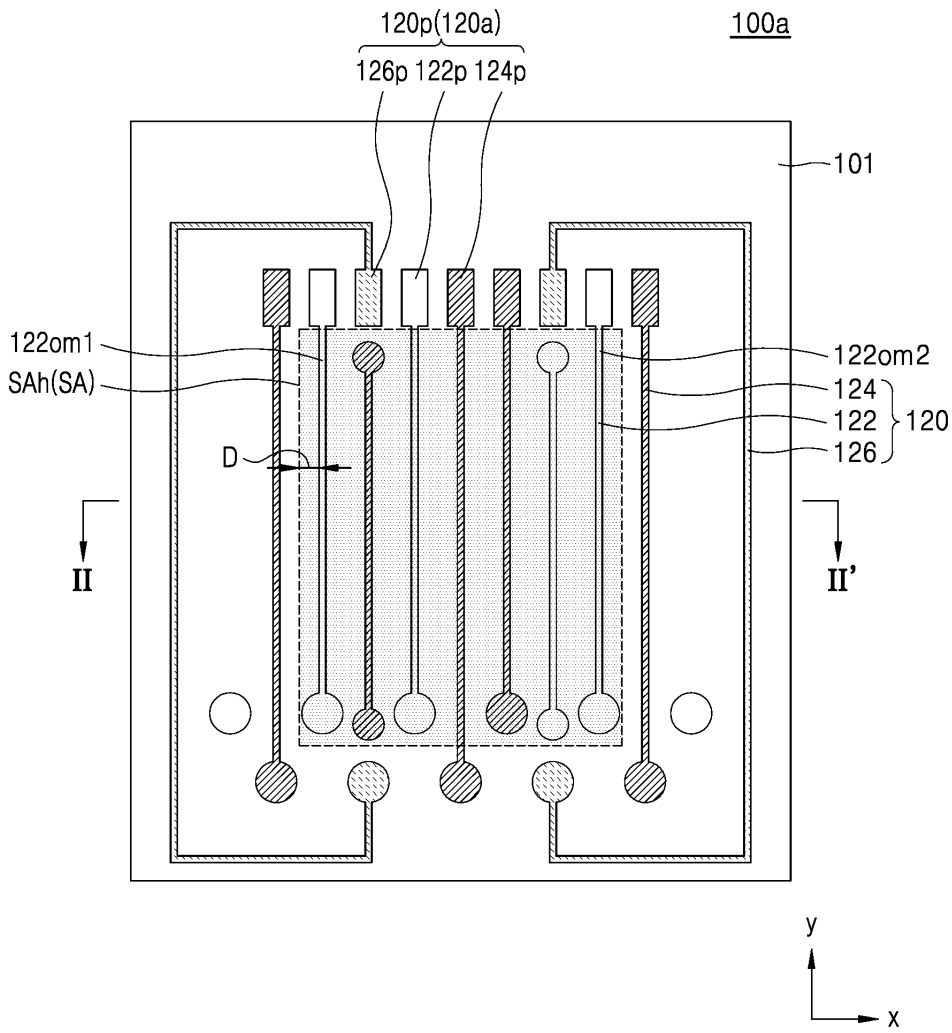
도면3b



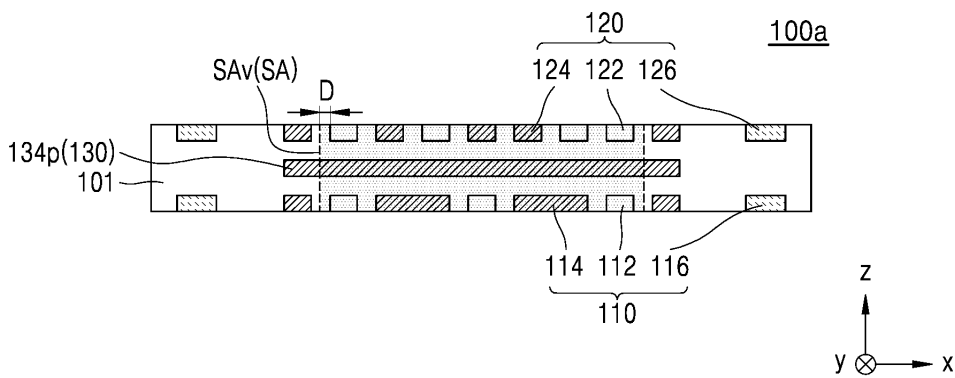
도면3c



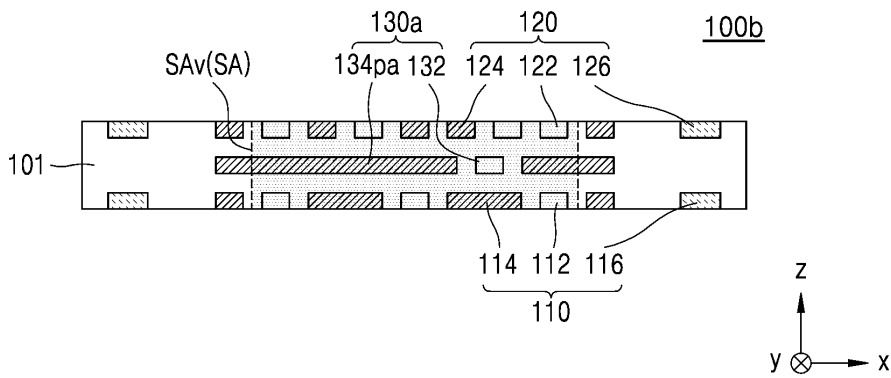
도면4a



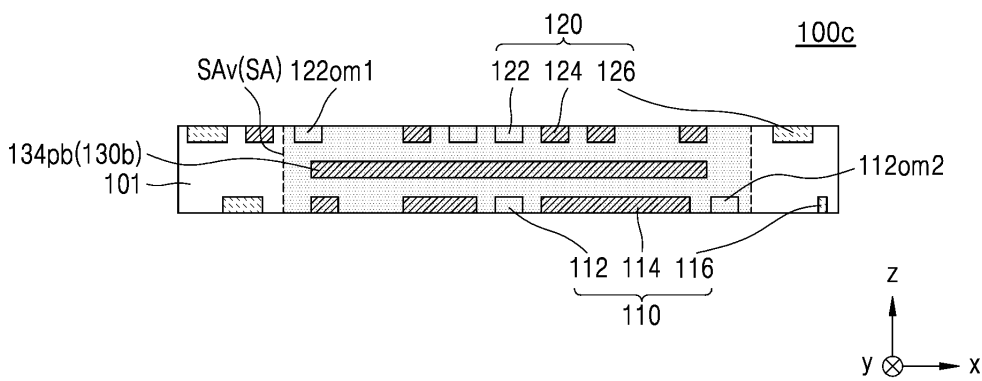
도면4b



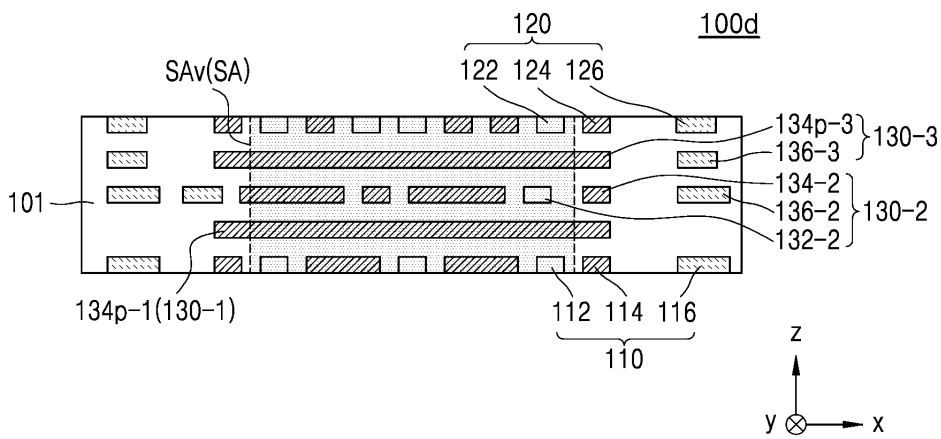
도면5a



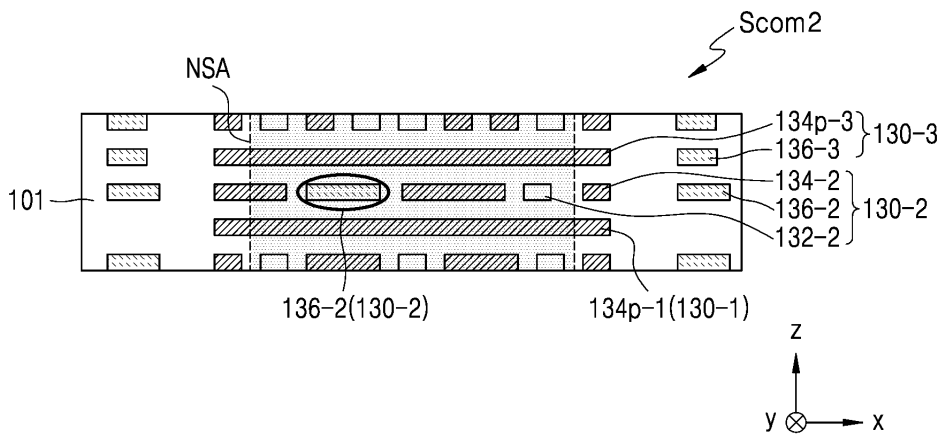
도면5b



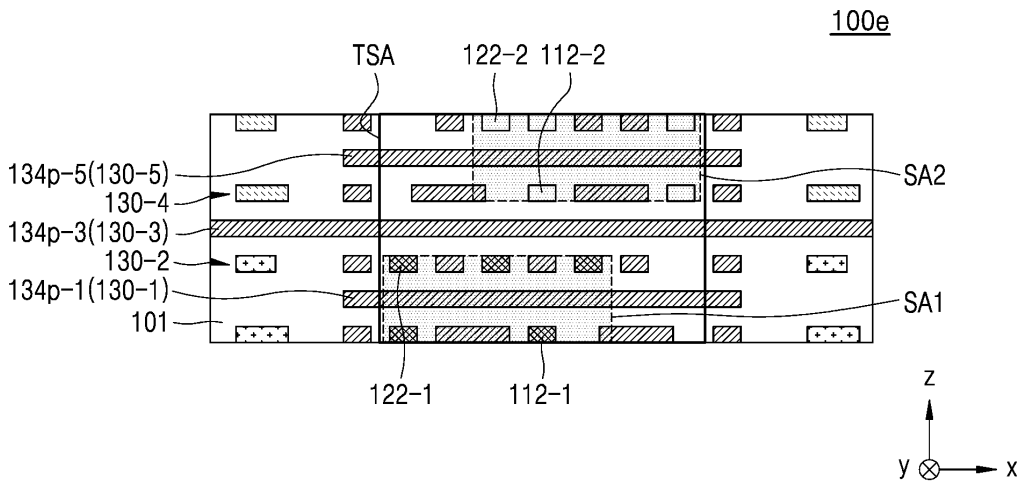
도면5c



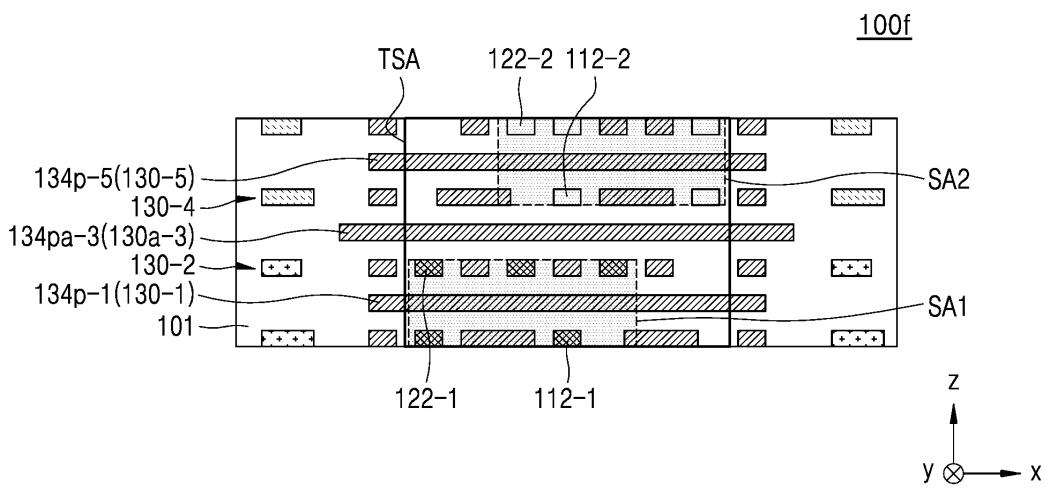
도면5d



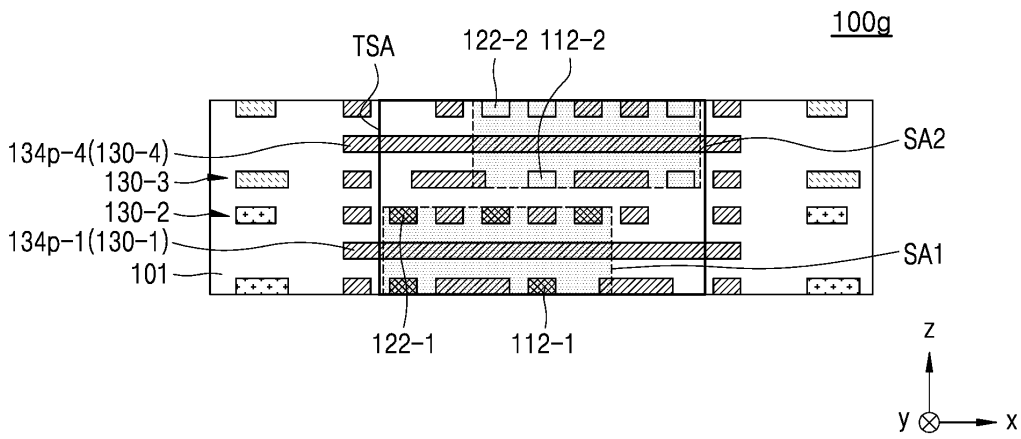
도면6a



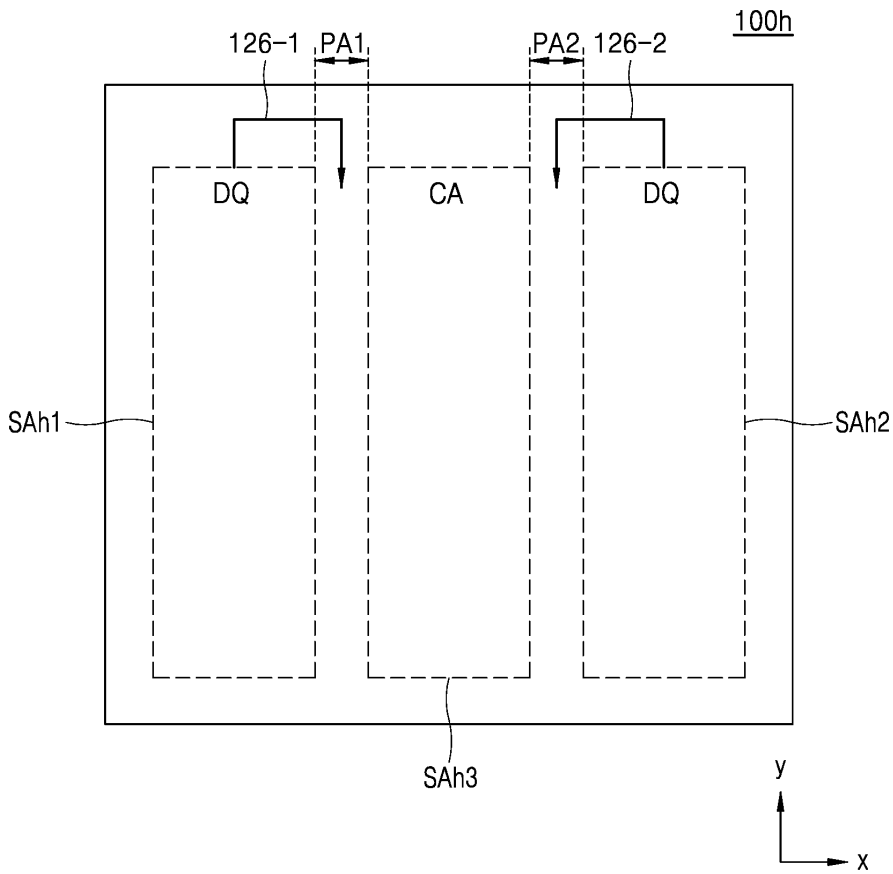
도면6b



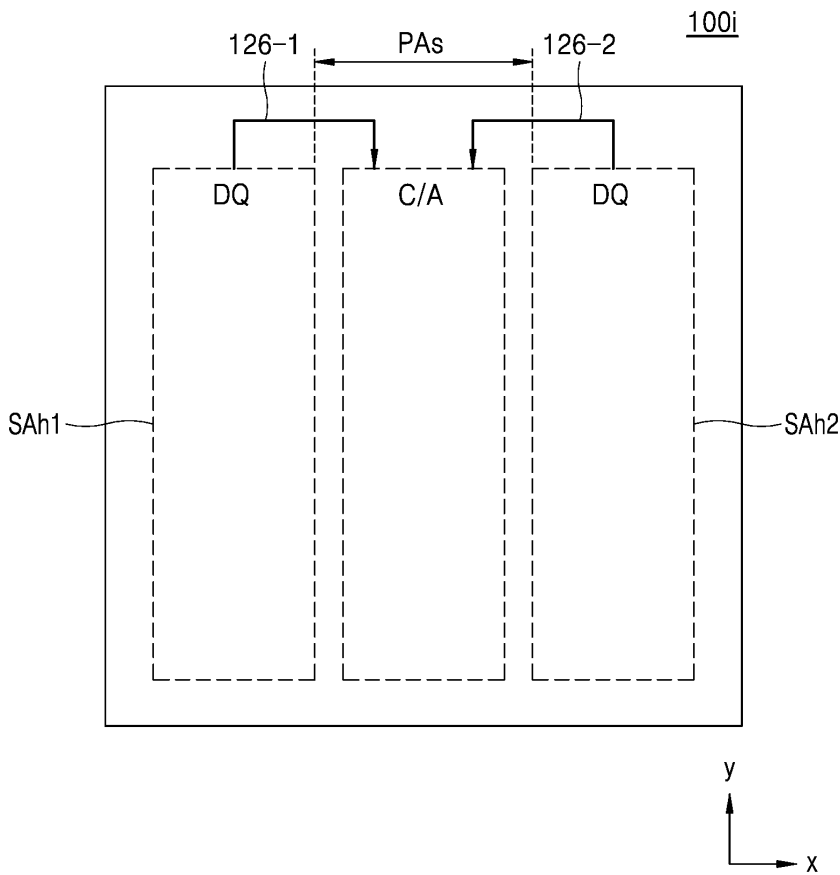
도면6c



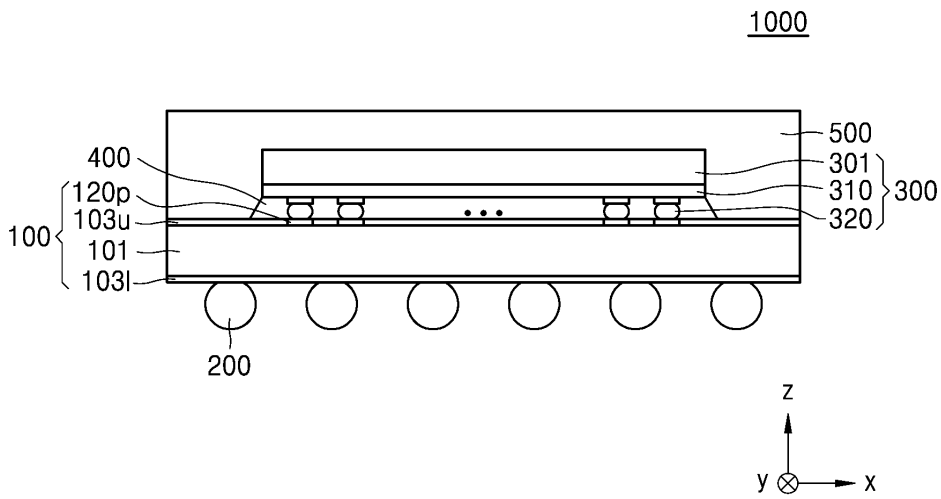
도면7a



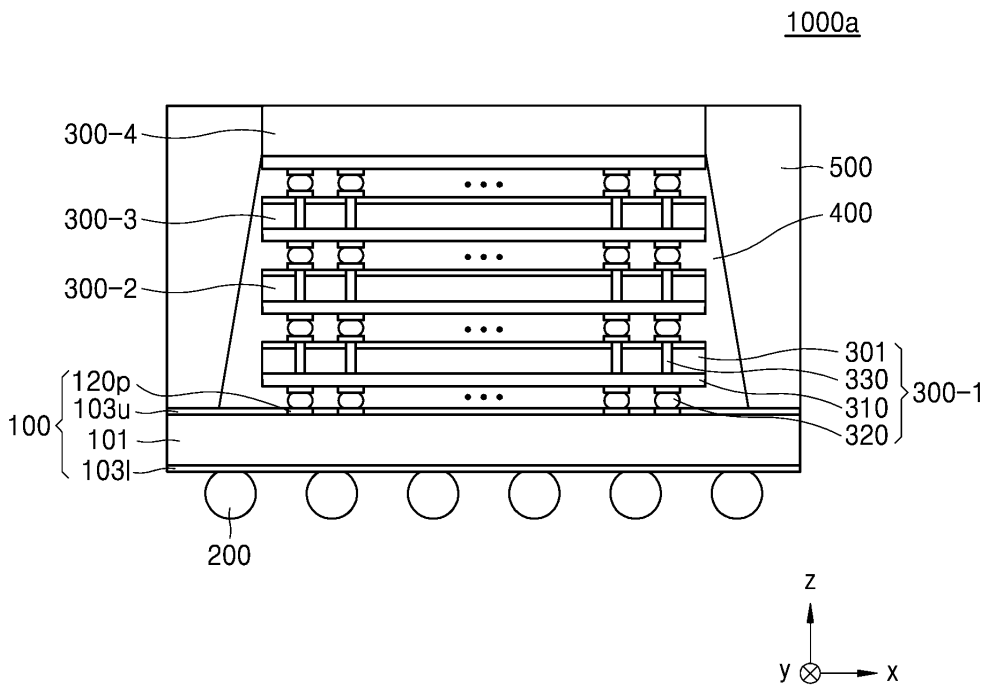
도면7b



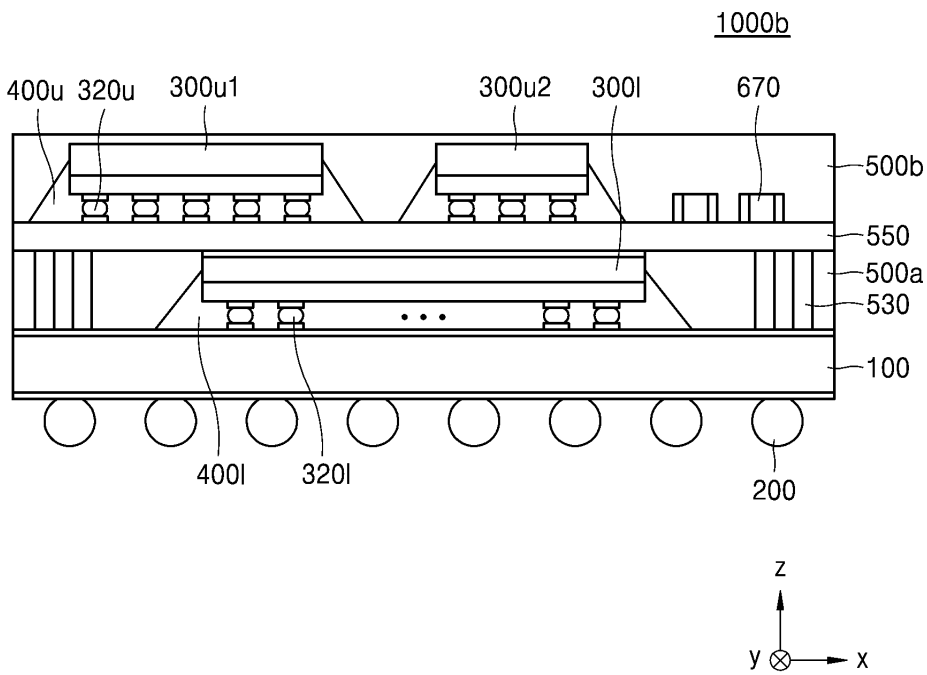
도면8a



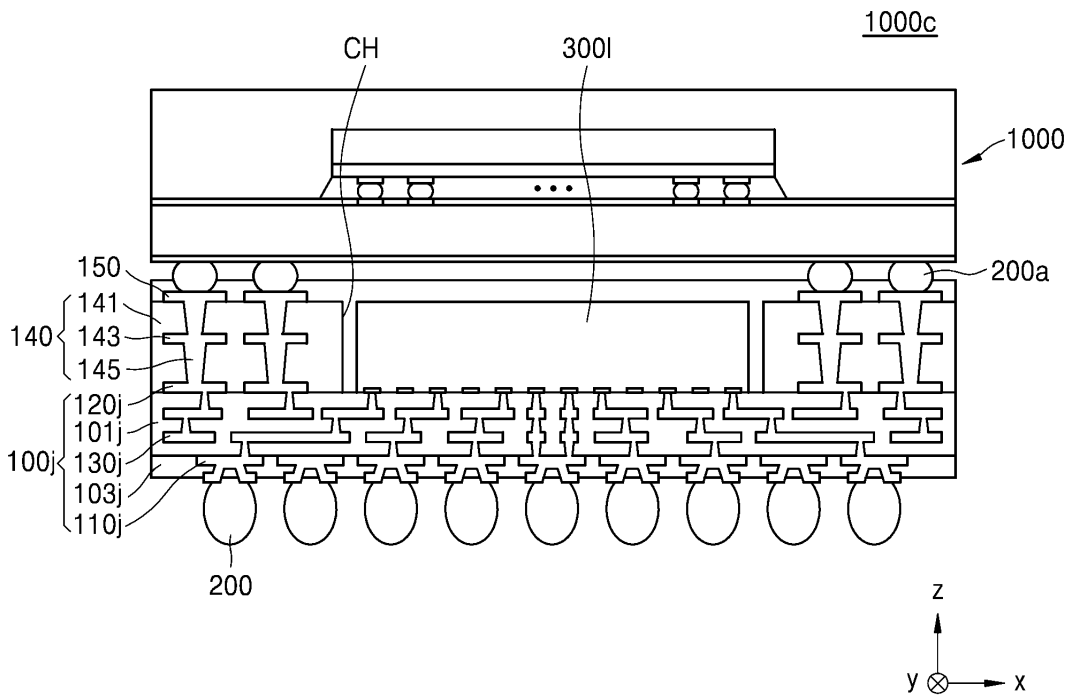
도면8b



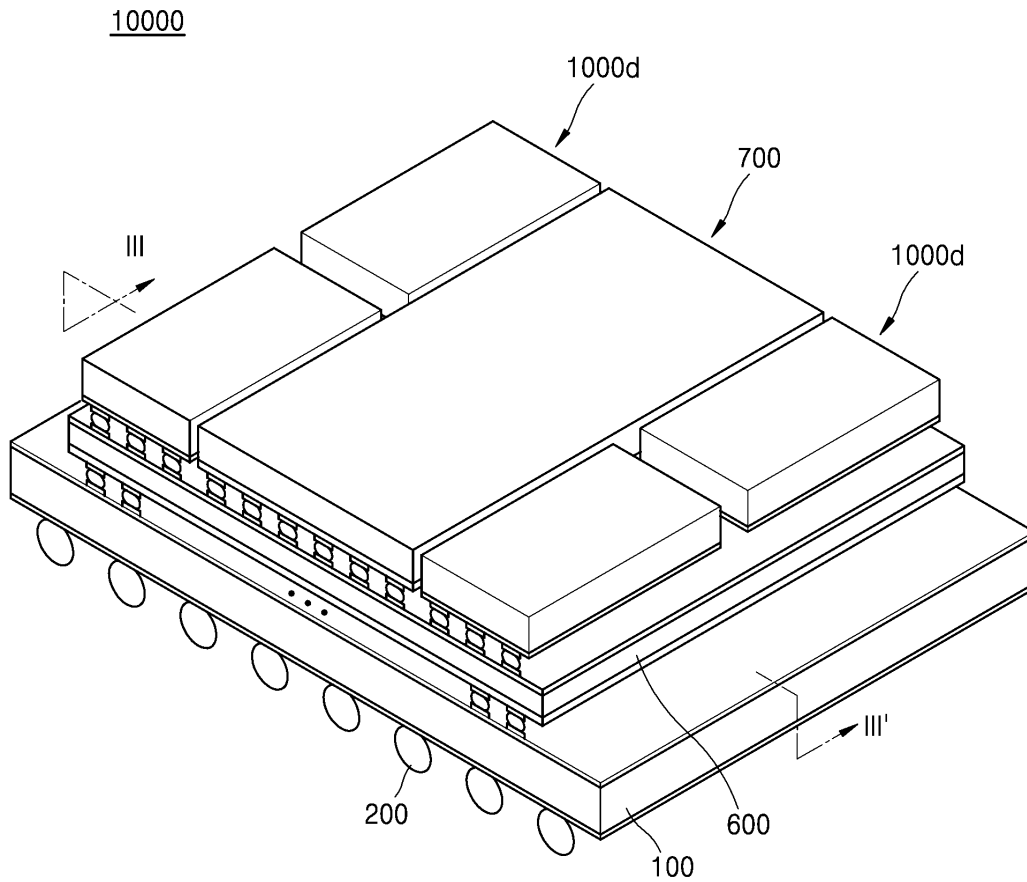
도면9



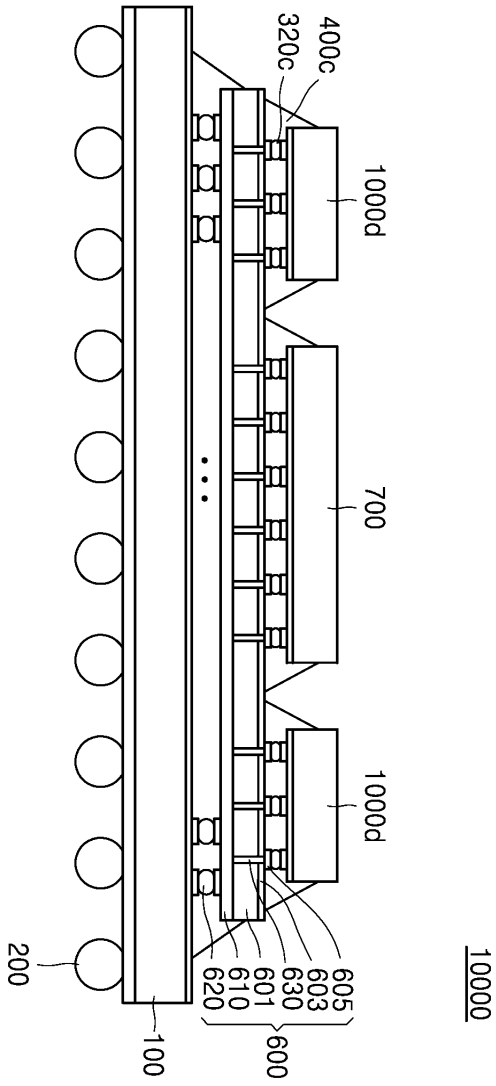
도면10



도면11a



도면11b



도면12

