公告本

申請日期	88 年 11 月 6 日
案號	88119432
類別	H03K 19/00

（以上各欄由本局填註）

A4
C4

432791

發明 新型 專利說明書

一、發明新型名稱	中文	將差動電壓轉換成全平衡電流之裝置及方法
	英文	Apparatus and method for converting differential voltage to fully balancedcurrents
二、發明創作人	姓名	(1) 茶塗察滋洛 Zdzislaw, Czarnul (2) 石井啓友 (3) 小田和宏
	國籍	(1) 波蘭 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣橫浜市鶴見區中央鶴見四－三六－五 4-36-5, Chuo-tsurumi, Tsurumi-ku, Yokohama -shi, Kanagawa-ken, JAPAN (2) 日本國神奈川縣鎌倉市浄明寺六－－〇－－〇 (3) 日本國神奈川縣橫浜市磯子區汐見台二－五－－－二五〇四－四二－
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1998 年 11 月 12 日	10-322131	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1　)

發明之背景

發明範圍

本發明關於一裝置及方法以將差動輸入電壓轉換爲全平衡輸出電流。

本發明特別關於一裝置及方法以增加／加倍作業跨導放大器方式以轉換差動輸入電壓爲全平衡輸出電流。

此外，本發明關於一裝置與方法經由利用一簡化共同模式控制電路，以控制二輸出電流之共同模式成份。

作爲一輸入差動電壓／輸出電流轉換器，已發展一作業跨導放大器（以後稱〝ＯＴＡ〞）用以轉換輸入差動電壓V_1-V_2爲二輸出電流I_{o1}，I_{o2}，此二電流假定爲在一參考電流I_{REFCM}之固定常數值附近平衡。在最簡化型能轉換輸入差動電壓爲二全平衡輸出電流I_{o1}，I_{o2}（以下稱〝ＦＢ－ＯＴＡ〞），參考電流I_{REFCM}之值假定爲０。

通常，一ＦＢ－ＯＴＡ包括負載電路分別耦合至ＯＴＡ之輸出端點。通常，每一負載電路有相同阻抗。

當差動輸入電壓V_1-V_2加到ＯＴＡ時，轉換之輸出電流I_{o1}，I_{o2}必定包括共同模式成份，此乃由於在ＯＴＡ中轉換期間外界噪音之影響。特別是，當爲類比系統一部份之ＯＴＡ與數位系統統合在同一基體上時，轉換後之輸出電流，因爲自數位電路產生之噪音，而包括共同模式成份。結果，有一種需求，採取某些測量以在輸出電流中消除不當之共同模式成份，以使差動輸出電壓之可用波幅越大越好。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(2　)

傳統上，曾建議一共同模式控制電路加在ＯＴＡ上，以產生共同模式回輸控制信號或一共同模式前饋控制信號至ＯＴＡ。前型式ＯＴＡ稱爲共同模式回輸控制型ＯＴＡ（此後稱〝ＣＭＦＢ〞－ＯＴＡ）。後者ＯＴＡ稱爲共同模式前饋控制型ＯＴＡ（此後稱爲〝ＣＭＦＦ〞－ＯＴＡ）。

圖１４－１８係關於傳統共同模式回輸控制型全平衡ＯＴＡ實施。圖１９顯示共同模式前饋控制型全平衡ＯＴＡ實施。

在圖１４中，ＣＭＦＢ－ＯＴＡ包括一ＯＴＡ（１）供轉換差動輸入電壓V_1-V_2爲二輸出電流I_{o1}，I_{o2}，及ＣＭＦＢ電路（２ａ）以產生共同模式回輸控制電壓Ｖ至ＯＴＡ（１）。ＯＴＡ（１）之輸出端點分別耦合至負載電路（３ａ），（３ｂ）。

當ＯＴＡ（１）轉換差動輸入電壓V_1-V_2爲可自ＯＴＡ（１）獲得之二輸出電流I_{o1}，I_{o2}時，輸出電壓V_{o1}，V_{o2}根據負載電壓（３ａ），（３ｂ）之各別阻抗而產生。ＣＭＦＢ電路（２ａ）產生一回輸控制電壓V_B，其爲輸出電壓V_{o1}，V_{o2}之函數，以強力抑制／消除在輸出電流I_{o1}，I_{o2}中之共同模式成份。

圖１５顯示一傳統ＯＴＡ（１）電路。ＯＴＡ（１）由四個ＰＭＯＳ電晶體（Ｑ１０１）－（Ｑ１０４），二個ＮＭＯＳ電晶體（Ｑ１０５），（Ｑ１０６），四個恆流源（１０１）－（１０４）及一電阻器（Ｒ１）組成。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(3　)

輸入電壓V_1，V_2分別加在NMOS電晶體（Q105）及（Q106）之每一閘極端點。CMFB電路（2a）供應一控制電壓VB至OTA（1）中之二PMOS電晶體（Q101）及（Q102）之共同耦合閘極端點。一預定之電壓VBO加在另外二個PMOS電晶體（Q103）及（Q104）之各別閘極端點。自二PMOS電晶體（Q103）及（Q104）之各別汲極端點可獲得輸出電流I_{o1}，I_{o2}。差動輸出電壓$V_{o1}-V_{o2}$根據負載電路（3a）及（3b）之阻抗而產生。

圖16顯示一傳統CMFB電路（2a）。此電路結構曾揭示於IEEE固態電路月刊，卷23，No.6，頁1410-1414，1988，12，其標題爲〝具有準確輸出平衡之全差動作業放大器〞，由M. Banu, J. M. Khoury及Y. Tsividis所撰。

圖6中，CMFB電路（2a）包含一分壓器（111）及一感測放大器（112）。緩衝族大器（110）包括二作業放大器（OP1），（OP2）。分壓器（111）含二電阻器（R2），（R3）及二電容器（C1），（C2）。感測放大器（112）由二PMOS電晶體（Q111），（Q112）及二NMOS電晶體（Q113），（Q114）及恆流源（113）構成。自OTA（1）之輸出電壓V_{o1}，V_{o2}加至緩衝電路（110）上。緩衝電路之輸入阻抗必需越大越好。假定OP1及OP2之增益極高，緩衝電路之增益

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(4　)

可爲接近1。

當二電阻器（R2）及（R3）具有相同電阻值，二電容器（C1）及（C2）具有相同電容值，分壓器（111）輸出之電壓可由下列方程式（1）表之。

$$V_{Csens}=(V_{o1}+V_{o2})/2=V_{cm} \qquad (1a)$$

電壓V_{cm}名稱爲共同模式輸出電壓。差動模式輸出電壓可由下式表之

$$V_{dm}=(V_{o1}-V_{o2})/2 \qquad (1b)$$

根據（1a）及（1b），輸出電壓V_{o1}及V_{o2}可分別由下式表之。

$$V_{o1}=V_{dm}+V_{cm}$$

$$V_{o2}=-V_{dm}+V_{cm}$$

FB-OTA之主要功能爲抑制，準確的說爲消除在V_{o1}及V_{o2}中之共同模式成份V_{cm}。

在CMFB（2a）中之感測放大器（112）將自分壓器（111）輸出電壓$V_c=V_{cm}$與外部加上之參考電壓V_{ref}相比較。感測放大器（112）提供一控制電壓VB至OTA如圖14所示，因此，OTA之輸出電壓V_{o1}，V_{o2}之共同模式成份已大幅被抑制（理想情況爲消

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (5　)

除）。實際上，此共同模式電壓V_{cm}，對參考電壓V_{ref}而言，經由利用自ＣＭＦＢ之回輸輸出，已被消除。但如圖１６所示，傳統ＣＭＦＢ（２ａ）必需包含二作業放大器（ＯＰ１）及（ＯＰ２）。此外，ＣＭＦＢ電路（２ａ）必需備有感測放大器（１１２）。此一構型在製造小型緊密及功率消耗有限之電壓／電流轉換器，會引起許多問題。

另一型式之ＣＭＦＢ電路（２ａ）如圖１７所示，可使消耗之功率有限。此電路構型曾揭示於由R. J. Baker, H. W. LiD. E. Boyce之標題爲〝ＣＭＯＳ電路設計，布局及模擬〞文件中。

圖１７所示之ＣＭＦＢ電路（２ａ）結構包括第一感測差動對（１２１）以比較一輸入電壓V_{o1}與參考電壓V_{ref}，及第二感測差動對（１２２）以比較一輸入電壓V_{o2}與參考電壓V_{ref}。一控制電壓V_B由第一及第二感測差動對（１２１）及（１２２）之結果相加所產生。相加之意義爲將電壓（$V_{o1}+V_{o2}$）／２與參考電壓V_{ref}比較。結果，圖１７中之ＣＭＦＢ電路（２ａ）可達到與利用圖６之電路之幾乎同一結果。因此，圖１７中之ＣＭＦＢ電路可達成相似效果，而不需利用圖１６中之緩衝電路（１１０）及分壓器（１１１）。但圖１７ＣＭＦＢ電路之線性，根據簡單ＭＯＳ差動對（１２１）及（１２２）之低線性，非常有限。

圖１６及１７之ＣＭＦＢ電路之目的爲控制自ＯＴＡ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明(6　)

共同模式輸出電壓Ｖｃｍ。

下列方程式表示輸出共同模式電壓Ｖｃｍ，輸出共同模式電流Ｉｃｍ與電壓／電流轉換器之負載導納Ｙ之關係。

$$I_{cm} = Y \cdot V_{cm}$$

圖１８顯示根據利用輸出共同模式電流Ｉｃｍ以控制ＯＴＡ輸出電流之電壓／電流轉換器結構。此電路曾揭示於１９９７，５月，日本電氣工程師協會ＥＣＴ－９７－３４，刊物之１３－１６頁，由C. Wang, A. Hyogo及M. Ismail所撰，其標題爲〝一單一端輸入全平衡輸出ＣＭＯＳ電路〞。

與圖１４裝之轉換器相似，圖１８電壓／電流轉換器包括一ＯＴＡ（１）及ＣＭＦＢ電路（２ａ）。ＯＴＡ（１）之輸出端點耦合至負載電路（３ａ）及（３ｂ）。ＯＴＡ（１）含一輸入部份（１１）以轉換輸入電壓爲輸出電流Ｉｏ１，Ｉｏ２。。輸出部份（１２ａ）及（１２ｂ）耦合至輸入部份（１１）。輸出部份（１２ａ）及（１２ｂ）由同一電路結構組成。ＣＭＦＢ（２ａ）包括二電流轉移部份（２０１ａ）及（２０１ｂ）及一控制電流產生器（２０２）。電流轉移部份（２０１ａ）及（２０１ｂ）之構造與輸出部份（１２ａ）及（１２ｂ）相同。電流轉移部份（２０１ａ），（２０１ｂ）分別偵出輸出電流Ｉｏ１，Ｉｏ２。電流輸出Ｉｏ１及Ｉｏ２相加即成爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（7　）

一控制電流 I_c。

與輸出電壓 V_{o1}，V_{o2}（（參見（１））及輸出電流 I_{o1}，I_{o2}相似，一差動模式電流成份 I_{dm}及一共同模式電流成份 I_{cm}可予以限定。結果，電流輸出 I_{o1}，I_{o2}可以下式表之：

$$I_{o1} = I_{dm} + I_{cm}, \qquad (2a)$$

$$I_{o2} = -I_{dm} + I_{cm} \qquad (2b)$$

結果，電流 I_c變爲下式。

$$I_c = I_{o1} + I_{o2} = 2I_{cm}$$

注意上述之控制電流 I_c僅含共同模式電流。

圖１８中，控制電流產生部份（２０２）包括一對電晶體Ｑ１２１，Ｑ１２２，其包含第一電流鏡電路，及一對電晶體Ｑ１２３，Ｑ１２４，其含一電流鏡電路及一電晶體Ｑ１２５，一作業放大器（ＯＰ３）及一電阻器（Ｒ４）。一電流 I_{ref}通過第一電流鏡電路中之電晶體Ｑ１２２。由於電晶體Ｑ１２１之頻道寬爲電晶體Ｑ１２２頻道寬之二倍，通過電晶體Ｑ１２２之電流爲 $2I_{ref}$。因此，通過電晶體Ｑ１２１之電流 $2I_{ref}$及通過電流轉移部分（２０１）之電流 I_c相加，因而在圖１８之電晶體Ｑ１２１及電晶體Ｑ１２４之連接節點Ｎｃ

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明(8　)

之電流爲２Ｉｃｍ。

連接節點Ｎｃ耦合至電晶體Ｑ１２６及Ｑ１２７之共同閘極端點，以在輸入部份（１１）中構成一偏壓電路。由於電晶體Ｑ１２６及Ｑ１２７之閘極輸入阻抗幾乎爲無限大，電流Ｉｃｍ變成與Ｉｒｅｆ相等。

但，圖１８之電壓／電流轉換器需要一大晶片面積以裝設二電流鏡電路（Ｑ１２１，Ｑ１２２），（Ｑ１２３，Ｑ１２４），一電阻器Ｒ４及一作業放大器ＯＰ３以構成一ＣＭＦＢ電路（２ａ）。此外，其需要一大電源消耗。

圖１９顯示ＦＢ－ＯＴＡ電路結構之另一例。ＦＢ－ＯＴＡ曾揭示於１９９６，５月之ＩＥＥＥ固態電路刊物之Ｖｏ．３１，Ｎｏ．３，之３２１－３３０頁，標題爲〝作業在２．５Ｖ之低失真雙ＣＭＯＳ第七級 Bessel 濾波器〞由 E. Yang, C. C. Enz 所撰。此ＦＢ－ＯＴＡ亦利用自ＯＴＡ之共同模式電流輸出Ｉｃｍ。圖１９之電壓／電流轉換器包括一ＯＴＡ（１）及一ＣＭＦＦ電路（２）以控制ＯＴＡ（１）中之偏壓。ＯＴＡ（１）含第一電路（２１１）以對應一電壓１輸入Ｖ１及第二電路（２１２）以對應一電壓輸入Ｖ２。第一及第二電路以同一電路結構製造。

ＯＴＡ（１）中之二ＭＯＳ電晶體（Ｑ１３１），（Ｑ１３２）及ＣＭＦＦ電路（２）之電晶體（Ｑ１３３）形成一電流鏡電路。因此，ＯＴＡ（１）中之電晶體（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明(9　)

Q131）及（Q132）中流動之電流實質上等於通過CMFF電路（2）之電晶體（Q133）之電流I_c。OTA（1）中之此二電晶體（Q134），Q135）將輸入電壓V_1，V_2轉換爲電流I_1，I_2。CMFF電路（2）與第一及第二電路（211），（212）有相同電路結構。但在第一及第二電路中不用電晶體（Q134），（Q135），CMFF電路（2）有二電晶體（Q136），（Q137）並聯，其閘極分別被供應輸入電壓V_1，V_2。

即使每一差動電流輸出I_1，I_2包括差動模式電流及一共同模式電流，控制電流I_c僅含有一共同模式電流。準此，供應控制電流通過電流鏡電路至OTA（1），作爲偏壓電流，含於OTA輸入信號中之共同模式可被消除。

圖19中之電壓／電流轉換器有數個優點，因其供應一前饋控制之控制信號，故可使裝置設計容易，及使裝置之作業速度較快。此可使回饋控制之裝置較快。但，此電壓／電流轉換器有另一問題。即，儘管此轉換器可消除在輸入信號V_1，V_2中之共同模式信號，其無法消除OTA（1）中之共同模式信號。

發明之概述

準此，本發明之一目的爲解決上述之傳統裝置之問題，及方法以轉換差動輸入電壓爲全平衡之輸出電流。

本發明之另一目的爲一新穎裝置及方法，以預定之固

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (10)

定恆值穩定共同模式輸出電流成份，以轉換差動輸入電壓爲全平衡輸出電流。

本發明一特別目的爲提供新穎裝置及方法，以轉換差動輸入電壓爲全平衡輸出電流，其可由簡單之電路結構實施。

本發明之另一目的爲提供一裝置及方法，以轉換差動輸入電壓爲全平衡之輸出電流，其可構造在一小安裝晶片面積上，可較傳統裝置消耗較小功率。

本發明上有一目的爲提供一裝置及方法，以轉換差動輸入電壓爲全平衡輸出電流，其可消除在全平衡型ＯＴＡ裝置在轉換期間產生之輸出電流中之共同模式成份。

爲達成此目的，本發明之轉換差動輸入電壓爲全平衡輸出電流之裝置，包含一電壓／電流轉換電路，此轉換電路分成轉換輸入電壓爲暫時電流之轉換電路輸入部份，及轉換臨時電流爲全平衡輸出電流之轉換電流輸出部份；及一共同模式控制電路以控制輸出電流之共同模式成份爲穩定之固定值，共同模式控制電路由與轉換電路輸出部份之相同電路結構製成，以產生控制電流並根據自轉換電路輸入部份之中間電流，將其提供至電壓／電流轉換電路。有一對負載電路，其第一個耦合至第一ＯＴＡ輸出及參考電壓之間。第二個負載電路耦合至第二個ＯＴＡ輸出與參考電壓之間。

圖式之簡略說明

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (11)

本發明之更完全瞭解及其許多優點將可自參考以下之詳細說明，及配合伴隨之圖式，而可有較佳之瞭解，其中

圖 1 爲一方塊圖說明本發明之差動電壓／全平衡電流轉換裝置之第一實施例。

圖 2 將圖 1 顯示之差動電壓／全平衡轉換電流裝置併入之電路圖。

圖 3 爲一電路圖說明用在圖 2 中之差動電壓／全平衡電流轉換裝置之恆定電流源之一例。

圖 4 爲一電路圖說明用在圖 2 中之差動電壓／全平衡電流轉換裝置中之恆定電流源之另一例，及／或圖 8 顯示之一差動電壓／全平衡電流轉換裝置。

圖 5 爲併入圖 2 之差動電壓／全平衡電流轉換裝置之電路圖之修改。

圖 6 爲併入圖 2 之差動電壓／全平衡轉換裝置之電路圖之另一修改。

圖 7 爲一方塊圖說明本發明之差動電壓／全平衡電流轉換裝置之第二個實施例。

圖 8 爲併入圖 7 之差動電壓／全平衡轉換裝置之電路圖。

圖 9 爲將圖 8 之差動電壓／全平衡電流轉換裝置併入之電路圖之修改。

圖 1 0 爲一方塊圖說明本發明之差動電壓／全平衡電流轉換裝置之第三個實施例。

圖 1 1 爲將圖 1 0 之差動電壓／全平衡電流轉換裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (12)

併入之電路圖。

圖１２爲將圖１１之差動電壓／全平衡電流轉換裝置併入之電路圖之修改。

圖１３爲一方塊圖說明本發明之差動電壓／全平衡電流轉換裝置之第四個實施例。

圖１４爲方塊圖說明傳統之電壓／全平衡電流轉換裝置。

圖１５爲併入圖１４之傳統電壓／全平衡電流轉換裝置之作業跨導放大器之電路圖。

圖１６爲將圖１４之傳統差動電壓／全平衡電流轉換裝置中之共同模式回輸控制電路併入之電路圖。

圖１７爲將圖１４之傳統差動電壓／全平衡電流轉換裝置中之共同模式回輸控制電路併入之電路圖

圖１８爲將傳統差動電壓／全平衡電流轉換裝置併入之另一電路圖。

圖１９爲將傳統差動電壓／全平衡電流轉換裝置併入之另一電路圖。

主要元件對照表

1　作業跨導放大器

2　ＣＭＦＦ電路

3ａ　負載電路

3ｂ　負載電路

１１　ＯＴＡ輸入部分

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (13)

12 ＯＴＡ輸出部分

13 ＯＴＡ輸出部分

13B ＣＭＦＦ電路

21 恆值電流源

22 恆值電流源

31 恆值電流源

32 恆值電流源

202 控制電流產生器

51 電壓／電流轉換器

52 電流源

111 分壓器

110 緩衝器電路

131 ＣＭＦＦ電路

122 第二差動對

112 感測放大器

121 第一差動對

151 輸出端點

113 控制端點

201a 電流移轉部分

201b 電流移轉部分

202 控制電流產生器

123 控制端點

133 控制端點

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

較佳實施例之說明

參考圖式，其中之相同號碼代表相同或對應組件，圖1中說明本發明之電壓／電流轉換裝置之第一個實施例。

圖1中亦顯示一裝置，供轉換差動輸入電壓V_1-V_2爲二全平衡輸出電流I_{o1}，I_{o2}，其包括一OTA（1）具有二輸出端點及一共同模式前饋控制（CMFF）電路。全平衡輸出電流I_{o1}，I_{o2}之意義爲其和$I_{o1}+I_{o2}$始終爲常數可固定爲任何預定值。

OTA（1）包括一OTA輸出部份（11）及一OTA輸出部份（12）。前饋控制型CMFF電路（2）由與OTA輸出部份（12）之相同電路結構製成，以簡化裝置之總電路製造。

差動輸入電壓V_1-V_2供應至OTA之輸入部份（11）輸入端點（111）。一對中間輸出電流產生在OTA輸入部份（11）之一對輸出端點（112）。中間輸出電流供應至OTA輸出部份（121）及CMFF電路（131）。OTA輸出部分（12）及CMFF電路（13）各具有高阻抗控制端點（123）及（133）。CMFF電路（13）之端點（132）均連接一起，及二控制電流I'_1，I'_2相加。其和I'_{o1}，I'_{o2}等於零，因爲控制端點（123），（133）之高阻抗特性，電流I_c假定爲零。但，控制電壓V_c建立在此節點上。控制電壓V_c分別加在OTA輸出部份（12）及CMFF電路（2）之控制端點（123）及（133）。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (15)

自CMFF電路（2）之控制電壓Vc調整爲一Vc值以使輸出電流I'o1，I'o2之共同模式成份爲零。假定OTA輸出部份（12）之概略圖與OTA輸出部份（13）完全相同，及部份（12）中之所有元件幾何參數以因數K與部份（13）中對應之幾何參數完全相同。結果，建議之OTA結構則有以下之特性

$$I_{o1} + k \cdot I'_{o1}$$

$$I_{o2} = k \cdot I'_{o2}$$

即

$$I_{o1} + I_{o2} = k \cdot (I'_{o1} + I'_{o2})$$

意即電流Io1，Io2之共同模式成份與電流I'o1，I'o2之控制良好之共同模式成份完全成比例。如電流I'o1，I'o2之共同模式成份被拒斥／抑制，則電流Io1，Io2之共同模式成份亦被拒斥／抑制。

OTA輸出部份（12）之一對輸出端點分別耦合至一對負載電路（3a）及（3b）。負載電路對（3a）及（3b）之輸出側共同連接至一參考電壓Vref。假定I'o1 + I'o2 = 0，上述連接可使輸出電壓與參考電壓Vref完全對稱／平衡，如下方程式所示

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (16)

$$(V_{o1}-V_{ref})Y+(V_{o2}-V_{ref})Y=I_{o1}+I_{o2}=k \cdot (I'_{o1}+I'_{o2})=0$$

結果，

$$(V_{o1}+V_{o2})/2=V_{ref}$$

本發明裝置之此實施例之一特性爲ＯＴＡ（１）被分爲ＯＴＡ輸入部份（１１）及ＯＴＡ輸出部份（１２），及ＣＭＦＦ電路（２）實際上以ＯＴＡ輸出部份（１２）之相同電路製成。此實施例之又一特性爲ＣＭＦＦ電路（２），根據自ＯＴＡ輸入部份（１１）產生控制信號，並將其供至ＯＴＡ輸出部份（１２）作爲前饋控制信號。此等特性使裝置以簡單之結構製造及消除共同模式電流之優點，並可達到低功率消耗。

此外，裝置之輸出共同模式電壓被控制，以使其等於加在負載電路（３ａ）及（３ｂ）之一端點之參考電壓V_{ref}。

圖２顯示圖１中之差動電壓／全平衡電流轉換裝置之實施例之實際電路構造。

ＯＴＡ輸入部份（１１）包含二ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２），其中之每一閘極端點分別耦合至輸入電壓V_1，V_2，每一汲極端點分別連接至恆值電流源（２１）及（２２），一電阻器（Ｒ１）耦合至ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２）源極端點之間。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (17)

ＯＴＡ輸出部份分成第一輸出部份（１２Ａ），其耦合至ＯＴＡ輸入部份之ＮＭＯＳ電晶體（Ｑ１），及一第二輸出部份（１２Ｂ）耦合至ＯＴＡ輸入部份中之ＮＭＯＳ電晶體（Ｑ２）。第一ＯＴＡ輸出部份（１２Ａ）包含ＰＭＯＳ電晶體（Ｑ３），其源極連接至恆值電流源（２１），及其閘極端點耦合至一預定電壓V_b，及一ＮＭＯＳ電晶體（Ｑ５），其汲極端點共同耦合至ＰＭＯＳ電晶體（Ｑ３）汲極端點，及一閘極端點連接至控制電壓V_c。ＰＭＯＳ電晶體（Ｑ３）及ＮＭＯＳ電晶體（Ｑ５）之每一汲極端點共同連接至負載電路（３ａ）之一端，中間電流I_{o1}即加至其上。負載電路（３ａ）之另一端耦合至參考電壓V_{ref}。第二ＯＴＡ輸出部份（１２Ｂ）包含一ＰＭＯＳ電晶體（Ｑ４），其源極端點耦合至ＯＴＡ（１１）中之恆值電流源（２２），及一預定電壓V_B加至其閘極端點，及一ＮＭＯＳ電晶體（Ｑ６），其汲極端點共同連接至ＰＭＯＳ電晶體（Ｑ４）之汲極端點，及控制電壓V_c供至其閘極端點。ＮＭＯＳ電晶體（Ｑ６）之源極端點共同連接至ＯＴＡ輸入部份（１１）中之恆電流源（２３），（２４）。ＰＭＯＳ電晶體（Ｑ４）及ＮＭＯＳ電晶體（Ｑ６）之汲極端點共同連接至負載電路（３ｂ）之一端以供應中間電流I_{o2}。負載電路（３ｂ）之另一端耦合至參考電壓V_{ref}。

本發明裝置之一特性爲製造一與ＯＴＡ輸出部份相同之ＣＭＦＦ電路。結果，因爲ＯＴＡ輸出部份分爲第一及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (18)

第二部份，ＣＭＦＦ電路亦分爲第一ＣＭＦＦ部份（１３Ａ）及第二ＣＭＦＦ部份（１３Ｂ）。在第一ＣＭＦＦ部份（１３Ａ）中之ＰＭＯＳ電晶體（Ｑ７）之源極端點，及在第一ＯＴＡ輸出部份（１２Ａ）中之ＰＭＯＳ電晶體（Ｑ３）之源極端點共同連接至ＯＴＡ輸入部份（１１）之恆值電流源（２１）。在第一ＣＭＦＦ部份（１３Ａ）中之ＰＭＯＳ電晶體（Ｑ７）及ＮＭＯＳ電晶體（Ｑ９）之汲極端點共同連接至ＮＭＯＳ電晶體（Ｑ９）之閘極端點。汲極端點之共同連接節點（N'_{o1}）供應自第一ＣＭＦＦ部份（１３ａ）之控制電流I'_{o1}。。同理，在第二ＣＭＦＦ部份（１３Ｂ）中之ＰＭＯＳ電晶體（Ｑ８）及在ＯＴＡ輸出部份（１２Ｂ）中之源極端點耦合至ＯＴＡ輸入部份（１１）中之恆值電流源（２２）。ＰＭＯＳ電晶體（Ｑ８）汲極端點共同連接至ＮＭＯＳ電晶體（Ｑ１０）之汲極端點及閘極端點。自共同連接節點（N'_{o2}），ＣＭＦＦ部份（１３Ｂ）提供一控制電流I'_{o2}。自ＣＭＦＦ部份（１３Ａ）之控制電流I'_{o1}與自ＣＭＦＦ部份（１３Ｂ）之控制電流I'_{o2}結合一起形成一等於零之和，其與控制電壓V_c對應。控制電壓V_c作爲一前饋信號加至第一及第二ＯＴＡ輸出部份（１２Ａ）及（１２Ｂ）中之ＮＭＯＳ電晶體（Ｑ５）及（Ｑ６）各閘極端點。

圖３顯示一恆值電流源之範例電路實施，其在許多圖式中僅以符號表示。各恆值電流源由源接地之ＰＭＯＳ電

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (19)

晶體（３１）組成，其源極端點連接至一恆值電壓源（如V_{DD}），及一恆值電壓源連接至ＰＭＯＳ電晶體（３１）之閘極端點。

圖４顯示一恆電流源之範例電路實施，在圖式中以符號顯示。

各恆值電流源包含一ＮＭＯＳ電晶體（Ｑ２０１）及一電壓源（２０２）連接至ＮＭＯＳ電晶體（Ｑ２０１）閘極端點源極端點之間。

圖５說明圖１中之前饋控制型差動輸入電壓／全平衡輸出電流轉換裝置之電路結構之另一實施例。

圖５中，ＯＴＡ輸入部份（１１）包含ＮＭＯＳ電晶體（Ｑ２７）及（Ｑ２８），其每一閘極端點分別耦合至各輸入電壓V_1，V_2，ＮＰＮ電晶體（Ｑ２３）及（Ｑ２６）耦合至ＮＭＯＳ電晶體（Ｑ２７）及（Ｑ２８）之各汲極端點，ＮＰＮ電晶體（Ｑ２４）及（Ｑ２５）之射極端點耦合至ＮＭＯＳ電晶體（Ｑ２７）及（Ｑ２８）之源極，ＮＰＮ電晶體（Ｑ２１）及（Ｑ２２）之射極耦合至ＮＰＮ電晶體（Ｑ２４）及（Ｑ２５）之各汲極端點。ＮＰＮ電晶體（Ｑ２１）及（Ｑ２２）之基極端點共同連接至及由一電壓V_{gm2}供應。

第一及第二ＯＴＡ輸出部份（１２Ａ）及（１２Ｂ）分別包含ＰＭＯＳ電晶體（Ｑ２９），其源極端點連接至電源電壓V_{DD}，及含ＮＰＮ電晶體（Ｑ３１），其汲極端點連接至ＰＭＯＳ電晶體（Ｑ２９）之汲極端點、ＮＰＮ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (20)

電晶體（Q21）之射極端點共同耦合至在OTA輸入部份（11）中之NPN電晶體（Q24）之汲極端點，及NPN電晶體（Q23）之基極端點。

與第一及第二OTA輸出部份（12A）及（12B）相似，第一及第二CMFF部份（13A）及（13B）亦包含PMOS電晶體（Q33）耦合至電源電壓V_{DD}，及NPN電晶體（Q35），其集極端點連接至PMOS電晶體之共同汲極／閘極端點。在共同汲極端點耦合節點之$N'_{o1}=N'_{o2}$，建立一控制電壓V_c。該電壓加至OTA輸出部份（12A）及（12B）中之PMOS電晶體之閘極。

自OTA輸出部份（12A）中之PMOS電晶體之汲極端點，輸出電流I_{o1}流向負載電路（3a）之一端。一參考電壓V_{ref}加至負載電路（3a）之另一端。自OTA輸出部份（12B）中之PMOS電晶體之汲極端點，輸出電流I_{o2}流向負載電路（3b）之一端。參考電壓V_{ref}加在負載電路（3b）之另一端。

在圖5之電壓／電流轉換器中，OTA輸出部份中之PMOS電晶體（Q29）及（Q30）之閘極端點共同連接至在CMFF電路中之PMOS電晶體（Q33）及（Q34）之各閘極端點及共同閘極／汲極端點。因爲自CMFF電路之前饋控制電壓V_c係加在OTA輸出部分，輸出共同節點成爲與參考電壓V_{ref}相等。

在此實施例中，OTA分爲一OTA輸入部份與一

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (21)

ＯＴＡ輸出部份及一前饋ＣＭＦＦ電路。前饋ＣＭＦＦ電路與ＯＴＡ之輸出部份結構相同，以簡化整個裝置之系統實施。此外，即使當I_{o1}，I_{o2}電流通過ＯＴＡ輸入部份（１１）中之ＮＭＯＳ電晶體（Ｑ２７）及（Ｑ２８）時，其中包括共同模式成份，其亦可能被消除。

圖６爲圖２所示之前饋控制式電壓／電流轉換裝置之修改。此電路之目的爲增加電壓／電流轉換器之跨導值。

與圖２相似，全平衡ＯＴＡ裝置中之ＯＴＡ輸入部份（１１）包括ＮＭＯＳ電晶體（Ｑ５５）及（Ｑ５６），其閘極端點耦合至各輸入電壓V_1，V_2及一連接在ＮＭＯＳ電晶體（Ｑ５５）及（Ｑ５６）之源極端點間之電阻器（Ｒ１）。此外，ＯＴＡ輸入部份（１１）包括複數個ＰＭＯＳ電晶體對（Ｑ５１）－（Ｑ５２）及（Ｑ５３）－（Ｑ５４）。

每對之閘極共同連接至較低電晶體之汲極端點。ＯＴＡ輸出部份（１２Ａ）及ＣＭＦＦ部份（１３Ａ）包括ＰＭＯＳ電晶體對（Ｑ５７）－（Ｑ５８）及（Ｑ６３）－（Ｑ６４），以形成電壓控制電流源。ＯＴＡ輸出部份（１２Ｂ）與ＣＭＦＦ（１３Ｂ）部份亦包括由ＰＭＯＳ電晶體對（Ｑ５９）－（Ｑ６０）及（Ｑ６５）－（Ｑ６６）構成之電壓控制電流源電路。在（１２Ａ），（１２Ｂ），（１３Ａ），（１３Ｂ）中之每對ＰＭＯＳ電晶體以串級電路作業，其輸出阻抗與單一電晶體相較大許多。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (22)

圖7爲一方塊圖說明本發明之回饋控制型差動輸入電壓／全平衡電流轉換裝置之第二實施例。

與圖1中之裝置相似，圖7之ＯＴＡ（１）包含ＯＴＡ輸入部份（１１）及一ＯＴＡ輸出部份（１２）。在此實施例中，輸入電壓V_1，V_2被轉換爲中間電流。自ＯＴＡ輸入部份（１１）之中間電流被輸至ＯＴＡ輸出部份（１２）之輸入端點，及輸至共同模式控制電路ＣＭＦＦ電路（２Ａ）。在ＣＭＦＢ電路（２ａ）之輸出，加在輸入級（１１）之控制端點（１１３）之回輸控制電壓V_c被建立。回輸控制電壓Ｖ使ＯＴＡ輸出部份（１２）之輸出電流I_{o1}，I_{o2}中之共同模式成份等於零，或爲以前之固定恆值位準。自ＯＴＡ輸出部份（１２）之輸出電流I_{o1}，I_{o2}將輸至負載電路（３ａ）及（３ｂ）輸入側。一參考電壓V_{ref}供應至負載電路（３ａ）及（３ｂ）之共同連接之輸出側。

ＣＭＦＢ電路（２ａ）根據自ＯＴＡ輸出部份（１２）供應之中間差動電流，產生控制電流I'_{o1}，I'_{o2}。此等輸出電流I'_{o1}，I'_{o2}相加爲一和，其值必須爲零。在節點$N'_{o1}=N'_{o2}$時，一控制電壓V_c被建立。該電壓被加至ＯＴＡ輸出部份（１２）之控制端點（１１３），作爲回輸信號以控制電流I_c。即圖1及7之裝置中之實施例之控制目的彼此不同。在前裝置裝之共同模式控制電路控制ＯＴＡ輸出電路。反之，後裝置之共同模式控制電路則控制ＯＴＡ輸入部份。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (23)

當ＯＴＡ輸入部份（１１）之控制端點（１１３）耦合至ＭＯＳ電晶體之閘極端點，無電流通過該閘極端點。準此，通過ＣＭＦＢ電路（２ａ）之輸出端點之控制電流爲零（０）。結果，輸出電流I_{o1}，I_{o2}變爲全平衡，ＯＴＡ輸出部份（１２）之輸出共同模式電壓與參考電壓V_{ref}相等，與圖１相似。即此實施例亦可消除ＯＴＡ輸入部份（１１）產生之共同模式。

圖８爲一圖７中之回輸控制型差動輸入電壓／全平衡輸出電流轉換裝置之一電路實施例。

ＯＴＡ輸入部份（１１）包括ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２），其閘極端點分別連接至差動輸入電壓V_1-V_2，及ＮＭＯＳ電晶體（Ｑ４１）及（Ｑ４２），其汲極端點分別連接至ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２）之源極端點。ＮＭＯＳ電晶體（Ｑ４１）及（Ｑ４２）之閘極端點爲共同連接。

在第一及第二ＣＭＦＢ部分（１３Ａ）及（１３Ｂ）中，一控制電壓V_B加至ＰＭＯＳ電晶體（Ｑ４１）及（Ｑ４２）之共同連接之閘極端點。

結果，由於ＣＭＦＢ電路（２ａ）控制，ＯＴＡ輸入部份（１１）中之偏壓電流，以使共同模式電流I_{cm}爲零（０），ＯＴＡ輸出部份（１２）之輸出共同模式電壓變爲等於參考電壓V_{ref}。

圖９爲圖７所示之差動輸入電壓／全平衡輸出電流轉換裝置之電路結構之另一實施例。ＯＴＡ輸出部份（

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (24)

１２Ａ）及ＣＭＦＢ部份（１３Ａ）包括ＰＭＯＳ電晶體（Ｑ５７）及（Ｑ５８）及（Ｑ６３）－（Ｑ６４）以組成電壓控制電流源。

同理，ＯＴＡ輸出部份（１２Ｂ）及ＣＭＦＢ部份（１３Ｂ）亦含一由ＰＭＯＳ電晶體對（Ｑ５９）－（Ｑ６０）及（Ｑ６５）－（Ｑ６６）構成之電壓控制電流源電路。在（１２Ａ），（１２Ｂ）及（１３Ａ），（１３Ｂ）中之每一對ＰＭＯＳ電晶體以疊接電路作業，其輸出阻抗與一單一電晶體比較，大出許多。

圖１０爲本發明電壓／電流轉換裝置之第三個實施例。

在此實施例中，此裝置包括ＯＴＡ（１），其包括ＯＴＡ輸入部份（１１）及ＯＴＡ輸出部份（１２），及一ＣＭＦＢ電路（２ａ），其構造與ＯＴＡ輸出部份（１２）相同。自ＣＭＦＢ電路（２ａ）之控制電壓V_c加至ＯＴＡ輸入部份（１１）及ＣＭＦＢ電路（２ａ）本身。

加至ＯＴＡ輸入部份（１１）之輸入端點（１１１）之差動輸入電壓$V_1 - V_2$被轉換爲中間電流。轉換之中間電流之第一部份被推至ＯＴＡ輸出部份（１２）之輸入端點，以轉換爲全平衡輸出電流I_{o1}，I_{o2}。ＯＴＡ輸出部份（１２）之輸出端點分別耦合至負載電路（３ａ）及（３ｂ）。一參考電壓V_{ref}供應至負載電路（３ａ）及（３ｂ）之輸出端點。

自ＯＴＡ輸入部份（１１）之中間電流之第二部份被

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (25)

推至ＣＭＦＢ電路（２ａ）之輸入端點以產生控制電流Ｉ′$_{o1}$，Ｉ′$_{o2}$，其被相加爲一電流和Ｉ$_{c}$。此和等於零，及在此節點上建立一控制電壓Ｖ$_{c}$。此控制電壓Ｖ$_{c}$加至ＯＴＡ輸入部份（１２）之控制端點（１１３）及ＣＭＦＢ電路（１３）之控制端點（１３３），以改進裝置之頻率特性。

圖１１爲圖１０中之電壓／電流轉換裝置之電路結構之實施例。

ＯＴＡ輸入部份（１１）包含恆值電流源（２１）及（２２），耦合至電源電壓Ｖ$_{DD}$，ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２），其汲極分別耦合至每一恆值電流源（２１）及（２２），及ＮＭＯＳ電晶體（Ｑ４１）及（Ｑ４２）之汲極端點分別耦合至ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２）之源極端點及一電阻器（Ｒ１）。輸入電壓Ｖ$_{1}$及Ｖ$_{2}$分別加至ＮＭＯＳ電晶體（Ｑ１）及（Ｑ２）之閘極端點。

第一及第二ＯＴＡ輸出部份（１２Ａ）及（１２Ｂ）分別由ＰＭＯＳ電晶體（Ｑ３）及（Ｑ４）組成，其閘極端點連接至偏壓Ｖ$_{b}$，及恆值電流源（３１）（３２）第一及二ＣＭＦＢ電路（１３Ａ）及（１３Ｂ）分別由ＰＭＯＳ電晶體（Ｑ７）及（Ｑ８）組成，其閘極端點連接至偏壓Ｖ$_{b}$，及ＮＭＯＳ電晶體（Ｑ９）（Ｑ１０）及汲極端點分別耦合至ＰＭＯＳ電晶體（Ｑ７）及（Ｑ８）之汲極端點。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明 (26)

在此實施例中，ＯＴＡ輸出部份之電路結構與ＣＭＦＢ電路稍有不同。在ＯＴＡ輸入部份（１１）中之ＰＭＯＳ電晶體（Ｑ４１）及（Ｑ４２）之共同連接閘極端點由在節點Ｎ′。₁＝Ｎ′。₂之電壓所回饋控制，恆值電流源（３１）及（３２）與圖４所示相同。

在此實施例中，在各ＮＭＯＳ電晶體（Ｑ９）及（Ｑ１０）中之閘極端點及汲極端點係直接連接以降低ＣＭＦＢ電路（２ａ）之輸出阻抗。結果，與圖８之裝置相較，可改進電壓／電流轉換裝置之頻率特性。

圖１２爲圖１１所示之差動輸入電壓／全平衡輸出電流轉換裝置之另一實施例。

與圖６之電壓／電流轉換裝置相似，ＯＴＡ輸出部份（１２Ａ）中之二ＰＭＯＳ電晶體（Ｑ５７）及（Ｑ５８），及ＣＭＦＢ部份（１３Ａ）中之ＰＭＯＳ電晶體（Ｑ６３）及（Ｑ６４）分別爲電壓控制電流源電路。同理，在ＯＴＡ輸出部份（１２Ｂ）中之ＰＭＯＳ電晶體（Ｑ５９）（Ｑ６０）及ＣＭＦＢ部份（１３Ｂ）中之ＰＭＯＳ電晶體（Ｑ６５）及（Ｑ６６）亦爲電壓控制電流源電路。以上各對係以串級操作，其輸出阻抗與單一電晶體比較要大許多。此裝置可在精確度上有改進。

圖１３爲本發明差動電壓／全平衡輸出電流轉換裝置之第四個實施例

此實施例包含一如圖１，７，１０所示之差動輸入電壓／全平衡輸出電流轉換裝置（ＦＢ－ＯＴＡ）（５１）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (27)

，及一恆值電流源（５２），其耦合至ＣＭＦＦ電路之控制端點以決定在一作業位準之輸出模式電壓。

例如，當ＯＴＡ輸出部份之控制端點耦合至圖２之ＭＯＳ電晶體之閘極端點時，恆值電流源（５２）即控制而使電流Ｉ'$_{o1}$，Ｉ'$_{o2}$之和爲零（０）。

當具有Ｉ$_{cref}$電流值之衡值電流源（５２）耦合至電壓／電流轉換器（５１）之輸出端點時，輸出共同模式電壓可由下式表之。

$$(V_{o1} + V_{o2}) / 2 = V_{ref} + I_{cref} / Y$$

此處，Ｙ　　爲各負載電路（３ａ）及（３ｂ）之導納，

Ｖ$_{ref}$爲加在各負載電路（３ａ）及（３ｂ）上之參考電壓，

Ｉ$_{cref}$爲通過電流源（５２）之電流。

即，ＤＣ共同模式輸出電壓可將電流源耦合至全平衡ＯＴＡ之方式，以使電流通過電流源（５２）而予以控制。

如上說明，本發明之差動輸入電壓／全平恆輸出電流轉換裝置，可達成一簡化之整個構型及較低之功率消耗。此外，本發明供轉換差動輸入電壓爲全平衡輸出電流之裝置及方法，可穩定共同模式輸出電壓至一所望位準。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：將差動電壓轉換成全平衡電流之裝置及方法）

供轉換一差動輸入電壓爲二全平衡輸出電流之裝置，其達成係經由提供一簡化電路之共同模式控制電路至一作業跨導放大器。

此裝置包括一作業跨導放大器，其包含一ＯＴＡ輸入部份供轉換差動輸入電壓之二輸入電壓爲一對中間輸入電流，及含一ＯＴＡ輸出部份供轉換中間輸出電流爲輸出電流，及一共同模式控制電路以提供一控制電壓至ＯＴＡ。共同模式控制電路包含實際上與ＯＴＡ輸出部分相同之電路結構，及根據自ＯＴＡ輸入部份之中間輸出電流產生二輸出控制電流，及二自共同模式控制電路之輸出控制電流相加一起，並保持爲零以便控制自ＯＴＡ輸出部份全平衡之輸出電流。

英文發明摘要（發明之名稱：Apparatus and method for converting differential voltage to fully balanced currents）

The apparatus for converting a differential input voltage to two fully balanced output currents is achieved by providing a common mode control circuit of a simplified circuit construction to an operational transconductance amplifier.

The apparatus includes an operational transconductance amplifier that is comprised of an OTA input section for converting two input voltages of the differential input voltage to a pair of interim output currents and an OTA output section for converting the interim output currents to the output currents, and a common mode controlling circuit for providing a control voltage to the OTA. The common mode control circuit is comprised of a substantially same circuit construction as the OTA output section and generates two output control currents based on the interim output currents from the OTA input section and the two output control currents from the common mode control circuit are summed and kept to be substantially zero in order to control the output currents from the OTA output section fully balanced.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種用來將差動輸入電壓轉換成爲二全平衡輸出電流之裝置，包含：

一具有一對用來接收該差動輸入電壓之二輸入電壓的輸入端點，及一對用來供應該二輸出電流的輸出端點，及一控制端點之電壓／電流轉換裝置，

該電壓／電流轉換裝置包含一用來將該二輸入電壓轉換成爲二中間輸出信號之轉換電路輸入部份，及一用來將該二中間輸出信號轉換成爲流經該對輸出端點之二輸出電流的轉換電路輸出部份；

一共同模式控制電路，用來控制流經該對輸出端點之二輸出電流，以使其全平衡，該控制電路包含與電路輸出部份具實際相同結構之電路，及根據來自該轉換電路輸入部份之二中間輸出信號以便產生控制電壓信號，用來供應至該電壓／電流轉換電路之該控制端點；及

一對負載電路，每一個電路連接至該電壓／電流轉換電路的各輸出端點與一參考電壓之間，用來使該裝置之輸出共同模式電壓維持在預定值。

2．如申請專利範圍第1項之用來將差動輸入電壓轉換成爲二全平衡輸出電流的裝置，其中；

該控制電壓信號係基於根據該二中間輸出信號而從該共同模式控制電路所產生之二控制輸出電流之和。

3．如申請專利範圍第2項之用來將差動輸入電壓轉換成爲二全平衡輸出電流的裝置，其中；

該電壓／電流電路之控制端點係配備於該轉換電路輸

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

出部分中，並具有高阻抗；

該共同模式控制電路包括一高阻抗之控制端點，用來接收該控制電壓信號；及

將由該共同模式控制電路所產生之該二輸出控制電流相加，並且實際上始終保持爲零，此係因爲該轉換電路輸出部份及該共同模式控制電路之各自控制端點的該高阻抗之故。

4．如申請專利範圍第1項之用來將差動輸入電壓轉換成爲二全平衡輸出電流的裝置，其中；

該電壓／電流轉換電路之控制端點係配備於該轉換電路輸入部份中，並具有高阻抗；及

由該控制模式控制電路所產生之二輸出控制電流相加於共同節點處，並且實際上總是保持爲零，此係因爲該轉換電路輸入部份之該控制端點的該高阻抗之故；及

該控制電壓信號係建立於該共同節點處。

5．如申請專利範圍第4項之用來將差動輸入電壓轉換成爲二全平衡輸出電流的裝置，其中；

該控制共同模式控制電路包括一高阻抗之控制端點，用來接收該控制電壓信號。

6．如申請專利範圍第3、4、5項中任何一項之用來將差動輸入電壓轉換成爲二全平衡輸出電流的裝置，更包含：

一恆值電流源，其連接至該電壓／電流轉換電路，用來另外調整該參考電壓之值。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

7．一種用來將差動輸入電壓轉換成爲全平衡之二輸出電流的方法，其係利用一含ＯＴＡ輸入部份及ＯＴＡ輸出部份之ＯＴＡ、藉由該ＯＴＡ之輸出部份之實際重複的示意構造所獲得之一共同模式控制電路，及一對連接在該每一個ＯＴＡ與一參考電壓間之負載電路所組成，該方法包含下列步驟：

將供應至該ＯＴＡ的一對輸入端點之該差動輸入電壓的一對輸入電壓轉換成爲二中間輸出信號；

同時將該對中間輸出信號提供至ＯＴＡ輸出部份的一對輸入端點以及共同模式控制端點的一對輸入端點；

根據來自該ＯＴＡ輸入部份之該等中間輸出信號而從共同模式控制電路產生一對輸出控制信號；

根據該對輸出控制信號之總和來產生共同模式控制電壓信號；以及

將該共同模式控制電壓信號提供至該ＯＴＡ之控制端點，用來使該ＯＴＡ之輸出共同模式電壓保持在該參考電壓。

8．如申請專利範圍第7項之方法，其中：

該提供共同模式控制電壓電流之步驟的特徵在於該共同模式控制電路該共同模式控制電壓提供至該ＯＴＡ輸出部分的一控制端點。

9．如申請專利範圍第7項之方法，其中：

該提供共同模式控制電壓電流之步驟的特徵在於該共同模式控制電路將該共同模式控制電壓提供至該ＯＴＡ輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

入部分的一控制端點。

１０．如申請專利範圍第７項之方法，更包含一步驟：

連接一恆值電流源至該ＯＴＡ，用來另外調整該參考電壓之值。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

432791

735341

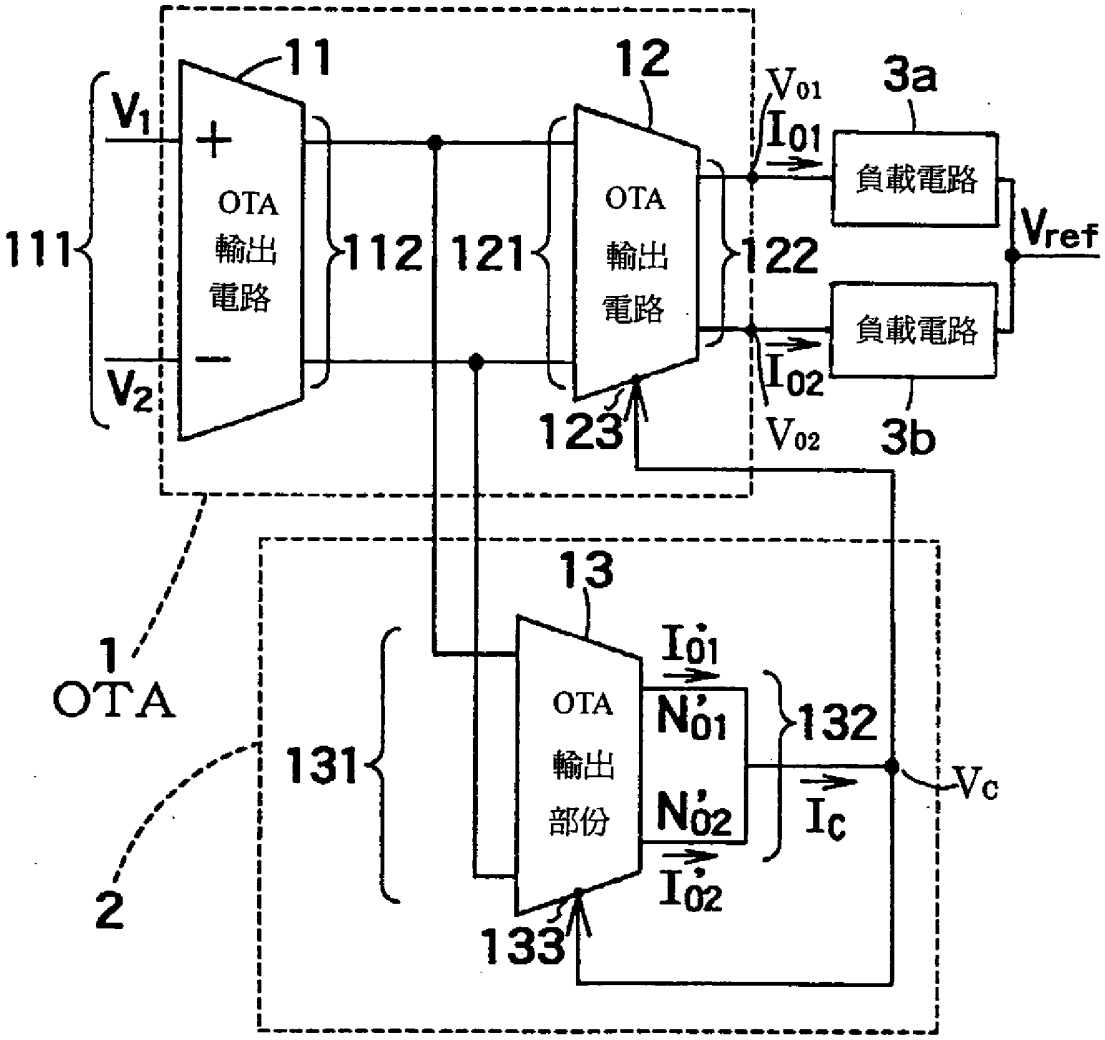
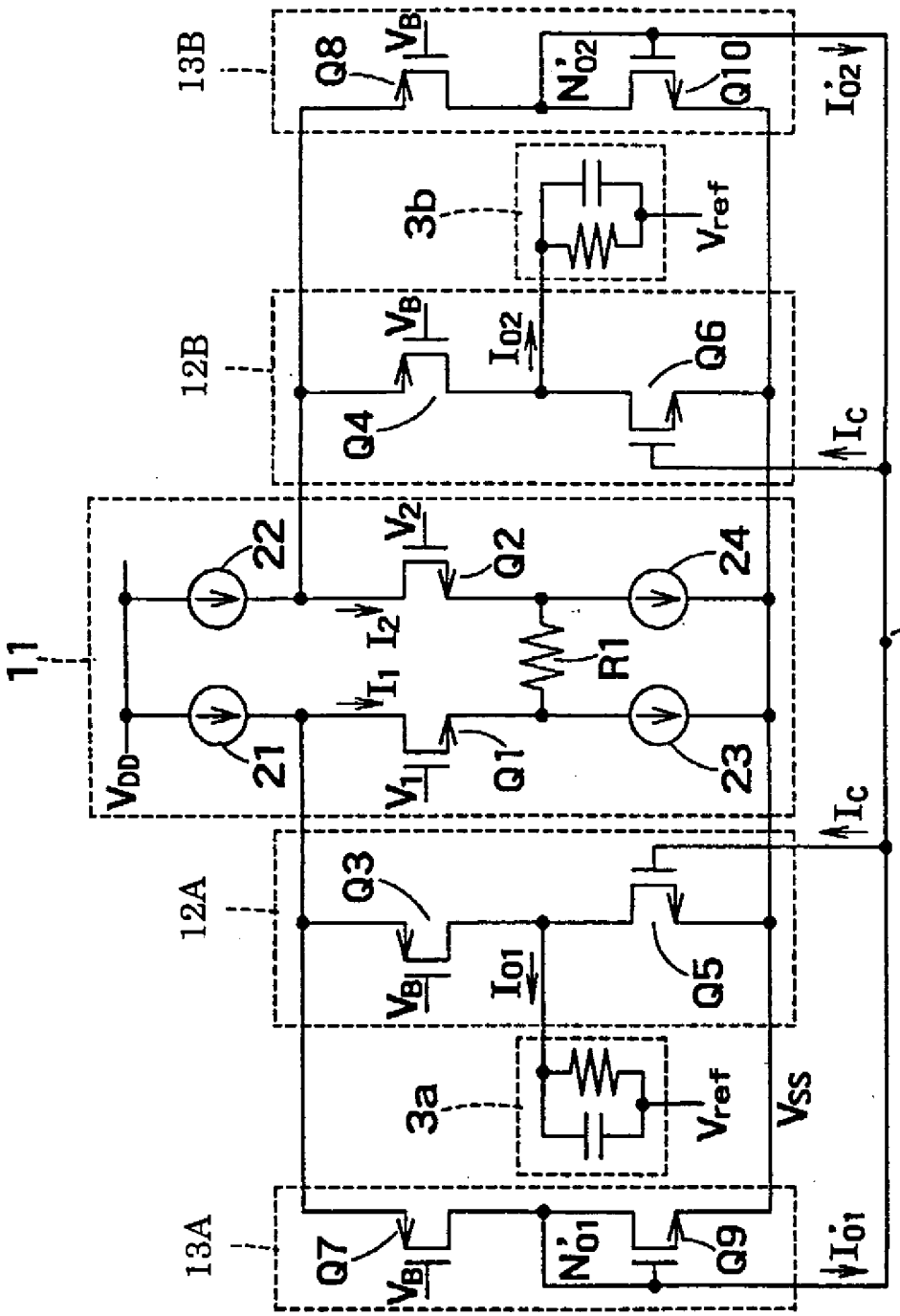


圖 1


11
12A
12B
13A
13B
3a
3b
21
22
23
24
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
R1
V_{DD}
V_{SS}
V_{ref}
V_{B1}
V_{B}
V_1
V_2
V_c
I_1
I_2
I_{01}
I_{02}
I_c
N'_{01}
N'_{02}
I'_{01}
I'_{02}

第2図

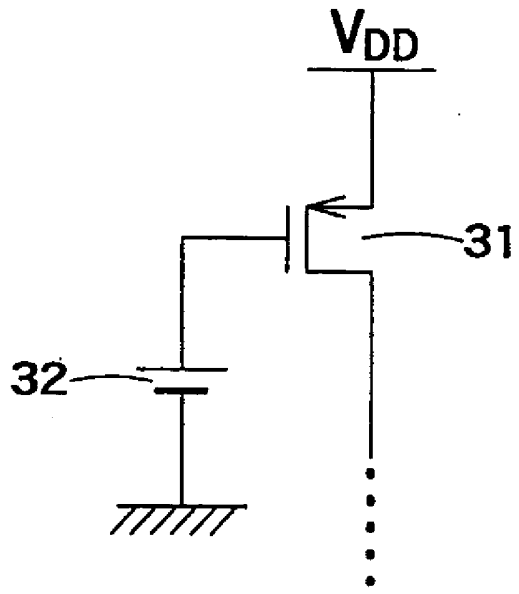


圖 3

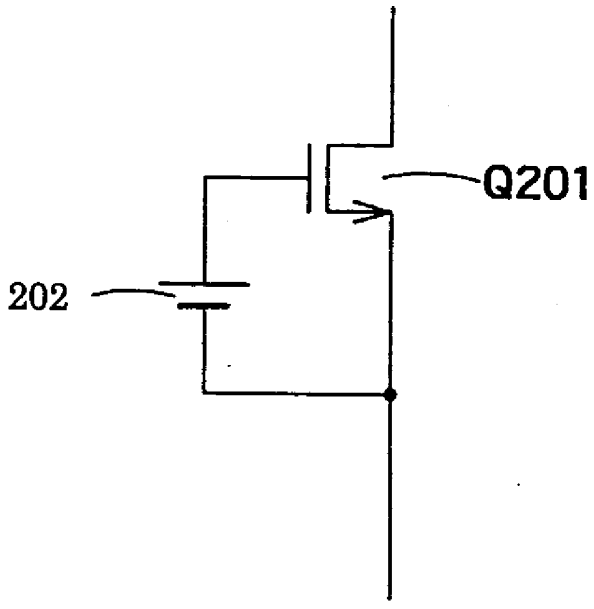


圖 4

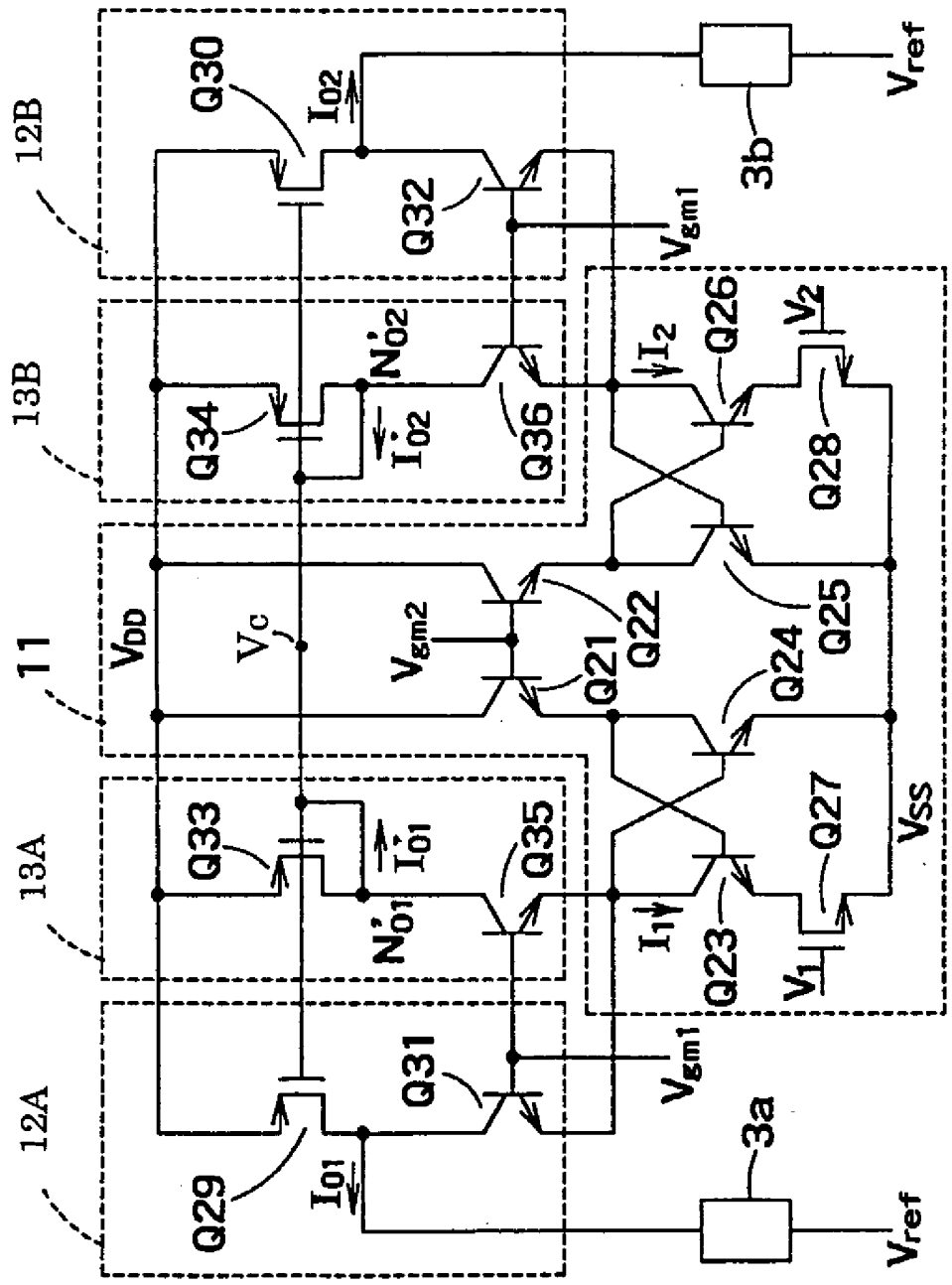

12B
13B
11
13A
12A
Q30
Q32
Q34
Q36
Q33
Q35
Q31
Q29
Q26
Q28
Q22
Q21
Q25
Q24
Q27
Q23
I_{02}
I'_{02}
N'_{02}
I_{01}
I'_{01}
N'_{01}
I_2
I_1
V_{gm1}
V_{gm2}
V_{DD}
V_C
V_{SS}
V_{ref}
V_2
V_1
3a
3b

圖 5

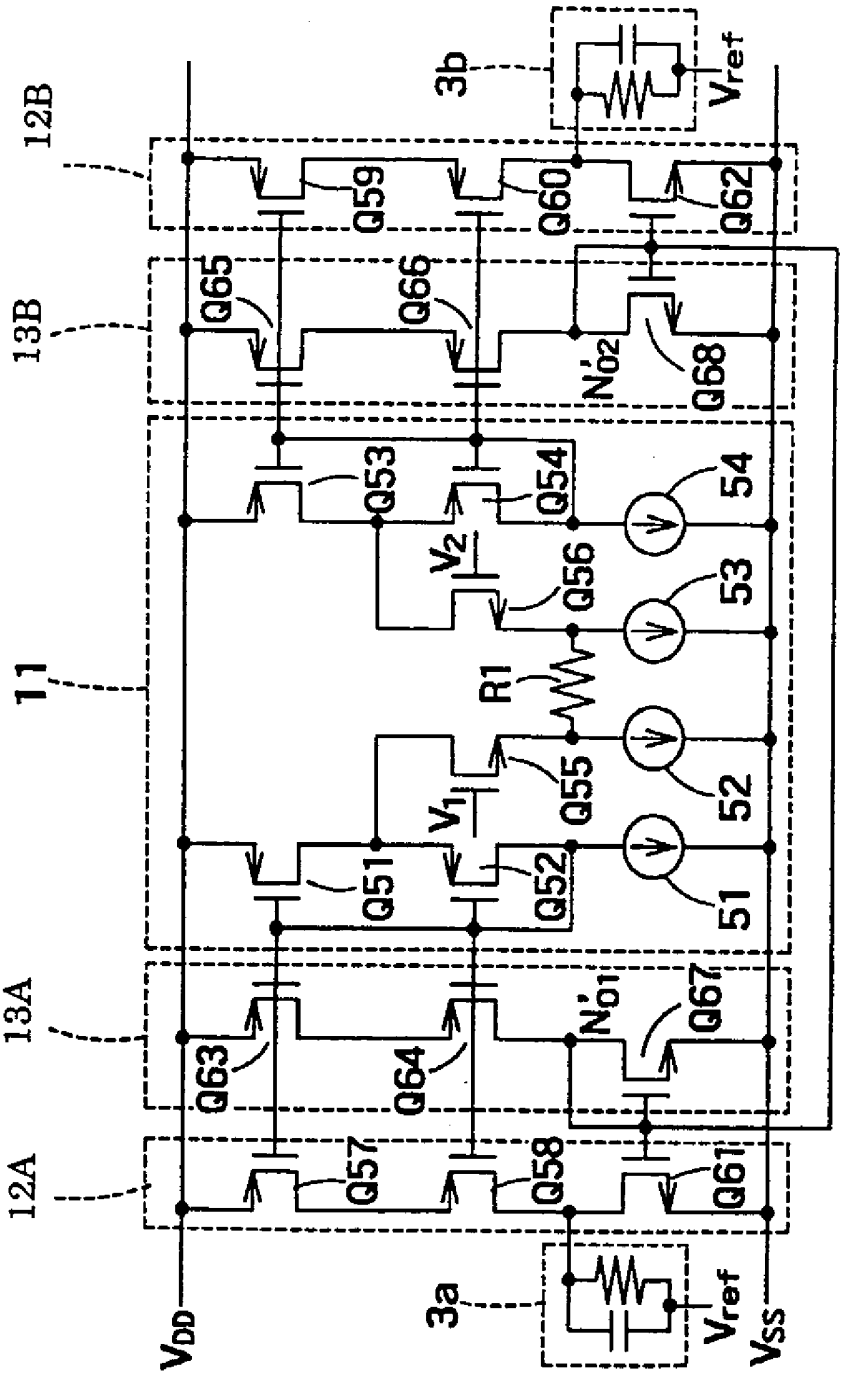

12B
13B
11
13A
12A
3b
3a
Vref
Vref
VDD
VSS
Q59
Q60
Q62
Q65
Q66
Q68
N'02
Q53
Q54
54
V2
Q56
53
R1
Q55
52
V1
Q51
Q52
51
N'01
Q67
Q63
Q64
Q57
Q58
Q61

圖 6

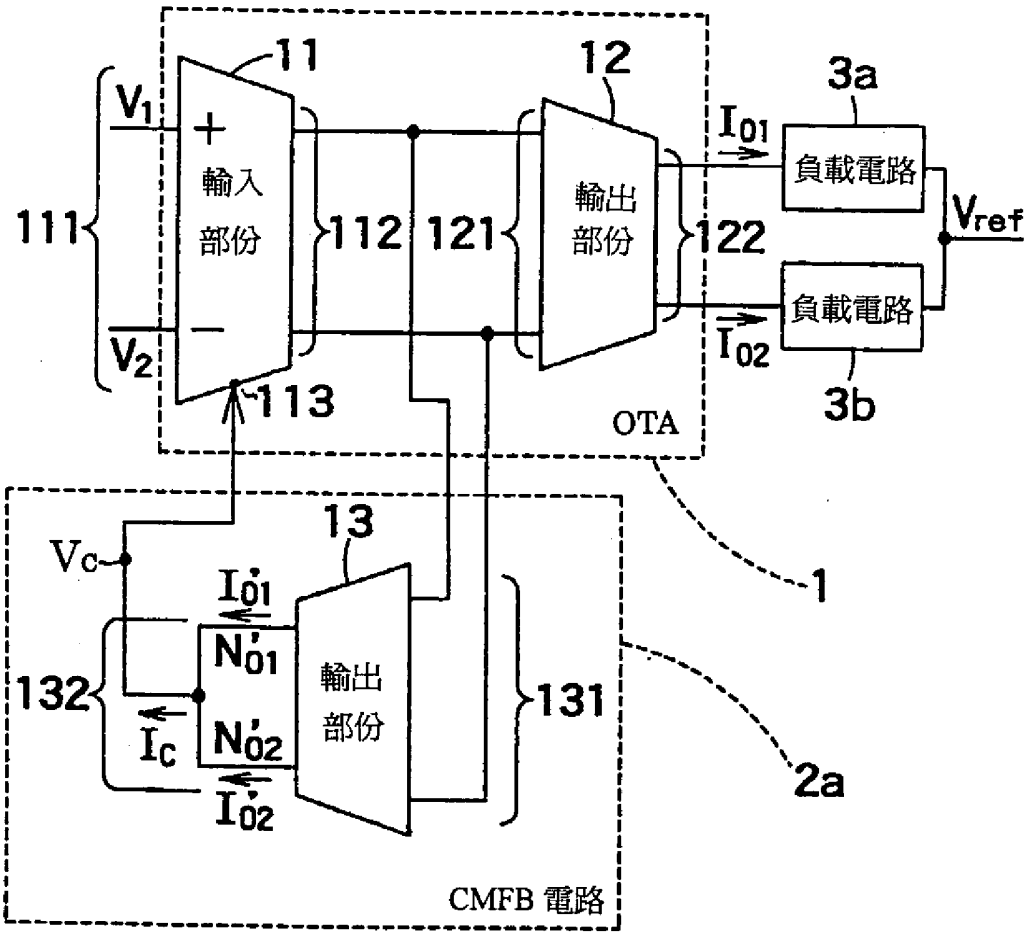

11
12
3a
V1
+
輸入
部份
輸出
部份
I01
負載電路
Vref
111
112
121
122
負載電路
V2
−
I02
113
3b
OTA
1
13
Vc
I'01
N'01
132
輸出
部份
131
Ic
N'02
I'02
2a
CMFB 電路

圖 7

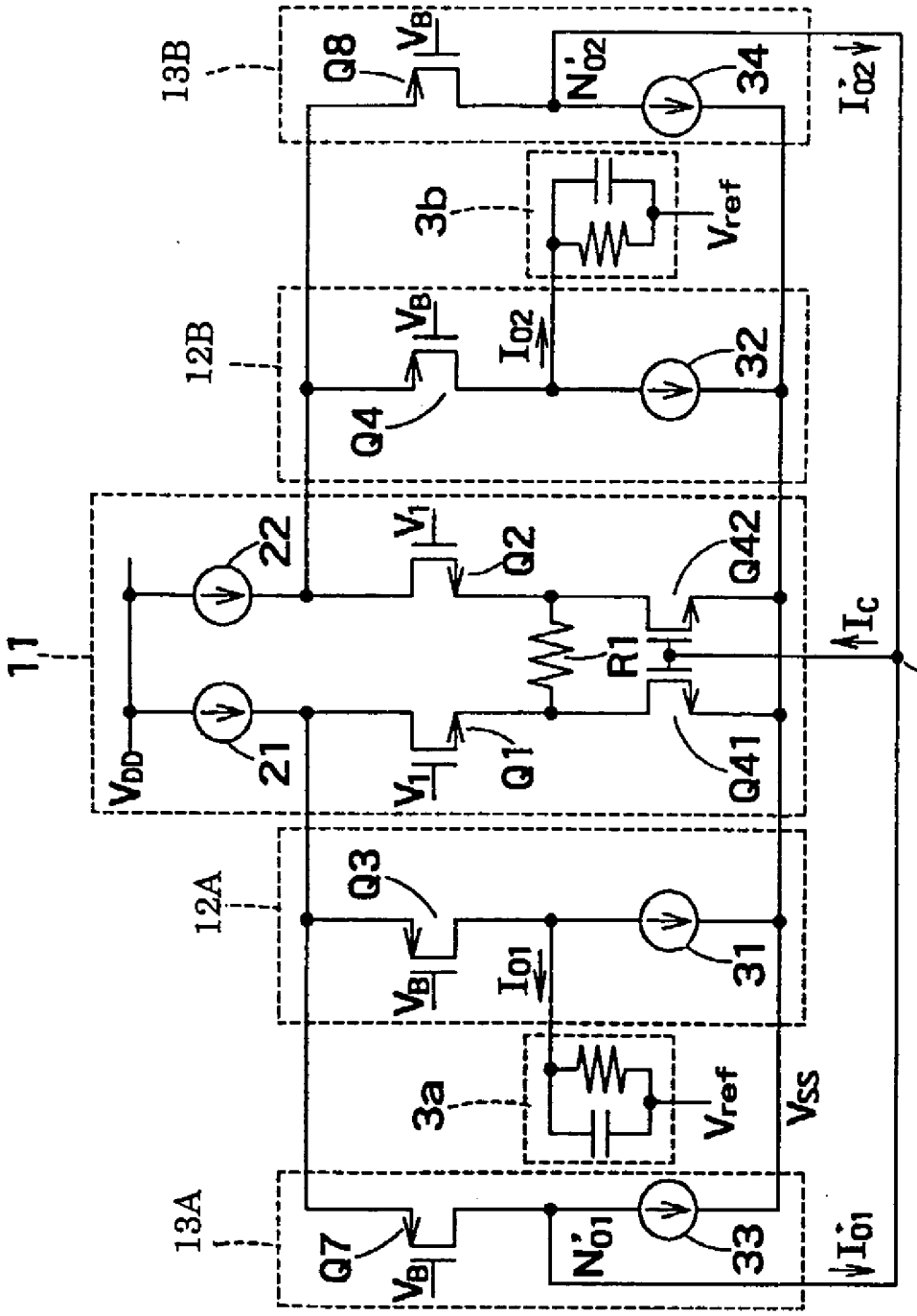

13B
Q8
V_B
N'_{O2}
34
I'_{O2}
3b
V_{ref}
12B
V_B
I_{O2}
32
Q4
11
22
V_1
Q2
Q42
R1
I_C
V_C
V_{DD}
21
V_1
Q1
Q41
12A
Q3
V_B
I_{O1}
31
3a
V_{ref}
V_{SS}
13A
Q7
V_B
N'_{O1}
33
I'_{O1}

圖 8

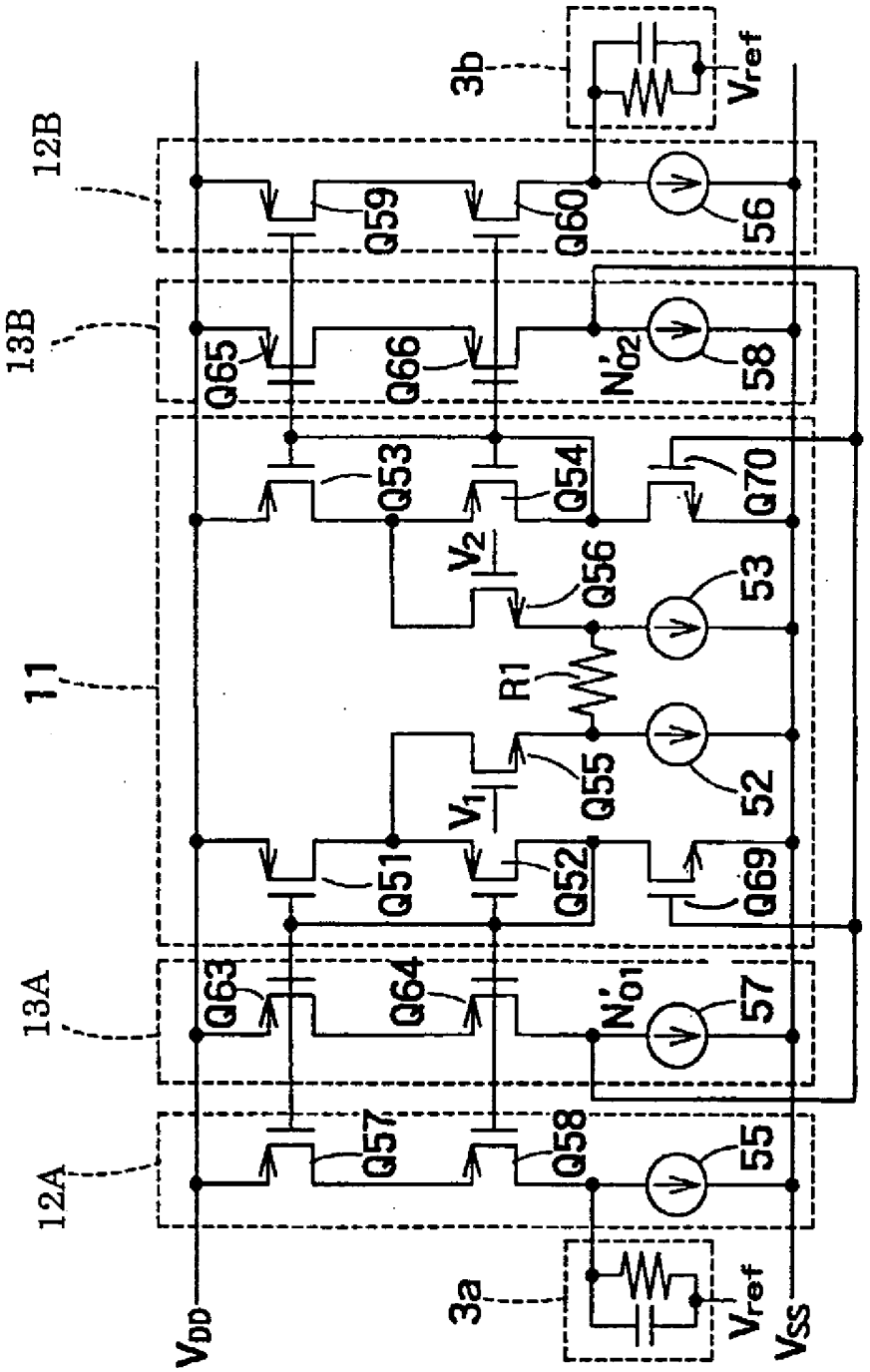

3b
Vref
12B
Q59
Q60
56
13B
Q65
Q66
N'02
58
Q53
Q54
Q70
V2
Q56
53
11
R1
V1
Q55
52
Q51
Q52
Q69
13A
Q63
Q64
N'01
57
12A
Q57
Q58
55
3a
Vref
VDD
VSS

圖 9

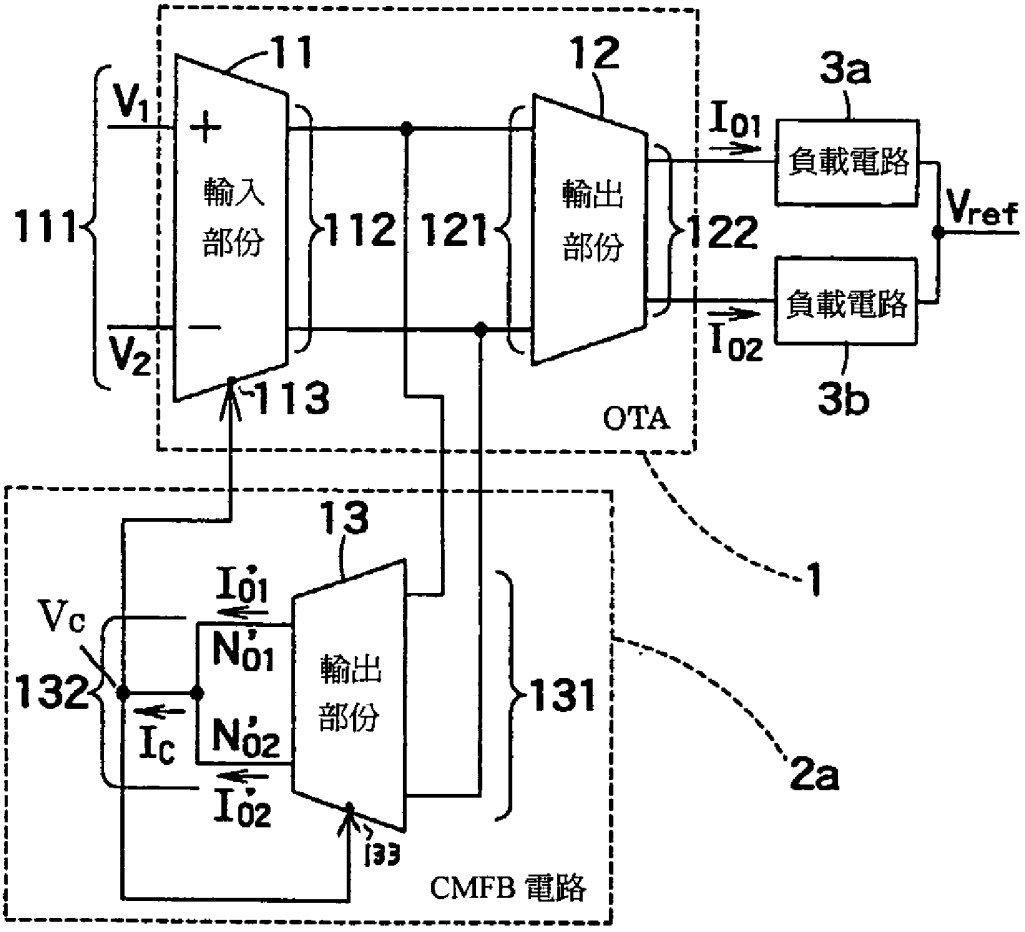

11
12
3a
V1
+
輸入
部份
I01
負載電路
111
112
121
輸出
部份
122
Vref
負載電路
V2
−
I02
113
3b
OTA
1
13
I'01
Vc
N'01
132
輸出
部份
131
Ic
N'02
I'02
133
2a
CMFB 電路

圖１０

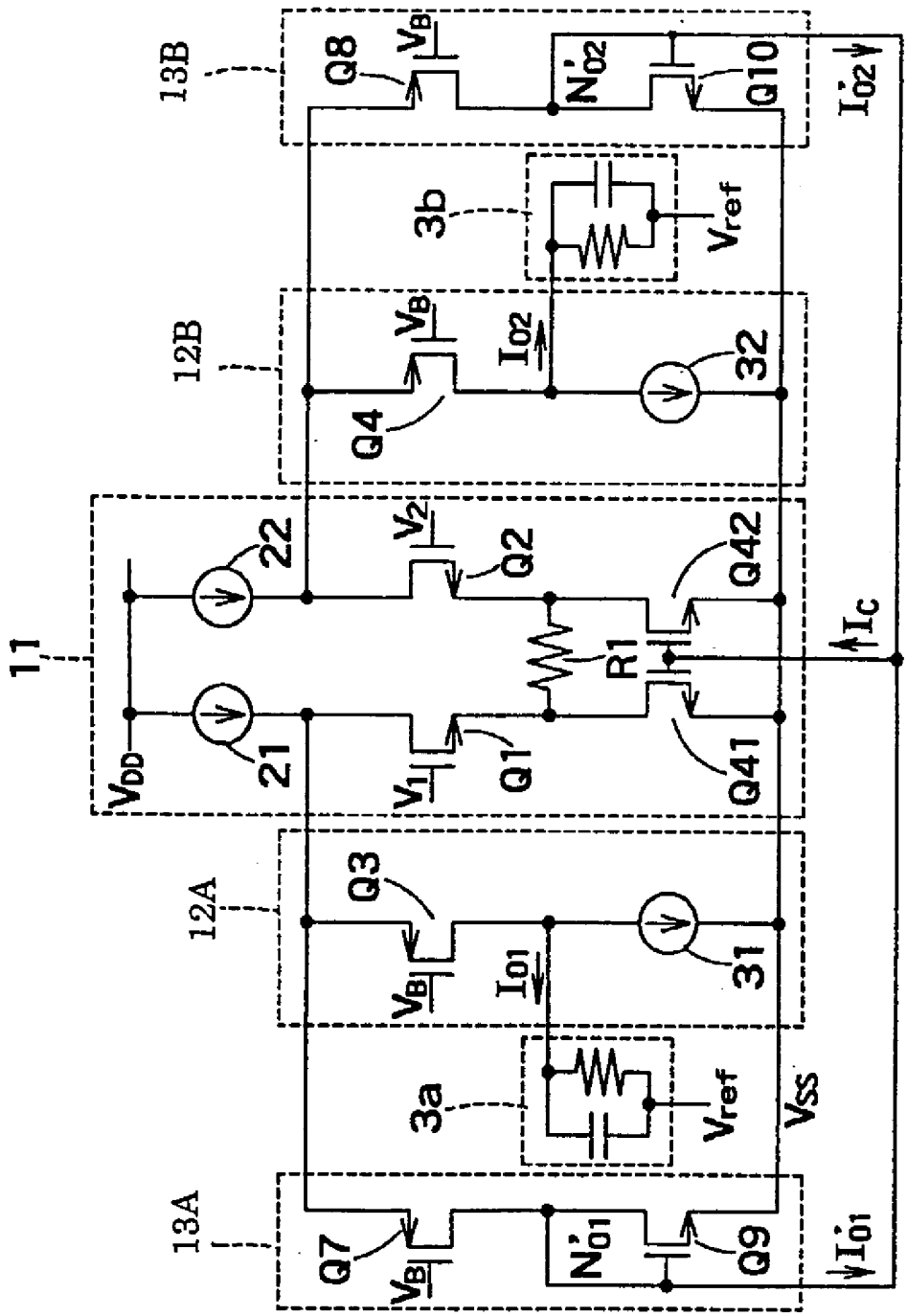

13B
Q8
VB
N'O2
Q10
IO2
3b
Vref
12B
VB
IO2
32
Q4
11
22
V2
Q2
Q42
IC
R1
VDD
21
V1
Q1
Q41
12A
Q3
VB1
IO1
31
3a
Vref
VSS
13A
Q7
VB1
N'O1
Q9
IO1

図 1 1

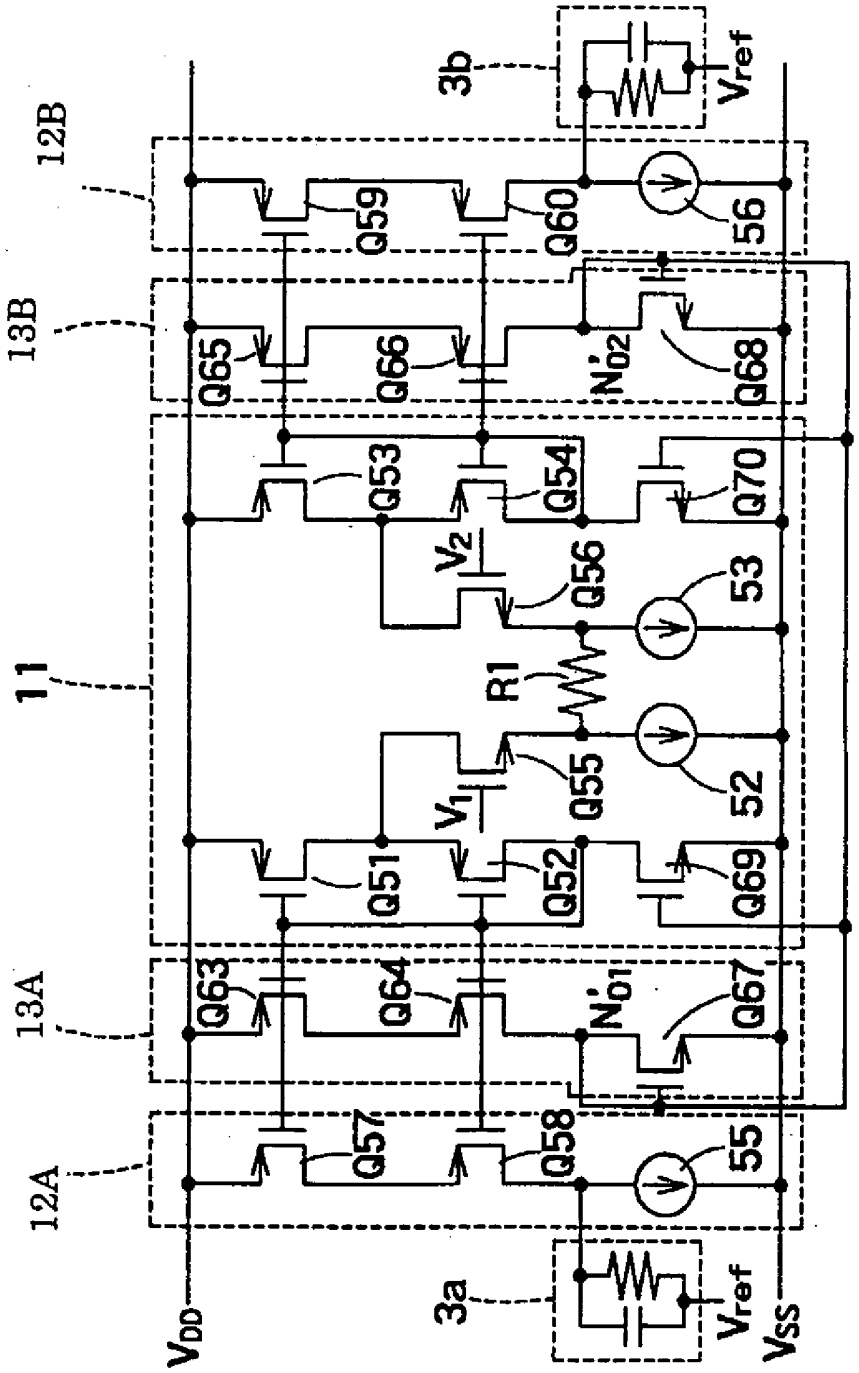

12B
13B
11
13A
12A
3b
3a
Vref
Vref
VDD
VSS
Q59
Q60
56
Q65
Q66
N'02
Q68
Q53
Q54
Q70
V2
Q56
53
R1
Q55
V1
52
Q51
Q52
Q69
Q63
Q64
N'01
Q67
Q57
Q58
55

圖 1 2

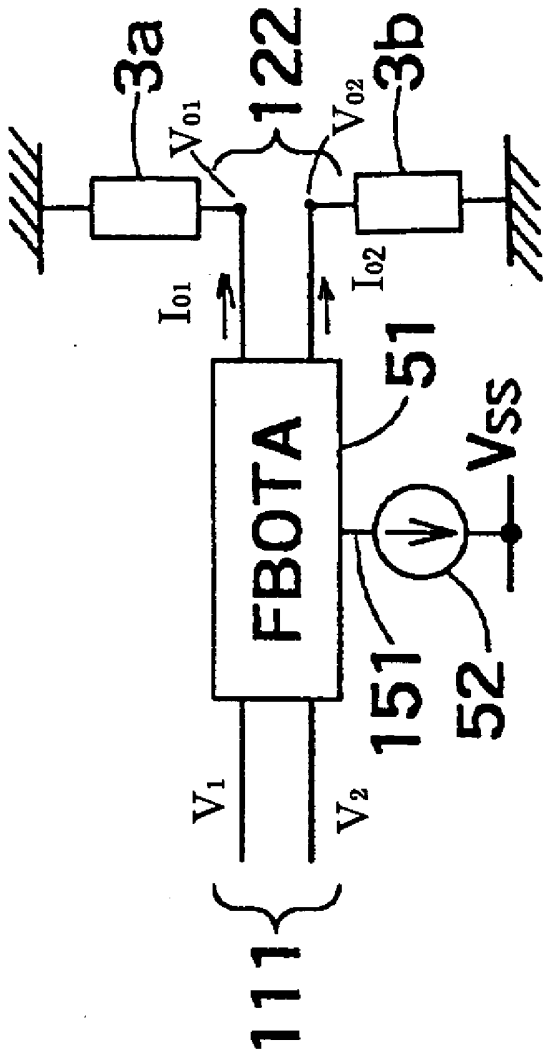


圖 1 3

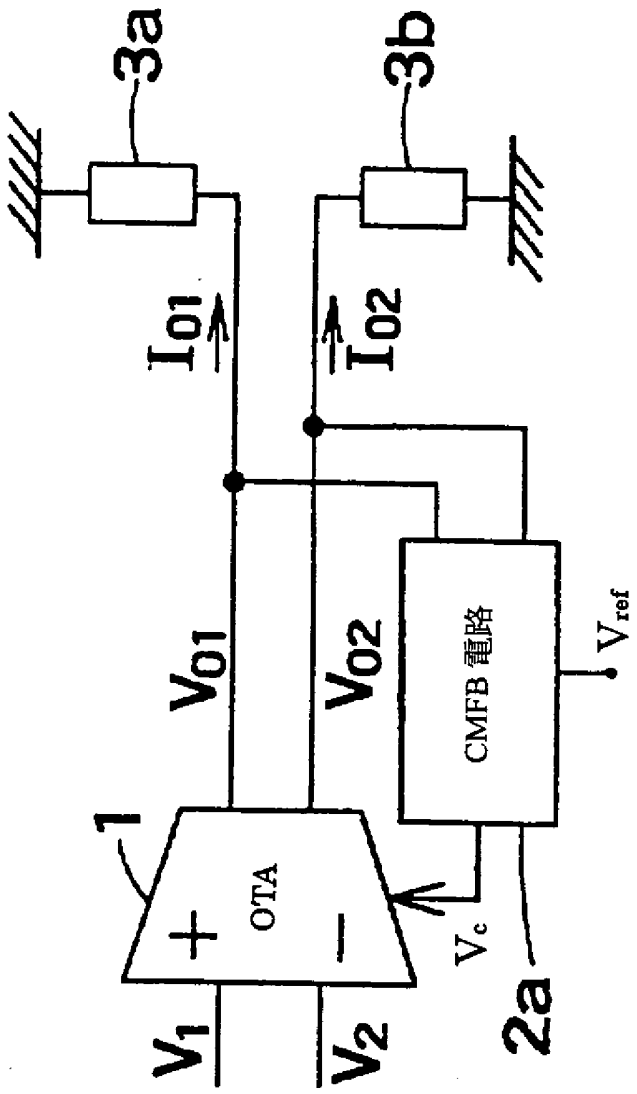


圖 1 4

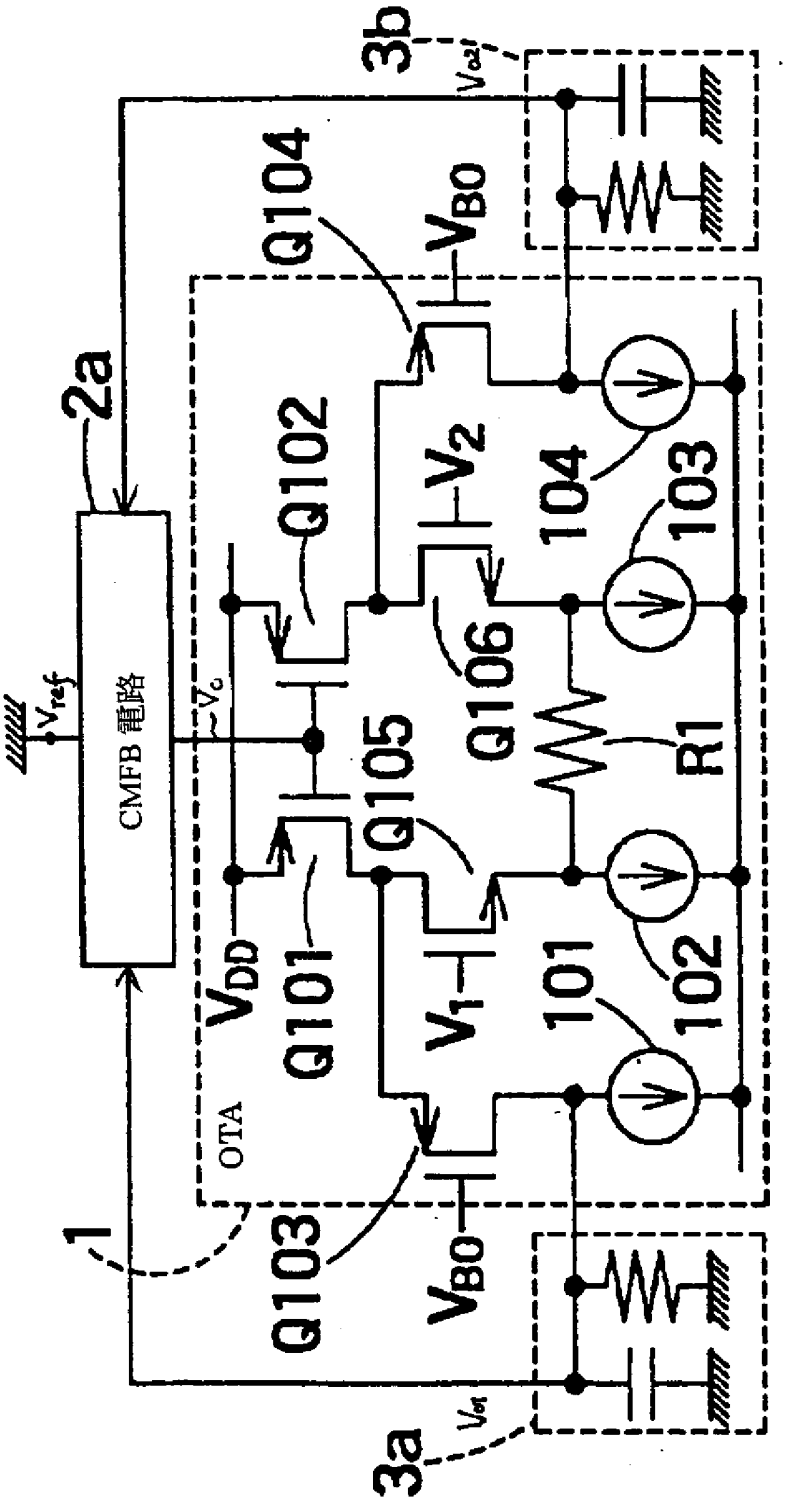

3b
V_{ref}
Q104
V_{BO}
2a
Q102
V_2
104
103
V_{ref}
CMFB 電路
V_o
Q106
R1
Q105
V_{DD}
Q101
V_1
101
102
OTA
1
Q103
V_{BO}
3a
V_{ref}

圖 1 5

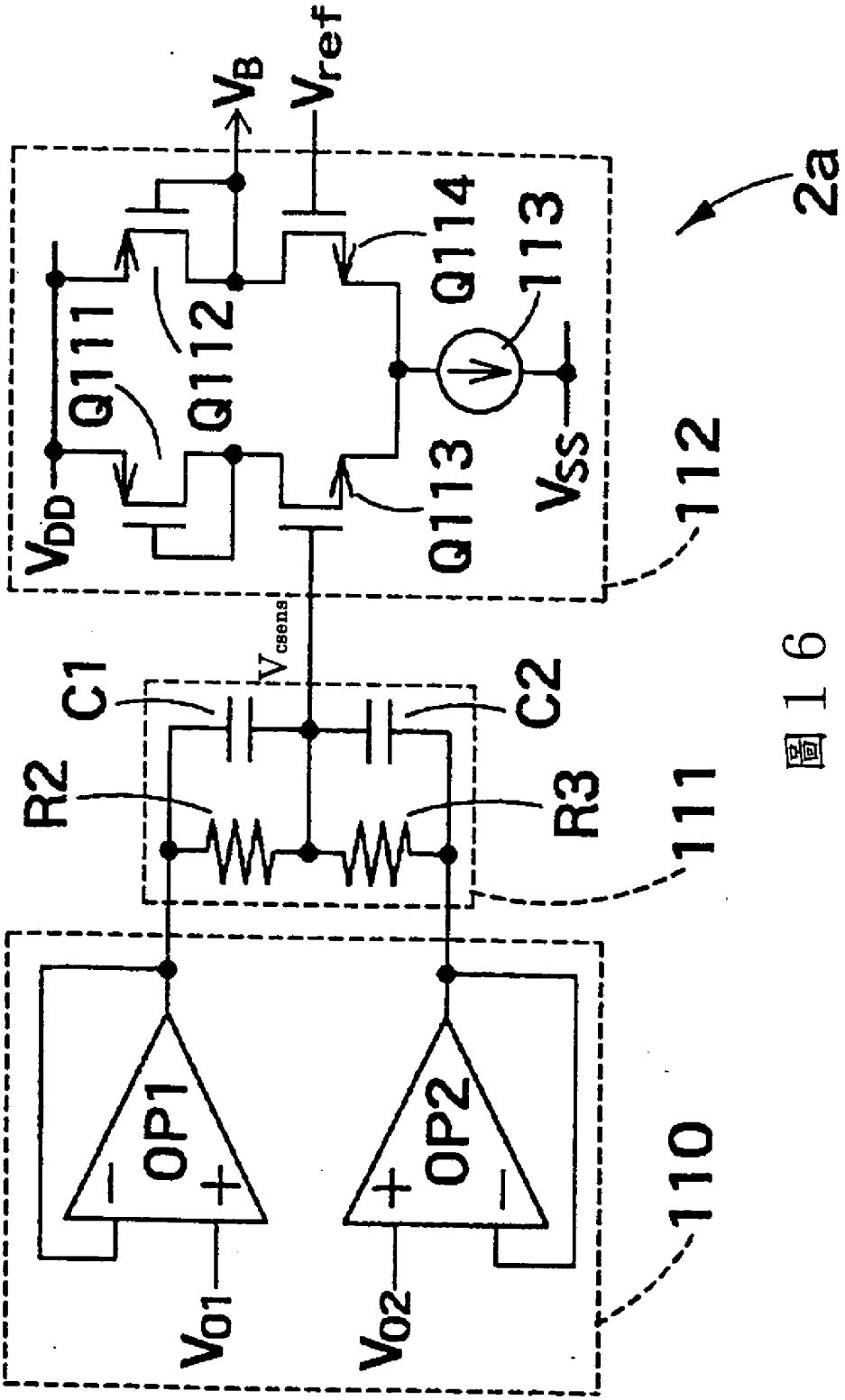

2a
V_{ref}
V_B
Q111
Q112
Q113
Q114
113
V_{DD}
V_{SS}
112
V_{csens}
C1
C2
R2
R3
111
OP1
OP2
V_{O1}
V_{O2}
110

圖16

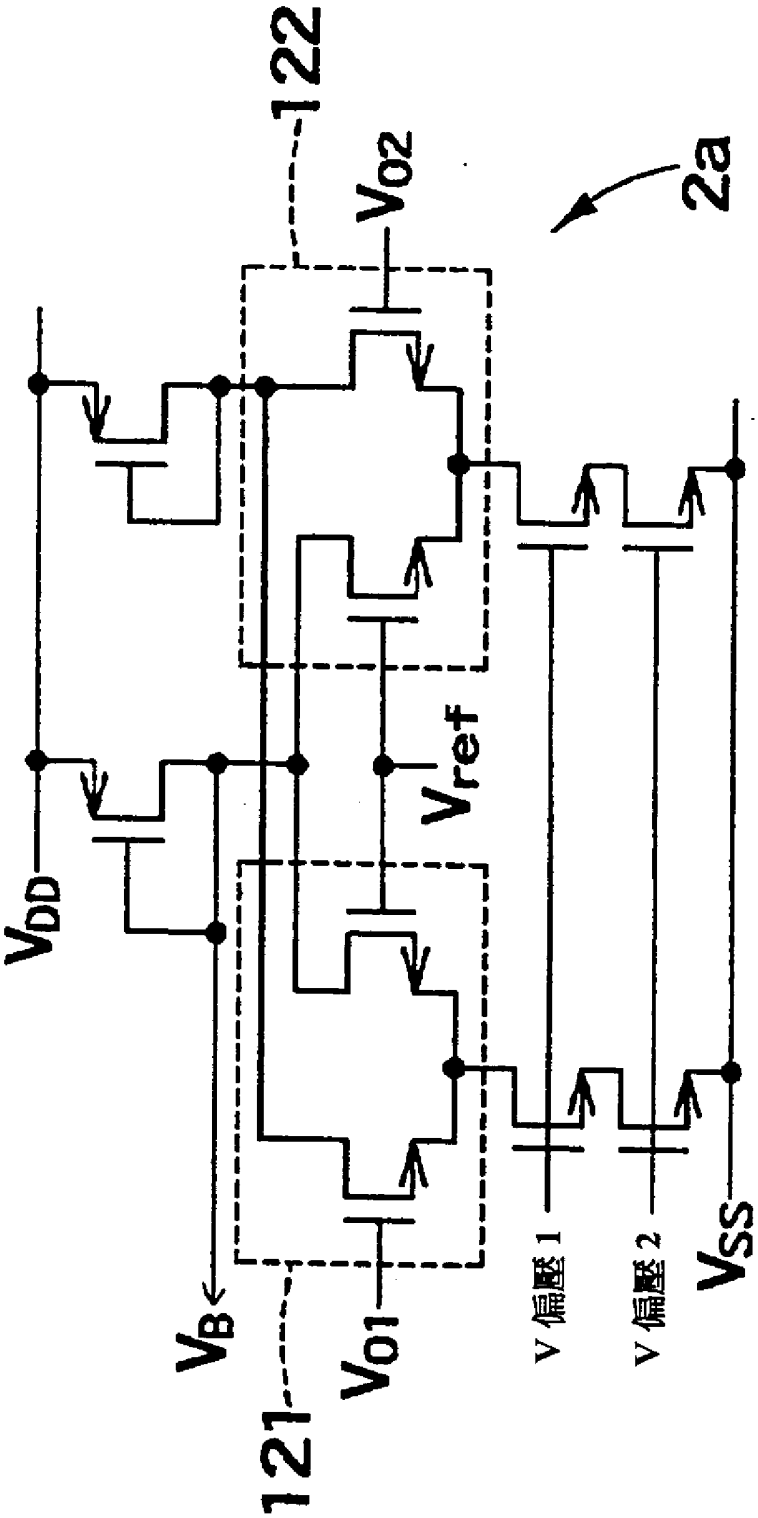


圖 1 7

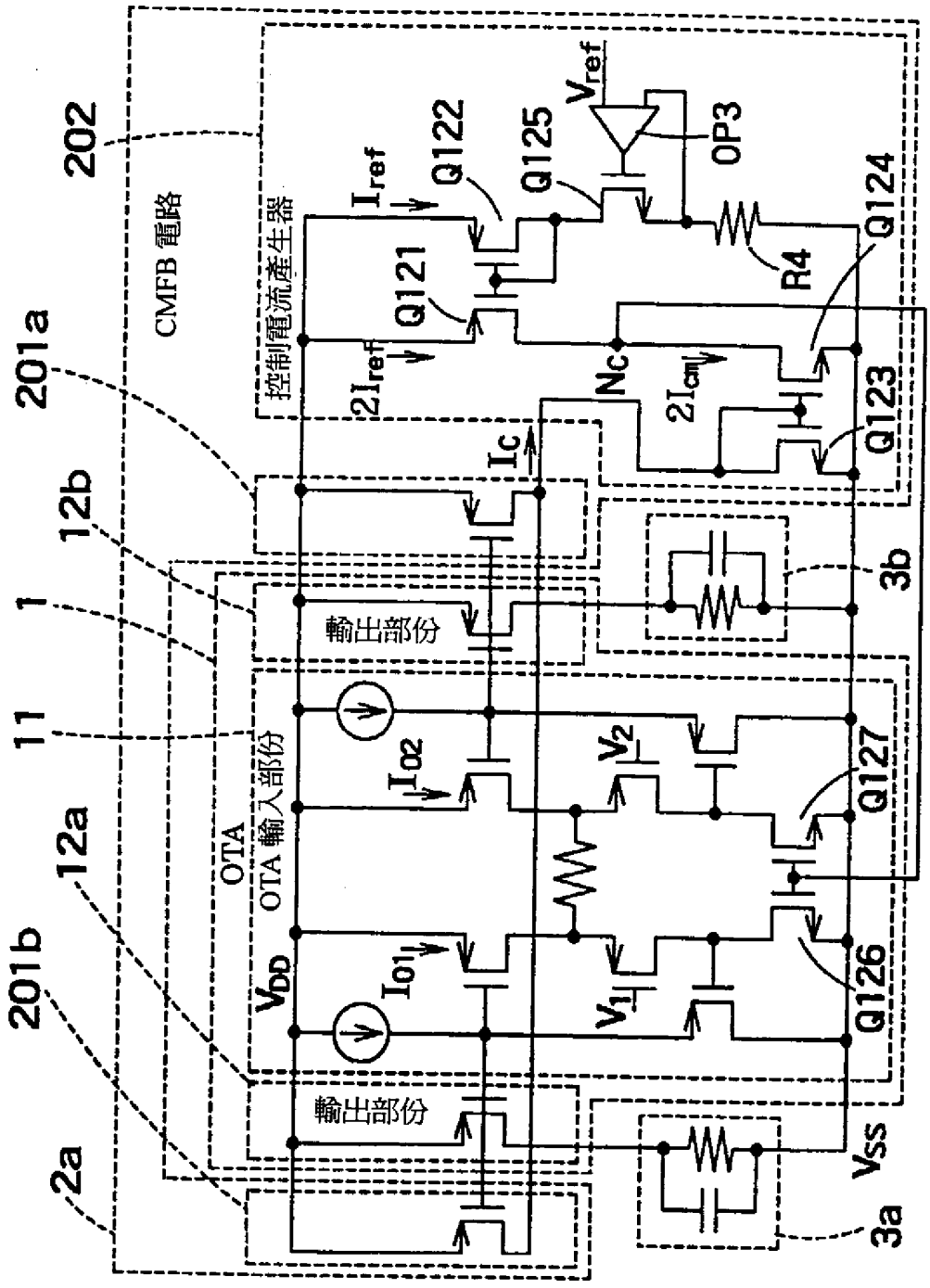

202
CMFB 電路
控制/電流產生器
I_{ref}
Q122
Q125
V_{ref}
OP3
Q124
R4
Q121
$2I_{ref}$
Nc
$2I_{cm}$
Q123
201a
I_c
12b
3b
1
輸出部份
11
OTA
OTA 輸入部份
I_{O2}
V_2
Q127
12a
V_{DD}
I_{O1}
V_1
Q126
201b
輸出部份
V_{SS}
2a
3a

圖 1 8

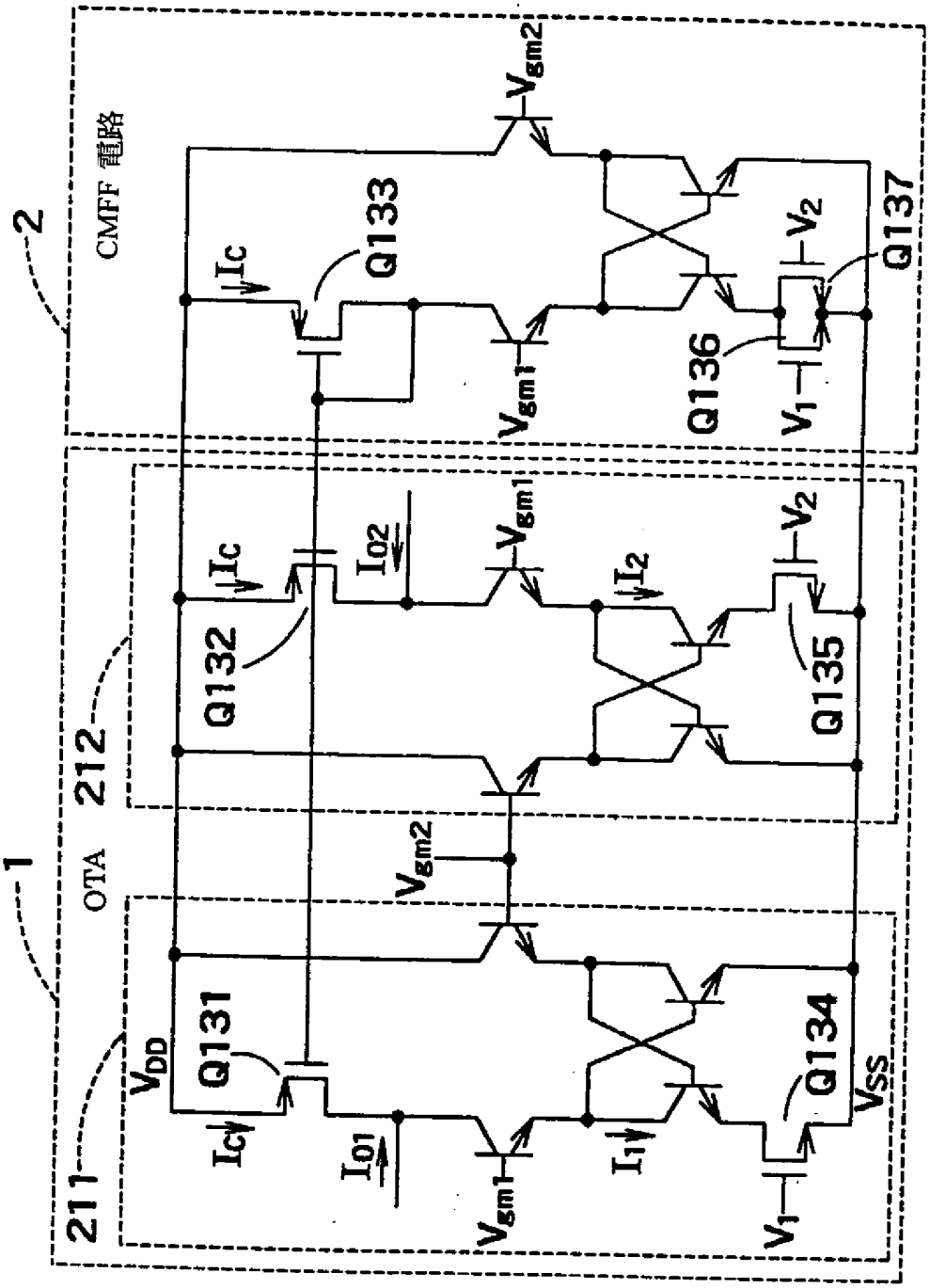

1
2
211
212
OTA
CMFF 電路
V_{DD}
V_{SS}
Q131
Q132
Q133
Q134
Q135
Q136
Q137
I_{C1}
I_{C}
I_{O1}
I_{O2}
I_1
I_2
V_{gm1}
V_{gm2}
V_1
V_2

圖19