



(12) 发明专利

(10) 授权公告号 CN 103107076 B

(45) 授权公告日 2015.04.29

(21) 申请号 201110358304.1

CN 1199248 A, 1998.11.18, 全文.

(22) 申请日 2011.11.11

CN 1239826 A, 1999.12.29, 全文.

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

US 2003/0168694 A1, 2003.09.11, 全文.

地址 201203 上海市浦东新区张江路 18 号

CN 1354522 A, 2002.06.19, 全文.

审查员 刘莉

(72) 发明人 王友臻 周儒领 詹奕鹏

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/28(2006.01)

H01L 21/8247(2006.01)

G11C 11/34(2006.01)

(56) 对比文件

US 5723355 A, 1998.03.03, 全文.

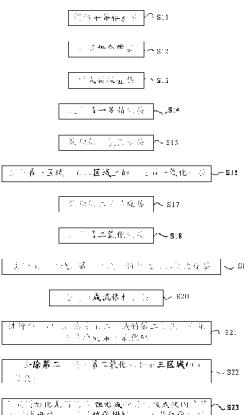
权利要求书2页 说明书9页 附图11页

(54) 发明名称

分离栅极式快闪存储器及存储器组的制作方法

(57) 摘要

本发明提供一种嵌入逻辑电路的分离栅极式快闪存储器及存储器组的制作方法, 经过二次氧化硅淀积、二次多晶硅淀积、三次蚀刻、去除氧化硅层即可在一块集成电路上同时制作分离栅极式快闪存储器、高压晶体管、逻辑晶体管。使得分离栅极式快闪存储器、高压晶体管、逻辑晶体管的密度增大, 运行速度更快, 同时集成芯片更小, 从而降低了每个集成芯片的成本。另外, 使得栅极没有经过刻蚀工艺形成, 因此栅极质量很高。在最后形成三个不同的栅极结构时, 采用的是全局回蚀的方式, 不需要单独刻蚀每个部分的栅极, 有利于工艺上操作容易, 控制方便, 工艺集成度高, 节省工艺的成本, 并且节省了光刻胶, 和避免了对栅极结构的污染。



1. 一种嵌入逻辑电路的分离栅极式快闪存储器的制作方法，其特征在于，包括：

提供半导体基底，所述半导体基底包括三个区域：用于形成分离栅极式快闪存储器的第一区域，用于形成高压晶体管的第二区域，用于形成逻辑晶体管的第三区域；

在所述半导体基底上形成栅氧化层；

在第一区域的栅氧化层上形成一对栅极叠层，每一栅极叠层包括依次叠加的浮置栅极、绝缘层、控制栅极、硬掩膜层，所述栅极叠层的侧面覆盖侧墙；

在栅氧化层上淀积第一多晶硅层，且所述第一多晶硅层覆盖所述栅极叠层，所述第一多晶硅层的厚度为逻辑晶体管栅极所需多晶硅的厚度；

在所述第一多晶硅层上淀积第一氧化硅层，所述第一氧化硅层厚度为所述栅极叠层的厚度与所述第一多晶硅层厚度之差；

去除第一区域、第二区域上的所述第一氧化硅层；

淀积第二多晶硅层，所述第二多晶硅层的厚度为所述高压晶体管栅极所需多晶硅的厚度与所述第一多晶硅层厚度之差；

淀积第二二氧化硅层，所述第二二氧化硅层的厚度为所述栅极叠层的厚度与所述高压晶体管栅极所需多晶硅的厚度之差；

去除第一区域、第三区域上的所述第二二氧化硅层；

全局形成流体材料层，填平第二多晶硅层和第二二氧化硅层表面的凹槽；

进行全局回蚀，露出第二区域的第二二氧化硅和第三区域的第一氧化硅；

去除第二区域的第二二氧化硅和第三区域的第一氧化硅；

形成图形化光刻胶以定义分离栅极式快闪存储器字线栅极、高压晶体管栅极、逻辑晶体管栅极的区域，然后刻蚀形成分离栅极式快闪存储器字线栅极、高压晶体管栅极、逻辑晶体管栅极。

2. 根据权利要求 1 所述的制作方法，其特征在于，所述流体材料为有机底部抗反射材料。

3. 根据权利要求 1 所述的制作方法，其特征在于，所述全局回蚀的方法为干法刻蚀，所述干法刻蚀采用的刻蚀气体对多晶硅与氧化硅刻蚀选择比范围为 3 : 1 到 6 : 1。

4. 根据权利要求 3 所述的制作方法，其特征在于，所述干法刻蚀的主刻蚀气体包括 HBr、CF₄、CHF₃、CH₂F₂ 中的至少两种，辅助刻蚀气体包括 Ar、O₂ 中的至少一种。

5. 根据权利要求 3 或 4 所述的制作方法，其特征在于，所述干法刻蚀工艺过程中采用在线监测控制装置，控制刻蚀不均匀性小于 6%，且使所述全局回蚀刻蚀到所述栅极叠层的硬掩膜层停止。

6. 根据权利要求 1 所述的制作方法，其特征在于，所述全局回蚀步骤后，所述栅极叠层高过其两侧的多晶硅。

7. 一种嵌入逻辑电路的分离栅极式快闪存储器组的制作方法，其特征在于，所述制作方法包括：

提供半导体基底，所述半导体基底包括六个区域：用以分别形成分离栅极式快闪存储器的第一区域与第四区域、用以分别形成高压晶体管的第二区域与第五区域、用以分别形成逻辑晶体管的第三区域与第六区域，以形成两个相同的嵌入逻辑电路的分离栅极式快闪存储器；

在所述半导体基底上形成栅氧化层；

在第一区域与第四区域的栅氧化层上形成栅极叠层，所述栅极叠层包括依次叠加的浮置栅极、绝缘层、控制栅极、硬掩模层，所述栅极叠层的侧面覆盖侧墙；

在栅氧化层上淀积第一多晶硅层，且所述第一多晶硅层覆盖所述栅极叠层，所述第一多晶硅层厚度为逻辑晶体管栅极所需多晶硅的厚度；

在所述第一多晶硅层上淀积第一氧化硅层，所述第一氧化硅层厚度为所述栅极叠层的厚度与所述第一多晶硅层厚度之差；

去除第一区域、第二区域、第四区域、第五区域上的所述第一氧化硅层；

淀积第二多晶硅层，所述第二多晶硅层的厚度为所述高压晶体管栅极所需多晶硅层的厚度与所述第一多晶硅层厚度之差；

淀积第二二氧化硅层，所述第二二氧化硅层的厚度为所述栅极叠层的厚度与所述高压晶体管栅极所需多晶硅层的厚度之差；

去除第一区域和第四区域、第三区域和第六区域上的所述第二二氧化硅层；

全局形成流体材料层，填平第二多晶硅层和第二二氧化硅层表面的凹槽；

进行全局回蚀，露出第二区域和第五区域的第二二氧化硅层和第三区域和第六区域的第一氧化硅层；

去除第二区域和第五区域的第二二氧化硅层，及第三区域和第六区域的第一氧化硅层；

形成图形化光刻胶以定义分离栅极式快闪存储器组字线栅极、高压晶体管栅极、逻辑晶体管栅极的区域，然后刻蚀形成分离栅极式快闪存储器组字线栅极、高压晶体管栅极、逻辑晶体管栅极。

8. 根据权利要求 7 所述的制作方法，其特征在于，所述流体材料为有机底部抗反射材料。

9. 根据权利要求 7 所述的制作方法，其特征在于，所述全局回蚀的方法为干法刻蚀，所述干法刻蚀采用的刻蚀气体为对多晶硅与氧化硅层刻蚀比范围为 3 : 1 到 6 : 1 的刻蚀气体。

10. 根据权利要求 9 所述的制作方法，其特征在于，所述刻蚀气体的主刻蚀气体包括 HBr、CF₄、CHF₃、CH₂F₂ 中的至少两种，辅助刻蚀气体包括 Ar、O₂ 中的至少一种。

11. 根据权利要求 9 所述的制作方法，其特征在于，所述干法刻蚀工艺过程中采用在线监测控制装置，使刻蚀不均匀性小于 6%，且使所述全局回蚀刻蚀到所述栅极叠层的硬掩膜层停止。

12. 根据权利要求 7 所述的制作方法，其特征在于，进行所述全局回蚀步骤后，所述栅极叠层高过其两侧的多晶硅。

分离栅极式快闪存储器及存储器组的制作方法

技术领域

[0001] 本发明涉及半导体技术领域，尤其涉及一种嵌入逻辑电路的分离栅极式快闪存储器及存储器组的其制作方法。

背景技术

[0002] 随机存储器，例如 DRAM 与 SRAM 在使用过程中存在掉电后存储数据丢失的问题。为了克服这个问题，人们已经设计并开发了多种非易失性存储器。最近，基于浮栅概念的闪存由于其具有小的单元尺寸和良好的工作性能已成为最通用的非易失性存储器。

[0003] 非易失性存储器主要包括两种基本结构：栅极叠层 (stack gate) 结构和分离栅极式 (split gate) 结构。

[0004] 栅极叠层结构式存储器包括依序形成于衬底上的遂穿氧化物层、存储电子的浮置栅极多晶硅层、氧化物 / 氮化物 / 氧化物 (oxide-nitride-oxide, ONO) 叠层和控制电子存储和释放的控制栅极多晶硅层。

[0005] 分离栅极式存储器也包括形成于衬底上的遂穿氧化物层、存储电子的浮置栅极多晶硅层、氧化物 / 氮化物 / 氧化物 (oxide-nitride-oxide, ONO) 叠层和控制电子存储和释放的控制栅极多晶硅层。

[0006] 但与栅极叠层式存储器不同的是，分离栅极式存储器还在栅极叠层结构的一侧形成用作擦除栅极 (erase gate) 的多晶硅层。在存储和擦写性能上，分离栅极式存储器避免了栅极叠层式存储器的过度擦写问题。

[0007] 在向分离栅极式快闪存储器写入和 / 或擦除数据时，通常使用相对于电源电压 Vcc 的高电压，使源漏区形成热载流子通道，电子载流子遂穿过隔绝浮置栅极与源漏区的氧化层注入浮置栅极或从浮置栅极中抽出。

[0008] 通常，分离栅极式快闪存储器为实现一定功能，周围会存在外围电路 (Periphery Circuit)，包括高压晶体管与逻辑晶体管。分离栅极式快闪存储器的控制栅极电连接至字线，分离栅极式快闪存储器的源 / 漏区电连接至位线。该字线电连接至行译码器且位线电连接至读 / 写电路。行译码器用来选择多条字线中的一条且向被选中的字线施加字线电压。该字线电压为施加到字线的用于执行读、写和 / 或擦除操作的电压。读 / 写电路用来选择多条位线中的一条并向被选中的位线施加位线电压。该位线电压为施加到位线的用于执行写、擦除和 / 或读操作的电压。此外，读 / 写电路还电连接至被选中的字线和被选中的位线，可以通过被选中的位线输出存储单元的数据。该行译码器典型地包括至少一个高压晶体管，其被配置为控制字线的电压，而读 / 写电路典型地包括至少一个高压晶体管，其被配置为控制位线的电压。因此，高压晶体管的击穿特性应该具有能够承受该字线电压和位线电压。

[0009] 如果将分离栅极式快闪存储器、高压晶体管、逻辑晶体管都做在单独的集成芯片上，整个存储器的运行速度会受到快闪存储器和外围电路间的信号传输带宽限制。目前，现有技术中也有将分离栅极式快闪存储器嵌入高压晶体管的集成电路，也有将分离栅极式快

闪存储器嵌入逻辑晶体管的集成电路。在嵌入逻辑电路的分离栅极式快闪存储器技术逐渐成熟、存储速度不断加快、成本逐渐下降的发展过程中，人们开始对其制作方法提出了新的要求。

[0010] 所述新的要求包括：需要提供一种新的嵌入逻辑电路的分离栅极式快闪存储器制作方法，使得分离栅极式快闪存储器、高压晶体管、逻辑晶体管的密度增大，集成化程度高，运行速度更快，同时集成芯片更小，从而降低了每个集成芯片的成本，且应用更广泛。

发明内容

[0011] 本发明的目的是提供一种新的嵌入逻辑电路的分离栅极式快闪存储器，使得分离栅极式快闪存储器、高压晶体管、逻辑晶体管的密度增大，集成化程度高，运行速度更快，同时集成芯片更小，从而降低了每个集成芯片的成本，且应用更广泛。

[0012] 为实现上述目的，本发明提供一种嵌入逻辑电路的分离栅极式快闪存储器的制作方法，包括：

[0013] 提供半导体基底，所述半导体基底包括三个区域：用于形成分离栅极式快闪存储器的第一区域，用于形成高压晶体管的第二区域，用于形成逻辑晶体管的第三区域；

[0014] 在所述半导体基底上形成棚氧化层；

[0015] 在第一区域的棚氧化层上形成一对棚极叠层，所述每一棚极叠层包括一对依次叠加的浮置棚极、绝缘层、控制棚极、硬掩膜层，构成棚极叠层，所述棚极叠层的侧面覆盖侧墙；

[0016] 在形成有所述棚极叠层的棚氧化层上淀积第一多晶硅层，所述第一多晶硅层的厚度为逻辑晶体管棚极所需多晶硅的厚度；

[0017] 在所述第一多晶硅层上淀积第一氧化硅层，所述第一氧化硅层厚度为所述棚极叠层的厚度与所述第一多晶硅层厚度之差；

[0018] 去除第一区域、第二区域上的所述第一氧化硅层；

[0019] 淀积第二多晶硅层，所述第二多晶硅层的厚度为所述高压晶体管棚极所需多晶硅的厚度与所述第一多晶硅层厚度之差；

[0020] 淀积第二氧化硅层，所述第二氧化硅层的厚度为所述棚极叠层的厚度与所述高压晶体管棚极所需多晶硅的厚度之差；

[0021] 去除第一区域、第三区域上的所述第二氧化硅层；

[0022] 全局形成流体材料层，填平第二多晶硅层和第二氧化硅层表面的凹槽；

[0023] 全局进行回蚀，露出第二区域的第二氧化硅和第三区域的第一氧化硅；

[0024] 去除第二区域的第二氧化硅和第三区域的第一氧化硅；

[0025] 形成图形化光刻胶以定义分离栅极式快闪存储器字线棚极、高压晶体管棚极、逻辑晶体管棚极的区域，然后刻蚀形成分离栅极式快闪存储器字线棚极、高压晶体管棚极、逻辑晶体管棚极。

[0026] 可选的，所述流体材料为有机底部抗反射材料。

[0027] 可选的，所述全局回蚀的方法为干法刻蚀，所述干法刻蚀采用的刻蚀气体对多晶硅与氧化硅层刻蚀选择比范围为 3 : 1 到 6 : 1。

[0028] 可选的，所述干法刻蚀的主刻蚀气体包括 HBr、CF₄、CHF₃、CH₂F₂ 中的至少两种，辅助

刻蚀气体包括 Ar、O₂ 中的至少一种。

[0029] 可选的，所述干法刻蚀工艺过程中采用在线监测控制装置，控制刻蚀不均匀性小于 6%，且使所述全局回蚀刻蚀到所述栅极叠层的硬掩膜层停止。

[0030] 可选的，所述全局回蚀步骤后，所述栅极叠层的高过其两侧的多晶硅。

[0031] 本发明还提供了一种嵌入逻辑电路的分离栅极式快闪存储器组的制作方法，所述制作方法包括：

[0032] 提供半导体基底，所述半导体基底包括六个区域：用以分别形成分离栅极式快闪存储器的第一区域与第四区域，用以分别形成高压晶体管的第二区域与第五区域，用于分别形成逻辑晶体管的第三区域与第六区域，以形成两个相同的嵌入逻辑电路的分离栅极式快闪存储器；

[0033] 在所述半导体基底上形成栅氧化层；

[0034] 在第一区域与第四区域的栅氧化层上形成栅极叠层，所述栅极叠层包括依次叠加的浮置栅极、绝缘层、控制栅极、硬掩模层，所述栅极叠层的侧面覆盖侧墙；

[0035] 在栅氧化层上淀积第一多晶硅层，所述第一多晶硅厚度为逻辑晶体管栅极所需多晶硅的厚度；

[0036] 在所述第一多晶硅层上淀积第一氧化硅层，所述第一氧化硅层厚度为所述栅极叠层的厚度与所述第一多晶硅层厚度之差；

[0037] 去除第一区域、第二区域、第四区域、第五区域上的所述第一氧化硅层；

[0038] 淀积第二多晶硅层，所述第二多晶硅层的厚度为所述高压晶体管栅极所需多晶硅层的厚度与所述第一多晶硅层厚度之差；

[0039] 淀积第二氧化硅层，所述第二氧化硅层的厚度为所述栅极叠层的厚度与所述高压晶体管栅极所需多晶硅层的厚度之差；

[0040] 去除第一区域和第四区域、第三区域和第六区域上的所述第二氧化硅层；

[0041] 全局形成流体材料层，填平第二多晶硅层和第二氧化硅层表面的凹槽；

[0042] 进行全局回蚀，露出第二区域和第五区域的第二氧化硅及第三区域和第六区域的第一氧化硅；

[0043] 去除第二区域和第五区域的第二氧化硅，及第三区域和第六区域的第一氧化硅；

[0044] 形成图形化光刻胶以定义分离栅极式快闪存储器字线栅极、高压晶体管栅极、逻辑晶体管栅极的区域，然后刻蚀形成分离栅极式快闪存储器字线栅极、高压晶体管栅极、逻辑晶体管栅极。

[0045] 可选的，所述流体材料为有机底部抗反射材料。

[0046] 可选的，所述全局回蚀的方法为干法刻蚀，所述干法刻蚀采用的刻蚀气体为对多晶硅与氧化硅层刻蚀比范围为 3 : 1 到 6 : 1 的刻蚀气体。

[0047] 可选的，所述刻蚀气体的主刻蚀气体包括 HBr、CF₄、CHF₃、CH₂F₂ 中的至少两种，辅助刻蚀气体包括 Ar、O₂ 中的至少一种。

[0048] 可选的，所述干法刻蚀工艺过程中采用在线监测控制装置，使刻蚀不均匀性小于 6%，且使所述全局回蚀刻蚀到所述栅极叠层的硬掩膜层停止。

[0049] 可选的，进行所述全局回蚀步骤后，所述栅极叠层高过其两侧的多晶硅。

[0050] 与现有技术相比，本发明具有以下优点：

[0051] 本发明提供的嵌入逻辑电路的分离栅极式快闪存储器的制作方法,只需进行二次氧化硅淀积、二次多晶硅淀积、三次蚀刻、去除氧化硅层八个步骤,就将分离栅极式快闪存储器嵌入到高压晶体管与逻辑晶体管的外围电路中,可以在一块集成电路上制作分离栅极式快闪存储器、高压晶体管、逻辑晶体管,与单独制作分离栅极式快闪存储器、高压晶体管、逻辑晶体管相比,它大大简化了制造工艺,同时使得形成的分离栅极式快闪存储器、高压晶体管、逻辑晶体管的密度增大,运行速度更快,而且集成芯片更小,从而降低了每个集成芯片的成本。

[0052] 此外,高压晶体管与逻辑晶体管的性能与其对应栅极的质量有紧密联系,上述嵌入逻辑电路的分离栅极式快闪存储器形成过程中,刻蚀停止在氧化物停止层上,使得形成的栅极没有经过刻蚀工艺形成,因此栅极质量很高。

[0053] 同时,在最后形成三个区域的栅极结构时,采用的是全局回蚀的方式,不需要单独刻蚀每个部分的栅极,有利于工艺上操作容易,控制方便,工艺集成度高,节省工艺的成本,并且节省了光刻胶,和避免了对栅极材料的污染。

附图说明

[0054] 图 1 是本发明提供的嵌入逻辑电路的分离栅极式快闪存储器制作方法的流程图。

[0055] 图 2 至图 13 是本发明提供的嵌入逻辑电路的分离栅极式快闪存储器在各个制作阶段的结构截面图。

[0056] 图 14 至图 25 是本发明提供的嵌入逻辑电路的分离栅极式快闪存储器组在各个制作阶段的结构截面图。

具体实施方式

[0057] 为了达到在同一个半导体衬底上形成具有不同厚度的分离栅极式快闪存储器栅极、高压晶体管栅极、逻辑晶体管栅极,并且形成较高质量的高压晶体管与逻辑晶体管的栅极,同时,达到工艺操作容易,控制方便,工艺集成度高,节省工艺成本的目的,本发明提出了图 1 所示的嵌入逻辑电路的分离栅极式快闪存储器的制作方法,具体包括:

[0058] 步骤 S11,提供半导体基底,该半导体基底分为三个区域:用以形成分离栅极式快闪存储器的第一区域,用以形成高压晶体管的第二区域,用于形成逻辑晶体管的第三区域;

[0059] 步骤 S12,在所述半导体基底上形成栅氧化层,作为栅氧化层;

[0060] 步骤 S13,在第一区域的栅氧化层上形成一对栅极叠层,每一栅极叠层包括依次叠加的浮置栅极、绝缘层、控制栅极、硬掩模层,栅极叠层侧面覆盖侧墙;

[0061] 步骤 S14,淀积第一多晶硅层,所述第一多晶硅层的厚度为逻辑晶体管栅极所需多晶硅的厚度;

[0062] 步骤 S15,淀积第一氧化硅层,所述第一氧化硅层厚度为所述栅极叠层的厚度与所述第一多晶硅层厚度之差;

[0063] 步骤 S16,去除第一区域、第二区域上的所述第一氧化硅层;

[0064] 步骤 S17,淀积第二多晶硅层,所述第二多晶硅层为所述高压晶体管栅极所需多晶硅的厚度与所述第一多晶硅层厚度之差;

[0065] 步骤 S18, 淀积第二二氧化硅层, 所述第二二氧化硅层为所述栅极叠层的厚度与所述高压晶体管栅极所需多晶硅的厚度之差;

[0066] 步骤 S19, 去除第一区域、第三区域上的所述第二二氧化硅层;

[0067] 步骤 S20, 全局形成流体材料层, 填平第二多晶硅层和第二二氧化硅层表面的凹槽;

[0068] 步骤 S21, 进行全局回蚀, 露出第二区域的第二二氧化硅和第三区域的第一氧化硅;

[0069] 步骤 S22, 去除第二区域的第二二氧化硅和第三区域的第一氧化硅;

[0070] 步骤 S23, 形成图形化光刻胶以定义分离栅极式快闪存储器字线栅极、高压晶体管栅极、逻辑晶体管栅极的区域, 然后刻蚀形成分离栅极式快闪存储器字线栅极、高压晶体管栅极、逻辑晶体管栅极。

[0071] 下面结合附图对本发明的具体实施方式做详细的说明。在以下描述中阐述了具体细节以便于充分理解本发明。但是本发明能够以多种不同于在此描述的其它方式来实施, 本领域技术人员可以在不违背本发明内涵的情况下做类似推广。因此本发明不受下面公开的具体实施方式的限制。

[0072] 需要说明的是, 附图的目的是有助于理解本发明的实施例, 而不应解释为对本发明的不当的限制。为了更清楚起见, 图中所示尺寸并未按比例绘制, 可能会作放大、缩小或其他改变。

[0073] 另外需要说明的是, 以下方法步骤中给出的厚度值并不受实施例的限制, 在实际应用中嵌入逻辑电路的分离栅极式快闪存储器的尺寸可以随作调整。

[0074] 第一实施例

[0075] 图 2 至图 13 为本实施例的提供的嵌入逻辑电路的分离栅极式快闪存储器的制作过程中存储器的结构截面图。下面将图 2 至图 13 分别与图 1 结合起来说明嵌入逻辑电路的分离栅极式快闪存储器的制作方法。

[0076] 首先执行步骤 S11, 提供半导体基底 11, 并将半导体基底 11 分为三个区域, 分别为: 用以形成分离栅极式快闪存储器的第一区域 I, 用以形成高压晶体管的第二区域 II, 用于形成逻辑晶体管的第三区域 III。结构截面图如图 2 所示。需要说明的是, 高压晶体管所在的第二区域 II 与逻辑晶体管所在的第三区域 III 在真实布局里都是位于外围电路区, 因此, 高压晶体管与逻辑晶体管位置关系不受本实施例所提供的图的限制。

[0077] 接着执行步骤 S12, 在半导体基底 11 上形成栅氧化层 12, 将半导体基底 11 与后续将形成的分离栅极式快闪存储器浮置栅极、高压晶体管栅极、逻辑晶体管栅极隔离, 结构截面图如图 3 所示。所述栅氧化层 12 为氧化硅, 形成方法可以为热氧化法。

[0078] 接着执行步骤 S13, 在第一区域 I 的栅氧化层 12 上形成一对栅极叠层, 每一栅极叠层包括依次叠加的浮置栅极 101、绝缘层 102、控制栅极 103 及硬掩膜层 107, 结构截面图如图 4 所示。具体的, 栅极叠层的总厚度为 $2300\text{Å} \sim 2500\text{Å}$, 这里以栅极叠层的厚度 2500Å 为例。绝缘层 102 可以为氧化物 1021、氮化物 1022、氧化物 1023 总共三层的 ONO 三明治结构, 本技术领域人员应当理解的是, 绝缘层 102 也可以为一层氮化物、或一层氧化物、或一层氮化物上形成一层氧化物等绝缘结构。硬掩膜层 107 在后续制作方法中作为全局回蚀的刻蚀停止层, 可以为氮化硅层。浮置栅极 101、绝缘层 102、控制栅极 103 及硬掩膜层 107 侧边形成有起绝缘作用的侧墙 106。

[0079] 接着执行步骤 S14, 在栅氧化层 12 上淀积第一多晶硅层 13, 结构截面图如图 5 所

示。第一多晶硅层 13 的厚度刚好为逻辑晶体管栅极所需多晶硅的厚度,例如,该厚度可以为 1000 \AA 。此步骤可以采用化学气相淀积形成第一多晶硅层 13。

[0080] 接着执行步骤 S15,在第一多晶硅层 13 上淀积第一氧化硅层 14,结构截面图如图 6 所示,第一氧化硅层 14 与第一多晶硅层 13 的厚度之和与所述栅极叠层的厚度相等。具体的,第一氧化硅层 14 的厚度为 1500 \AA 。但在实际的半导体工艺过程中,由于多种原因第一氧化硅层 14 与第一多晶硅层 13 的厚度之和只能约等于所述栅极叠层的厚度,具体的误差范围为 $\pm 100\text{ \AA}$ 。此步骤可以采用化学气相淀积形成第一氧化硅层 14。

[0081] 接着执行步骤 S16,去除第一区域 I 和第二区域 II 上的第一氧化硅层 14,保留第三区域 III 上的第一氧化硅层 14,其结构截面图如图 7 所示。具体的,在第三区域 III 形成光刻胶以进行保护,采用湿法刻蚀去除第一区域 I 和第二区域 II 上的第一氧化硅层 14,之后去除残余的光刻胶。本步骤中去除氧化硅的刻蚀剂可以采用氢氟酸 (HF)。

[0082] 接着执行步骤 S17,淀积第二多晶硅层 15,结构截面图如图 8 所示。所述第二多晶硅层 15、第一多晶硅层 13 两者厚度之和刚好为高压晶体管栅极的厚度。此步骤形成第二多晶硅层 15 的方法可以为化学气相淀积。

[0083] 接着执行步骤 S18,淀积第二二氧化硅层 16,结构截面图如图 9 所示。所述第二二氧化硅层 16、第二多晶硅层 15、第一多晶硅层 13 三者厚度之和与所述栅极叠层的厚度相等。此步骤可以采用化学气相淀积形成第二二氧化硅层 16。在本实施例中,淀积的第二二氧化硅层 16 的厚度为 1000 \AA 。

[0084] 接着执行步骤 S19,去除第一区域 I 和第三区域 III 上的第二二氧化硅层 16,保留第二区域 II 的第二二氧化硅层 16,其结构截面图如图 10 所示。具体的,在第二区域 II 形成光刻胶以进行保护,采用湿法腐蚀去除第一区域 I 和第三区域 III 上的第二二氧化硅层 16。刻蚀剂可以采用氢氟酸 (HF)。

[0085] 接着执行步骤 S20,全局形成流体材料层 17,本实施例中流体材料采用有机底部抗反射材料 (Barc),所述流体材料 (Barc, 有机底部抗反射材料) 的流动性好,可以填充深的凹槽。本步骤中形成的流体材料层填平第二多晶硅层 15 和第二二氧化硅层 16 表面的凹槽。如图 11 所示。

[0086] 接着执行步骤 S21,进行全局回蚀,以定义第一区域 I 上存储器擦除栅极 104 的厚度、字线栅极 105 的厚度,形成的结构截面图如图 12 所示。具体的,擦除栅极 104、字线栅极 105 的厚度为 2000 \AA 。由于控制栅极 103 上形成有硬掩膜层 107,其硬度很高,可以作为全局回蚀时的刻蚀阻挡层。具体的,所述全局回蚀采用干法刻蚀,刻蚀气体为主刻蚀气体包括 HBr、CF₄、CHF₃、CH₂F₂ 中的至少两种,辅助刻蚀气体包括 Ar、O₂ 中的至少一种。其对多晶硅与氧化硅层刻蚀比范围为 3 : 1 到 6 : 1 的刻蚀气体。在全局回蚀的过程中采用在线监测控制装置,使刻蚀不均匀性小于 6%,且使所述全局回蚀刻蚀到所述栅极叠层的硬掩膜层 107 作为刻蚀的终止信号,刻蚀进行到所述栅极叠层的硬掩膜层 107 后,再持续 1 ~ 2s,使得经过全局回蚀步骤后,擦除栅极 104、字线栅极 105 的厚度小于栅极叠层的厚度总和,这样可以防止擦除栅极 104 及字线栅极 105 与控制栅极 103 之间产生电连接。

[0087] 接着执行步骤 S22:去除第二区域的第二二氧化硅 16 和第三区域的第一氧化硅 14。具体的,采用湿法刻蚀去除第二区域 II 和第三区域 III 上的氧化硅层。实际中,此步骤中的刻蚀,进行到氧化硅停止层即止,刻蚀不会伤及到作为栅极的多晶硅。本步骤中去除氧化硅

的刻蚀剂可以采用氢氟酸 (HF)。

[0088] 最后执行步骤 S23，形成存储器字线栅极 105 及擦除栅极 104、高压晶体管栅极、逻辑晶体管栅极。具体的，形成图形化光刻胶，使第一区域 I、第二区域 II、第三区域 III 上的局部区域覆盖有光刻胶层，并采用干法刻蚀用以形成存储器字线栅极 105 及擦除栅极 104、高压晶体管栅极、逻辑晶体管栅极，结构截面图如图 13 所示。

[0089] 综上所述，本发明经过二次氧化硅淀积、二次多晶硅淀积、三次蚀刻、去除氧化硅层即可将分离栅极式快闪存储器嵌入到高压晶体管与逻辑晶体管的外围电路中，使得在一块集成电路上可以同时制作分离栅极式快闪存储器、高压晶体管、逻辑晶体管。这样分离栅极式快闪存储器、高压晶体管、逻辑晶体管的密度增大，运行速度更快，同时集成芯片更小，从而降低了每个集成芯片的成本。

[0090] 另外，步骤 S22 中刻蚀停止在氧化物停止层上，使得最终形成的栅极没有经过刻蚀工艺形成，因此栅极质量很高。并采用了在线控制装置保证刻蚀均匀性，使栅极的质量满足要求，缺陷少。

[0091] 同时，在最后形成三个区域的栅极结构时，采用的是全局回蚀的方式，不需要单独刻蚀每个部分的栅极，有利于工艺上操作容易，控制方便，工艺集成度高，节省工艺的成本，并且节省了光刻胶的使用，和对栅极材料的污染。

[0092] 需要说明的是，本实施例中嵌入逻辑电路的分离栅极式存储器只包括一个分离栅极式快闪存储器、高压晶体管、逻辑晶体管，但这并不能对本发明的保护范围构成限制，在半导体制造工艺中，可以在同一个半导体基底上同时制作多个分离栅极式快闪存储器、高压晶体管、逻辑晶体管，构成嵌入逻辑电路的分离栅极式存储器组。

[0093] 第二实施例

[0094] 图 14 至图 25 为本发明提供的嵌入逻辑电路的分离栅极式快闪存储器组的制作过程中存储器的结构截面图。下面将图 14 至图 25 分别与图 1 的步骤结合起来说明嵌入逻辑电路的分离栅极式快闪存储器组的制作方法。

[0095] 本实施例形成嵌入逻辑电路的分离栅极式快闪存储器组，其包括一对同样尺寸的嵌入逻辑电路的分离栅极式快闪存储器，所述每对嵌入逻辑电路的分离栅极式快闪存储器包括：分离栅极式快闪存储器、高压晶体管、逻辑晶体管。以下制作方法以一对嵌入逻辑电路的分离栅极式快闪存储器为例。与第一实施例相同，仍然以带擦除栅、字线栅的分离栅极式快闪存储器为例。

[0096] 首先执行步骤 S11'，提供半导体基底 11'，并将半导体基底 11' 分为六个区域，如图 14 所示分别为：用以形成分离栅极式快闪存储器的第一区域 I 与第四区域 IV，用以形成高压晶体管的第二区域 II 与第五区域 V，用于形成逻辑晶体管的第三区域 III 与第六区域 VI，其中，第一区域 I 与第四区域 IV 相邻，用以在后续工艺中形成相邻的两对栅极叠层。需要说明的是，高压晶体管所在的第二区域 II 与第五区域 V 与逻辑晶体管所在的第三区域 III 与第六区域 VI 在真实布局里都是位于外围电路区，因此，高压晶体管与逻辑晶体管位置关系不受本实施例所提供的图的限制。此步骤与第一实施例中的步骤 S11 相同。

[0097] 接着执行步骤 S12'，在半导体基底 11' 上形成栅氧化层 12，其作为栅氧化层，结构截面图如图 15 所示。所述栅氧化层 12 为氧化硅，形成方法可以为热氧化法。此步骤与第一实施例中的步骤 S12 相同。

[0098] 接着执行步骤 S13'，在第一区域 I 与第四区域 IV 的栅氧化层 12 上各形成一对依次叠加的浮置栅极 101、绝缘层 102、控制栅极 103 及硬掩膜层 107，构成栅极叠层，结构截面图如图 16 所示。具体的，栅极叠层的总厚度为 $2300\text{\AA} \sim 2500\text{\AA}$ ，这里以栅极叠层的厚度 2500\AA 为例。绝缘层 102 可以为氧化物 1021、氮化物 1022、氧化物 1023 总共三层的 ONO 三明治结构，本技术领域人员应当理解的是，绝缘层 102 也可以为一层氮化物、或一层氧化物、或一层氮化物上形成一层氧化物等绝缘结构。硬掩膜层 107 在后续制作方法中作为全局回蚀的刻蚀停止层，可以为氮化硅层。浮置栅极 101、绝缘层 102、控制栅极 103 及硬掩膜层 107 侧边形成有起绝缘作用的侧墙 106。此步骤与第一实施例中的步骤 S13 相同。

[0099] 需要说明的是，由于分离栅极式快闪存储器的字线栅极一般需要加高电压控制分离栅极式快闪存储器的写入 / 读出，因此，一对同样尺寸的由实施例一制作的嵌入逻辑电路的分离栅极式快闪存储器，形成嵌入逻辑电路的分离栅极式快闪存储器组时，为了防止高压击穿这组存储器，这对存储器要隔一定厚度的绝缘层，换句话说，一对分离栅极式快闪存储器相隔的距离大于单个分离栅极式快闪存储器的两个控制栅极 103 之间的距离。本实施例（第二实施例）中，形成的分离栅极式快闪存储器与实施例一相同。但需指出的是，由于这对分离栅极式快闪存储器相隔的距离较远，大于单个分离栅极式快闪存储器的两个控制栅极 103 之间的距离，因此在淀积多晶硅形成擦除栅 104 时，单个分离栅极式快闪存储器的两个控制栅极 103 之间的擦除栅 104 可以淀积很厚；然而，这对分离栅极式快闪存储器相隔的距离较远，之间的多晶硅淀积的厚度相对较小。

[0100] 接着执行步骤 S14'，在第二区域 II 与第五区域 V 和第三区域 III 与第六区域 VI 的栅氧化层 12 上淀积第一多晶硅层 13，结构截面图如图 17 所示。第一多晶硅层 13 的厚度刚好为逻辑晶体管栅极的厚度，例如，该厚度可以为 1000\AA 。此步骤可以采用化学气相淀积形成第一多晶硅层 13。此步骤与第一实施例 S14 中的步骤相同。

[0101] 接着执行步骤 S15'，在第一多晶硅层 13 上淀积第一氧化硅层 14，结构截面图如图 18 所示，第一氧化硅层 14 与第一多晶硅层 13 的厚度之和与所述栅极叠层的厚度相等。具体的，第一氧化硅层 14 的厚度为 1500\AA 。但在实际的半导体工艺过程中，由于多种原因第一氧化硅层 14 与第一多晶硅层 13 的厚度之和只能约等于所述栅极叠层的厚度，具体的误差范围为 $\pm 100\text{\AA}$ 。此步骤可以采用化学气相淀积形成第一氧化硅层 14。此步骤与第一实施例中的步骤 S15 相同。

[0102] 接着执行步骤 S16'，去除第一区域 I 与第四区域 IV 和第二区域 II 与第五区域 V 上的第一氧化硅层 14，保留第三区域 III 与第六区域 VI 上的第一氧化硅层 14，其结构截面图如图 19 所示。具体的，在第三区域 III 与第六区域 VI 上形成光刻胶以进行保护，采用湿法刻蚀去除第一区域 I 与第四区域 IV 和第二区域 II 与第五区域 V 上的第一氧化硅层 14，之后去除残余的光刻胶。本步骤中去除氧化硅的刻蚀剂可以采用氢氟酸 (HF)。此步骤与第一实施例中的步骤 S16 相同。

[0103] 接着执行步骤 S17'，淀积第二多晶硅层 15，结构截面图如图 20 所示。所述第二多晶硅层 15、第一多晶硅层 13 两者厚度之和等于刚好为高压晶体管栅极的厚度。此步骤形成第二多晶硅层 15 的方法可以为化学气相淀积。此步骤与第一实施例中的步骤 S17 相同。

[0104] 接着执行步骤 S18'，淀积第二氧化硅层 16，结构截面图如图 21 所示。所述第二氧化硅层 16、第二多晶硅层 15、第一多晶硅层 13 三者厚度之和与所述栅极叠层的厚度相等。

此步骤可以采用化学气相淀积形成第二氧化硅层 16。在本实施例中,淀积的第二氧化硅层 16 的厚度为 1000 \AA 。此步骤与第一实施例中的步骤 S18 相同。

[0105] 接着执行步骤 S19',去除第一区域 I 与第四区域 IV 和第三区域 III 与第六区域 VI 上的第二氧化硅层 16,保留第二区域 II 与第五区域 V 的第二氧化硅层 16,其结构截面图如图 22 所示。具体的,在第二区域 II 与第五区域 V 形成光刻胶以进行保护,采用湿法腐蚀去除第一区域 I 与第四区域 IV 和第三区域 III 与第六区域 VI 上的第二氧化硅层 16。刻蚀剂可以采用氢氟酸 (HF)。此步骤与第一实施例中的步骤 S19 相同。

[0106] 接着执行步骤 S20',全局形成流体材料层 17,本实施例中所述流体材料采用有机底部抗反射材料 (Barc),所述流体材料 (Barc, 有机底部抗反射材料) 的流动性好,可以填充深的凹槽。本步骤中形成的流体材料层填平第二多晶硅层 15 和第二氧化硅层 16 表面的凹槽。如图 23 所示。此步骤与第一实施例中的步骤 S20 相同。

[0107] 接着执行步骤 S21',进行全局回蚀,以定义第一区域 I 与第四区域 IV 上的存储器擦除栅极 104 的厚度、字线栅极 105 的厚度,形成的结构截面图如图 24 所示。具体的,擦除栅极 104、字线栅极 105 的厚度为 2000 \AA 。由于控制栅极 103 上形成有硬掩膜层 107,其硬度很高,可以作为全局回蚀时的刻蚀阻挡层。具体的,所述全局回蚀采用干法刻蚀,刻蚀气体为主刻蚀气体包括 HBr、CF₄、CHF₃、CH₂F₂ 中的至少两种,辅助刻蚀气体包括 Ar、O₂ 中的至少一种。其对多晶硅与氧化硅层刻蚀比范围为 3 : 1 到 6 : 1 的刻蚀气体。在全局回蚀的过程中采用在线监测控制装置,使刻蚀不均匀性小于 6%,且使所述全局回蚀刻蚀到所述栅极叠层的硬掩膜层 107 作为刻蚀的终止信号,刻蚀进行到所述栅极叠层的硬掩膜层 107 后,再持续 1 ~ 2s,使得经过全局回蚀步骤后,擦除栅极 104、字线栅极 105 的厚度小于栅极叠层的厚度总和,这样可以防止擦除栅极 104 及字线栅极 105 与控制栅极 103 之间产生电连接。此步骤与第一实施例中的步骤 S21 相同。

[0108] 接着执行步骤 S22':去除第二区域 II 与第五区域 V 的第二氧化硅 16 和第三区域 III 与第六区域 VI 的第一氧化硅 14。具体的,采用湿法刻蚀去除第二区域 II 与第五区域 V 和第三区域 III 与第六区域 VI 的氧化硅层。此步骤与第一实施例中的步骤 S22 相同。

[0109] 实际中,此步骤中的刻蚀,进行到氧化硅的停止层即止,刻蚀不会伤及到作为栅极的多晶硅。本步骤中去除氧化硅的刻蚀剂可以采用氢氟酸 (HF)。

[0110] 最后执行步骤 S23',形成存储器字线栅极 105 及擦除栅极 104、高压晶体管栅极、逻辑晶体管栅极。具体的,形成图形化光刻胶,使第一区域 I、第二区域 II、第三区域 III、第四区域 IV、第五区域 V、第六区域 VI 上的局部区域覆盖有光刻胶层,并采用干法刻蚀用以形成存储器字线栅极 105 及擦除栅极 104、高压晶体管栅极、逻辑晶体管栅极,结构截面图如图 25 所示。此步骤与第一实施例中的步骤 S23 相同。

[0111] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制。任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

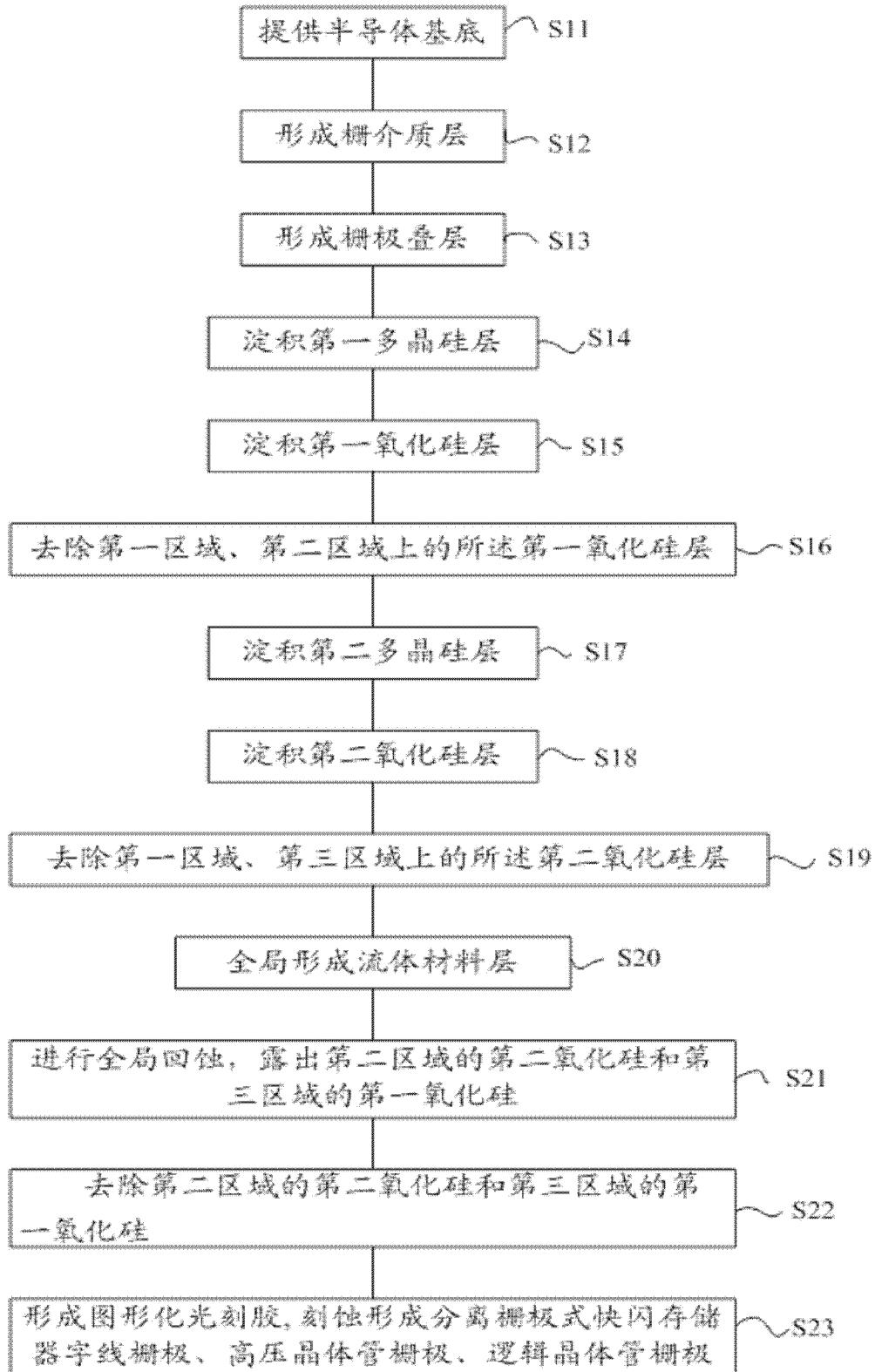


图 1



图 2

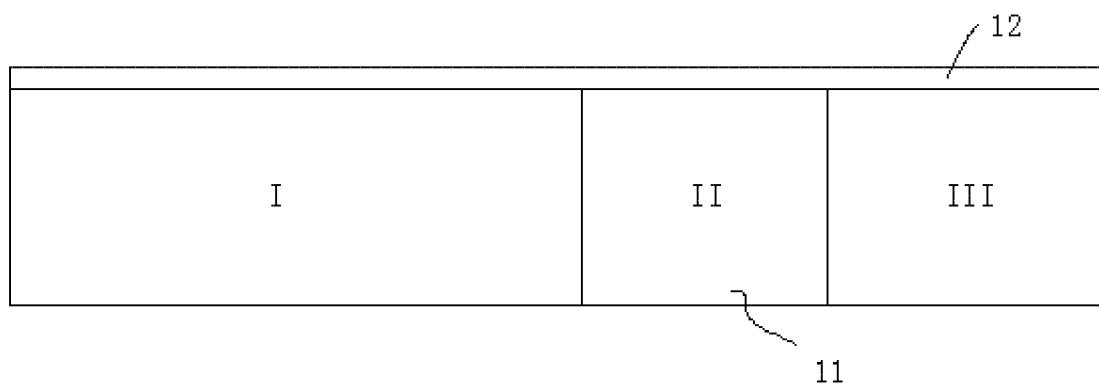


图 3

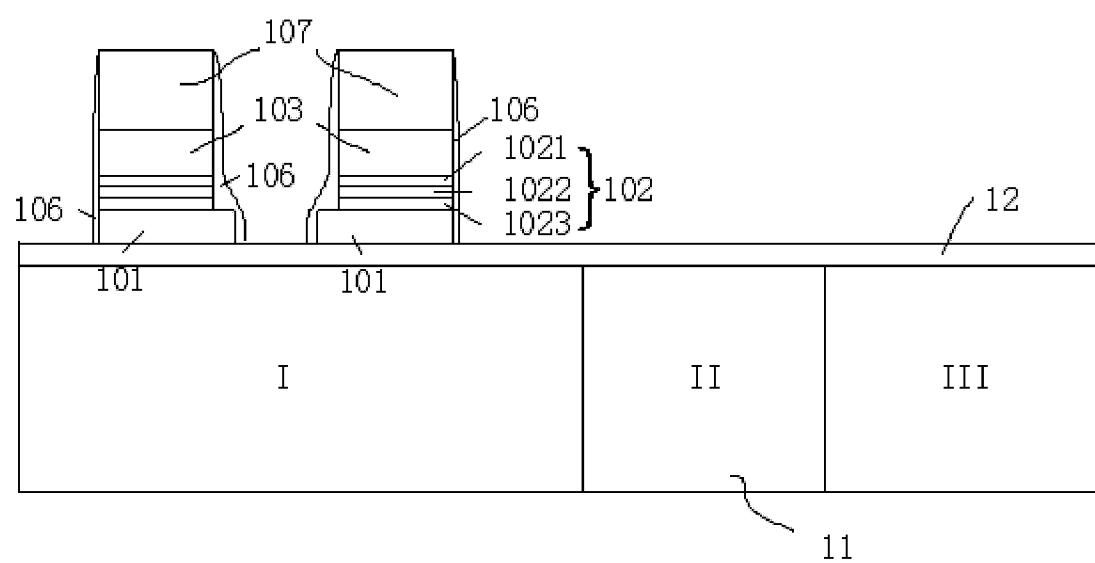


图 4

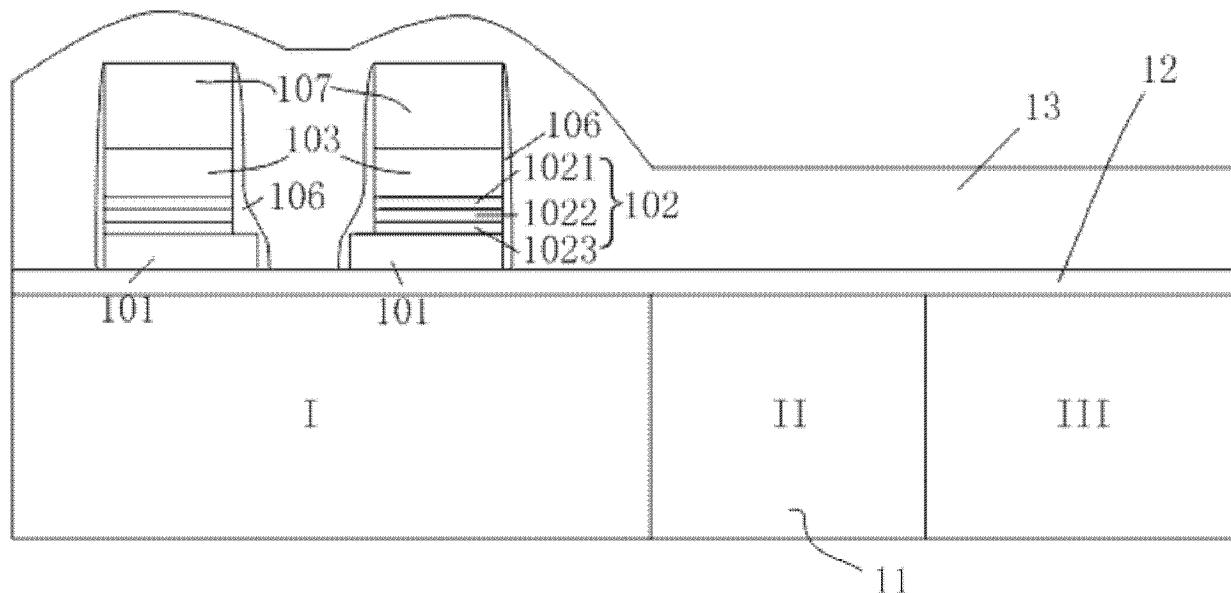


图 5

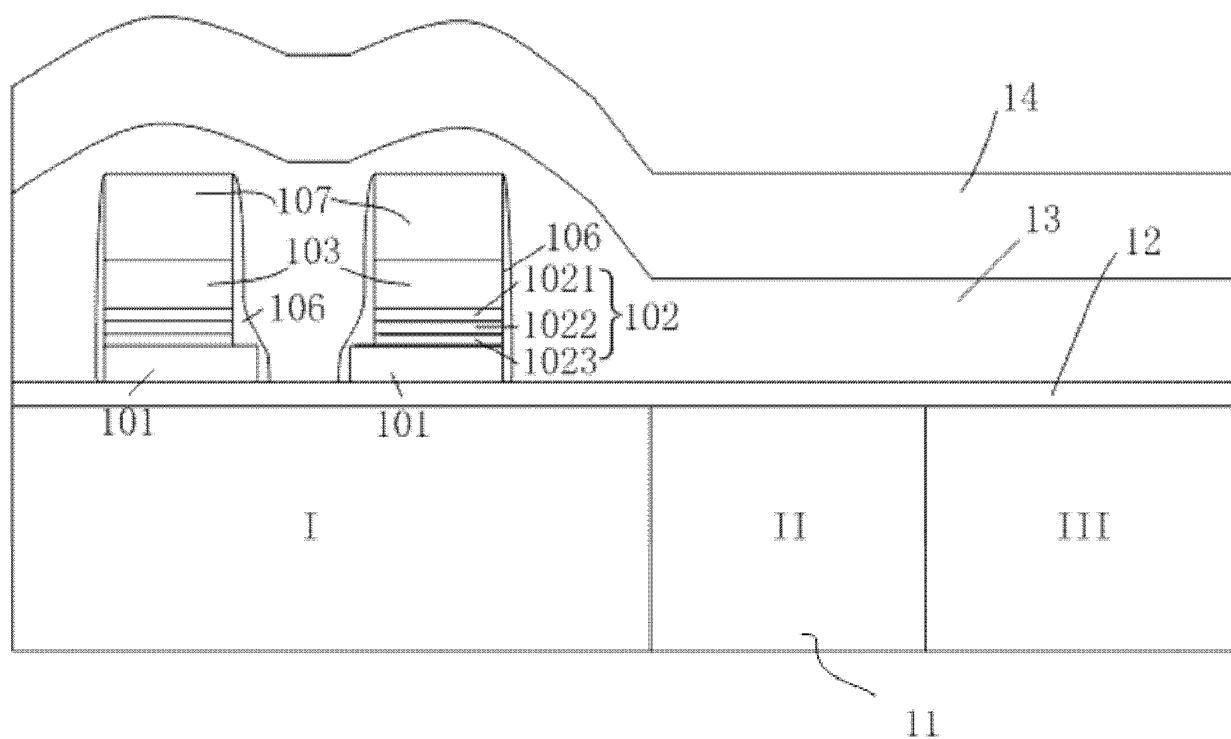


图 6

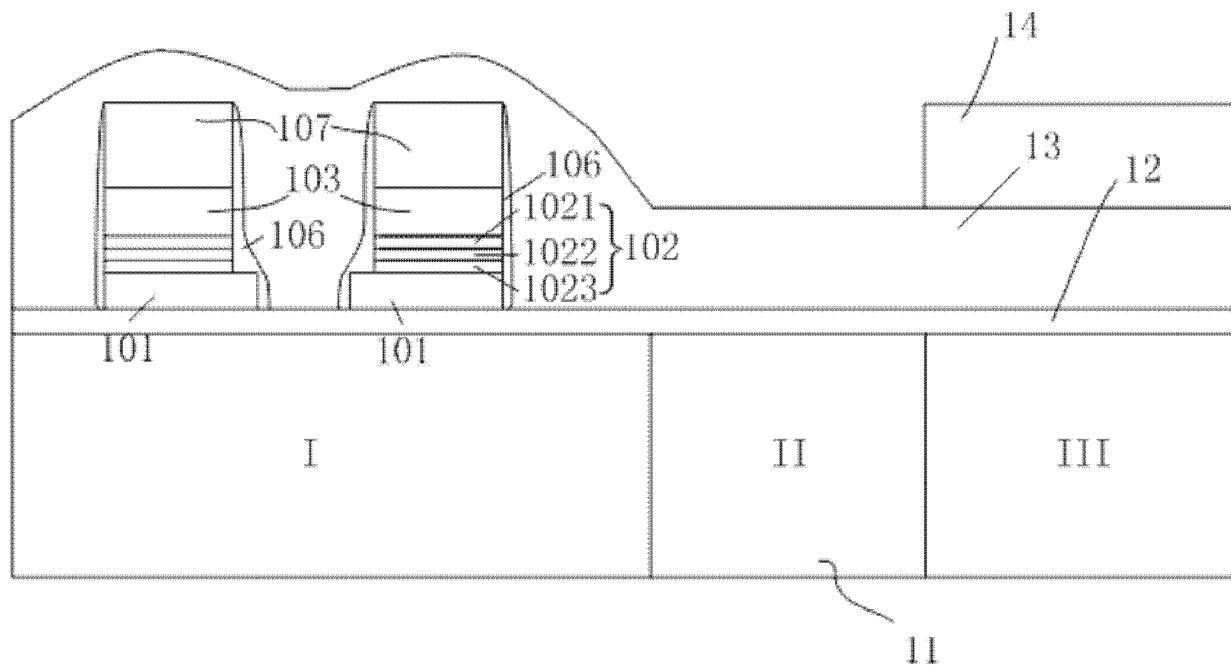


图 7

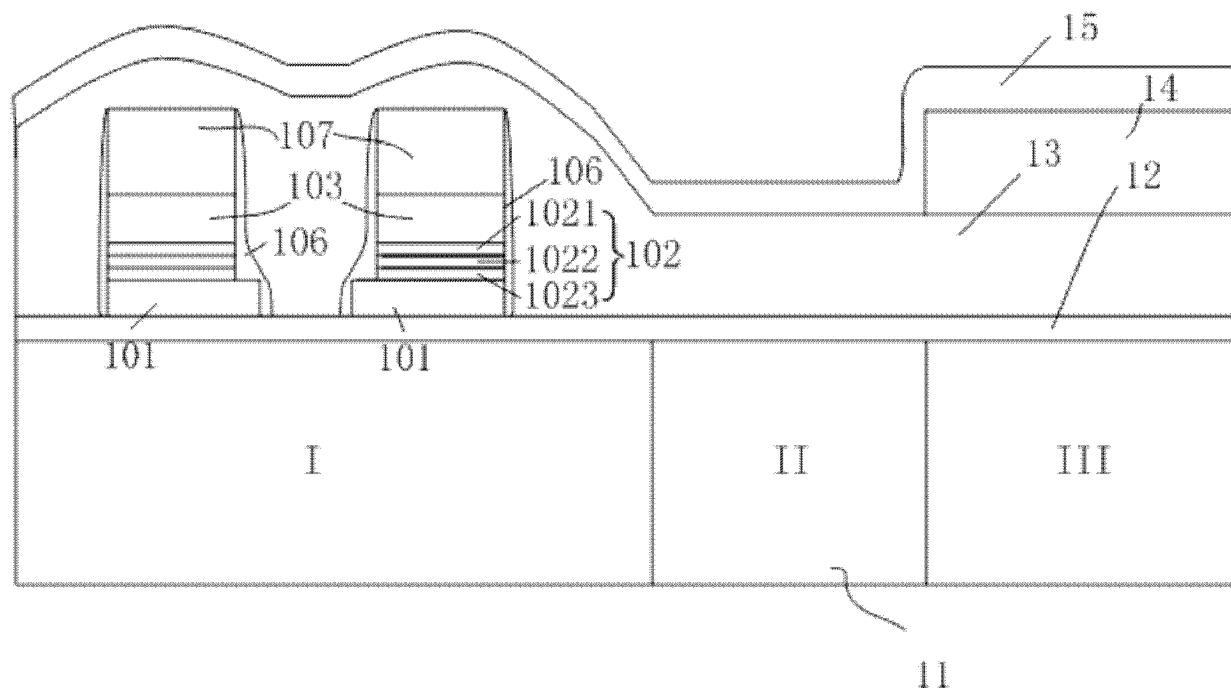


图 8

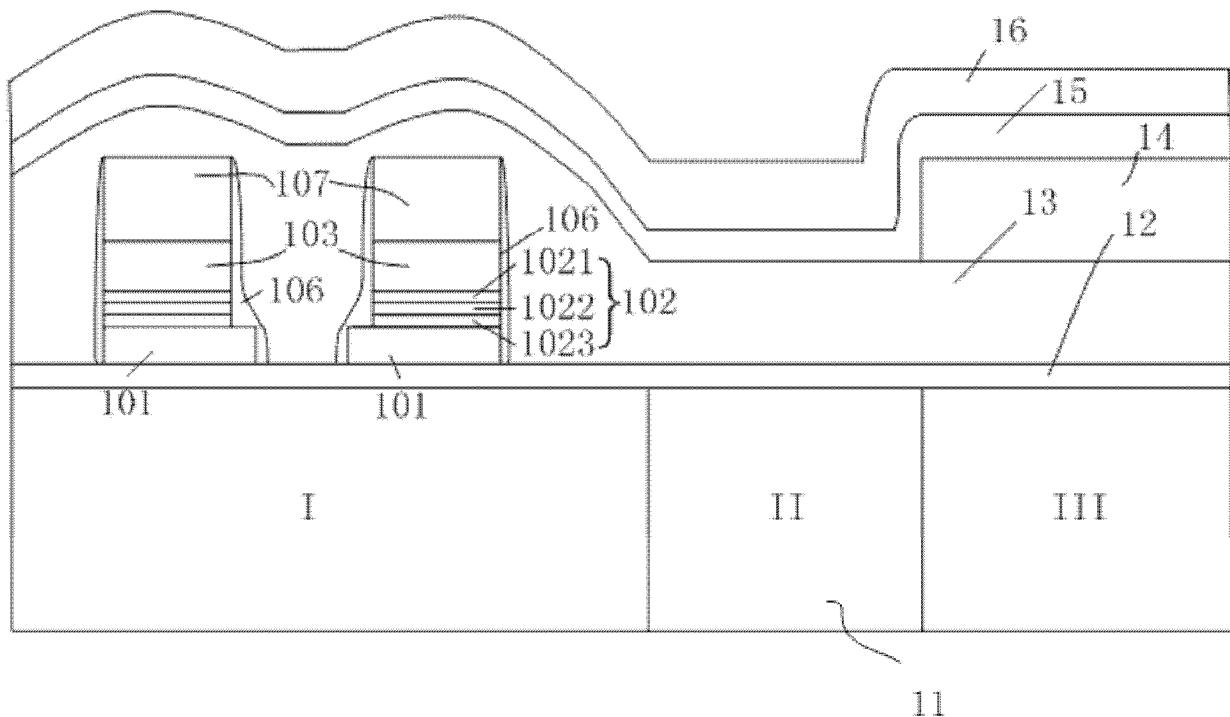


图 9

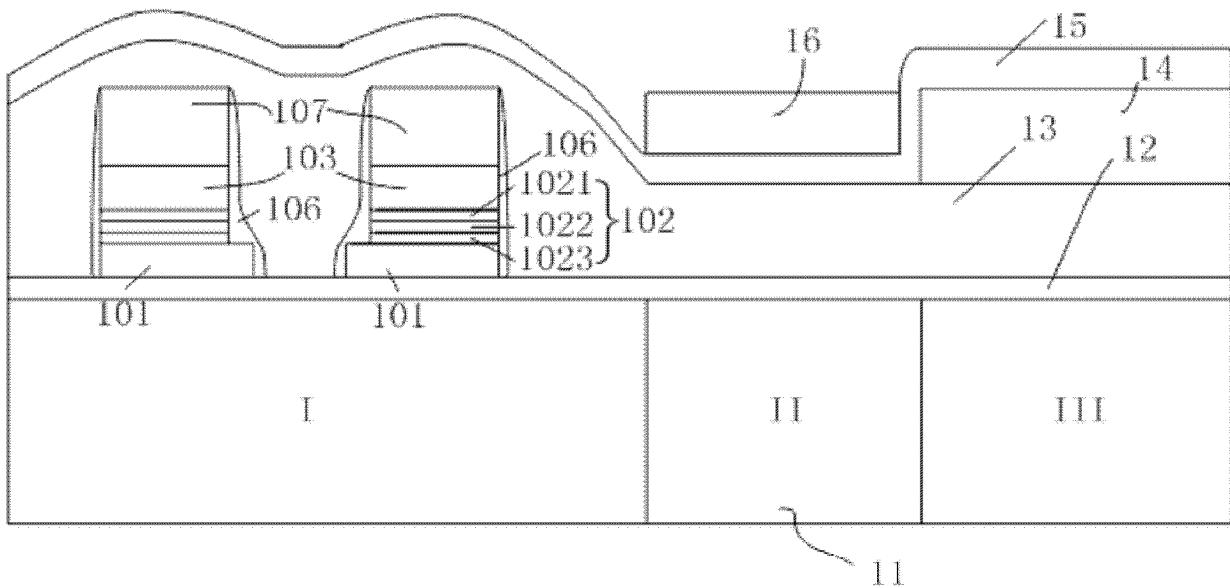


图 10

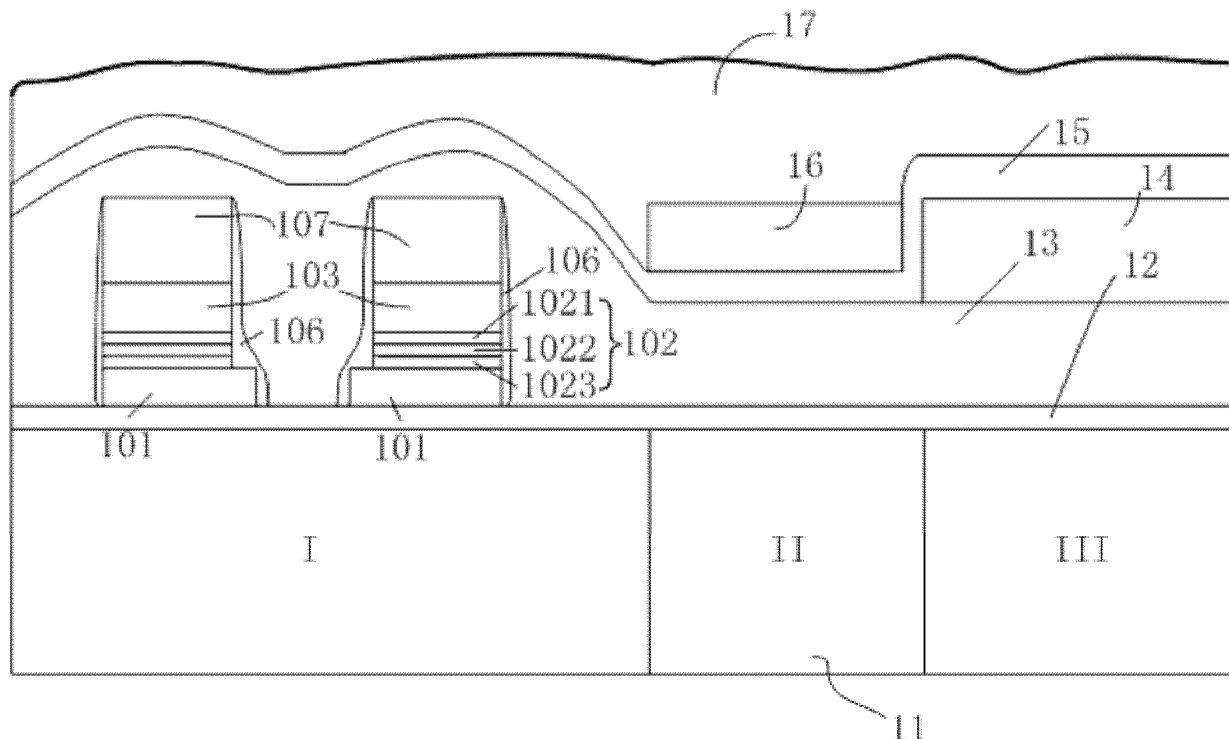


图 11

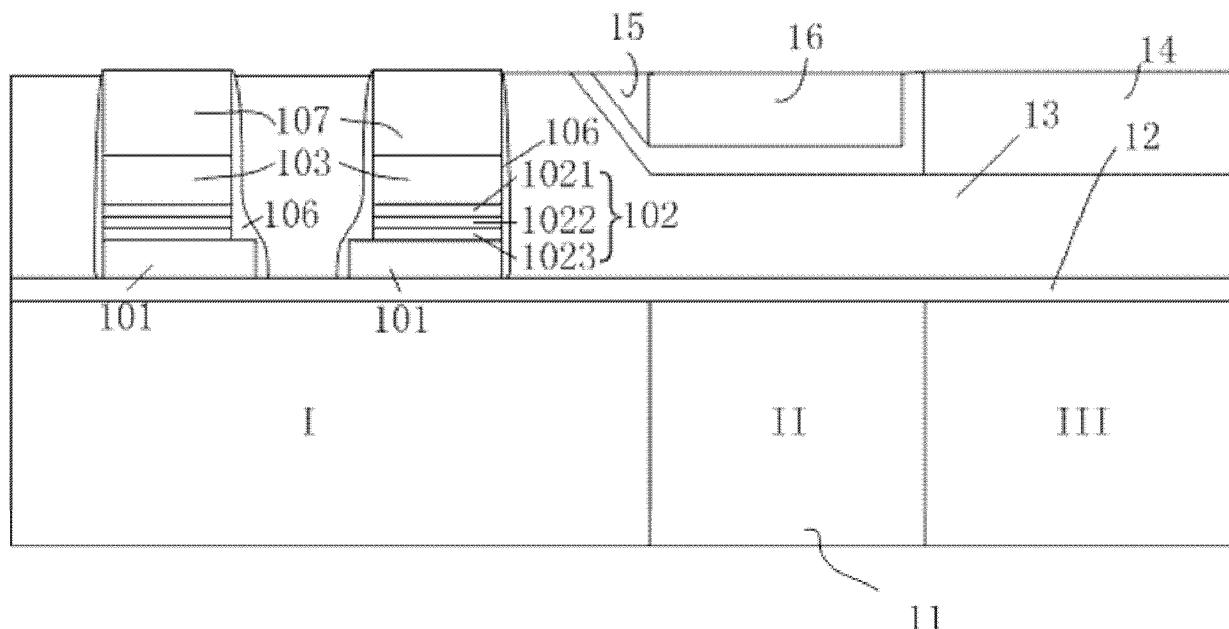


图 12

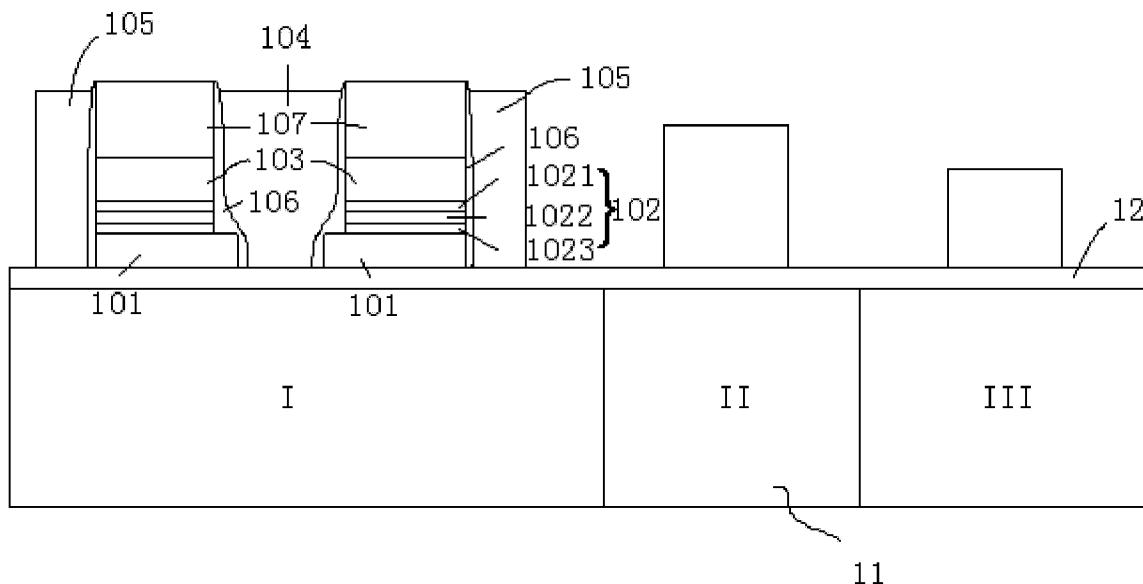


图 13

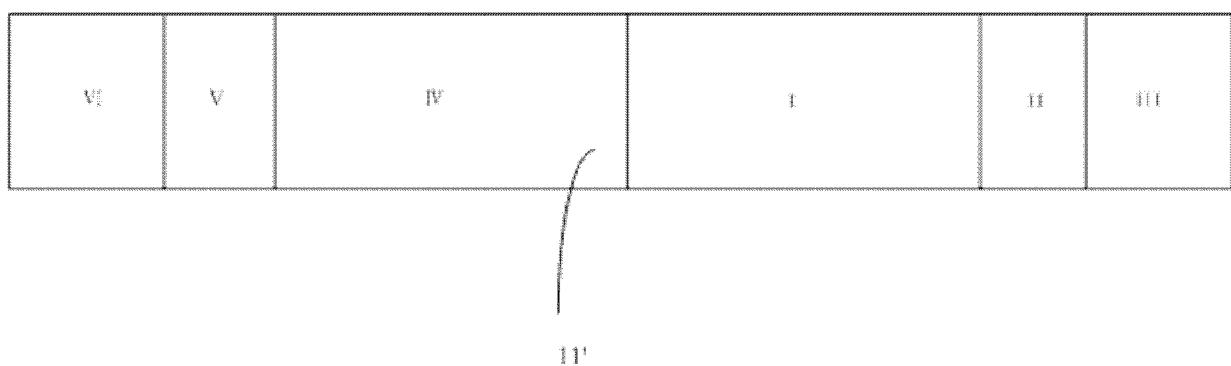


图 14

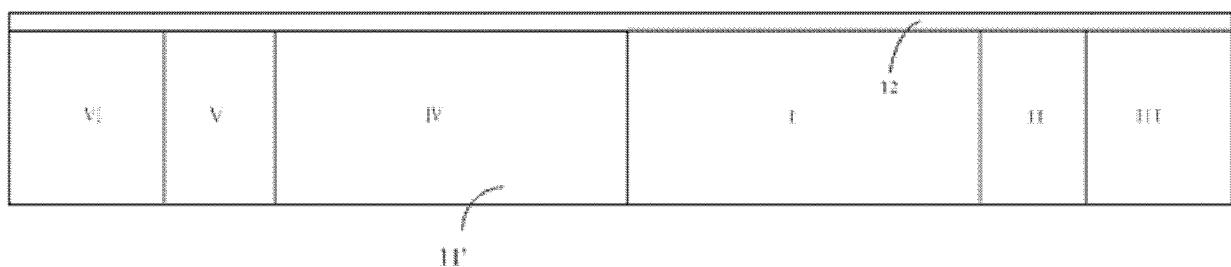


图 15

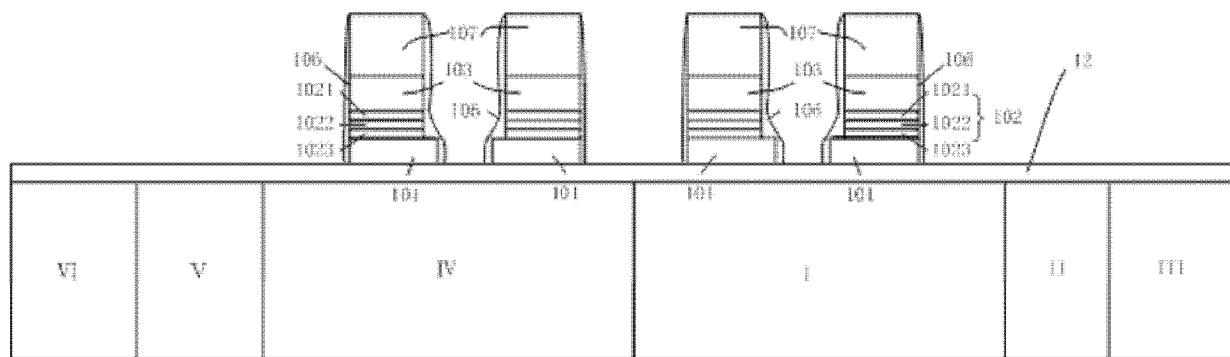


图 16

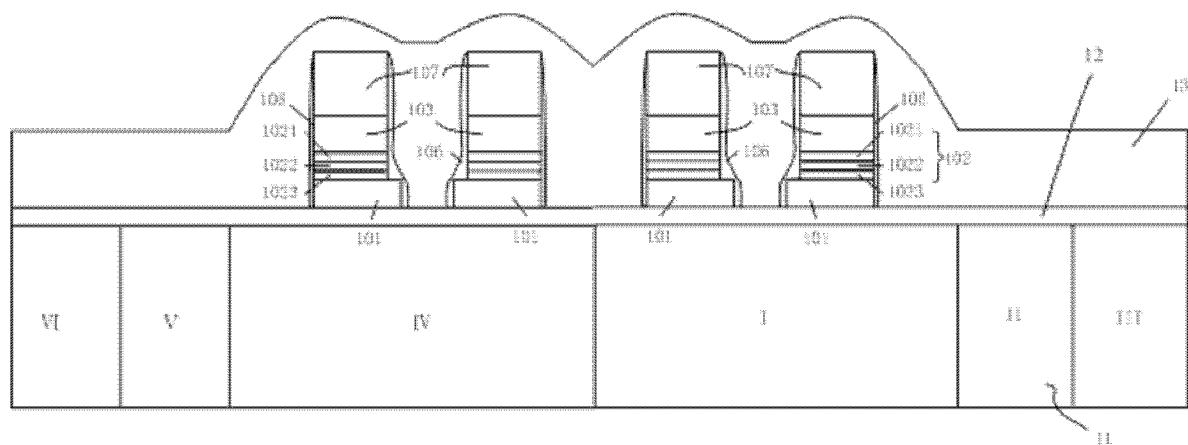


图 17

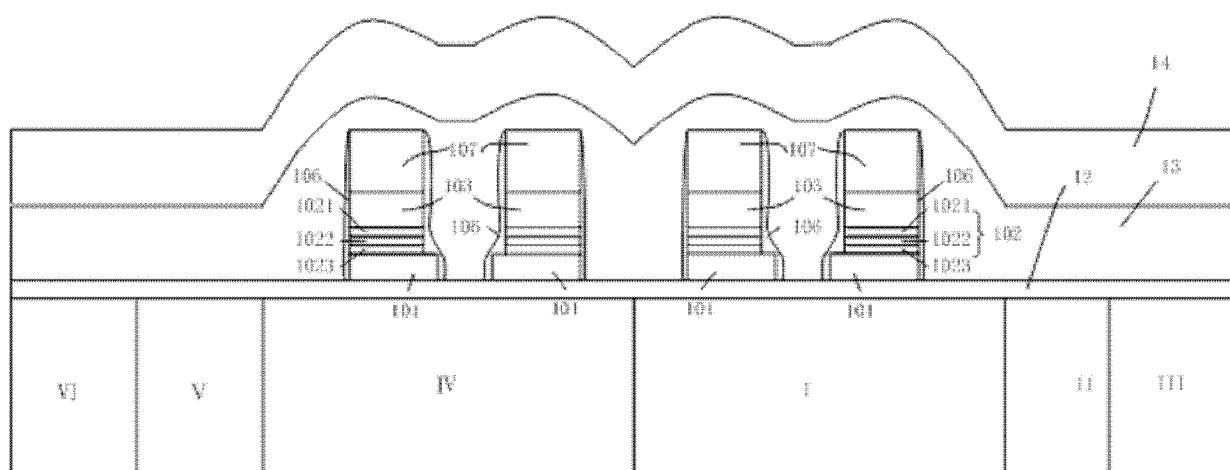


图 18

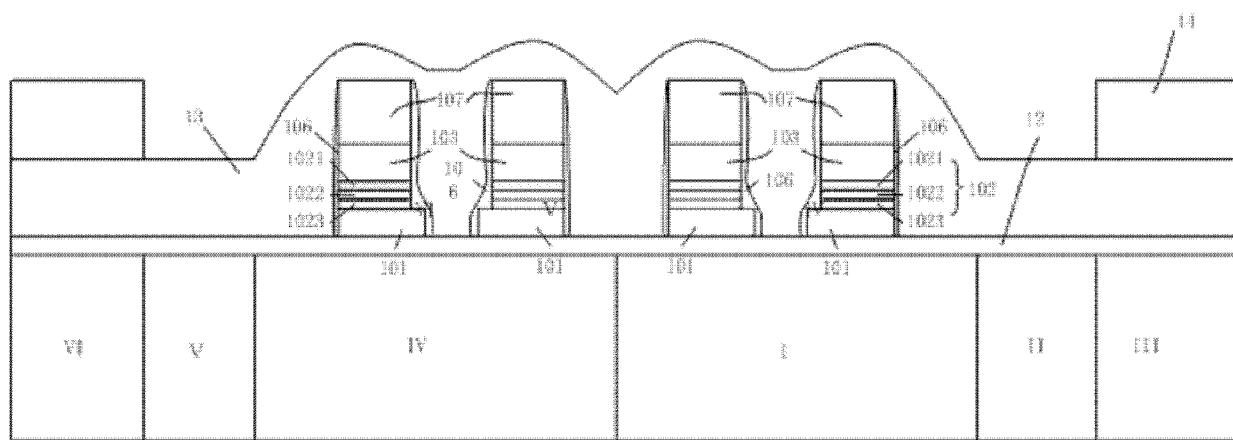


图 19

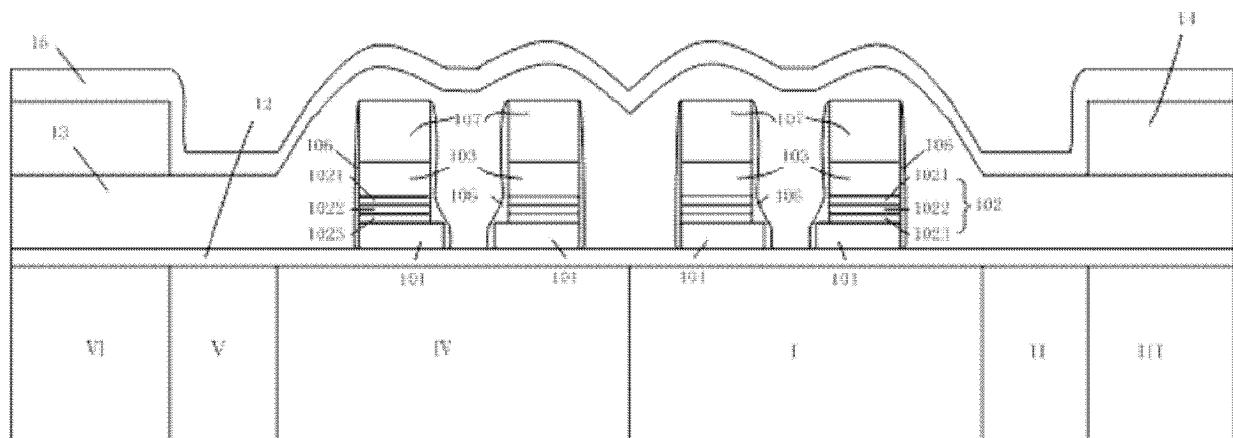


图 20

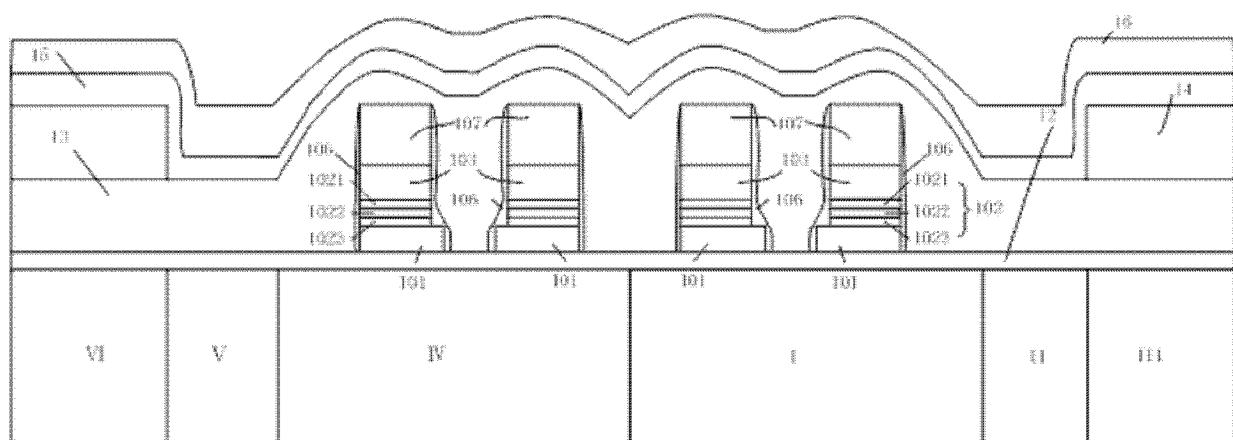


图 21

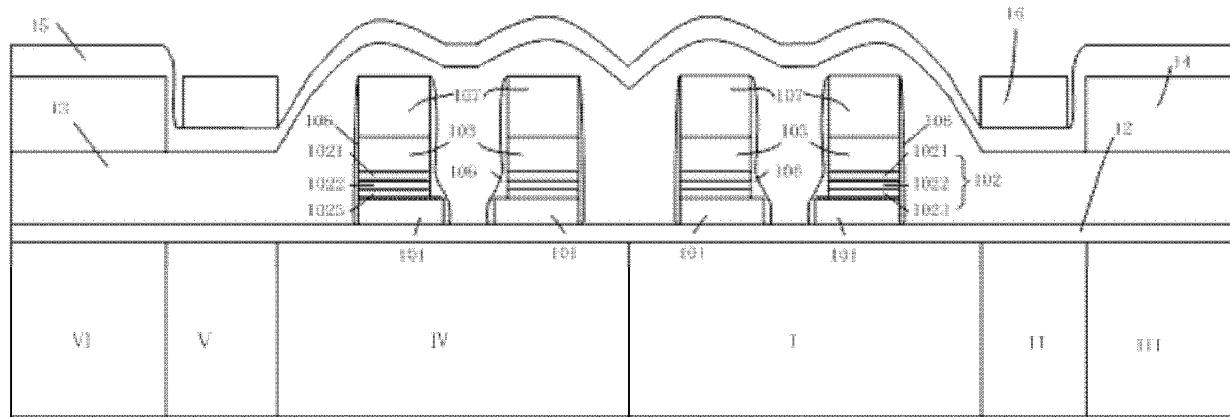


图 22

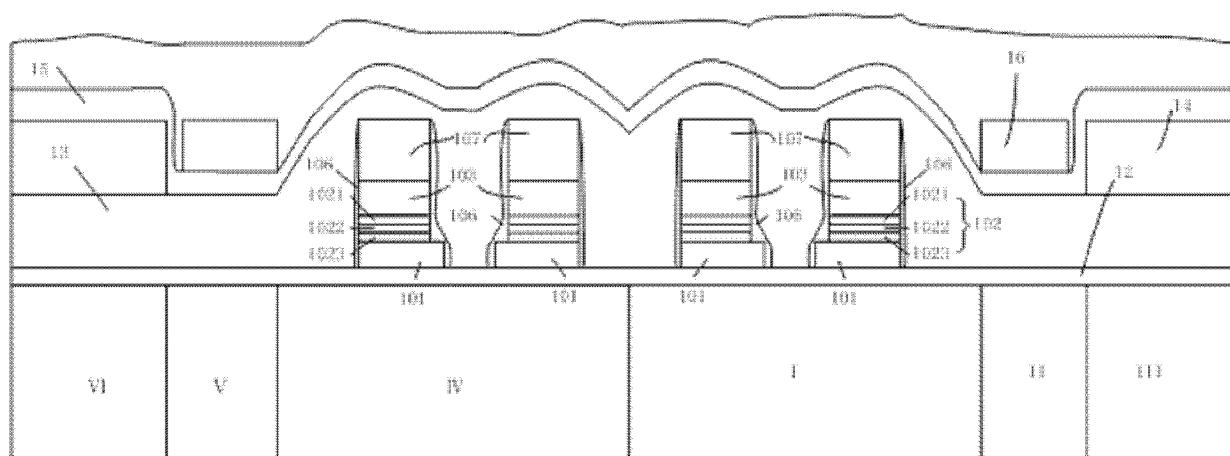


图 23

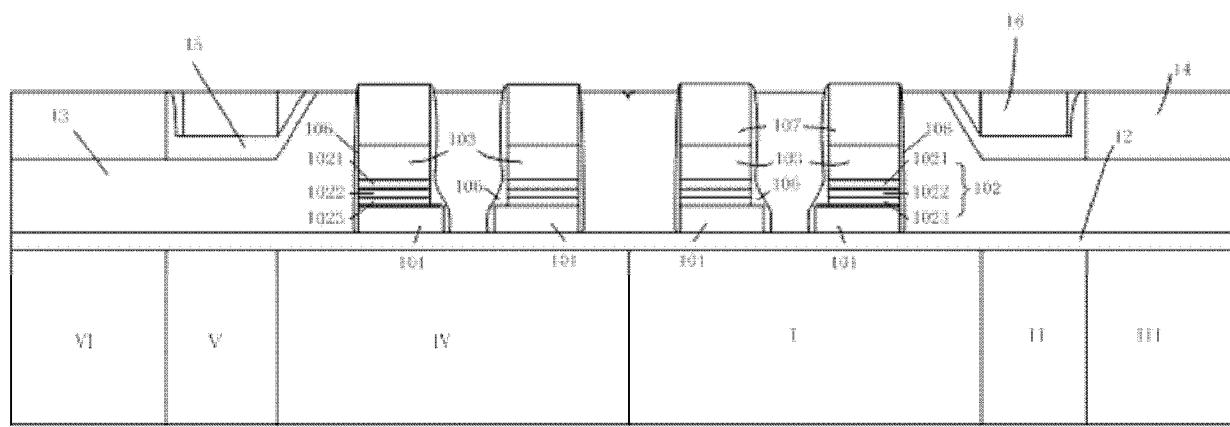


图 24

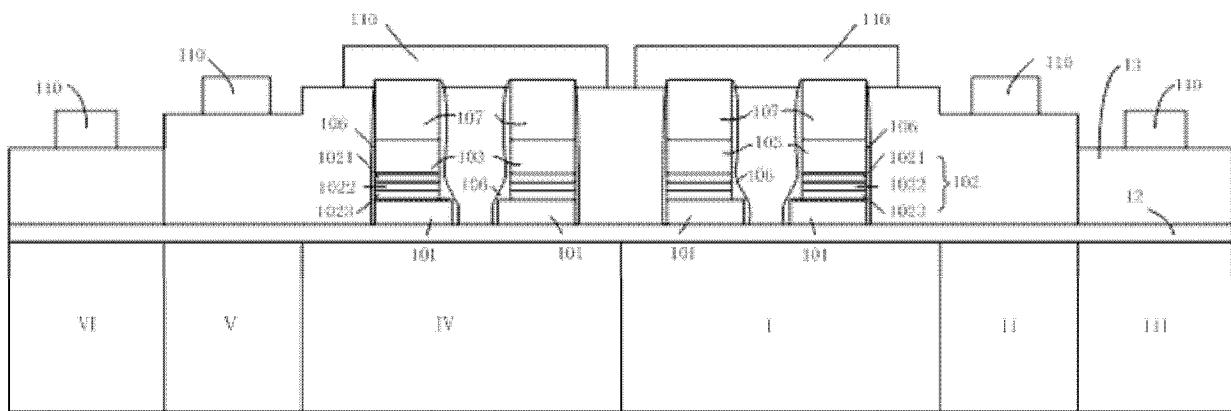


图 25