



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I639234 B

(45)公告日：中華民國 107 (2018) 年 10 月 21 日

(21)申請案號：102147520

(22)申請日：中華民國 102 (2013) 年 12 月 20 日

(51)Int. Cl. : H01L29/78 (2006.01) H01L21/28 (2006.01)

(30)優先權：2012/12/28 日本 2012-288973

2013/03/12 日本 2013-049261

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：遠藤佑太 ENDO, YUTA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2012/0218495A1

審查人員：董柏昌

申請專利範圍項數：21 項 圖式數：39 共 172 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明的目的之一是提供一種孔徑比高的半導體裝置。該半導體裝置包括：電晶體；以及包括一對電極的電容元件，其中該電晶體的通道形成區及該電容元件的一個電極都是形成在同一個絕緣表面上的氧化物半導體層；該電容元件的另一個電極是透光導電膜；該電容元件的一個電極與佈線電連接，該佈線與該電晶體所包括的源極電極或汲極電極形成在同一個絕緣表面上；以及電容元件的另一個電極與該電晶體所包括的源極電極和汲極電極中的一個電連接。

A semiconductor device with high aperture ratio is provided. The semiconductor device includes a transistor and a capacitor having a pair of electrodes. An oxide semiconductor layer formed over the same insulating surface is used for a channel formation region of the transistor and one of the electrodes of the capacitor. The other electrode of the capacitor is a transparent conductive film. One electrode of the capacitor is electrically connected to a wiring formed over the insulating surface over which a source electrode or a drain electrode of the transistor is provided, and the other electrode of the capacitor is electrically connected to one of the source electrode and the drain electrode of the transistor.

指定代表圖：

241 · · · 導電膜

241 · · · 導電膜

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。或者，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或物質組成（composition of matter）。例如，本發明尤其係關於一種半導體裝置、顯示裝置、發光裝置、上述裝置的驅動方法或上述裝置的製造方法。例如，本發明尤其係關於一種包括氧化物半導體的半導體裝置、顯示裝置或者發光裝置及其製造方法。

【先前技術】

[0002] 近年來，液晶顯示器（LCD）等平板顯示器廣泛地得到普及。在平板顯示器等顯示裝置中，行方向及列方向配置的像素內設置有作為切換元件的電晶體、與該電晶體電連接的液晶元件以及與該液晶元件並聯連接的電容元件。

[0003] 作為構成該電晶體的半導體膜的半導體材料，通常使用非晶矽或多晶矽等矽半導體。

[0004] 另外，呈現半導體特性的金屬氧化物（以下也稱為氧化物半導體）也是能夠用作電晶體的半導體膜的半導體材料。例如，已公開有一種使用氧化鋅或 In-Ga-Zn 類氧化物半導體製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0005]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[0006] 在電容元件中，一對電極之間設置有介電膜，一對電極中的至少一個電極是由與構成電晶體的閘極電極、源極電極或汲極電極等相同的材料形成的，因此電容元件一般由金屬等具有遮光性的導電膜形成。

[0007] 另外，在施加電場的情況下，電容元件的電容值越大，能夠將液晶元件的液晶分子的配向保持為固定的期間越長。在能夠顯示靜態影像的顯示裝置中，能夠延長該期間意味著可以減少重寫影像資料的次數，從而可以降低耗電量。

[0008] 爲了增大電容元件的電荷容量，可以增大像素內的電容元件的佔有面積，具體地可以增大一對電極彼此重疊的面積。但是，在上述顯示裝置中，當爲了增大一對電極彼此重疊的面積而增大具有遮光性的導電膜的面積時，像素的孔徑比降低，影像顯示品質下降。

【發明內容】

[0009] 鑒於上述問題，本發明的一個方式的目的之一是提供一種孔徑比高的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種具有能夠增大電荷容量的電容元件的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種可以削減光微影製程的遮罩個數的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種關態電流（off-state current）低的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種耗電量低的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種使用透明半導體層的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種可靠性高的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種對眼睛的刺激小的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種新穎的半導體裝置等。或者，本發明的一個方式的目的之一是提供一種新穎的半導體裝置等的製造方法。

[0010] 注意，這些目的並不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現上述所有目的。另外，從說明書、圖式、申請專利範圍等的記載得知並可以抽出上述以外的目的。

[0011] 本發明的一個方式係關於一種包括具有透光性的電容元件的半導體裝置，該電容元件將氧化物半導體層用作一個電極，而將透光導電膜用作另一個電極。

[0012] 本發明的一個方式是一種具有電晶體的半導體裝置，包括：形成在第一絕緣膜上的第一氧化物半導體層及第二氧化物半導體層；與第一氧化物半導體層電連接的源極電極層及汲極電極層；與第二氧化物半導體層電連接的佈線；形成在第一絕緣膜、第一氧化物半導體層、第二氧化物半導體層、源極電極層、汲極電極層及佈線上的第二絕緣膜；隔著第二絕緣膜與第一氧化物半導體層重疊的閘極電極層；形成在第二絕緣膜及閘極電極層上的第三絕緣膜；形成在第三絕緣膜上的第四絕緣膜；以及在第二氧化物半導體層上且形成在第四絕緣膜上的透光導電膜，其中還包括電容元件，在該電容元件中，將第二氧化物半導體層用作一個電極；將第二絕緣膜、第三絕緣膜及第四絕緣膜用作電介質；並且將透光導電膜用作另一個電極。

[0013] 第一氧化物半導體層及第二氧化物半導體層較佳為使用同樣的材料形成。

[0014] 另外，第一氧化物半導體層及第二氧化物半導體層的能隙較佳為 2.0eV 以上。

[0015] 第二氧化物半導體層中可以添加有選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻及稀有氣體元素中的一種以上的摻雜劑。

[0016] 可以由第二絕緣膜、第三絕緣膜及第四絕緣膜形成電介質。

[0017] 另外，可以由第三絕緣膜及第四絕緣膜形成電介質。

[0018] 另外，可以由第四絕緣膜形成電介質。

[0019] 另外，第三絕緣膜較佳為以選自氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵及 Ga-Zn 類金屬氧化物中的氧化絕緣材料的單層結構或疊層結構形成。

[0020] 另外，第四絕緣膜較佳為以選自氮氧化矽、氮化矽、氮化鋁、氮氧化鋁中的氮化絕緣材料的單層結構或疊層結構形成。

[0021] 另外，也可以在第一絕緣膜與第二氧化物半導體層之間形成有包含氫的氮化絕緣膜。

[0022] 另外，源極電極層、汲極電極層及佈線可以採用形成在同一個絕緣表面上的結構。

[0023] 另外，源極電極層、汲極電極層及佈線可以採用使用同樣的材料形成的結構。

[0024] 另外，透光導電膜可以採用與源極電極和汲極電極中的一個電連接的結構。

[0025] 此外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在第一絕緣膜上形成第一氧化物半導體層及第二氧化物半導體層；形成與第一氧化物半導體層電連接的源極電極層及汲極電極層、與第二氧化物半導體層電連接的佈線；在第一絕緣膜、第一氧化物半導體層、第二氧化物半導體層、源極電極層、汲極電極層及佈線上形成第二絕緣膜；在第二絕緣膜上形成與第一氧化物半導體層重疊的閘極電極層；在第二絕緣膜及閘極電極層上形成第三絕緣膜；在第三絕緣膜上形成第四絕緣

膜；在第二絕緣膜、第三絕緣膜及第四絕緣膜中形成到達源極電極層或汲極電極層的開口部；在第四絕緣膜上形成在開口部與源極電極層或汲極電極層電連接的透光導電膜，來形成電晶體及電容元件，該電容元件包括用作一個電極的第二氧化物半導體層、用作另一個電極的透光導電膜、用作電介質的第二絕緣膜、第三絕緣膜及第四絕緣膜。

[0026] 較佳為使用同樣的材料形成第一氧化物半導體層及第二氧化物半導體層。

[0027] 另外，較佳為使用能隙為 2.0eV 以上的材料形成第一氧化物半導體層及第二氧化物半導體層。

[0028] 另外，可以對第二氧化物半導體層添加選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻及稀有氣體元素中的一種以上的摻雜劑。

[0029] 可以由第二絕緣膜、第三絕緣膜及第四絕緣膜形成電介質。

[0030] 另外，可以對第二氧化物半導體層上的第二絕緣膜進行蝕刻，並由第三絕緣膜及第四絕緣膜形成電介質。

[0031] 另外，可以對第二氧化物半導體層上的第二絕緣膜及第三絕緣膜進行蝕刻，並由第四絕緣膜形成電介質。

[0032] 另外，較佳為以選自氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化銻或 Ga-Zn 類金屬氧化物中的氧化絕

緣材料的單層結構或疊層結構形成第三絕緣膜。

[0033] 另外，較佳為以選自氮氧化矽、氮化矽、氮化鋁、氮氧化鋁中的氮化絕緣材料的單層結構或疊層結構形成第四絕緣膜。

[0034] 另外，也可以在第一絕緣膜與第二氧化物半導體層之間形成包含氫的氮化絕緣膜。

[0035] 另外，較佳為使用同樣的材料形成源極電極層、汲極電極層及佈線。

[0036] 另外，較佳為將源極電極層、汲極電極層及佈線形成在同一個絕緣表面上。

[0037] 根據本發明的一個方式，可以提供一種孔徑比高的半導體裝置等。或者，可以提供一種具有能夠增大電荷容量的電容元件的半導體裝置等。或者，可以提供一種能夠削減光微影製程的遮罩個數的半導體裝置等。或者，可以提供一種關態電流低的半導體裝置等。或者，可以提供一種耗電量低的半導體裝置等。或者，可以提供一種使用透明半導體層的半導體裝置等。或者，可以提供一種可靠性高的半導體裝置等。或者，可以提供一種對眼睛的刺激小的半導體裝置。或者，可以提供一種半導體裝置等的製造方法。

【圖式簡單說明】

[0038]

在圖式中：

圖 1 是說明半導體裝置的俯視圖；

圖 2 是說明半導體裝置的剖面圖；

圖 3 是說明半導體裝置的圖；

圖 4A 和圖 4B 為說明半導體裝置的像素的電路圖；

圖 5A 和圖 5B 是說明半導體裝置的製造方法的剖面圖；

圖 6A 和圖 6B 是說明半導體裝置的製造方法的剖面圖；

圖 7A 和圖 7B 是說明半導體裝置的電容元件的剖面圖；

圖 8 是說明半導體裝置的剖面圖；

圖 9A 和圖 9B 是說明半導體裝置的剖面圖；

圖 10A 和圖 10B 是示出氧化物半導體膜的奈米束電子繞射圖案的圖；

圖 11A 和圖 11B 是示出氧化物半導體膜的 CPM 測量結果的圖；

圖 12 是示出 CAAC-OS 膜的 CPM 測量結果的圖；

圖 13A 是示出氧化物半導體膜的剖面 TEM 影像的圖；圖 13B 至圖 13D 是示出氧化物半導體膜的奈米束電子繞射圖案的圖；

圖 14A 示出氧化物半導體膜的平面 TEM 影像；圖 14B 示出選區電子繞射圖案；

圖 15A 至圖 15C 是示出電子繞射強度分佈的示意圖；

圖 16 示出石英玻璃基板的奈米束電子繞射圖案；

圖 17 示出氧化物半導體膜的奈米束電子繞射圖案；

圖 18A 和圖 18B 示出氧化物半導體膜的剖面 TEM 影像；

圖 19 示出氧化物半導體膜的 X 射線繞射分析結果；

圖 20 示出 CAAC-OS 膜的剖面 TEM 影像；

圖 21A 至圖 21D 示出 CAAC-OS 膜的電子繞射圖案；

圖 22 示出 CAAC-OS 膜的剖面 TEM 影像；

圖 23A 示出 CAAC-OS 膜的剖面 TEM 影像；圖 23B 示出 X 射線繞射光譜；

圖 24A 至圖 24D 示出 CAAC-OS 膜的電子繞射圖案；

圖 25A 示出 CAAC-OS 膜的剖面 TEM 影像；圖 25B 示出 X 射線繞射光譜；

圖 26A 至圖 26D 示出 CAAC-OS 膜的電子繞射圖案；

圖 27A 示出 CAAC-OS 膜的剖面 TEM 影像；圖 27B 示出 X 射線繞射光譜；

圖 28A 至圖 28D 示出 CAAC-OS 膜的電子繞射圖案；

圖 29A 至圖 29C 是說明半導體裝置的俯視圖；

圖 30 是說明半導體裝置的剖面圖；

圖 31A 至圖 31C 是說明半導體裝置的剖面圖及俯視圖；

圖 32 是說明具有顯示功能的資訊處理裝置的結構的方塊圖；

圖 33A1 至圖 33B2 是說明資訊處理裝置的顯示部的

結構的方塊圖及電路圖；

圖 34A 和圖 34B 是說明資訊處理裝置的結構的方塊圖及說明影像資料的示意圖；

圖 35A1 至圖 35B2 是說明資訊處理裝置的效果的圖；

圖 36 是說明資訊處理裝置的方塊圖；

圖 37A 至圖 37C 是說明使用半導體裝置的電子裝置的圖；

圖 38A 和圖 38B 是說明使用半導體裝置的電子裝置的圖；

圖 39A 至圖 39C 是說明使用半導體裝置的電子裝置的圖。

【實施方式】

[0039] 下面，參照圖式詳細地說明本發明的實施方式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式和詳細內容可以被變換為各種各樣的形成。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

[0040] 注意，在以下說明的本發明的結構中，在不同圖式之間共同使用同一符號表示同一部分或具有同樣功能的部分而省略其重複說明。另外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

[0041] 在本說明書所說明的每一個圖式中，有時爲了明確起見，誇大表示各結構的大小、膜的厚度或區域。因此，本發明並不一定限定於該尺度。

[0042] 在本說明書等中，爲了方便起見，附加了“第一”、“第二”等序數詞，而其並不表示製程順序或疊層順序。此外，本說明書等中，這些序數詞不表示用來特定發明的事項的固有名稱。

[0043] 另外，電壓是指兩個點之間的電位差，電位是指某一點的靜電場中的單位電荷具有的靜電能（電位能量）。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱爲電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱爲“電壓”，又可將“電壓”稱爲“電位”。

[0044] 在本說明書中，當在進行光微影處理之後進行蝕刻處理時，去除在光微影處理中形成的光阻遮罩。

[0045]

實施方式 1

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明。此外，在本實施方式中，以液晶顯示裝置爲例子說明本發明的一個方式的半導體裝置。此外，本發明的一個方式的半導體裝置還可以應用於其他顯示裝置。

[0046] 圖 3 是說明本發明的一個方式的半導體裝置

的圖。圖 3 所示的半導體裝置包括：像素部 100；第一驅動電路 104；第二驅動電路 106；彼此平行或大致平行地配置且其電位由第一驅動電路 104 控制的 m 個掃描線 107；以及彼此平行或大致平行地配置且其電位由第二驅動電路 106 控制的 n 個信號線 109。像素部 100 還具有配置為矩陣狀的多個像素 101。另外，該半導體裝置包括電容線 115（圖 3 中未圖示）。沿著掃描線 107 分別以平行或大致平行的方式設置電容線 115，或者沿著信號線 109 分別以平行或大致平行的方式設置電容線 115。

[0047] 各掃描線 107 電連接到在像素部 100 中配置為 m 行 n 列的像素 101 中的配置在任一行的 n 個像素 101。另外，各信號線 109 電連接到配置為 m 行 n 列的像素 101 中的配置在任一系列的 m 個像素 101。 m 、 n 都是 1 以上的整數。另外，各電容線 115 電連接到被配置為 m 行 n 列的像素 101 中的配置在任一行的 n 個像素 101。另外，當電容線 115 沿著信號線 109 以分別平行或大致平行的方式配置時，電連接到配置為 m 行 n 列的像素 101 中的配置在任一系列的 m 個像素 101。

[0048] 另外，第一驅動電路 104 可以具有供應使連接到掃描線 107 的電晶體開啓或關閉的信號的功能，例如，可以用作掃描線驅動電路。此外，第二驅動電路 106 可以具有對連接到信號線 109 的電晶體供應影像信號的功能，例如，可以用作信號線驅動電路。注意，不侷限於此，第一驅動電路 104 及第二驅動電路 106 也可以供應其

他的信號。

[0049] 另外，在本實施方式中，為便於將液晶顯示裝置作為例子進行說明，將連接到第一驅動電路 104 的佈線稱為掃描線 107、電容線 115，將連接到第二驅動電路 106 的佈線稱為信號線 109，但是不根據其名稱限定其功能。

[0050] 圖 1 是對上述半導體裝置所包括的像素 101 的一個例子的結構進行說明的俯視圖。注意，在圖 1 中，省略液晶層及液晶元件所包括的一對電極中的一個。

[0051] 在圖 1 所示的像素 101 中，以延伸到大致正交於信號線 109 的方向（行方向）的方式設置有掃描線 107。以延伸到大致正交於掃描線 107 的方向（列方向）的方式設置有信號線 109。以延伸到平行於信號線 109 的方向的方式設置有電容線 115。此外，掃描線 107 與第一驅動電路 104(參照圖 3)電連接，信號線 109 與第二驅動電路 106(參照圖 3)電連接。

[0052] 電晶體 103 設置於掃描線 107 及信號線 109 交叉的區域附近。電晶體 103 至少包括具有通道形成區的半導體膜 111、閘極電極、閘極絕緣膜（圖 1 中未圖示）、源極電極及汲極電極。此外，掃描線 107 中的與半導體膜 111 重疊的區域用作電晶體 103 的閘極電極。信號線 109 中的與半導體膜 111 重疊的區域用作電晶體 103 的源極電極和汲極電極中的一個。導電膜 113 中的與半導體膜 111 重疊的區域用作電晶體 103 的源極電極和汲極電極

中的另一個。由此，有時將閘極電極、源極電極和汲極電極分別表示為掃描線 107、信號線 109 和導電膜 113。此外，在圖 1 所示的俯視圖中，掃描線 107 的邊緣位於半導體膜 111 的邊緣的外側。因此，掃描線 107 用作遮擋來自外部的光的遮光膜。其結果是，光不照射到包括在電晶體中的半導體膜 111，由此可以抑制電晶體的電特性的變動。

[0053] 另外，本發明的一個方式較佳為將氧化物半導體用於半導體膜 111。藉由利用適當的條件製造使用氧化物半導體的電晶體，可以使其關態電流極小。因此，可以降低半導體裝置的耗電量。

[0054] 在本發明的一個方式中，使用氧化物半導體的電晶體是 n 通道型電晶體。此外，包含在氧化物半導體中的氧缺陷有時生成載子，而有可能降低電晶體的電特性及可靠性。例如，有時電晶體的臨界電壓向負方向變動，導致當閘極電壓為 0V 時汲極電流流動。像這樣，將在閘極電壓為 0V 時汲極電流流動的特性稱為常開啓（normally-on）特性。另外，將在閘極電壓為 0V 時汲極電流不流動的特性稱為常閉（normally-off）型特性。

[0055] 因此，當將氧化物半導體用於半導體膜 111 時，較佳為盡可能地減少作為半導體膜 111 的氧化物半導體膜中的缺陷（典型為氧缺陷）。例如，較佳為將利用在平行於膜表面的方向上施加磁場的電子自旋共振法測量的 g 值=1.93 的自旋密度（相當於氧化物半導體膜所含的缺陷

密度)降低到測量儀的檢測下限以下。藉由盡可能地減少氧化物半導體膜中的缺陷，可以抑制電晶體 103 成為常開啓特性，並可以提高半導體裝置的電特性及可靠性。

[0056] 除了氧缺陷之外，包含在氧化物半導體中的氫(包括水等氫化物)也有可能使電晶體的臨界電壓向負方向變動。氧化物半導體所含的氫的一部分會引起施體能階的形成，而形成作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啓特性。

[0057] 於是，當作為半導體膜 111 使用氧化物半導體時，較佳為儘量降低作為半導體膜 111 的氧化物半導體膜中的氫。明確而言，形成具有如下區域的半導體膜 111：使利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的氫濃度低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下的區域。

[0058] 另外，形成具有如下區域的半導體膜 111：使利用二次離子質譜分析法得到的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下的區域。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而使電晶體 103 的關態電流增大。

[0059] 另外，當作為半導體膜 111 的氧化物半導體膜中含有氮時生成作為載子的電子，載子密度增加而容易成為 n 型。其結果是，使用含有氮的氧化物半導體的電晶

體容易成為常開啓特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮，例如，較佳為以具有氮濃度為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下的區域的方式形成半導體膜 111。

[0060] 像這樣，藉由將盡可能地減少了雜質(氫、氮、鹼金屬或鹼土金屬等)且被高度提純的氧化物半導體膜用於半導體膜 111，可以抑制電晶體 103 變為常開啓特性，由此可以使電晶體 103 的關態電流降至極低。因此，可以製造具有良好的電特性的半導體裝置。此外，可以製造可靠性得到提高的半導體裝置。

[0061] 注意，可以利用各種試驗證明使用被高度提純的氧化物半導體膜的電晶體的關態電流低的事實。例如，即便是通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度 L 為 $10 \mu\text{m}$ 的元件，在源極電極和汲極電極之間的電壓（汲極電壓）為 1V 至 10V 的範圍內，也可以使關態電流為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{ A}$ 以下。在此情況下，可知：相當於關態電流除以電晶體的通道寬度的數值的關態電流為 $100 \text{ zA}/\mu\text{m}$ 以下。此外，使用如下電路來測量關態電流：連接電容元件與電晶體且由該電晶體控制流入到電容元件或從電容元件流出的電荷的電路。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容元件的每單位時間的電荷量推移測量該電晶體的關態電流。其結果是，可知當電晶體的源極電極與汲極電極之間的電壓為 3V 時，可以得到幾十 $\text{yA}/\mu\text{m}$ 的極低的關態電流。由此，可以說使用被高度純化的氧化物

半導體膜的電晶體的關態電流顯著低。

[0062] 在圖 1 中，導電膜 113 藉由開口 117 與由具有透光性的導電膜形成的作為液晶元件的一個電極的像素電極 121 電連接。

[0063] 將由具有透光性的氧化物半導體形成的半導體膜 119 作為一個電極，將具有透光性的像素電極 121 作為另一個電極，將包含在電晶體 103 中的具有透光性的絕緣膜(圖 1 中未圖示)作為介電膜，從而構成電容元件 105。也就是說，電容元件 105 具有透光性。另外，作為電容元件 105 的一個電極的半導體膜 119 與電容線 115 電連接。

[0064] 如此，因為電容元件 105 具有透光性，所以在與液晶元件重疊的區域也可以使光透過。因此，即使在像素 101 內大面積地形成電容元件 105，也可以保持高孔徑比例如 55%以上，進一步的是 60%以上。此外，可以得到增大了電容元件中的電荷容量的半導體裝置。

[0065] 例如，在解析度高的液晶顯示裝置中，像素整體的面積縮小，但是必須確保電容元件所需的電荷容量，所以對面積的縮小是有限度的。因此，在解析度高的液晶顯示裝置中，孔徑比變小。另一方面，因為本實施方式所示的電容元件 105 具有透光性，所以藉由在像素中設置該電容元件，可以在各像素中獲得充分的電荷容量，並提高孔徑比。典型的是，較佳為使用像素密度為 200ppi(pixel per inch：每英寸像素)以上，進一步為

300ppi 以上的顯示裝置。另外，本發明的一個方式可以提高孔徑比，因此可以高效地利用背光等光源的光，由此可以降低顯示裝置的耗電量。

[0066] 接著，圖 2 示出如下圖：沿圖 1 所示的點劃線 A1-A2、點劃線 B1-B2 和點劃線 C1-C2 的剖面圖；以及用於圖 3 所示的第一驅動電路 104 的電晶體的剖面圖。此外，省略第一驅動電路 104 的俯視圖，並且在圖 2 中以 D1-D2 示出第一驅動電路 104 的剖面圖。此外，還可以將用於第一驅動電路 104 的電晶體用於第二驅動電路 106。

[0067] 首先，說明像素 101 的沿點劃線 A1-A2、點劃線 B1-B2 及點劃線 C1-C2 的剖面結構。

[0068] 在基板 102 上設置有基底絕緣膜 110，在該基底絕緣膜上設置有半導體膜 111 及半導體膜 119。在半導體膜 111 上設置有包括電晶體 103 的源極電極和汲極電極中的一個的信號線 109 以及包括電晶體 103 的源極電極和汲極電極中的另一個的導電膜 113，而在半導體膜 119 上設置有電容線 115。在半導體膜 111、半導體膜 119、信號線 109、導電膜 113 及電容線 115 上設置有閘極絕緣膜 127，在該閘極絕緣膜的與半導體膜 111 重疊的區域上設置有掃描線 107。在閘極絕緣膜 127、信號線 109、半導體膜 111、導電膜 113 以及半導體膜 119 上設置有用作電晶體 103 的保護絕緣膜的絕緣膜 129、絕緣膜 131 以及絕緣膜 132。在絕緣膜 129、絕緣膜 131 及絕緣膜 132 中設置有到達導電膜 113 的開口 117（參照圖 1），以覆蓋該

開口的方式設置有像素電極 121（參照圖 1）。

[0069] 本實施方式所示的電容元件 105 的一對電極中的一個電極是在基底絕緣膜 110 上與半導體膜 111 同樣地形成的半導體膜 119，一對電極中的另一個電極是像素電極 121，設置在一對電極之間的電介質是絕緣膜 129、絕緣膜 131 及絕緣膜 132。

[0070] 對半導體膜 119 可以添加有摻雜劑。當半導體膜 119 是氧化物半導體時，例如，藉由添加選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻以及稀有氣體元素中的一種以上的摻雜劑，可以使氧化物半導體層成為 n 型，並且提高導電率。因此，也可以將半導體膜 119 稱為導電膜，並可以將其用作電容元件的一個電極。

[0071] 另外，作為用作導電膜的半導體膜 119，較佳為其氫濃度比半導體膜 111 的氫濃度高。在半導體膜 119 中，藉由二次離子質譜分析法 (SIMS: Secondary Ion Mass Spectrometry) 得到的氫濃度為 $8 \times 10^{19} \text{atoms/cm}^3$ 以上，較佳為 $1 \times 10^{20} \text{atoms/cm}^3$ 以上，更佳為 $5 \times 10^{20} \text{atoms/cm}^3$ 以上。在半導體膜 111 中，藉由二次離子質譜分析法得到的氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0072] 另外，用作導電膜的半導體膜 119 的電阻率比半導體膜 111 的電阻率低。作為半導體膜 119 的電阻率，較佳為半導體膜 111 的電阻率的 1×10^{-8} 倍以上且

1×10^{-1} 倍以下，典型的是 $1 \times 10^{-3} \Omega \text{cm}$ 以上且小於 $1 \times 10^{-4} \Omega \text{cm}$ ，更佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且小於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0073] 另外，還可以使用與半導體膜 111 或半導體膜 231 不同的材料形成半導體膜 119。也就是說，可以藉由與半導體膜 111 或半導體膜 231 不同的製程形成半導體膜 119。

[0074] 另外，如形成半導體膜 119 那樣地形成半導體膜，使用該半導體膜可以構成電阻元件。而且，使用該電阻元件可以構成保護電路。藉由設置保護電路可以減少來自靜電等的破壞。

[0075] 接著，說明設置在第一驅動電路 104 中的電晶體的結構。

[0076] 在基板 102 上設置有導電膜 241，在該基板及該導電膜上設置有基底絕緣膜 110。在基底絕緣膜 110 上的與導電膜 241 重疊的區域設置有半導體膜 231。在半導體膜 231 上設置有包括電晶體 223 的源極電極和汲極電極中的一個的佈線 229 以及包括電晶體 223 的源極電極和汲極電極中的另一個的佈線 233。在半導體膜 231、佈線 229 以及佈線 233 上設置有閘極絕緣膜 127，在該閘極絕緣膜的與半導體膜 231 重疊的區域上設置有閘極電極 227。在閘極絕緣膜 127 上以及閘極電極 227 上設置有用作電晶體 223 的保護絕緣膜的絕緣膜 129、絕緣膜 131 以及絕緣膜 132。另外，設置在第一驅動電路 104 中的電晶體也可以採用不設置導電膜 241 的結構。

[0077] 藉由在電晶體 223 中設置隔著半導體膜 231 重疊於閘極電極 227 的導電膜 241，可以降低在不同的汲極電壓之間的使通態電流（on-state current）開始上升的閘極電壓的偏差。此外，在與導電膜 241 對置的半導體膜 231 的表面上可以控制在佈線 229 與佈線 233 之間流過的電流，可以降低不同的電晶體之間的電特性的偏差。此外，藉由設置導電膜 241，減輕周圍的電場的變化給半導體膜 231 帶來的影響，由此可以提高電晶體的可靠性。並且，當將導電膜 241 的電位設定為與驅動電路的最低電位（ V_{ss} ，例如當以佈線 229 的電位為基準時佈線 229 的電位）相同的電位或與其大致相同的電位，可以減少電晶體的臨界電壓的變動，由此可以提高電晶體的可靠性。

[0078] 此外，設置在閘極絕緣膜 127、掃描線 107 以及閘極電極 227 上的絕緣膜不侷限於上述三層結構，也可以採用一層、兩層或四層以上的結構。

[0079] 接著，對上述結構的構成要素進行詳細說明。

[0080] 儘管對基板 102 的材質等沒有太大的限制，但是該基板至少需要具有能夠承受半導體裝置的製程中進行的熱處理程度的耐熱性。例如，有玻璃基板、陶瓷基板、塑膠基板等，作為玻璃基板使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等無鹼玻璃基板，即可。另外，還可以使用不鏽鋼合金等不具有透光性的基板。此時，較佳為在基板表面上設置絕緣膜。另外，作為基板

102，也可以使用石英基板、藍寶石基板、單晶半導體基板、多晶半導體基板、化合物半導體基板、SOI（Silicon On Insulator：絕緣體上矽晶片）基板等。

[0081] 基底絕緣膜 110 例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵或 Ga-Zn 類金屬氧化物等絕緣材料，並以單層結構或疊層結構形成。可以將基底絕緣膜 110 的一個區域的厚度設定為 30nm 以上且 500nm 以下，較佳為 150nm 以上且 400nm 以下。

[0082] 半導體膜 111、半導體膜 119 以及半導體膜 231 較佳為使用氧化物半導體膜。該氧化物半導體膜可以採用非晶結構、單晶結構或多晶結構。此外，半導體膜 111 的部分區域的厚度為 1nm 以上且 100nm 以下，較佳為 1nm 以上且 50nm 以下，更佳為 1nm 以上且 30nm 以下，最佳為 3nm 以上且 20nm 以下。

[0083] 另外，還可以以遮蓋半導體膜 111 的通道區域的方式在基底絕緣膜 110 下配置遮光膜。作為遮光膜，例如可以與導電膜 241 同時形成。

[0084] 作為可以用於半導體膜 111、半導體膜 119 以及半導體膜 231 的半導體，可以舉出能隙為 2eV 以上、較佳為 2.5eV 以上、更佳為 3eV 以上，且小於 3.9eV、較佳為小於 3.7eV、更佳為小於 3.5eV 的氧化物半導體。像這樣，藉由使用能隙寬的氧化物半導體，可以降低電晶體 103 的關態電流。另外，該氧化物半導體對可見光的穿透

率較高，藉由將其用於電容元件 105 的一個電極，可以形成具有透光性的電容元件，而可以提高液晶顯示裝置等的像素的孔徑比。

[0085] 另外，藉由使氧化物半導體膜成為 n 型，可以將氧化物半導體膜的光學能帶間隙設定為 2.4eV 以上且 3.1eV 以下或 2.6eV 以上且 3.0eV 以下。此外，例如，當作爲用作半導體膜 119 的氧化物半導體膜使用原子數比爲 In:Ga:Zn=1:1:1 的 In-Ga-Zn 類金屬氧化物時，其光學能帶間隙爲 3.15eV。另外，用於像素電極 121 等的銦錫氧化物的光學能帶間隙爲 3.7eV 至 3.9eV。因此，半導體膜 119 可以吸收在透過像素電極 121 的可見光中的包含能量最高的波長的光及紫外光。由於擔憂該包含能量最高的波長的光及紫外光會傷害眼睛，因此將具有透光性的電容元件 105 用於像素 101，可以減少對眼睛的刺激。此外，電容元件 105 也可以不與像素 101 的全部區域重疊。藉由使電容元件 105 至少與像素 101 的一部分重疊，可以吸收可見光中的包含能量高的波長的光及紫外光。

[0086] 可以用於半導體膜 111、半導體膜 119 及半導體膜 231 的氧化物半導體較佳爲至少包含銦 (In) 或鋅 (Zn)。或者，較佳爲包含 In 和 Zn 的兩者。此外，爲了減少使用該氧化物半導體的電晶體的電特性的偏差，除了上述元素以外，較佳爲還具有一種或多種穩定劑 (stabilizer)。

[0087] 作爲穩定劑，可以舉出鎵 (Ga)、錫

(Sn) 、 鈐 (Hf) 、 鋁 (Al) 或 銩 (Zr) 等 。 另外 ， 作為其他穩定劑 ， 可以舉出鑰系元素的鑰 (La) 、 鈰 (Ce) 、 鐳 (Pr) 、 鈹 (Nd) 、 鈺 (Sm) 、 鎔 (Eu) 、 釷 (Gd) 、 鐳 (Tb) 、 鐳 (Dy) 、 鈹 (Ho) 、 鉕 (Er) 、 銩 (Tm) 、 鐳 (Yb) 、 鐳 (Lu) 等 。

[0088] 作為可以用於半導體膜 111、半導體膜 119 以及半導體膜 231 的氧化物半導體，例如，可以使用：氧化銦；氧化錫；氧化鋅；含有兩種金屬的氧化物，如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；含有三種金屬的氧化物，如 In-Ga-Zn 類氧化物(也記作 IGZO)、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；含有四種金屬的氧化物，如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0089] 在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 爲主要成分的氧化物，對 In、Ga 以及 Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0090] 另外，作爲氧化物半導體，可以使用以 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的材料。注意，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。

[0091] 例如，可以使用 $\text{In:Ga:Zn}=1:1:1 (=1/3:1/3:1/3)$ 、 $\text{In:Ga:Zn}=2:2:1 (=2/5:2/5:1/5)$ 或 $\text{In:Ga:Zn}=3:1:2 (=1/2:1/6:1/3)$ 的原子數比的 In-Ga-Zn 類金屬氧化物。或者，可以使用 $\text{In:Sn:Zn}=1:1:1 (=1/3:1/3:1/3)$ 、 $\text{In:Sn:Zn}=2:1:3 (=1/3:1/6:1/2)$ 或 $\text{In:Sn:Zn}=2:1:5 (=1/4:1/8:5/8)$ 的原子數比的 In-Sn-Zn 類金屬氧化物。另外，金屬氧化物的原子數比作爲誤差包括上述原子數比的 $\pm 20\%$ 的變動。

[0092] 但是，不侷限於此，可以根據所需要的半導體特性及電特性(場效移動率、臨界電壓等)使用具有適當的原子數比的材料。另外，較佳爲採用適當的載子密度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離、密度等，以得到所需要的半導體特性。例如，當使用 In-Sn-Zn 類氧化物時可以較容易地獲得較高的場效移動率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由降低塊體內缺陷密度來提高場效移動率。

[0093] 爲了減少電阻損失，信號線 109、導電膜

113、電容線 115 佈線 229 以及佈線 233 較佳為使用電阻較低的金屬膜來形成。例如可以使用鉬(Mo)、鈦(Ti)、鎢(W)、鉭(Ta)、鋁(Al)、銅(Cu)、鉻(Cr)、釹(Nd)、釷(Sc)等金屬材料或以上述元素為主要成分的合金材料，並以單層結構或疊層結構來形成。

[0094] 作為信號線 109、導電膜 113、電容線 115 佈線 229 以及佈線 233 的一個例子，可以舉出：使用包含矽的鋁的單層結構；在鋁上層疊鈦的兩層結構；在氮化鈦上層疊鈦的兩層結構；在氮化鈦上層疊鎢的兩層結構；在氮化鉭上層疊鎢的兩層結構；在銅-鎂-鋁合金上層疊銅的兩層結構；以及依次層疊氮化鈦、銅和鎢的三層結構等。

[0095] 例如，信號線 109、導電膜 113、電容線 115 佈線 229 以及佈線 233 較佳為使用低電阻材料的鋁或銅。藉由使用鋁或銅，可以降低信號遲延，從而提高顯示品質。另外，由於鋁的耐熱性低，因此容易產生因小丘、晶鬚或遷移引起的不良。為了防止鋁遷移，較佳為在鋁上層疊鉬、鈦、鎢等熔點比鋁高的金屬材料。另外，當使用銅時，為了防止因遷移引起的不良或者銅元素的擴散，較佳為層疊鉬、鈦、鎢等熔點比銅高的金屬材料。

[0096] 另外，作為信號線 109、導電膜 113、電容線 115 佈線 229 以及佈線 233 的材料，可以使用能夠應用於像素電極 121 的具有透光性的導電材料。另外，當本發明的一個方式的半導體裝置為反射型的顯示裝置時，作為像素電極 121 或基板 102 可以使用不具有透光性的導電性材

料。

[0097] 作為閘極絕緣膜 127，例如可以使用氧化矽、氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵或 Ga-Zn 類金屬氧化物等絕緣材料，並以單層結構或疊層結構來形成。另外，為了提高閘極絕緣膜 127 與作為半導體膜 111 的氧化物半導體膜之間的介面特性，較佳為閘極絕緣膜 127 中的至少接觸於半導體膜 111 的區域由包含氧的絕緣膜形成。

[0098] 另外，藉由對閘極絕緣膜 127 使用對氧、氫、水等具有阻擋性的絕緣膜，可以防止作為半導體膜 111 的氧化物半導體膜中的氧擴散到外部並可以防止氫、水等從外部侵入到該氧化物半導體膜。作為對氧、氫、水等具有阻擋性的絕緣膜，可以舉出氧化鋁、氮化鋁、氧化鎵、氮化鎵、氧化釷、氮化釷、氧化鉛、氮化鉛、氮化矽等。

[0099] 此外，藉由作為閘極絕緣膜 127 使用矽酸鉛 (HfSiO_x)、含有氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、含有氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、氧化釷等 high-k 材料，可以降低電晶體 103 的閘極漏電流。

[0100] 此外，閘極絕緣膜 127 較佳為採用從閘極電極一側層疊有如下膜的結構：作為第一氮化矽膜，設置缺陷量少的氮化矽膜；作為第二氮化矽膜，在第一氮化矽膜上設置氫脫離量及氮脫離量少的氮化矽膜；並且在第二氮化矽膜上設置上述可以用作閘極絕緣膜 127 的包含氧的絕

緣膜中的任一個。

[0101] 作為第二氮化矽膜，較佳為使用在熱脫附譜分析法中的氫分子的脫離量低於 5×10^{21} 分子/cm³，較佳為 3×10^{21} 分子/cm³ 以下，更佳為 1×10^{21} 分子/cm³ 以下，氮分子的脫離量低於 1×10^{22} 分子/cm³，較佳為 5×10^{21} 分子/cm³ 以下，更佳為 1×10^{21} 分子/cm³ 以下的氮化矽膜。藉由將上述第一氮化矽膜及第二氮化矽膜用作閘極絕緣膜 127 的一部分，作為閘極絕緣膜 127 可以形成缺陷量少且氫及氮的脫離量少的閘極絕緣膜。由此，可以降低包含在閘極絕緣膜 127 中的氫及氮向半導體膜 111 擴散的量。

[0102] 在使用氧化物半導體的電晶體中，當氧化物半導體膜及閘極絕緣膜的介面或閘極絕緣膜中存在陷阱能階(也稱為介面能階)時，容易產生電晶體的臨界電壓的變動，典型的是臨界電壓的負向變動。此外，該陷阱能階會導致次臨界擺幅(S 值)增大，該次臨界擺幅值示出當電晶體成為導通狀態時為了使汲極電流變化一個數量級而所需的閘極電壓。此外，上述電特性的變化不一，存在各電晶體電特性具有偏差的問題。因此，藉由作為閘極絕緣膜使用缺陷量少的氮化矽膜，並且在與半導體膜 111 接觸的區域設置含有氧的絕緣膜，可以減少臨界電壓的負向漂移，並且可以抑制 S 值的增大。

[0103] 將閘極絕緣膜 127 的部分區域的厚度設定為 5nm 以上且 400nm 以下，較佳為 10nm 以上且 300nm 以下，更佳為 50nm 以上且 250nm 以下。

[0104] 掃描線 107、閘極電極 227 以及導電膜 241 可以使用能夠應用於信號線 109、導電膜 113、電容線 115、佈線 229 以及佈線 233 的材料，並以單層結構或疊層結構形成。

[0105] 另外，作為掃描線 107、閘極電極 227 及導電膜 241 的一部分的材料，可以使用含有氮的金屬氧化物，明確地說，含有氮的 In-Ga-Zn 類氧化物、含有氮的 In-Sn 類氧化物、含有氮的 In-Ga 類氧化物、含有氮的 In-Zn 類氧化物、含有氮的 Sn 類氧化物、含有氮的 In 類氧化物以及金屬氮化膜（InN、SnN 等）。這些材料具有 5eV（電子伏特）以上的功函數。當作為電晶體 103 的半導體膜 111 使用氧化物半導體時，藉由作為掃描線 107（電晶體 103 的閘極電極）使用含有氮的金屬氧化物，可以使電晶體 103 的臨界電壓向正方向變動，可以實現具有所謂常閉特性的電晶體。例如，當使用包含氮的 In-Ga-Zn 類氧化物時，可以使用氮濃度至少比半導體膜 111 的氧化物半導體膜高的 In-Ga-Zn 類氧化物，具體地，氮濃度為 7atom% 以上的 In-Ga-Zn 類氧化物。

[0106] 絕緣膜 129 及絕緣膜 131 例如可以使用氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鎵或 Ga-Zn 類金屬氧化物等氧化絕緣材料，並以單層結構或疊層結構形成。

[0107] 將絕緣膜 129 的部分區域的厚度設定為 5nm 以上且 150nm 以下，較佳為 5nm 以上且 50nm 以下，更佳為 10nm 以上且 30nm 以下。此外，將絕緣膜 131 的部分

區域的厚度設定為 30nm 以上且 500nm 以下，較佳為 150nm 以上且 400nm 以下。

[0108] 較佳為絕緣膜 129 和絕緣膜 131 中的一者或兩者為其氧含量超過化學計量組成的氧化絕緣膜。由此，在防止氧從該氧化物半導體膜脫離的同時使包含在氧過剩區域中的氧透過閘極絕緣膜 127 擴散到氧化物半導體膜，從而可以填補氧缺陷。例如，藉由使用利用熱脫附譜分析(以下稱為 TDS 分析)測量的在 100℃ 以上且 700℃ 以下，較佳為 100℃ 以上且 500℃ 以下的加熱處理中的氧分子的釋放量為 1.0×10^{18} 分子/cm³ 以上的氧化絕緣膜，可以填補該氧化物半導體膜中的氧缺陷。另外，絕緣膜 129 和絕緣膜 131 中的一者或兩者也可以是部分存在其氧含量超過化學計量組成的區域(氧過剩區域)的氧化絕緣膜，藉由至少使與半導體膜 111 重疊的區域中存在氧過剩區域，可以防止氧從該氧化物半導體膜脫離並可以使氧過剩區域中的氧擴散到氧化物半導體膜中來填補氧缺陷。

[0109] 當絕緣膜 131 是其氧含量超過化學計量組成的氧化絕緣膜時，絕緣膜 129 較佳為是使氧透過的氧化絕緣膜。另外，在絕緣膜 129 中，從外部進入絕緣膜 129 的氧不都穿過絕緣膜 129 並擴散，也有留在絕緣膜 129 中的氧。此外，也有預先就包含在絕緣膜 129 中並且從絕緣膜 129 向外部擴散的氧。因此，絕緣膜 129 較佳為氧的擴散係數大的氧化絕緣膜。

[0110] 另外，絕緣膜 129 和絕緣膜 131 中的一者或

兩者較佳為對氮具有阻擋性的絕緣膜。例如，形成為緻密的氧化絕緣膜可以使其對氮具有阻擋性，明確地說，較佳為採用以 25℃ 使用 0.5wt% 的氟化氫酸時的蝕刻速度為 10nm/分以下的氧化絕緣膜。

[0111] 另外，當作為絕緣膜 129 和絕緣膜 131 中的一者或兩者採用氧氮化矽或氮氧化矽等含有氮的氧化絕緣膜時，較佳為以具有利用 SIMS (Secondary Ion Mass Spectrometry：二次離子質譜分析法) 得到的氮濃度為 SIMS 的檢出下限以上且低於 $3 \times 10^{20} \text{ atoms/cm}^3$ ，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下的區域的方式形成。如此，可以減少向電晶體 103 中的半導體膜 111 移動的氮的量。另外，由此可以減少含有氮的氧化絕緣膜自身的缺陷量。

[0112] 另外，絕緣膜 132 例如可以使用氮氧化矽、氮化矽、氮化鋁、氮氧化鋁等氮化絕緣材料，並以單層結構或疊層結構形成。

[0113] 作為絕緣膜 132，也可以設置氫含量少的氮化絕緣膜。作為該氮化絕緣膜，例如可以使用利用在膜的表面溫度為 100℃ 以上且 700℃ 以下，較佳為 100℃ 以上且 500℃ 以下的加熱處理中進行的 TDS 分析所測量的氫分子的釋放量低於 $5.0 \times 10^{21} \text{ 分子/cm}^3$ ，較佳為低於 $3.0 \times 10^{21} \text{ 分子/cm}^3$ ，更佳為低於 $1.0 \times 10^{21} \text{ 分子/cm}^3$ 的氮化絕緣膜。

[0114] 將絕緣膜 132 的部分區域的厚度設定為能夠抑制來自外部的氫或水等雜質侵入的厚度。例如，將其設

定為 50nm 以上且 200nm 以下，較佳為 50nm 以上且 150nm 以下，更佳為 50nm 以上且 100nm 以下。藉由設置絕緣膜 132，由絕緣膜 132 阻擋碳等雜質，抑制雜質從外部移動到電晶體 103 的半導體膜 111 及電晶體 223 的半導體膜 231，由此可以減少電晶體的電特性的偏差。

[0115] 注意，當在閘極絕緣膜 127、掃描線 107 及閘極電極 227 上設置的絕緣膜為一層時，較佳為設置絕緣膜 131。此外，當絕緣膜為兩層時，較佳為從該半導體膜一側以絕緣膜 131、絕緣膜 132 的順序設置。

[0116] 另外，作為閘極絕緣膜 127、掃描線 107 及閘極電極 227 與像素電極 121、導電膜 241 以及能夠同時形成的佈線等之間形成的絕緣膜，可以包含利用藉由使用有機矽烷氣體的 CVD 法（化學氣相沉積法）形成的氧化絕緣膜，典型的是氧化矽膜。

[0117] 該氧化矽膜的厚度可以為 300nm 以上且 600nm 以下。作為有機矽烷氣體，可以使用正矽酸乙酯（TEOS：化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式為 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三（二甲胺基）矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等含有矽的化合物。

[0118] 藉由利用有機矽烷氣體的 CVD 法形成該氧化矽膜，可以提高形成在基板 102 上的元件部表面的平坦性。其結果是，即使不設置由有機樹脂形成的平坦化膜，

也可以減少液晶的配向無序，可以減少漏光，並可以提高對比。當然，也可以使用有機樹脂代替該氧化矽膜，還可以使用包括該氧化矽膜和有機樹脂的疊層。

[0119] 像素電極 121 可以使用銦錫氧化物、含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料來形成。

[0120] 接著，說明本實施方式所示的像素 101 所包含的各構成要素。

[0121] 圖 4A 示出上述像素 101 的電路圖的一個例子。像素 101 包括：電晶體 103；電容元件 105；以及液晶元件 108。電晶體 103 的閘極電極電連接到掃描線 107，源極電極和汲極電極中的一個電連接到信號線 109，源極電極和汲極電極中的另一個電連接到電容元件 105 的一個電極及液晶元件 108 的一個電極（像素電極）。此外，電容元件 105 的另一個電極電連接到電容線 115，液晶元件 108 的另一個電極（反電極）電連接到對反電極供應反電位的佈線。

[0122] 液晶元件 108 是利用由形成有電晶體 103 及像素電極的基板與對置的基板（例如形成有反電極的基板）夾住的液晶的光學調變作用控制光的透過或非透過的元件。此外，液晶的光學調變作用由施加到液晶的電場（包括縱向電場或斜向電場）控制。此外，當在同一基板上

形成像素電極及反電極（也稱為共用電極）時，施加到液晶的電場成為橫向電場。

[0123] 另外，圖 4B 示出像素 101 的詳細的電路圖的一個例子。如圖 4B 及圖 2 所示，電晶體 103 包括：包括閘極電極的掃描線 107；包括源極電極和汲極電極中的一個的信號線 109；以及包括源極電極和汲極電極中的另一個的導電膜 113。

[0124] 在電容元件 105 中，將連接到電容線 115 的半導體膜 119 用作一個電極。此外，將連接到包括源極電極和汲極電極中的另一個的導電膜 113 的像素電極 121 用作另一個電極。另外，將設置在半導體膜 119 與像素電極 121 之間的絕緣膜 129、絕緣膜 131 以及絕緣膜 132 用作介電膜。

[0125] 液晶元件 108 包括：像素電極 121；反電極 154；以及設置於像素電極 121 與反電極 154 之間的液晶層。

[0126] 在電容元件 105 中，即使半導體膜 119 與半導體膜 111 同樣是高電阻，半導體膜 119 也用作電容元件 105 的電極。這是因為可以將像素電極 121 用作閘極電極，可以將絕緣膜 129、絕緣膜 131 以及絕緣膜 132 用作閘極絕緣膜，可以將電容線 115 用作源極電極或汲極電極，其結果是，可以使電容元件 105 與電晶體同樣地工作，而使半導體膜 119 成為導通狀態。因此，可以將半導體膜 119 用作電容元件 105 的一個電極。

[0127] 接著，參照圖 5A 和圖 5B、圖 6A 和圖 6B 說明圖 1 及圖 2 所示的半導體裝置的製造方法。

[0128] 首先，在基板 102 上形成導電膜 241，以覆蓋該導電膜的方式形成基底絕緣膜 110。

[0129] 可以藉由使用上述材料形成導電膜，在該導電膜上形成遮罩，利用該遮罩進行加工來形成導電膜 241。可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法來形成該導電膜。注意，對於該導電膜的厚度沒有特別的限定，可以考慮形成所需時間以及所希望的電阻率等決定其厚度。該遮罩例如可以為利用光微影製程形成的光阻遮罩。另外，該導電膜的加工可以採用乾蝕刻和濕蝕刻中的一種或兩種方法。

[0130] 基底絕緣膜 110 可以使用上述材料形成。該基底絕緣膜可以利用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。

[0131] 接著，形成半導體膜 111、半導體膜 119 以及半導體膜 231（參照圖 1）。可以使用上述氧化物半導體形成氧化物半導體膜，並在該氧化物半導體膜上形成遮罩，利用該遮罩進行加工來形成半導體膜 111、半導體膜 119 以及半導體膜 231。該氧化物半導體膜可以使用濺射法、塗敷法、脈衝雷射蒸鍍法、雷射燒蝕法等形成。藉由使用印刷法，可以將元件分離的半導體膜 111 及半導體膜 119 直接形成在基底絕緣膜 110 上。當利用濺射法形成該氧化物半導體膜時，作為生成電漿的電源裝置可以適當地

使用 RF 電源裝置、AC 電源裝置或 DC 電源裝置等。作為濺射氣體，可以適當地使用稀有氣體(典型地為氬)、氧氣體、稀有氣體及氧的混合氣體。此外，當採用稀有氣體及氧的混合氣體時，較佳為增高氧相對於稀有氣體的氧氣比例。另外，根據所形成的氧化物半導體膜的組成而適當地選擇靶材，即可。另外，該遮罩例如可以使用利用光微影製程形成的光阻遮罩。此外，該氧化物半導體膜的加工可以使用乾蝕刻和濕蝕刻中的一者或兩者來進行。以能夠蝕刻為所希望的形狀的方式，根據材料適當地設定蝕刻條件(蝕刻氣體、蝕刻劑、蝕刻時間、溫度等)。

[0132] 另外，上述氧化物半導體膜也可以利用 CVD 法來形成。作為 CVD 法，可以使用 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法或 ALD (Atomic Layer Deposition: 原子層沉積) 法等熱 CVD 法。

[0133] 熱 CVD 法是不使用電漿的成膜方法，因此具有不產生因電漿損傷所引起的缺陷的優點。

[0134] 可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上發生反應。

[0135] 另外，可以以如下方法進行利用 ALD 法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室，並且按該順序反復地引入氣

體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氮等）等，然後引入第二源氣體。注意，當同時引入第一源氣體及惰性氣體時，惰性氣體用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以利用真空抽氣將第一源氣體排出來代替引入惰性氣體，然後引入第二源氣體。第一源氣體附著到基板表面形成第一層，之後引入的第二源氣體與該第一層起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋率良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來進行調節，因此，ALD法可以準確地調節厚度而適用於形成微型電晶體。

[0136] 例如，當形成 In-Ga-Zn-O 膜時，使用三甲基銦、三甲基鎵及二甲基鋅。另外，三甲基銦的化學式為 $\text{In}(\text{CH}_3)_3$ 。另外，三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。另外，二甲基鋅的化學式為 $\text{Zn}(\text{CH}_3)_2$ 。另外，不侷限於上述組合，也可以使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0137] 例如，在利用 ALD 法形成 In-Ga-Zn-O 膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 InO_2 層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之

後同時引入 $\text{Zn}(\text{CH}_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如 In-Ga-O 層、 In-Zn-O 層、 Ga-In-O 層、 Zn-In-O 層、 Ga-Zn-O 層等。注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。另外，也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。此外，也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。還可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。另外，也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

[0138] 較佳為在形成半導體膜 111、半導體膜 119 以及半導體膜 231 之後進行加熱處理，來使作為半導體膜 111、半導體膜 119 以及半導體膜 231 的氧化物半導體膜脫氫化或脫水化。作為該加熱處理的溫度，典型地為 150°C 以上且低於基板的應變點，較佳為 200°C 以上且 450°C 以下，更佳為 300°C 以上且 450°C 以下。另外，也可以對被加工為半導體膜 111、半導體膜 119 以及半導體膜 231 之前的氧化物半導體膜進行該加熱處理。

[0139] 在該加熱處理中，加熱處理裝置不限於電爐，還可以使用藉由諸如來自被加熱的氣體等媒介的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 GRTA (Gas Rapid Thermal Anneal：氣體快速熱退火)裝置、 LRTA (Lamp Rapid Thermal Anneal：燈快速熱退火)裝置等 RTA (Rapid Thermal Anneal：快速熱退火)裝置。

LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光(電磁波)的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。

[0140] 該加熱處理可以在氮、氧、超乾燥空氣(水含量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣)或稀有氣體(氬、氦等)的氛圍下進行。另外，較佳為上述氮、氧、超乾燥空氣或稀有氣體中不含氫、水等。也可以在惰性氣體氛圍中進行加熱之後在氧氣氛圍中進行加熱。另外，較佳為將處理時間設定為 3 分鐘至 24 小時。

[0141] 在此，可以對半導體膜 119 添加摻雜劑。對半導體膜 119 添加摻雜劑的方法如下：在半導體膜 119 之外的區域設置遮罩，利用該遮罩藉由離子植入法或離子摻雜法等來添加選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻以及稀有氣體元素中的一種以上的摻雜劑。此外，也可以將半導體膜 119 暴露於包含該摻雜劑的電漿來添加該摻雜劑，以代替離子植入法或離子摻雜法。另外，添加摻雜劑後也可以進行加熱處理。該加熱處理可以參照進行半導體膜 111 以及半導體膜 119 的脫氫化或脫水化的加熱處理的詳細內容而適當地進行。

[0142] 接著，形成信號線 109、導電膜 113、電容線 115、佈線 229 以及佈線 233。可以藉由使用上述材料形成導電膜，並在該導電膜上形成遮罩，利用該遮罩進行加

工來形成信號線 109、導電膜 113、電容線 115、佈線 229 以及佈線 233。該遮罩的形成及該加工可以與導電膜 241 同樣地進行。

[0143] 接著，以覆蓋基底絕緣膜 110、半導體膜 111、半導體膜 119、半導體膜 231、信號線 109、導電膜 113、電容線 115、佈線 229 以及佈線 233 的方式來形成閘極絕緣膜 127。

[0144] 閘極絕緣膜 127 可以使用上述材料並利用 CVD 法或濺射法等各種成膜方法形成。此外，當作爲閘極絕緣膜 127 使用氧化鎵時，可以利用 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法形成。

[0145] 接著，在閘極絕緣膜 127 上的與半導體膜 111 重疊的區域形成掃描線 107，在與半導體膜 231 重疊的區域形成閘極電極 227 (參照圖 5B)。

[0146] 藉由使用上述材料形成導電膜，在該導電膜上形成遮罩，利用該遮罩進行加工可以形成掃描線 107 及閘極電極 227。該遮罩的形成及該加工可以與導電膜 241 同樣地進行。

[0147] 接著，在閘極絕緣膜 127、掃描線 107 以及閘極電極 227 上形成絕緣膜 129、絕緣膜 131 以及絕緣膜 132 (參照圖 6A)。此外，較佳爲連續形成絕緣膜 129、絕緣膜 131 及絕緣膜 132。藉由連續地形成上述絕緣膜，可以抑制雜質混入絕緣膜 129、絕緣膜 131 及絕緣膜 132

的各介面。

[0148] 可以使用上述材料並利用 CVD 法或濺射法等各種成膜方法來形成絕緣膜 129、絕緣膜 131 及絕緣膜 132。

[0149] 例如，可以使用上述氧化絕緣膜來形成絕緣膜 129。注意，這裡對作為該氧化絕緣膜形成氧化矽膜或氮化矽膜的情況進行說明。該形成條件為：將設置於電漿 CVD 設備的被真空排氣的處理室內的基板的溫度保持於 180℃ 以上且 400℃ 以下，較佳為 200℃ 以上且 370℃ 以下，向處理室中引入為源氣體的包含矽的沉積氣體及氧化性氣體，並將處理室內的壓力設定為 20Pa 以上且 250Pa 以下，較佳為 40Pa 以上且 200Pa 以下，對設置於處理室內的電極供應高頻電力。

[0150] 作為包含矽的沉積氣體的典型例子，可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。作為氧化性氣體，可以舉出氧、臭氧、一氧化二氮、二氧化氮等。

[0151] 另外，藉由使氧化性氣體量為包含矽的沉積氣體的 100 倍以上，可以在減少絕緣膜 129 中的氫含量的同時減少絕緣膜 129 中的懸空鍵。從絕緣膜 131 擴散的氧有時被絕緣膜 129 中的懸空鍵俘獲，因此當絕緣膜 129 中的懸空鍵減少時，絕緣膜 131 中的氧可以透過閘極絕緣膜 127 高效地擴散到半導體膜 111 及半導體膜 231 中，從而可以填補作為半導體膜 111 及半導體膜 231 的氧化物半導體膜中的氧缺陷。其結果是，可以減少混入該氧化物半導體

體膜中的氫含量並可以減少氧化物半導體膜中的氧缺陷。

[0152] 當作爲絕緣膜 131 採用上述包括氧過剩區域的氧化絕緣膜或其氧含量超過化學計量組成的氧化絕緣膜時，可以利用如下形成條件形成絕緣膜 131。注意，這裡對作爲該氧化絕緣膜形成氧化矽膜或氧氮化矽膜的情況進行說明。作爲該形成條件，可以舉出如下一個例子：將設置於電漿 CVD 設備的被真空排氣的處理室內的基板的溫度保持於 180°C 以上且 260°C 以下，較佳爲 180°C 以上且 230°C 以下，向處理室中引入源氣體並使處理室內的壓力爲 100Pa 以上且 250Pa 以下，較佳爲 100Pa 以上且 200Pa 以下，對設置於處理室內的電極供應 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下，較佳爲 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高頻電力。

[0153] 作爲絕緣膜 131 的源氣體可以使用能夠應用於絕緣膜 129 的源氣體。

[0154] 作爲絕緣膜 131 的形成條件，藉由在上述壓力的處理室中供應上述功率密度的高頻電力，在電漿中源氣體的分解效率得到提高，氧自由基增加，而促進源氣體的氧化，因此絕緣膜 131 中的氧含量比化學計量組成多。然而，在基板溫度是上述形成條件的溫度的情況下，由於矽與氧的鍵合力低，因此因加熱而使氧的一部分脫離。由此，可以形成其氧含量超過化學計量組成且藉由加熱使氧的一部分脫離的氧化絕緣膜。

[0155] 另外，藉由將絕緣膜 131 的厚度形成得較

厚，可以使因加熱而脫離的氧的量增多，因此較佳為將絕緣膜 131 形成為厚於絕緣膜 129 的膜。藉由設置絕緣膜 129，即使將絕緣膜 131 形成得較厚也可以實現良好的覆蓋率。

[0156] 當作絕緣膜 132 形成氫含量少的氮化絕緣膜時，可以使用如下條件形成絕緣膜 132。注意，這裡對作為該氮化絕緣膜形成氮化矽膜的情況進行說明。作為該形成條件，可以舉出如下一個例子：將設置於電漿 CVD 設備的被真空排氣的處理室內的基板的溫度保持於 80℃ 以上且 400℃ 以下，較佳為 200℃ 以上且 370℃ 以下，向處理室中引入源氣體，並將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 200Pa 以下，對設置於處理室內的電極供應高頻電力。

[0157] 作為絕緣膜 132 的源氣體，較佳為使用包含矽的沉積氣體、氮及氫。作為包含矽的沉積氣體的典型例子，可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。另外，較佳為使氮的流量為氫的流量的 5 倍以上且 50 倍以下，更佳為 10 倍以上且 50 倍以下。藉由作為源氣體使用氫，可以促進含有矽的沉積氣體及氮的分解。這是因為如下緣故：氫因電漿能或熱能而離解，離解時產生的能量有助於含有矽的沉積氣體分子的鍵合及氮分子的鍵合的分解。由此，可以形成氫含量少且能夠抑制來自外部的氫或水等雜質侵入的氮化矽膜。

[0158] 較佳的是，在至少形成絕緣膜 131 之後進行

加熱處理，使包含在絕緣膜 129 或絕緣膜 131 中的過剩氧透過閘極絕緣膜 127 擴散到半導體膜 111 及半導體膜 231，由此填補作為半導體膜 111 及半導體膜 231 的氧化物半導體膜中的氧缺陷。該加熱處理可以參照進行半導體膜 111 及半導體膜 231 的脫氫化或脫水化的加熱處理的詳細內容適當地進行。

[0159] 接著，在絕緣膜 129、絕緣膜 131 以及絕緣膜 132 與導電膜 113 重疊的區域中形成到達導電膜 113 的開口 117（參照圖 1）。

[0160] 接著，藉由形成像素電極 121，可以製造圖 1、圖 2 所示的半導體裝置（參照圖 6B）。像素電極 121 可以藉由如下方法形成：使用上述列舉的材料形成藉由開口 117 與導電膜 113 接觸的導電膜，在該導電膜上形成遮罩，並利用該遮罩進行加工而形成。另外，該遮罩的形成及該加工可以與導電膜 241 同樣地進行。

[0161] 另外，在本發明的一個方式的半導體裝置中，可以適當地改變電容元件的結構。例如，如圖 7A 中的電容元件 105 的剖面圖所示，也可以從電容元件 105 的電介質部分去除閘極絕緣膜 127。由此，可以使電介質部分的膜厚度變薄，從而提高電容元件 105 的電荷容量。此外，可以藉由在該閘極絕緣膜上形成遮罩，並利用該遮罩進行加工來部分去除閘極絕緣膜 127。另外，該遮罩的形成及該加工可以與導電膜 241 同樣地進行。另外，在使用半色調遮罩來形成閘極電極 227 時，可以去除閘極絕緣膜

127 的一部分。此時，可以減少光微影製程。此外，還可以採用去除絕緣膜 129 和絕緣膜 131 中的一個的結構。

[0162] 另外，如圖 7B 中的電容元件 105 的剖面圖所示，也可以從電容元件 105 的電介質部分去除閘極絕緣膜 127、絕緣膜 129 及絕緣膜 131。由此，可以使電介質部分的膜厚度變得更薄，從而提高電容元件 105 的電荷容量。

[0163] 另外，在圖 7B 所示的電容元件 105 中，採用半導體膜 119 與絕緣膜 132 接觸的結構。如上所述，絕緣膜 132 較佳為氮化絕緣膜。氮化絕緣膜包含多量的氮及氫，可以將這些氮及氫擴散到半導體膜 119。在作為半導體膜 119 使用氧化物半導體時，進入到氧化物半導體內的氮及氫的一部分有助於形成產生載子的施體能階，所以可以使氧化物半導體層成為 n 型。因此，可以提高半導體膜 119 的導電率，且可以省略對半導體膜 119 摻雜雜質的製程等。

[0164] 另外，如圖 8 所示，也可以採用在作為電容元件 105 的一個電極的半導體膜 119 與基底絕緣膜 110 之間設置氮化絕緣膜 118 的結構。藉由採用這種結構，可以與圖 7B 同樣地使氮及氫從氮化絕緣膜 118 擴散到半導體膜 119，從而提高半導體膜 119 的導電率。此外，可以藉由形成能夠用於絕緣膜 132 的膜，在該膜上形成遮罩，利用該遮罩進行加工來形成氮化絕緣膜 118。另外，該遮罩的形成及該加工可以與導電膜 241 同樣地進行。此外，也

可以在該電容元件中組合圖 7A 或圖 7B 所示的電容元件的結構。

[0165] 另外，在本發明的一個方式的半導體裝置中，設置在像素內的電晶體的形狀不侷限於圖 1 及圖 2 所示的電晶體的形狀，而可以適當地改變。例如，電晶體也可以是如下形狀：包括在信號線 109 中的源電極和汲電極中的一個為 U 字型（C 字型、日語片假名“コ”字型或馬蹄型），並且圍繞包括源電極和汲電極中的另一個的導電膜的形狀。藉由採用上述形狀，即使電晶體的面積較小，也可以確保足夠的通道寬度，由此可以增加電晶體的開啓時流過的汲極電流（也稱為通態電流）量。

[0166] 此外，在上述所示的像素 101 中，雖然作為電晶體示出具有有一個閘極電極的電晶體，但是也可以使用具有夾著半導體膜 111 而對置的兩個閘極電極的電晶體。此外，作為具有兩個閘極電極的電晶體的結構，例如，可以參照圖 2 所示的用於第一驅動電路 104 的具有閘極電極 227 及導電膜 241 的電晶體。

[0167] 上述具有兩個閘極電極的電晶體在本實施方式所說明的電晶體 103 的基底絕緣膜 110 下具有導電膜。導電膜至少重疊於半導體膜 111 的通道形成區。藉由將導電膜設置在重疊於半導體膜 111 的通道形成區的位置，較佳為將導電膜的電位設定為輸入到信號線 109 的視訊訊號的最低電位。由此，在對置於導電膜的半導體膜 111 的表面上可以控制在源極電極與汲極電極之間流過的電流，可

以減少電晶體的電特性的偏差。此外，藉由設置導電膜，可以減輕周圍的電場的變化給半導體膜 111 帶來的影響，而可以提高電晶體的可靠性。

[0168] 上述導電膜可以使用與導電膜 241、掃描線 107、信號線 109、像素電極 121 等同樣的材料及方法而形成。

[0169] 如上所述，作為電容元件的一個電極，藉由使用在與包括在電晶體中的半導體膜相同的形成製程中形成的半導體膜，可以製造具有在提高孔徑比的同時能夠增大電荷容量的電容元件的半導體裝置。由此，可以得到顯示品質優良的半導體裝置。

[0170] 將在形成電晶體所包括的半導體膜的製程中同時形成的半導體膜用作電容元件的一個電極，由此可以在不增加光微影製程所需要的遮罩的個數的情況下製造孔徑比高且具有電荷容量大的電容元件的半導體裝置。

[0171] 另外，由於包括在電晶體中的半導體膜的氧化物半導體膜的氧缺陷得到減少且氫等雜質被減少，因此本發明的一個方式的半導體裝置成為具有良好的電特性的半導體裝置。

[0172] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0173]

實施方式 2

在本實施方式中，說明在上述實施方式所說明的包括

在半導體裝置中的電晶體及電容元件中，可以用於作為半導體膜的氧化物半導體膜的一個方式。

[0174] 氧化物半導體可以處於非單晶狀態。非單晶例如包括 CAAC (C Axis Aligned Crystal; c 軸配向結晶)、多晶、微晶、或非晶部。

[0175] 氧化物半導體也可以具有 CAAC。注意，將包括 CAAC 的氧化物半導體稱為 CAAC-OS (c-axis aligned crystalline oxide semiconductor: c 軸配向結晶氧化物半導體)。

[0176] 有時可以在使用穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察 CAAC-OS 時確認到結晶部。另外，在大多情況下，在 TEM 的觀察影像中，包含在 CAAC-OS 中的結晶部的尺寸為能夠容納在一個邊長為 100nm 的立方體內的尺寸。此外，在使用 TEM 觀察 CAAC-OS 時，有時無法明確地確認到結晶部與結晶部之間的邊界。此外，在使用 TEM 觀察 CAAC-OS 時，有時無法明確地確認到晶界 (grain boundary)。CAAC-OS 不具有明確的晶界，所以不容易產生雜質的偏析。另外，CAAC-OS 不具有明確的晶界，所以缺陷態密度很少變高。另外，CAAC-OS 不具有明確的晶界，所以電子移動率的低下較小。

[0177] CAAC-OS 具有多個結晶部，有時在該多個結晶部中 c 軸在平行於形成有 CAAC-OS 的表面的法線向量或 CAAC-OS 的表面的法線向量的方向上一致。因此，使

用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置, 並且利用 Out-of-plane 法來分析 CAAC-OS, 有時在 2θ 為 31° 附近觀察到峰值。在 InGaZnO_4 的結晶中, 2θ 為 31° 附近的峰值示出其配向於 (009) 面。此外, CAAC-OS 在 2θ 為 36° 附近出現峰值。在 ZnGa_2O_4 的結晶中, 2θ 為 36° 附近的峰值示出其配向於 (222) 面。較佳的是, 在 CAAC-OS 中, 在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0178] 另外, CAAC-OS 在不同的結晶部間, 有時 a 軸及 b 軸的方向不同。在具有 InGaZnO_4 的結晶的 CAAC-OS 中使用 XRD 裝置並採用使 X 線從垂直於 c 軸的方向入射的 in-plane 法進行分析, 有時出現 2θ 為 56° 附近的峰值。 2θ 為 56° 附近的峰值表示 InGaZnO_4 的結晶的 (110) 面。在此, 當以將 2θ 固定在 56° 附近並以表面的法線向量為軸 (ϕ 軸) 的條件下使樣本旋轉來進行分析 (ϕ 掃描) 時, 在 a 軸及 b 軸的方向一致的單晶氧化物半導體中出現六個對稱性峰值, 而在 CAAC-OS 中不出現明顯的峰值。

[0179] 如上所述, 在 CAAC-OS 中, 有時 c 軸配向且 a 軸或/及 b 軸在宏觀上不一致。

[0180] 另外, 有時在 CAAC-OS 的電子繞射圖案中, 觀察到斑點(亮點)。注意, 尤其將使用電子束徑為 $10\text{nm}\phi$ 以下或 $5\text{nm}\phi$ 以下的電子線而得到的電子繞射圖案稱為奈米束電子繞射圖案。

[0181] 圖 10A 是包括 CAAC-OS 的樣本的奈米束電

子繞射圖案。在此，將樣本沿著垂直於形成有 CAAC-OS 的表面的方向截斷，將其薄片化以使其厚度為 40nm 左右。此外，在此使電子束徑為 1nm ϕ 的電子線從垂直於樣本的截斷面的方向入射。藉由圖 10A 可知，在 CAAC-OS 的奈米束電子繞射圖案中可以觀察到斑點。

[0182] 在包括在 CAAC-OS 中的結晶部中，c 軸在平行於形成有 CAAC-OS 的表面的法線向量或 CAAC-OS 的表面的法線向量的方向上一致。並且，當從垂直於 ab 面的方向看時金屬原子排列為三角形或六角形，且當從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間 a 軸和 b 軸的方向可以不同。在本說明書中，“垂直”的用語包括 80°到 100°的範圍，較佳為包括 85°到 95°的範圍。並且，“平行”的用語包括 -10°到 10°的範圍，較佳為包括 -5°到 5°的範圍。

[0183] 因為包括在 CAAC-OS 中的結晶部的 c 軸在平行於形成有 CAAC-OS 的表面的法線向量或 CAAC-OS 的表面的法線向量的方向上一致，所以有時根據 CAAC-OS 的形狀（形成有 CAAC-OS 的表面的剖面形狀或 CAAC-OS 的表面的剖面形狀）c 軸的方向可以彼此不同。另外，結晶部在成膜時或在成膜後藉由諸如加熱處理等晶化處理而形成。因此，結晶部的 c 軸在平行於形成有 CAAC-OS 的表面的法線向量或 CAAC-OS 的表面的法線向量的方向上一致。

[0184] CAAC-OS 有時可以藉由降低雜質濃度來形成。在此，雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體的主要成分以外的元素。特別是，矽等元素與氧的鍵合力比構成氧化物半導體的金屬元素與氧的鍵合力強。因此，當該元素從氧化物半導體奪取氧時，有時打亂氧化物半導體的原子排列，使結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑(或分子半徑)大，所以有時會打亂氧化物半導體的原子排列，導致氧化物半導體的結晶性下降。因此，CAAC-OS 是雜質濃度低的氧化物半導體。此外，包含在氧化物半導體中的雜質有時成為載子發生源。

[0185] 另外，在 CAAC-OS 中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 的形成過程中，在從氧化物半導體的表面一側進行結晶生長的情況下，有時氧化物半導體的表面附近的結晶部所占的比例高於形成有氧化物半導體的表面附近的結晶部所占的比例。此外，當雜質混入到 CAAC-OS 時，有時會使該雜質混入區中的結晶部的結晶性降低。

[0186] 另外，CAAC-OS 可以藉由降低缺陷態密度形成。在氧化物半導體中，氧缺陷是缺陷能階。氧缺陷有時成為陷阱能階或因俘獲氫而成為載子發生源。為了形成 CAAC-OS，重要的是不在氧化物半導體中產生氧缺陷。因此，CAAC-OS 是缺陷態密度低的氧化物半導體。或者，CAAC-OS 是氧缺陷少的氧化物半導體。

[0187] 將雜質濃度低且缺陷態密度低（氧缺陷的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體具有較少的載子發生源，因此有時可以降低其載子密度。因此，有時將該氧化物半導體用於通道形成區的電晶體很少具有負臨界電壓（也稱為常開啓特性）。此外，高純度本質或實質上高純度本質的氧化物半導體具有較低的缺陷態密度，因此有時其陷阱態密度也變低。因此，有時將該氧化物半導體用於通道形成區的電晶體的電特性變動小，而成為可靠性高的電晶體。此外，被氧化物半導體的陷阱能階俘獲的電荷直到被釋放為止需要較長的時間，有時像固定電荷那樣動作。因此，有時將陷阱態密度高的氧化物半導體用於通道形成區的電晶體的電特性不穩定。

[0188] 另外，在使用高純度本質或實質上高純度本質的 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0189] CAAC-OS 例如可以藉由使用 DC 電源的濺射法來形成。

[0190] 氧化物半導體可以處於多晶狀態。注意，將包括多晶的氧化物半導體稱為多晶氧化物半導體。多晶氧化物半導體包括多個晶粒。

[0191] 在使用 TEM 觀察的多晶氧化物半導體的影像中，有時可以觀察到晶粒。多晶氧化物半導體所包括的晶粒在使用 TEM 的觀察影像中，在大多數情況下，粒徑為

2nm 以上且 300nm 以下、3nm 以上且 100nm 以下或 5nm 以上且 50nm 以下。此外，在使用 TEM 觀察的多晶氧化物半導體的影像中，有時可以確認到晶粒與晶粒之間的邊界。此外，例如在使用 TEM 觀察的多晶氧化物半導體的影像中，有時可以確認到晶界。

[0192] 多晶氧化物半導體具有多個晶粒，該多個晶粒有時配向不同。此外，多晶氧化物半導體使用 XRD 裝置並採用 out-of-plane 法進行分析，有時出現一個或多個峰值。例如，在多晶 IGZO 膜中，有時出現表示配向的 2θ 為 31° 附近的峰值或表示多種配向的多個峰值。此外，多晶氧化物半導體在利用電子繞射而得到的圖案中，有時觀察到斑點。

[0193] 因為多晶氧化物半導體具有較高的結晶性，所以有時具有較高的電子移動率。因此，將多晶氧化物半導體用於通道形成區的電晶體具有較高的場效移動率。注意，多晶氧化物半導體有時在晶界產生雜質的偏析。此外，多晶氧化物半導體的晶界成為缺陷能階。由於多晶氧化物半導體的晶界有時成為載子發生源、陷阱能階，因此有時與將 CAAC-OS 用於通道形成區的電晶體相比，將多晶氧化物半導體用於通道形成區的電晶體的電特性變動較大，且可靠性較低。

[0194] 多晶氧化物半導體可以使用高溫加熱處理或雷射處理來形成。

[0195] 氧化物半導體膜例如可以處於微晶狀態。注

意，將包括微晶的氧化物半導體稱為微晶氧化物半導體。

[0196] 在使用 TEM 觀察的微晶氧化物半導體的影像中，有時無法明確地確認到結晶部。微晶氧化物半導體層中含有的結晶部的尺寸在大多數情況下為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將 1nm 以上且 10nm 以下的微晶稱為奈米晶 (nc:nanocrystal)。將具有奈米晶的氧化物半導體稱為 nc-OS (nanocrystalline Oxide Semiconductor)。此外，在使用 TEM 觀察的 nc-OS 的影像中，有時無法明確地確認到結晶部與結晶部之間的邊界。此外，在使用 TEM 觀察的 nc-OS 的影像中，由於不具有明確的晶界，所以很少產生雜質的偏析。另外，nc-OS 不具有明確的晶界，所以缺陷態密度很少變高。另外，nc-OS 不具有明確的晶界，所以電子移動率的降低較小。

[0197] nc-OS 在微小區域(例如 1nm 以上且 10nm 以下的區域)中有時其原子排列具有週期性。此外，nc-OS 在結晶部與結晶部之間沒有規律性，所以有時在宏觀上觀察不到原子排列的週期性，或者有時觀察不到長程有序。因此，根據分析方法，有時無法辨別 nc-OS 與非晶氧化物半導體。例如使用 XRD 裝置，並且利用電子束徑比結晶部大的 Out-of-plane 法來分析 nc-OS，有時檢測不到表示配向的峰值。此外，nc-OS 在使用電子束徑比結晶部大(例如 20nm ϕ 以上或 50nm ϕ 以上)的電子線而得到的電子繞射圖案中，有時可以觀察到光暈圖案。此外，nc-OS 在使

用其電子束徑與結晶部大小相同或比結晶部小（例如 $10\text{nm}\phi$ 以下或 $5\text{nm}\phi$ 以下）的電子線而得到的奈米束電子繞射圖案中，有時可以觀察到斑點。此外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的亮度高的區域。此外，在 nc-OS 的奈米束電子繞射圖案中，有時在該區域內觀察到多個斑點。

[0198] 圖 10B 是包括 nc-OS 的樣本的奈米束電子繞射圖案的一個例子。在此，將樣本沿著垂直於形成有 nc-OS 的表面的方向截斷，將其薄片化以使其厚度為 40nm 左右。此外，在此使電子束徑為 $1\text{nm}\phi$ 的電子線從垂直於樣本的截斷面的方向入射。藉由圖 10B 可知，在 nc-OS 的奈米束電子繞射圖案中可以觀察到如圓圈那樣的亮度高的區域，並且在該區域中觀察到多個斑點。

[0199] 由於有時 nc-OS 在微小區域中原子排列具有週期性，因此其缺陷態密度比非晶氧化物半導體低。注意，由於 nc-OS 的結晶部與結晶部之間沒有規律性，因此與 CAAC-OS 相比，有時 nc-OS 的缺陷態密度變高。

[0200] 因此，CAAC-OS 相比，有時 nc-OS 的載子密度較高。載子密度較高的氧化物半導體有時電子移動率較高。因此，將 nc-OS 用於通道形成區的電晶體有時具有較高的場效移動率。注意，因為與 CAAC-OS 相比，nc-OS 的缺陷態密度較高，所以有時陷阱態密度也變高。因此，有時與將 CAAC-OS 用於通道形成區的電晶體相比，將 nc-OS 用於通道形成區的電晶體的電特性變動較大，且可

靠性較低。注意，因為 nc-OS 即使包含較多量的雜質也可以形成，所以 nc-OS 比 CAAC-OS 更容易形成，有時可以根據用途適當地使用。另外，也可以藉由使用 AC 電源的濺射法等成膜方法來形成 nc-OS。由於使用 AC 電源的濺射法可以在大尺寸基板上均勻地成膜，因此，具有將 nc-OS 用於通道形成區的電晶體的半導體裝置的生產性較高。

[0201] 氧化物半導體可以包括非晶部。注意，將包括非晶部的氧化物半導體稱為非晶氧化物半導體。非晶氧化物半導體具有無秩序的原子排列且不具有結晶部。或者，非晶氧化物半導體具有像石英那樣的無定形狀態，其原子排列沒有規律性。

[0202] 例如，在使用 TEM 觀察的非晶氧化物半導體的影像中，有時無法觀察到結晶部。

[0203] 非晶氧化物半導體例如在使用 XRD 裝置並採用 out-of-plane 法進行分析時，有時檢測不到表示配向的峰值。此外，非晶氧化物半導體在利用電子繞射而得到的圖案中，有時觀察到光暈圖案。此外，非晶氧化物半導體在利用奈米束電子繞射而得到的圖案中，有時觀察不到斑點，而觀察到光暈圖案。

[0204] 非晶氧化物半導體可以藉由包含高濃度的氫等雜質來形成。因此，非晶氧化物半導體是包含高濃度的雜質的氧化物半導體。

[0205] 當高濃度的雜質包含在氧化物半導體中時，

有時在氧化物半導體中形成氧缺陷等缺陷能階。因此，雜質濃度高的非晶氧化物半導體的缺陷能階較高。此外，因為非晶氧化物半導體的結晶性較低，所以與 CAAC-OS 或 nc-OS 相比缺陷態密度較高。

[0206] 因此，有時非晶氧化物半導體與 nc-OS 相比，載子密度更高。因此，將非晶氧化物半導體用於通道形成區的電晶體有時成為常開啓電特性。因此，有時可以適當地將其用於需要常開啓電特性的電晶體。因為非晶氧化物半導體的缺陷態密度高，所以有時陷阱態密度也變高。因此，有時與將 CAAC-OS 或 nc-OS 用於通道形成區的電晶體相比，將非晶氧化物半導體用於通道形成區的電晶體的電特性變動較大，且可靠性較低。注意，因為即使利用有可能包含多量的雜質的成膜方法也可以形成非晶氧化物半導體，所以非晶氧化物半導體較容易形成，有時可以根據用途適當地使用。例如，可以利用旋塗法、溶膠-凝膠法、浸漬法、噴射法、絲網印刷法、接觸印刷法、噴墨法、輥塗法、霧化 CVD 法（mist CVD method）等成膜方法來形成非晶氧化物半導體。因此，具有將非晶氧化物半導體用於通道形成區的電晶體的半導體裝置的生產性較高。

[0207] 另外，氧化物半導體也可以是包括 CAAC-OS、多晶氧化物半導體、微晶氧化物半導體和非晶氧化物半導體中的兩種以上的混合膜。混合膜例如有時包括非晶氧化物半導體的區域、微晶氧化物半導體的區域、多晶

氧化物半導體的區域和 CAAC-OS 的區域中的兩種以上的區域。此外，混合膜例如有時具有非晶氧化物半導體的區域、微晶氧化物半導體的區域、多晶氧化物半導體的區域和 CAAC-OS 的區域中的兩種以上的區域的疊層結構。

[0208] 氧化物半導體例如可以處於單晶狀態。注意，將包括單晶的氧化物半導體稱為單晶氧化物半導體。

[0209] 例如，因為單晶氧化物半導體的雜質濃度低且缺陷態密度低（氧缺陷少），所以可以降低載子密度。因此，將單晶氧化物半導體用於通道形成區的電晶體很少成為常開啓電特性。此外，因為單晶氧化物半導體的缺陷態密度低，所以陷阱態密度有時也變低。因此，有時將該單晶氧化物半導體用於通道形成區的電晶體的電特性變動小，而成為可靠性高的電晶體。

[0210] 氧化物半導體有時缺陷越少其密度越高。此外，氧化物半導體有時結晶性越高其密度越高。此外，氧化物半導體例如氫等雜質的濃度越低其密度越高。此外，單晶氧化物半導體的密度有時比 CAAC-OS 的密度高。此外，CAAC-OS 的密度有時比微晶氧化物半導體的密度高。此外，多晶氧化物半導體的密度有時比微晶氧化物半導體的密度高。此外，微晶氧化物半導體的密度有時比非晶氧化物半導體的密度高。

[0211] 另外，為了形成 CAAC-OS 膜，較佳為採用如下條件。

[0212] 藉由減少成膜時的雜質混入，可以抑制因雜

質導致的結晶狀態的損壞。例如，降低存在於成膜室內的雜質(氫、水、二氧化碳及氮等)的濃度即可。另外，降低成膜氣體中的雜質濃度即可。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0213] 另外，藉由提高成膜時的形成 CAAC-OS 膜的面加熱溫度(例如，基板加熱溫度)，在濺射粒子到達形成 CAAC-OS 膜的面之後發生濺射粒子的遷移。明確而言，在將形成 CAAC-OS 膜的面溫度設定為 100°C 以上且 740°C 以下，較佳為 150°C 以上且 500°C 以下的狀態下進行成膜。

[0214] 另外，較佳為藉由增高成膜氣體中的氧比例並對電力進行最佳化，來減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.%以上，較佳為設定為 100vol.%。

[0215] 下面，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

[0216] 藉由將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數混合，並進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn 類金屬氧化物靶材。此外，也可以在冷卻(放冷)或加熱的同時進行該加壓處理。另外，X、Y 及 Z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2 等。另外，粉末的種類及其混合莫耳數比可以根據

所製造的濺射靶材適當地改變。

[0217] 在此，表 1 示出結晶狀態下的氧化物半導體（表示為 OS）與矽（表示為 Si）之間的對比。

[0218]

[表 1]

		非晶	微晶	多晶	連續結晶	單晶
OS		a-OS a-OS:H	nc-OS μc-OS	多晶 OS	CAAC-OS	單晶 OS
	奈米束 電子繞射	光暈	環+斑點	斑點	斑點	斑點
	結晶部	-	nm 至μm	不連續	連續	-
	DOS	高	稍微低	-	低	極低
	密度	低	中等程度	-	高	-

Si	a-Si a-Si:H	nc-Si μc-Si	多晶 Si	CG 矽	單晶 Si
----	----------------	----------------	-------	------	-------

[0219] 作為氧化物半導體的結晶狀態，例如有表 1 所示的非晶氧化物半導體（a-OS、a-OS:H）、微晶氧化物半導體（nc-OS、μc-OS）、多晶氧化物半導體（多晶 OS）、連續結晶氧化物半導體（CAAC-OS）、單晶氧化物半導體（單晶 OS）等。另外，作為矽的結晶狀態，例如有表 1 所示的非晶矽（a-Si、a-Si:H）、微晶矽（nc-Si、μc-Si）、多晶矽（多晶 Si）、連續結晶矽（CG

(Continuous Grain) Si) 、單晶矽 (單晶 Si) 等。

[0220] 當對各結晶狀態下的氧化物半導體進行使用將電子束徑收斂於 $10\text{nm}\phi$ 以下的電子線的電子繞射 (奈米束電子繞射) 時，觀察到下面所示的電子繞射圖案 (奈米束電子繞射圖案) 。在非晶氧化物半導體中觀察到光暈圖案 (也稱為暈圈或光暈) 。在微晶氧化物半導體中觀察到斑點或 / 及環形圖案。在多晶氧化物半導體中觀察到斑點。在連續結晶氧化物半導體中觀察到斑點。在單晶氧化物半導體中觀察到斑點。

[0221] 另外，由奈米束電子繞射圖案可知：微晶氧化物半導體的結晶部的細微性為奈米 (nm) 至微米 (μm) 。多晶氧化物半導體在結晶部和結晶部之間具有晶界，因此可知境界不連續。連續結晶氧化物半導體在結晶部和結晶部之間觀察不到境界，因此可知結晶部連續。

[0222] 說明各結晶狀態下的氧化物半導體的密度。非晶氧化物半導體的密度低。微晶氧化物半導體的密度是中等程度的。連續結晶氧化物半導體的密度高。也就是說，連續結晶氧化物半導體的密度比微晶氧化物半導體的密度高，而微晶氧化物半導體的密度比非晶氧化物半導體的密度高。

[0223] 說明在各結晶狀態下的氧化物半導體中存在的態密度 (DOS) 的特徵。非晶氧化物半導體的 DOS 高。微晶氧化物半導體的 DOS 稍微低。連續結晶氧化物半導體的 DOS 低。單晶氧化物半導體的 DOS 極低。也就

是說，單晶氧化物半導體的 DOS 比連續結晶氧化物半導體低，連續結晶氧化物半導體的 DOS 比微晶氧化物半導體低，而微晶氧化物半導體的 DOS 比非晶氧化物半導體低。

[0224] 另外，氧化物半導體膜也可以採用層疊有多個氧化物半導體膜的結構。例如，如圖 9A 所示的電晶體那樣，半導體膜可以採用第一氧化物半導體膜 188a 和第二氧化物半導體膜 188b 的疊層。可以將原子數比不同的金屬氧化物用於第一氧化物半導體膜 188a 和第二氧化物半導體膜 188b。例如，可以作為一個氧化物半導體膜使用包含兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物，而作為另一個氧化物半導體膜使用包含與一個氧化物半導體膜不同的兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物。

[0225] 此外，也可以使第一氧化物半導體膜 188a 和第二氧化物半導體膜 188b 的構成元素相同，並使兩者的原子數比不同。例如，可以將一個氧化物半導體膜的原子數比設定為 $\text{In:Ga:Zn}=3:1:2$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In:Ga:Zn}=1:1:1$ 。此外，也可以將一個氧化物半導體膜的原子數比設定為 $\text{In:Ga:Zn}=2:1:3$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In:Ga:Zn}=1:3:2$ 。也可以將一個氧化物半導體膜的原子數比設定為 $\text{In:Ga:Zn}=1:1:1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In:Ga:Zn}=1:3:2$ 。也可以將一個氧化物半

導體膜的原子數比設定為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In}:\text{Ga}:\text{Zn}=1:6:4$ 。也可以將一個氧化物半導體膜的原子數比設定為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ，而將另一個氧化物半導體膜的原子數比設定為 $\text{In}:\text{Ga}:\text{Zn}=1:9:6$ 。另外，各氧化物半導體膜的原子數比作為誤差包括上述原子數比的 $\pm 20\%$ 的變動。

[0226] 此時，藉由將一個氧化物半導體膜和另一個氧化物半導體膜中的與閘極電極較近的一側（通道一側）的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} \geq \text{Ga}$ ，並且將離閘極電極較遠的一側（背通道一側）的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} < \text{Ga}$ ，可以製造場效移動率高的電晶體。另一方面，藉由將通道一側的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} < \text{Ga}$ ，將背通道一側的氧化物半導體膜的 In 和 Ga 的原子數比設定為 $\text{In} \geq \text{Ga}$ ，可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動量。

[0227] 另外，電晶體的半導體膜也可以是由第一氧化物半導體膜至第三半導體膜構成的三層結構。此時，也可以使第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同，並使它們的原子數比彼此不同。參照圖 9B 說明半導體膜為三層的電晶體的結構。

[0228] 圖 9B 所示的電晶體從閘極絕緣膜 127 一側依次層疊有第一氧化物半導體膜 199a、第二氧化物半導體膜 199b 及第三氧化物半導體膜 199c。作為構成第一氧化

物半導體膜 199a 及第三氧化物半導體膜 199c 的材料使用能夠以 $\text{InM}_{1x}\text{Zn}_y\text{O}_z$ ($x \geq 1$, $y > 1$, $z > 0$, $M_1 = \text{Ga}$ 、 Hf 等) 表示的材料。注意，在使構成第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c 的材料中包含 Ga 的情況下，當所包含的 Ga 的比例多，明確而言，能夠以 $\text{InM}_{1x}\text{Zn}_y\text{O}_z$ 表示的材料中的 X 大於 10 時，在成膜時有可能發生粉末，所以是不適合的。

[0229] 此外，構成第二氧化物半導體膜 199b 的材料使用能夠以 $\text{InM}_{2x}\text{Zn}_y\text{O}_z$ ($x \geq 1$, $y \geq x$, $z > 0$, $M_2 = \text{Ga}$ 、 Sn 等) 表示的材料。

[0230] 適當地選擇第一、第二以及第三氧化物半導體膜的材料，以使第二氧化物半導體膜 199b 的導帶底構成與第一氧化物半導體膜 199a 的導帶底和第三氧化物半導體膜 199c 的導帶底相比離真空能階最深的井結構。

[0231] 此外，在氧化物半導體膜中第 14 族元素之一的矽或碳有時會引起施體能階的形成。由此，當矽或碳包含在氧化物半導體膜中時，氧化物半導體膜成為 n 型。因此，較佳的是，以具有矽和碳的濃度皆為 $3 \times 10^{18}/\text{cm}^3$ 以下，較佳為 $3 \times 10^{17}/\text{cm}^3$ 以下的區域的方式形成各氧化物半導體膜。尤其是，為了不使多量的第 14 族元素混入第二氧化物半導體膜 199b 中，較佳為用第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c 夾住或圍繞成為載子路經的第二氧化物半導體膜 199b。即，第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c 也可以稱為障壁膜，

該障壁膜防止矽、碳等第 14 族元素混入第二氧化物半導體膜 199b 中。

[0232] 例如，可以使用原子數比為 $\text{In:Ga:Zn}=1:3:2$ 或 $1:6:4$ 或 $1:9:6$ 的氧化物半導體膜來形成第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c，並且可以使用原子數比為 $\text{In:Ga:Zn}=1:1:1$ 或 $3:1:2$ 的氧化物半導體膜來形成第二氧化物半導體膜 199b。

[0233] 或者，也可以採用層疊如下膜的三層結構：使用原子數比為 $\text{In:Ga:Zn}=1:3:2$ 的氧化物半導體膜來形成第一氧化物半導體膜 199a；使用原子數比為 $\text{In:Ga:Zn}=1:1:1$ 或 $\text{In:Ga:Zn}=3:1:2$ 的氧化物半導體膜來形成第二氧化物半導體膜 199b；以及使用原子數比為 $\text{In:Ga:Zn}=1:6:4$ 或 $1:9:6$ 的氧化物半導體膜來形成第三氧化物半導體膜 199c。

[0234] 由於第一氧化物半導體膜 199a 至第三氧化物半導體膜 199c 的構成元素相同，所以第二氧化物半導體膜 199b 與第一氧化物半導體膜 199a 之間的介面的缺陷態密度（陷阱態密度）低。詳細地說，該缺陷態密度（陷阱態密度）比閘極絕緣膜 127 與第一氧化物半導體膜 199a 之間的介面的缺陷態密度低。由此，如上所述藉由層疊氧化物半導體膜，可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動量。

[0235] 另外，藉由適當地選擇第一、第二以及第三氧化物半導體膜的材料，以使第二氧化物半導體膜 199b

的導帶底構成與第一氧化物半導體膜 199a 的導帶底和第三氧化物半導體膜 199c 的導帶底相比離真空能階最深的井結構，可以提高電晶體的場效移動率，並可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動量。

[0236] 另外，也可以作為第一氧化物半導體膜 199a 至第三氧化物半導體膜 199c 使用結晶性不同的氧化物半導體。也就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、微晶（奈米晶）氧化物半導體、非晶氧化物半導體以及 CAAC-OS 膜的結構。此外，當第一氧化物半導體膜 199a 至第三氧化物半導體膜 199c 中的任一個使用非晶氧化物半導體時，可以緩和氧化物半導體膜的內部應力和外部應力，而降低電晶體的特性偏差，還可以減少電晶體的經時變化或因可靠性測試導致的臨界電壓的變動量。

[0237] 此外，至少成為通道形成區的第二氧化物半導體膜 199b 較佳為 CAAC-OS 膜。

[0238] 在使容易與氧鍵合的導電材料（例如，用於源極電極或汲極電極的金屬）與氧化物半導體膜接觸時，發生氧化物半導體膜中的氧擴散到容易與氧鍵合的導電材料一側的現象。溫度越高該現象越顯著地發生。因為在電晶體的製程中有幾個加熱製程，所以因上述現象而在與源極電極或汲極電極接觸的氧化物半導體層的區域及其附近的區域中發生氧缺陷，而該區域成為 n 型。因此，可以使成為 n 型的該區域用作電晶體的源極或汲極。

[0239] 圖 9A 和圖 9B 例示出上述 n 型的區域。半導體膜中的以虛線表示的邊界 135 是本質半導體區域與 n 型半導體區域的邊界，在氧化物半導體中，與源極電極或汲極電極接觸的區域及其附近的區域成為 n 型的區域。注意，邊界 135 是示意性地示出的，實際上有時不明確。此外，有時邊界 135 的位置也與圖示的位置不同。

[0240] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0241]

實施方式 3

在本實施方式中，說明可以用於本發明的一個方式的奈米晶氧化物半導體膜的電子繞射圖案及局域能階。

[0242] 奈米晶氧化物半導體膜是一種氧化物半導體膜，其中在利用電子束徑為 $10\text{nm}\phi$ 以下的電子繞射（奈米束電子繞射）的電子繞射圖案中，觀察到與表示非晶狀態的光暈圖案及表示配向於特定的面的結晶狀態的有規律性的斑點都不同的沒有方向性的斑點。

[0243] 圖 13A 示出奈米晶氧化物半導體膜的剖面 TEM（Transmission Electron Microscopy（穿透式電子顯微鏡））影像。此外，圖 13B 示出在圖 13A 的點 1 中利用奈米束電子繞射測量的電子繞射圖案，圖 13C 示出在圖 13A 的點 2 中利用奈米束電子繞射測量的電子繞射圖案，圖 13D 示出在圖 13A 的點 3 中利用奈米束電子繞射測量的電子繞射圖案。

[0244] 在圖 13A 至 13D 中，作為奈米晶氧化物半導體膜的一個例子，使用在石英玻璃基板上形成有 50nm 厚的 In-Ga-Zn 類氧化物膜的樣本。圖 13A 至 13D 所示的奈米微晶氧化物半導體膜的成膜條件為如下：使用 In:Ga:Zn=1:1:1（原子數比）的氧化物靶材；採用氧氣氛圍（流量為 45sccm）；壓力為 0.4Pa；直流（DC）功率為 0.5kW；以及基板溫度為室溫。然後，將所形成的奈米晶氧化物半導體膜減薄為 100nm 以下（例如， $40\text{nm}\pm 10\text{nm}$ ）的寬度來得到剖面 TEM 影像及利用奈米束電子繞射的電子繞射圖案。

[0245] 圖 13A 示出利用穿透式電子顯微鏡（日立高新技術公司製造的“H-9000NAR”）以 300kV 的加速電壓及 200 萬倍的倍率拍攝的奈米晶氧化物半導體膜的剖面 TEM 影像。此外，圖 13B 至 13D 示出利用穿透式電子顯微鏡（日立高新技術公司製造的“HF-2000”）以 200kV 的加速電壓及大約 $1\text{nm}\phi$ 的電子束徑進行奈米束電子繞射而得來的電子繞射圖案。另外，電子束徑大約為 $1\text{nm}\phi$ 時的奈米束電子繞射的測量範圍為 $5\text{nm}\phi$ 以上且 $10\text{nm}\phi$ 以下。

[0246] 如圖 13B 所示，在奈米晶氧化物半導體膜的利用奈米束電子繞射的電子繞射圖案中觀察到分佈為圓周狀的多個斑點（亮點）。換言之，在奈米晶氧化物半導體膜中，觀察到分佈為圓周狀（同心圓狀）的多個斑點。或者，也可以說分佈為圓周狀的多個斑點形成多個同心圓。

[0247] 此外，在與石英玻璃基板的介面附近的圖 13D 及奈米晶氧化物半導體膜的厚度方向中央部的圖 13C 中也觀察到與圖 13B 同樣地分佈為同心圓狀的多個斑點。在圖 13C 中，從主要斑點到第一圓周的距離（半徑）為 $3.88/\text{nm}$ 至 $4.93/\text{nm}$ 。當將其換算為面間隔時為 0.203nm 至 0.257nm 。

[0248] 由圖 13A 至 13D 的奈米束電子繞射圖案可知：在奈米晶氧化物半導體膜中，晶面配向不規則且大小不同的多個結晶部混合在一起。

[0249] 接著，圖 14A 示出奈米晶氧化物半導體膜的平面 TEM 影像。此外，圖 14B 示出利用選區電子繞射對在圖 14A 中用圓圈起來的區域進行測量而得到的電子繞射圖案。

[0250] 在圖 14A 和 14B 中，作為奈米晶氧化物半導體膜的一個例子，使用在石英玻璃基板上形成有 30nm 厚的 In-Ga-Zn 類氧化物膜的樣本。圖 14A 和 14B 所示的奈米晶氧化物半導體膜的成膜條件為如下：使用 In:Ga:Zn=1:1:1（原子數比）的氧化物靶材；採用氧氣氛圍（流量為 45sccm ）；壓力為 0.4Pa ；直流（DC）功率為 0.5kW ；以及基板溫度為室溫。然後，將樣本減薄來得到奈米晶氧化物半導體膜的平面 TEM 影像及利用電子繞射的電子繞射圖案。

[0251] 圖 14A 示出利用穿透式電子顯微鏡（日立高新技術公司製造的“H-9000NAR”）以 300kV 的加速電壓

及 50 萬倍的倍率拍攝的奈米晶氧化物半導體膜的平面 TEM 影像。此外，圖 14B 是以 $300\text{nm}\phi$ 的選區進行電子繞射而得來的電子繞射圖案。注意，當考慮到電子線的擴大範圍時，測量範圍為 $300\text{nm}\phi$ 以上。

[0252] 如圖 14B 所示，在奈米晶氧化物半導體膜的利用其測量範圍比奈米束電子繞射大的選區電子繞射的電子繞射圖案中，觀察到光暈圖案而沒有觀察到利用奈米束電子繞射觀察到的多個斑點。

[0253] 接著，圖 15A 至 15C 示意性地示出圖 13A 至 13D 以及圖 14A 和 14B 所示的電子繞射圖案中的繞射強度的分佈。圖 15A 是示出圖 13B 至 13D 所示的奈米束電子繞射圖案中的繞射強度的分佈的示意圖。圖 15B 是示出圖 14B 所示的選區電子繞射圖案中的繞射強度的分佈的示意圖。此外，圖 15C 是示出單晶結構或多晶結構的電子繞射圖案中的繞射強度的分佈的示意圖。

[0254] 在圖 15A 至 15C 中，縱軸表示代表斑點等的分佈的電子繞射強度（任意單位），而橫軸表示離主要斑點的距離。

[0255] 在圖 15C 所示的單晶結構或多晶結構中，在對應於結晶部配向的面的面間隔（ d 值）的離主要斑點有特定距離的位置觀察到斑點。

[0256] 另一方面，如圖 13A 至 13D 所示，在奈米晶氧化物半導體膜的奈米束電子繞射圖案中觀察到的多個斑點具有較大的寬度。因此，圖 15A 示出分散狀態的強度分

佈。此外，可知在奈米束電子繞射圖案中，在同心圓狀的區域之間存在雖然不形成明確的斑點，但是亮度高的區域。

[0257] 此外，如圖 15B 所示，奈米晶氧化物半導體膜的選區電子繞射圖案中的電子繞射強度分佈示出連續的強度分佈。因為圖 15B 可以接近於在廣範圍中觀察圖 15A 所示的電子繞射強度分佈而得到的結果，所以可以認為圖 15A 所示的多個斑點重疊且連接，從而得到了連續的強度分佈。

[0258] 如圖 15A 至 15C 所示，可知在奈米晶氧化物半導體膜中，晶面配向不規則且大小不同的多個結晶部混合在一起，並且該結晶部微細到在選區電子繞射圖案中觀察不到斑點的程度。

[0259] 在觀察到多個斑點的圖 13A 至 13D 中，使奈米晶氧化物半導體膜減薄為 50nm 以下。此外，因為電子線的電子束徑收斂於 $1\text{nm}\phi$ ，所以其測量範圍為 5nm 以上且 10nm 以下。由此，可以推測奈米晶氧化物半導體膜所包括的結晶部至少為 50nm 以下，例如為 10nm 以下或 5nm 以下。

[0260] 在此，圖 16 示出石英玻璃基板的奈米束電子繞射圖案。圖 16 的測量條件與圖 13B 至 13D 相同。

[0261] 如圖 16 所示，從具有非晶結構的石英玻璃基板觀察到一種光暈圖案，其中藉由繞射沒有得到特定的斑點且其亮度從主要斑點連續地產生變化。像這樣，在具有

非晶結構的膜中，即使在非常微小的區域中進行電子繞射也沒有觀察到在奈米晶氧化物半導體膜中觀察到的分佈為圓周狀的多個斑點。因此，確認到在圖 13B 至 13D 觀察到的分佈為圓周狀的多個斑點是奈米晶氧化物半導體膜特有的。

[0262] 圖 17 示出對圖 13A 所示的點 2 照射將電子束徑收斂於大約 $1\text{nm}\phi$ 的電子線 1 分鐘，接著進行測量的電子繞射圖案。

[0263] 在圖 17 所示的電子繞射圖案中，與圖 13C 所示的電子繞射圖案同樣地觀察到分佈為圓周狀的多個斑點，而圖 17 和圖 13C 所示的測量結果之間並沒有確認到不同之處。這意味著：在圖 13C 的電子繞射圖案中確認到的結晶部是從形成奈米晶氧化物半導體膜時就存在的，而並不是由於收斂電子線的照射而形成結晶部的。

[0264] 接著，圖 18A 和 18B 示出圖 13A 所示的剖面 TEM 影像的部分放大圖。圖 18A 是在以 800 萬倍的倍率觀察圖 13A 的點 1 附近（奈米晶氧化物半導體膜表面）時得到的剖面 TEM 影像。此外，圖 18B 是在以 800 萬倍的倍率觀察圖 13A 的點 2 附近（奈米晶氧化物半導體膜的膜厚度方向中央部）時得到的剖面 TEM 影像。

[0265] 從圖 18A 和 18B 所示的剖面 TEM 影像不能明確觀察到奈米晶氧化物半導體膜中的結晶結構。

[0266] 此外，利用 X 射線繞射（XRD：X-ray Diffraction）對用於圖 13A 至 13D 以及圖 14A 和 14B 的

觀察的在石英玻璃基板上形成有本實施方式的奈米晶氧化物半導體膜的樣本進行分析。圖 19 示出利用 out-of-plane 法測量 XRD 光譜而得到的結果。

[0267] 在圖 19 中，縱軸表示 X 射線繞射強度（任意單位），橫軸表示繞射角 2θ (deg.)。另外，在 XRD 光譜的測量中使用 Bruker AXS 公司製造的 X 射線繞射裝置 D-8 ADVANCE。

[0268] 如圖 19 所示，雖然在 $2\theta=20^\circ$ 至 23° 附近觀察到起因於石英的峰值，但是不能確認到起因於奈米晶氧化物半導體膜所包括的結晶部的峰值。

[0269] 由圖 18A 和 18B 及圖 19 的結果也可知：奈米晶氧化物半導體膜所包括的結晶部是非常微細的結晶部。

[0270] 如上所述，在本實施方式的奈米晶氧化物半導體膜中，在進行利用測量範圍大的 X 射線繞射（XRD：X-ray diffraction）的分析時沒有檢測出表示配向的峰值，並且在利用測量範圍大的選區電子繞射得到的電子繞射圖案中觀察到光暈圖案。因此，本實施方式的奈米晶氧化物半導體膜在宏觀上可以說是與具有無秩序的原子排列的膜相同的膜。然而，藉由利用電子線的電子束徑充分小（例如， $10\text{nm}\phi$ 以下）的奈米束電子繞射對奈米晶氧化物半導體膜進行測量，在所得到的奈米束電子繞射圖案中可以觀察到斑點（亮點）。因此，可以推測本實施方式的奈米晶氧化物半導體膜為晶面配向不規則的奈米結晶部（例如，粒徑為 10nm 以下、 5nm 以下或 3nm 以下的結晶部）凝集

而形成的膜。此外，在奈米晶氧化物半導體膜的厚度方向上的全區域中包括包含非常微細的結晶部的奈米結晶區域。

[0271] 在此說明奈米晶氧化物半導體膜的局域能階，而且還說明藉由 CPM(Constant photocurrent method：恆定光電流測量法)測量對奈米晶氧化物半導體膜進行評價而得到的結果。

[0272] 首先，說明測量樣本的結構。

[0273] 測量樣本包括設置在玻璃基板上的氧化物半導體膜、與該氧化物半導體膜接觸的一對電極以及覆蓋氧化物半導體膜及一對電極的絕緣膜。

[0274] 接著，說明測量樣本所包括的氧化物半導體膜的形成方法。

[0275] 以如下條件藉由濺射法形成第一氧化物半導體膜：使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）的靶材；作為成膜氣體使用 30sccm 的氬氣體及 15sccm 的氧氣體；壓力為 0.4Pa；基板溫度為室溫；以及施加 0.5kW 的 DC 電力。注意，第一氧化物半導體膜為奈米晶氧化物半導體膜。

[0276] 此外，藉由在 450℃ 的氮氣氛圍中對第一氧化物半導體膜進行加熱 1 小時，然後在 450℃ 的氧氣氛圍中進行加熱 1 小時，來進行使第一氧化物半導體膜所包含的氫脫離的處理及對第一氧化物半導體膜供應氧的處理，從而形成第二氧化物半導體膜。注意，第二氧化物半導體

膜為奈米晶氧化物半導體膜。

[0277] 接著，對包括第一氧化物半導體膜的測量樣本及包括第二氧化物半導體膜的測量樣本進行 CPM 測量。明確而言，對與氧化物半導體膜接觸的一對電極之間施加電壓，並在此狀態下調整照射到端子之間的測量樣本表面的光量以固定光電流值，且在所希望的波長的範圍中從照射光量求出吸收係數。

[0278] 圖 11A 和圖 11B 示出從對各測量樣本進行 CPM 測定來獲得的吸收係數去除起因於帶尾 (bandtail) 的吸收係數的吸收係數，即起因於缺陷的吸收係數。在圖 11A 和圖 11B 中，橫軸表示吸收係數，縱軸示出光能。另外，在圖 11A 和圖 11B 的縱軸中，以氧化物半導體膜的導帶底為 0eV，且以價帶頂為 3.15eV。另外，在圖 11A 和圖 11B 中，各曲線是表示吸收係數與光能的關係的曲線，相當於缺陷能階。

[0279] 圖 11A 示出包括第一氧化物半導體膜的測量樣本的測量結果，其中缺陷能階的吸收係數為 $5.28 \times 10^{-1} \text{ cm}^{-1}$ 。圖 11B 示出包括第二氧化物半導體膜的測量樣本的測量結果，其中缺陷能階的吸收係數為 $1.75 \times 10^{-2} \text{ cm}^{-1}$ 。

[0280] 因此，藉由加熱處理可以減少氧化物半導體膜所包括的缺陷。

[0281] 另外，對第一氧化物半導體膜及第二氧化物半導體膜進行利用 X 射線反射法 (XRR: X-Ray Reflectometry) 的膜密度的測量。第一氧化物半導體膜的

膜密度為 5.9g/cm^3 ，而第二氧化物半導體膜的膜密度為 6.1g/cm^3 。

[0282] 因此，藉由加熱處理可以提高氧化物半導體膜的膜密度。

[0283] 換言之，可知的是：在氧化物半導體膜中，膜密度越高，包括在膜中的缺陷越少。

[0284] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0285]
實施方式 4

在本實施方式中，說明可以用於本發明的一個方式的 CAAC-OS 膜的電子繞射圖案及局域能階。

[0286] 在本實施方式中使用的 CAAC-OS 膜是藉由使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）的靶材並使用包含氧的成膜氣體的濺射法形成的 In-Ga-Zn 類氧化物膜。關於該 CAAC-OS 膜的製造方法等詳細說明，可以參照實施方式 1 和 2。

[0287] 圖 20 示出 CAAC-OS 膜的剖面 TEM（Transmission Electron Microscope（穿透式電子顯微鏡））影像。此外，圖 21A 至圖 21D 示出在圖 20 的點 1 至點 4 中使用電子繞射進行測定而得到的電子繞射圖案。

[0288] 圖 20 所示的剖面 TEM 影像是利用穿透式電子顯微鏡（日立高新技術公司製造的“H-9000NAR”）以 300kV 的加速電壓及 200 萬倍的倍率拍攝的。此外，圖

21A 至圖 21D 所示的電子繞射圖案是利用穿透式電子顯微鏡（日立高新技術公司製造的“HF-2000”）以 200kV 的加速電壓及大約 $1\text{nm}\phi$ 或大約 $50\text{nm}\phi$ 的電子束徑而獲得的。另外，有時將電子束直徑為 $10\text{nm}\phi$ 以下的電子繞射特別稱為奈米束電子繞射。另外，電子束徑大約為 $1\text{nm}\phi$ 時的奈米電子繞射的測量範圍為 $5\text{nm}\phi$ 以上且 $10\text{nm}\phi$ 以下。

[0289] 圖 21A、圖 21B、圖 21C 分別是圖 20 所示的點 1（膜表面一側）、點 2（膜中央）、點 3（膜基底一側）中的電子繞射圖案，並是將電子束直徑設定為 $1\text{nm}\phi$ 左右時的電子繞射圖案。圖 21D 是圖 20 所示的點 4（膜整體）中的電子繞射圖案，並是將電子束直徑設定為 $50\text{nm}\phi$ 左右時的電子繞射圖案。

[0290] 在點 1（膜表面一側）和點 2（膜中央）的電子繞射圖案中，雖然可以確認到由斑點（亮點）形成的圖案，但是在點 3（膜基底一側）的電子繞射圖案中，圖案稍微變形。這意味著在 CAAC-OS 膜的膜厚度方向上結晶狀態不同。此外，在點 4（膜整體）的電子繞射圖案中，可以確認到由斑點（亮點）形成的圖案，由此可以說膜整體為 CAAC-OS 膜或包含 CAAC-OS 膜的膜。

[0291] 圖 22 是放大圖 20 中的點 1（膜表面一側）附近的照片。從 CAAC-OS 膜直到與作為層間絕緣膜的氧氮化矽膜的介面，可以確認到呈現 CAAC-OS 膜的配向性的明確的格子影像。

[0292] 圖 23A 和圖 23B 分別是不同於在觀察圖 20 的

剖面 TEM 時使用的 CAAC-OS 膜的 CAAC-OS 膜的剖面 TEM 照片和 X 射線繞射光譜。CAAC-OS 膜具有各種形態，在圖 23B 所示的 $2\theta=31^\circ$ 附近出現表示結晶成分的峰值 A。此外，也有該峰值不明確地出現的情況。

[0293] 圖 24A 至圖 24D 示出如下結果，即在圖 23A 的 CAAC-OS 膜中的由同心圓示出的區域中，將電子線的電子束直徑設定為 $1\text{nm}\phi$ 、 $20\text{nm}\phi$ 、 $50\text{nm}\phi$ 及 $70\text{nm}\phi$ 而進行電子繞射的結果。在電子線的電子束直徑為 $1\text{nm}\phi$ 時，與圖 21A 和圖 21B 同樣地確認到由明確的斑點(亮點)形成的圖案。增大電子線的電子束直徑會使斑點(亮點)變得稍微不明確，但是可以確認到繞射圖案，所以可以說膜整體為 CAAC-OS 膜或包含 CAAC-OS 膜的膜。

[0294] 圖 25A 和圖 25B 分別是以 450°C 對在觀察圖 23A 的剖面 TEM 時使用的 CAAC-OS 膜進行退火之後的剖面 TEM 照片和 X 射線繞射光譜。

[0295] 圖 26A 至圖 26D 示出如下結果，即在圖 25A 的 CAAC-OS 膜中的由同心圓示出的區域中，將電子線的電子束直徑設定為 $1\text{nm}\phi$ 、 $20\text{nm}\phi$ 、 $50\text{nm}\phi$ 及 $70\text{nm}\phi$ 而進行電子繞射的結果。與圖 24A 至圖 24D 所示的結果相同，在電子線的電子束直徑為 $1\text{nm}\phi$ 時，確認到由明確的斑點(亮點)形成的圖案。增大電子線的電子束直徑會使斑點(亮點)變得稍微不明確，但是可以確認到繞射圖案，所以可以說膜整體為 CAAC-OS 膜或包含 CAAC-OS 膜的膜。

[0296] 圖 27A 和圖 27B 分別是不同的在觀察圖 20 的剖面 TEM 時使用的 CAAC-OS 膜和在觀察圖 23A 的剖面 TEM 時使用的 CAAC-OS 膜的 CAAC-OS 膜的剖面 TEM 照片和 X 射線繞射光譜。CAAC-OS 膜具有各種形態，有可能在圖 27B 所示的 $2\theta=31^\circ$ 附近出現表示結晶成分的峰值 A，同時出現起因於尖晶石型晶體結構的峰值 B。

[0297] 圖 28A 至圖 28D 示出如下結果，即在圖 27A 的 CAAC-OS 膜中的由同心圓示出的區域中，將電子線的電子束直徑設定為 $1\text{nm}\phi$ 、 $20\text{nm}\phi$ 、 $50\text{nm}\phi$ 及 $90\text{nm}\phi$ 而進行電子繞射的結果。在電子線的電子束直徑為 $1\text{nm}\phi$ 時，確認到由明確的斑點(亮點)形成的圖案。增大電子線的電子束直徑會使斑點(亮點)變得稍微不明確，但是可以確認到繞射圖案。此外，在電子線的電子束直徑為 $90\text{nm}\phi$ 時，確認到更明確的斑點(亮點)。由此，可以說膜整體為 CAAC-OS 膜或包含 CAAC-OS 膜的膜。

[0298] 接著，說明 CAAC-OS 膜的局域能階。在此，還說明藉由 CPM (Constant photocurrent method) 測量對 CAAC-OS 膜進行評價而得到的結果。

[0299] 首先，說明進行 CPM 測量的樣本的結構。

[0300] 測量樣本包括設置在玻璃基板上的氧化物半導體膜、與該氧化物半導體膜接觸的一對電極以及覆蓋氧化物半導體膜及一對電極的絕緣膜。

[0301] 接著，說明測量樣本所包括的氧化物半導體膜的形成方法。

[0302] 以如下條件藉由濺射法形成氧化物半導體膜：使用 In-Ga-Zn 氧化物（In:Ga:Zn=1:1:1[原子數比]）的靶材；作為成膜氣體使用 30sccm 的氬氣體、15sccm 的氧氣體、；壓力為 0.4Pa；基板溫度為 400℃；施加 0.5kW 的 DC 電力。接著，在 450℃ 的氮氣氛圍中進行加熱 1 小時，然後在 450℃ 的氧氣氛圍中進行加熱 1 小時，以進行使氧化物半導體膜所包含的氫脫離的處理及對氧化物半導體膜供應氧的處理。注意，該氧化物半導體膜為 CAAC-OS 膜。

[0303] 接著，對包括氧化物半導體膜的測量樣本進行 CPM 測量。明確而言，對與氧化物半導體膜接觸的一對電極之間施加電壓，並在此狀態下調整照射到端子之間的樣本表面的光量以固定光電流值，且在所希望的波長的範圍中從照射光量求出吸收係數。

[0304] 圖 12 示出從對各測量樣本進行 CPM 測定來獲得的吸收係數去除起因於帶尾的吸收係數的吸收係數，即起因於缺陷的吸收係數。在圖 12 中，橫軸表示吸收係數，縱軸示出光能。另外，在圖 12 的縱軸中，以氧化物半導體膜的導帶底為 0eV，且以價帶頂為 3.15eV。另外，在圖 12 中，曲線示出吸收係數與光能的關係，相當於缺陷能階。

[0305] 在圖 12 所示的曲線中，缺陷能階的吸收係數為 $5.86 \times 10^{-4} \text{ cm}^{-1}$ 。也就是說，CAAC-OS 膜為缺陷能階的吸收係數低於 $1 \times 10^{-3} / \text{cm}$ ，較佳為低於 $1 \times 10^{-4} / \text{cm}$ 的缺陷態

密度低的膜。

[0306] 另外，對氧化物半導體膜進行利用 X 射線反射法（XRR（X-ray Reflectometry））的膜密度的測量。氧化物半導體膜的膜密度為 6.3g/cm^3 ，也就是說，CAAC-OS 膜的膜密度高。

[0307] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0308]

實施方式 5

藉由使用上述實施方式所例示的電晶體及電容元件可以製造具有顯示功能的半導體裝置（顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一起形成在同一個基板上，可以形成系統整合型面板（system-on-panel）。在本實施方式中，參照圖 29A 至圖 31C 說明使用上述實施方式所示的電晶體的顯示裝置的例子。此外，圖 30 是示出沿圖 29B 中的 M-N 點劃線的剖面結構的剖面圖。此外，在圖 30 中關於像素部的結構只記載其一部分。

[0309] 在圖 29A 中，以圍繞設置在第一基板 901 上的像素部 902 的方式設置有密封材料 905，並且使用第二基板 906 進行密封。在圖 29A 中，在第一基板 901 上的與由密封材料 905 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的第二驅動電路 903 及第一驅動電路 904。此外，供應到第二驅動電

路 903、第一驅動電路 904 或者像素部 902 的各種信號及電位藉由 FPC (Flexible printed circuit: 撓性印刷電路) 918a、FPC918b 供應。

[0310] 注意，第一驅動電路 904 具有掃描線驅動電路的功能。此外，第二驅動電路 903 具有信號線驅動電路的功能。

[0311] 在圖 29B 和圖 29C 中，以圍繞設置在第一基板 901 上的像素部 902 和第一驅動電路 904 的方式設置有密封材料 905。此外，在像素部 902 和第一驅動電路 904 上設置有第二基板 906。因此，像素部 902 及第一驅動電路 904 與顯示元件一起由第一基板 901、密封材料 905 以及第二基板 906 密封。在圖 29B 和圖 29C 中，在第一基板 901 上的與由密封材料 905 圍繞的區域不同的區域中安裝有另行準備的使用單晶半導體或多晶半導體形成的第二驅動電路 903。在圖 29B 和圖 29C 中，供應到第二驅動電路 903、第一驅動電路 904 或者像素部 902 的各種信號及電位由 FPC918 供應。

[0312] 此外，圖 29B 和圖 29C 示出另行形成第二驅動電路 903 並且將其安裝到第一基板 901 的例子，但是不侷限於該結構。既可以另行形成第一驅動電路並進行安裝，又可以僅另行形成第二驅動電路的一部分或者第一驅動電路的一部分並進行安裝。

[0313] 另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass: 晶粒

玻璃接合)方法、打線接合方法或者 TCP (Tape Carrier Package: 捲帶式封裝)等方法。圖 29A 是藉由 COG 方法安裝第二驅動電路 903、第一驅動電路 904 的例子，圖 29B 是藉由 COG 方法安裝第二驅動電路 903 的例子，而圖 29C 是藉由 TCP 方法安裝第二驅動電路 903 的例子。

[0314] 此外，顯示裝置包括顯示元件為密封狀態的面板和在該面板中安裝有 IC 諸如控制器等的模組。

[0315] 注意，本說明書中的顯示裝置是指影像顯示裝置或顯示裝置。此外，也可以用作光源（包括照明設備）代替顯示裝置。另外，顯示裝置還包括：安裝有諸如 FPC 或 TCP 的連接器的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

[0316] 此外，設置在第一基板上的像素部及第一驅動電路具有多個電晶體，可以應用上述實施方式所示的電晶體。

[0317] 作為設置在顯示裝置中的顯示元件，可以使用液晶元件、發光元件等。作為液晶元件的一個例子，有利用液晶的光學調變作用來控制光的透過或非透過的元件。該元件可以由一對電極和液晶層構成。此外，液晶的光學調變作用由施加到液晶的電場(包括橫向電場、縱向電場或斜向電場)控制。另外，明確而言，作為液晶元件的一個例子，可以舉出向列液晶、膽固醇相液晶、層列相液晶、盤狀液晶、熱致液晶、溶致液晶、低分子液晶、高

分子液晶、高分子分散型液晶（PDLC）、鐵電液晶、反鐵電液晶、主鏈型液晶、側鏈型高分子液晶、香蕉型液晶等。另外，作為液晶的驅動方式，可以使用 TN（Twisted Nematic：扭轉向列）模式、STN（Super Twisted Nematic：超扭曲向列）模式、IPS（In-Plane-Switching：平面內切換）模式、FFS（Fringe Field Switching：邊緣場切換）模式、MVA（Multi-domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View：高級超視覺）模式、ASM（Axially Symmetric aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optically Compensated Birefringence：光學補償雙折射）模式、ECB（Electrically Controlled Birefringence：電控雙折射）模式、FLC（Ferroelectric Liquid Crystal：鐵電液晶）模式、AFLC（AntiFerroelectric Liquid Crystal：反鐵電液晶）模式、PDLC（Polymer Dispersed Liquid Crystal：聚合物分散液晶）模式、PNLC（Polymer Network Liquid Crystal：聚合物網路型液晶）模式、賓主模式、藍相（Blue Phase）模式等。但是並不侷限於此，作為液晶元件及其驅動方式可以使用各種液晶元件及其驅動方式。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence：電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯

示媒介。圖 30 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。

[0318] 圖 30 是縱向電場方式的液晶顯示裝置的剖面圖。該液晶顯示裝置包括連接端子電極 915 及端子電極 916，連接端子電極 915 及端子電極 916 藉由各向異性導電劑 919 電連接到 FPC918 所具有的端子。

[0319] 連接端子電極 915 由與第一電極 930 相同的導電膜形成，並且，端子電極 916 由與電晶體 910、911 的源極電極及汲極電極相同的導電膜形成。

[0320] 此外，設置在第一基板 901 上的像素部 902、第一驅動電路 904 包括多個電晶體，示出像素部 902 所包括的電晶體 910、第一驅動電路 904 所包括的電晶體 911。在電晶體 910 及電晶體 911 上設置有相當於實施方式 1 所示的絕緣膜 129、絕緣膜 131 及絕緣膜 132 的絕緣膜 924。此外，為了提高平坦性，絕緣膜 924 上設置有絕緣膜 934。此外，絕緣膜 923 為氮化絕緣膜。

[0321] 在本實施方式中，作為電晶體 910 可以應用上述實施方式 1 所示的設置在像素 101 中的電晶體。作為電晶體 911 可以應用上述實施方式 1 所示的設置在第一驅動電路 104 中的電晶體。注意，作為電晶體 911，雖然例示出設置有導電膜 917 的結構，但是也可以是不設置導電膜 917 的結構。

[0322] 另外，使用氧化物半導體膜 927、絕緣膜 924、絕緣膜 934 及第一電極 930 構成電容元件 936。此

外，氧化物半導體膜 927 與電容線 929 電連接。電容線 929 使用與電晶體 910、電晶體 911 的閘極電極相同的導電膜形成。注意，這裡作為電容元件 936 示出實施方式 1 所示的電容元件，但是，也可以適當地使用其他實施方式所示的電容元件。

[0323] 設置在像素部 902 中的電晶體 910 與顯示元件電連接，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

[0324] 作為顯示元件的液晶元件 913 包括第一電極 930、第二電極 931 以及液晶層 908。另外，以夾持液晶層 908 的方式設置有用作配向膜的絕緣膜 932 及絕緣膜 933。此外，第二電極 931 設置在第二基板 906 一側，並且，第一電極 930 和第二電極 931 隔著液晶層 908 重疊。

[0325] 關於為了對顯示元件施加電壓而設置的第一電極 930 及第二電極 931（也稱為像素電極、共用電極、反電極等），可以根據取出光的方向、設置電極的位置以及電極的圖案結構選擇透光性或反射性。

[0326] 第一電極 930 及第二電極 931 可以適當地使用與實施方式 1 所示的像素電極 121 相同的材料。

[0327] 此外，間隔物 935 是藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制第一電極 930 與第二電極 931 之間的間隔（單元間隙）而設置的。此外，也可以使用球狀間隔物。

[0328] 當作為顯示元件使用液晶元件時，可以使用

熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料根據條件而呈現膽固醇相、層列相、立方相、手性向列相、各向同性相等。

[0329] 另外，也可以使用不使用配向膜且呈現藍相的液晶。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相轉變成各向同性相之前呈現。由於藍相只出現在較窄的溫度範圍內，所以爲了改善溫度範圍而將混合手性試劑的液晶組成物用於液晶層。此外，由於配向膜由有機樹脂構成，該有機樹脂包含氫或水等，所以有可能降低本發明的一個方式的半導體裝置的電晶體的電特性。於是，藉由作爲液晶層使用藍相，可以製造本發明的一個方式的半導體裝置而不使用有機樹脂，可以獲得可靠性高的半導體裝置。

[0330] 第一基板 901 和第二基板 906 由密封材料 925 固定。作爲密封材料 925，可以使用熱固性樹脂或光硬化性樹脂等有機樹脂。另外，密封材料 925 接觸於絕緣膜 924。此外，密封材料 925 相當於圖 29A 至圖 29C 所示的密封材料 905。

[0331] 密封材料 925 設置在絕緣膜 924 上。此外，絕緣膜 934 設置在密封材料 925 的內側。絕緣膜 924 的最上層是氮化絕緣膜，可以抑制從外部侵入的氫或水等雜質。另一方面，絕緣膜 934 具有高透濕性。因此，將絕緣膜 934 設置在密封材料 925 的內側，在絕緣膜 924 上設置

密封材料 925，可以抑制從外部侵入的氫或水等雜質，並可以抑制電晶體 910 及電晶體 911 的電特性的變動。

[0332] 此外，在液晶顯示裝置中，適當地設置黑矩陣（遮光膜）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈等。

[0333] 此外，由於電晶體容易被靜電等損壞，所以較佳為設置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件構成。

[0334] 圖 31A 至圖 31C 示出在圖 30 所示的液晶顯示裝置中將與設置在基板 906 上的第二電極 931 電連接的公共連接部（焊盤部）形成在基板 901 上的例子。

[0335] 公共連接部配置於與用來黏合基板 901 和基板 906 的密封材料重疊的位置，並且藉由密封材料所包含的導電粒子與第二電極 931 電連接。或者，在不與密封材料重疊的位置（注意，像素部以外的位置）設置公共連接部，並且，以與公共連接部重疊的方式將密封材料以外的包含導電粒子的膏劑另行設置，而與第二電極 931 電連接。

[0336] 圖 31A 的右側是設置於像素部的電晶體 910 的剖面圖，圖 31A 的左側是可以利用與該電晶體相同的製程形成的公共連接部的剖面圖。圖 31A 所示的公共連接部相當於圖 31B 所示的公共連接部俯視圖中的 I-J 的剖面。

[0337] 共用電位線 975 設置在閘極絕緣膜 922 上並利用與電晶體 910 的源極電極 971 或汲極電極 973 相同的材料及製程製造。

[0338] 此外，共用電位線 975 由絕緣膜 924 及絕緣膜 934 覆蓋，絕緣膜 924 及絕緣膜 934 在重疊於共用電位線 975 的位置上具有多個開口。該開口使用與接觸孔相同的製程製造，該接觸孔將電晶體 910 的源極電極 971 和汲極電極 973 中的一個與第一電極 930 連接。

[0339] 此外，共用電位線 975 及共用電極 977 在設置於絕緣膜 924 及絕緣膜 934 的開口中電連接。共用電極 977 設置在絕緣膜 934 上，並使用與連接端子電極 915、像素部的第一電極 930 相同的材料及製程製造。

[0340] 如此，與像素部 902 的切換元件的製程共同地製造公共連接部。

[0341] 共用電極 977 是與包括在密封材料中的導電粒子接觸的電極，並與基板 906 的第二電極 931 電連接。

[0342] 此外，如圖 31C 所示，共用電位線 985 也可以利用與電晶體 910 的閘極電極相同的材料及製程製造。

[0343] 在圖 31C 所示的公共連接部中，共用電位線 985 設置在閘極絕緣膜 922、絕緣膜 924 及絕緣膜 934 的下層，閘極絕緣膜 922、絕緣膜 924 及絕緣膜 934 在重疊於共用電位線 985 的位置上具有多個開口。在利用與使電晶體 910 的源極電極 971 和汲極電極 973 中的一個和第一電極 930 連接的接觸孔相同的製程對絕緣膜 924 及絕緣膜

934 進行蝕刻之後，還對閘極絕緣膜 922 選擇性地進行蝕刻來形成該開口。

[0344] 此外，共用電位線 985 及共用電極 987 在設置於絕緣膜 922、絕緣膜 924 及絕緣膜 934 的開口中電連接。共用電極 987 設置在絕緣膜 934 上，並利用與連接端子電極 915、像素部的第一電極 930 相同的材料及製程製造。

[0345] 如上所述，藉由應用上述實施方式所示的電晶體及電容元件，可以提供提高了孔徑比且具有增大了電荷容量的電容元件的半導體裝置。其結果是，可以獲得顯示品質優良的半導體裝置。

[0346] 另外，由於包括在電晶體中的作為半導體膜的氧化物半導體膜的氧缺陷減少且氫等雜質減少，因此本發明的一個方式的半導體裝置成為具有良好的電特性的半導體裝置。

[0347] 另外，本實施方式可以與本說明書所示的其它實施方式適當地組合。

[0348]

實施方式 6

在本實施方式中，參照圖 32 及圖 33A1 至圖 33B2 說明可以應用本發明的一個方式的半導體裝置且能夠處理及顯示影像資訊的資訊處理裝置的結構。

[0349] 明確而言，說明具備第一模式及第二模式的資訊處理裝置，在該第一模式中以 30Hz（每 1 秒鐘 30

次) 以上的頻率，較佳為 60Hz (每 1 秒鐘 60 次) 以上且低於 960Hz (每 1 秒鐘 960 次) 的頻率輸出選擇像素的 G 信號，而在第二模式中以 11.6 μ Hz (每 1 天 1 次) 以上且低於 0.1Hz (每 1 秒鐘 0.1 次) 的頻率，較佳為 0.28mHz (每 1 小時 1 次) 以上且低於 1Hz (每 1 秒鐘 1 次) 的頻率輸出 G 信號。

[0350] 藉由使用本發明的一個方式的資訊處理裝置顯示靜態影像，可以將更新速率設定為低於 1Hz，較佳為 0.2Hz 以下，可以進行對使用者的眼睛刺激小的顯示、減輕使用者的眼睛疲勞的顯示、不給使用者的眼睛帶來負擔的顯示。此外，可以對應於顯示在顯示部上的影像的性質以最適當的頻率更新顯示影像。明確而言，與流暢地顯示動態影像的情況相比，藉由以較低的頻率進行更新，可以顯示閃爍少的靜態影像。加上，也具有降低耗電量的效果。

[0351] 圖 32 是說明本發明的一個方式的具有顯示功能的資訊處理裝置的結構的方塊圖。

[0352] 圖 33A1 至圖 33B2 是說明本發明的一個方式的顯示裝置所具備的顯示部的結構的方塊圖。

[0353] 本實施方式所說明的具有顯示功能的資訊處理裝置 600 包括顯示裝置 640、算術裝置 620 及輸入單元 500 (參照圖 32)。

[0354] 顯示裝置 640 具有顯示部 630 及控制部 610 (參照圖 32)。一次影像信號 625_V 及一次控制信號

625_C 可以被供應到顯示裝置 640。顯示裝置 640 能夠在顯示部 630 顯示影像資訊。

[0355] 除了影像的灰階資訊（也可以稱為亮度資訊）之外，一次影像信號 625_V 例如還包括色度資訊等。

[0356] 一次控制信號 625_C 例如包括用來控制顯示裝置 640 的掃描工作的時序等的信號等。

[0357] 另外，電源電位等被供應到顯示裝置 640 的控制部 610 及顯示部 630。

[0358] 控制部 610 具有控制顯示部 630 的功能。例如控制部 610 生成二次影像信號 615_V 及/或二次控制信號 615_C 等。

[0359] 也可以採用控制部 610 具備極性決定電路的結構。極性決定電路可以使信號的極性按每個圖框反轉。

[0360] 極性決定電路可以具有如下功能：通知反轉二次影像信號 615_V 的極性的定時，控制部 610 根據該定時來反轉二次影像信號 615_V 的極性。此外，既可以在控制部 610 中進行二次影像信號 615_V 的極性的反轉，也可以根據控制部 610 的指令在顯示部 630 中進行二次影像信號 615_V 的極性的反轉。

[0361] 另外，極性決定電路可以包括計數器和信號生成電路且具有使用同步信號設定使二次影像信號 615_V 的極性反轉的定時的功能。

[0362] 注意，計數器具有使用水平同步信號的脈衝來計數圖框期間的數量的功能。另外，信號生成電路具有

向控制部 610 通知二次影像信號 615_V 的極性反轉的定時的功能。由此，可以使用從計數器得到的圖框期間的數量資訊按每多個連續的圖框期間使二次影像信號 615_V 的極性反轉。

[0363] 可以使二次影像信號 615_V 包括影像資訊。

[0364] 例如，控制部 610 可以由一次影像信號 625_V 生成二次影像信號 615_V，並輸出該二次影像信號 615_V。

[0365] 另外，控制部 610 可以以一次影像信號 625_V 與參考電位 V_{sc} 之間的差異為振幅，而作為二次影像信號 615_V 生成其極性每個圖框反轉的信號。

[0366] 可以使二次控制信號 615_C 包括用來控制顯示部 630 的第一驅動電路（也稱為 G 驅動電路 632）的信號或用來控制第二驅動電路（也稱為 S 驅動電路 633）的信號。

[0367] 例如，控制部 610 可以從包括垂直同步訊號、水平同步信號等同步信號的一次控制信號 625_C 生成二次控制信號 615_C。

[0368] 二次控制信號 615_C 例如包括初始脈衝信號 SP、鎖存信號 LP、脈衝寬度控制信號 PWC、時脈信號 CK 等。

[0369] 明確而言，可以使二次控制信號 615_C 包括控制 S 驅動電路 633 的工作的 S 驅動電路用初始脈衝信號 SP、S 驅動電路用時脈信號 CK 或鎖存信號 LP 等。另

外，還可以包括控制 G 驅動電路 632 的工作的 G 驅動電路用初始脈衝信號 SP、G 驅動電路用時脈信號 CK 或脈衝寬度控制信號 PWC 等。

[0370] 顯示部 630 包括像素部 631、第一驅動電路（也稱為 G 驅動電路 632）以及第二驅動電路（也稱為 S 驅動電路 633）。

[0371] 像素部 631 具備顯示光不包括短於 420nm 的波長的光且以 150ppi 以上的清晰度設置的多個像素 631p 以及連接該多個像素的佈線。每一個像素 631p 都至少與一個掃描線 G 及一個信號線 S 連接。另外，佈線的種類及個數取決於像素 631p 的結構、個數及配置。

[0372] 例如，當像素 631p 在像素部 631 中被配置為 x 列×y 行的矩陣狀時，將信號線 S1 至信號線 Sx 及掃描線 G1 至掃描線 Gy 配置在像素部 631 中（參照圖 33A1）。多個掃描線（G1 至 Gy）可以按行供應 G 信號。多個信號線（S1 至 Sx）可以對多個像素供應 S 信號。

[0373] G 驅動電路 632 可以控制 G 信號 632_G 的供應以選擇掃描線 G（參照圖 32）。

[0374] 例如，也可以將像素部 631 分為多個區域（明確而言，分為第一區域 631a、第二區域 631b 及第三區域 631c）來驅動（參照圖 33A2）。

[0375] 在各個區域中可以設置：多個像素 631p；用來按行選擇該像素 631p 的多個掃描線 G；以及用來對被選擇的像素 631p 供應 S 信號 633_S 的多個信號線 S。

[0376] 另外，也可以設置多個 G 驅動電路（明確而言，可以設置第一 G 驅動電路 632a、第二 G 驅動電路 632b 及第三 G 驅動電路 632c）。

[0377] G 驅動電路可以控制 G 信號 632_G 的供應以選擇設置在各個區域中的掃描線 G（明確而言，第一 G 驅動電路 632a 選擇掃描線 G1 至 Gj；第二 G 驅動電路 632b 選擇掃描線 Gj+1 至 G2j；以及第三 G 驅動電路 632c 選擇掃描線 G2j+1 至 Gy）。

[0378] G 驅動電路將選擇像素電路 634 的第一驅動信號（也稱為 G 信號）632_G 輸出到像素電路 634。G 驅動電路 632 具備第一模式及第二模式，在該第一模式中以 30Hz（每 1 秒鐘 30 次）以上的頻率，較佳為 60Hz（每 1 秒鐘 60 次）以上且低於 960Hz（每 1 秒鐘 960 次）的頻率向各個掃描線輸出選擇各個掃描線的 G 信號 632_G，而在第二模式中以 11.6 μ Hz（每 1 天 1 次）以上且低於 0.1Hz（每 1 秒鐘 0.1 次）的頻率，較佳為 0.28mHz（每 1 小時 1 次）以上且低於 1Hz（每 1 秒鐘 1 次）的頻率向各個掃描線輸出 G 信號 632_G。

[0379] G 驅動電路 632 能夠藉由切換第一模式和第二模式而工作。例如，利用包括模式切換信號的二次控制信號 615_C 或二次控制信號 615_C 所包括的 G 驅動電路用起動脈衝可以切換 G 驅動電路 632 的第一模式和第二模式。明確而言，也可以控制控制部 610 所輸出的 G 驅動電路用起動脈衝的輸出頻率。

[0380] G 信號 632_G 藉由 G 驅動電路 632 生成。G 信號 632_G 按行被輸出到像素 631p，而像素 631p 按行被選擇。

[0381] 顯示部 630 也可以具有 S 驅動電路 633。S 驅動電路由二次影像信號 615_V 生成第二驅動信號（也稱為 S 信號 633_S），且控制該 S 信號 633_S 向信號線 S（明確而言，是信號線 S1 至 Sx）的供應。

[0382] S 信號 633_S 包括影像的灰階資訊等。S 信號 633_S 被供應到 G 信號 632_G 所選擇的像素 631p。

[0383] 像素部 631 包括多個像素 631p。

[0384] 像素 631p 具備顯示元件 635 及包括該顯示元件 635 的像素電路 634（參照圖 32）。

[0385] 像素電路 634 保持被供應的 S 信號 633_S，並在顯示元件 635 顯示影像資訊的一部分。另外，可以選擇對應於顯示元件 635 的種類或驅動方法的結構用於像素電路 634。

[0386] 作為像素電路 634 的一個例子，圖 33B1 示出將液晶元件 635LC 應用於顯示元件 635 的結構。

[0387] 像素電路 634 包括：具備被輸入 G 信號 632_G 的閘極電極及被輸入 S 信號的第一電極的電晶體 634t；以及具備與電晶體 634t 的第二電極電連接的第一電極及被供應公共電位的第二電極的液晶元件 635LC。

[0388] 像素電路 634 具有控制 S 信號 633_S 供應到顯示元件 635 的電晶體 634t。

[0389] 電晶體 634t 的閘極連接到掃描線 G1 至掃描線 Gy 中的任一個。電晶體 634t 的源極和汲極中的一個連接到信號線 S1 至信號線 Sx 中的任一個，並且電晶體 634t 的源極和汲極中的另一個連接到顯示元件 635 的第一電極。

[0390] 在像素 631p 中將電晶體 634t 用作控制 S 信號 633_S 輸入到像素 631p 的切換元件。此外，也可以將多個電晶體用於像素 631p 作為一個切換元件。也可以將上述多個電晶體並聯連接而將其用作一個切換元件，又可以串聯連接，還可以組合並聯和串聯連接。

[0391] 像素 631p 根據需要除了用來保持液晶元件 635LC 的第一電極與第二電極之間的電壓的電容元件 634c 以外還可以具有電晶體、二極體、電阻元件、電容元件、電感器等其他電路元件。對顯示元件 635 的第二電極施加指定的公共電位 Vcom。

[0392] 適當地調整電容元件 634c 的電容即可。例如，在後面所述的第二模式中，在較長期間（明確而言，1/60sec 以上）保持 S 信號 633_S 的情況下，設置電容元件 634c。此外，也可以使用電容元件 634c 以外的結構調整像素電路 634 的電容。另外，藉由採用重疊設置液晶元件 635LC 的第一電極與第二電極的結構，也可以實質上形成電容元件。

[0393] 作為像素電路的另外一個例子，圖 33B2 示出將 EL 元件 635EL 應用於顯示元件 635 的結構。

[0394] 像素電路 634EL 具有第一電晶體 634t₁，該第一電晶體 634t₁ 包括：被輸入 G 信號 632_G 的閘極電極；被輸入 S 信號的第一電極；以及與電容元件 634c 的第一電極電連接的第二電極。另外，像素電路 634EL 還具有第二電晶體 634t₂，該第二電晶體 634t₂ 包括：與第一電晶體 634t₁ 的第二電極電連接的閘極電極；與電容元件 634c 的第二電極電連接的第一電極；以及與 EL 元件 635EL 的第一電極電連接的第二電極。此外，向電容元件 634c 的第二電極以及第二電晶體 634t₂ 的第一電極供應電源電位，而向 EL 元件 635EL 的第二電極供應公共電位。注意，電源電位與公共電位的電位差比 EL 元件 635EL 的發光開始電壓大。

[0395] 在像素電路 634 中，電晶體 634t 控制是否對顯示元件 635 的第一電極施加信號線 S 的電位。

[0396] 此外，作為適用於本發明的一個方式的顯示裝置的電晶體可以應用使用氧化物半導體的電晶體。關於使用氧化物半導體的電晶體的詳細內容可以參照實施方式 1 及實施方式 2 的記載。

[0397] 使用氧化物半導體膜的電晶體可以使關閉狀態下的源極與汲極之間的洩漏電流（關態電流（off-state current））比習知的使用矽的電晶體低得多。藉由將關態電流極小的電晶體用於顯示部的像素部，可以在抑制閃爍產生的同時減少圖框頻率。

[0398] 作為顯示元件 635，不侷限於液晶元件

635LC，例如還可以應用藉由施加電壓而產生發光（Electroluminescence：電致發光）的 OLED 元件、使用電泳的電子墨水等各種顯示元件。

[0399] 例如，液晶元件 635LC 的偏振光的穿透率可以由 S 信號 633_S 的電位控制，由此可以顯示灰階。

[0400] 例如，當將透射型液晶元件用於顯示元件 635 時，可以在顯示部 630 設置光供應部 650。光供應部 650 具有光源。控制部 610 控制光供應部 650 所具有的光源的驅動。光供應部 650 對設置有液晶元件的像素部 631 供應光而用作背光。

[0401] 作為光供應部 650 的光源，可以使用冷陰極螢光燈、發光二極體（LED）、OLED 元件等。

[0402] 尤其是，較佳為採用光源所發射的藍色光的強度比其他顏色的光的強度弱的結構。這是因為如下緣故：因為包括在光源所發射的光中的呈現藍色的光到達視網膜而不被眼睛的角膜或晶狀體吸收，所以可以降低對視網膜的長期性的負面影響（例如，年齡相關性黃斑變性等）或直到深夜裡暴露於藍色光時的對晝夜節律（Circadian rhythm）的負面影響等。明確而言，光源較佳為發射不包括具有 400nm 以下，較佳為 420nm 以下，更佳為 440nm 以下的波長的光（也稱為 UVA）的光的光源。

[0403] 注意，本發明的一個方式的半導體裝置中的像素的特徵在於吸收具有上述波長的光且不容易使其透

過。因此，藉由使用本發明的一個方式的半導體裝置，即使使用發射具有上述波長的光的光源，也可以減少或遮斷具有上述波長的光。

[0404] 算術裝置 620 生成一次影像信號 625_V 及包括模式切換信號的一次控制信號 625_C。

[0405] 模式切換信號例如可以藉由資訊處理裝置 600 的使用者的指令而生成。

[0406] 資訊處理裝置 600 的使用者可以利用輸入單元 500 發出切換顯示的指令。也可以採用將影像切換信號 500_C 供應到算術裝置 620，而算術裝置 620 輸出包括模式切換信號的一次控制信號 625_C 的結構。

[0407] 包括模式切換信號的一次控制信號 625_C 被供應到顯示裝置 640 的控制部 610，而控制部輸出包括模式切換信號的二次控制信號 615_C。

[0408] 例如，當包括將第二模式切換為第一模式的模式切換信號的二次控制信號 615_C 被供應到 G 驅動電路 632 時，G 驅動電路 632 從第二模式切換為第一模式。而且，G 驅動電路 632 輸出 G 信號 1 個圖框以上，然後切換為第二模式。

[0409] 明確而言，也可以採用當輸入單元 500 檢測出翻頁工作時將影像切換信號 500_C 輸出到算術裝置 620 的結構。

[0410] 算術裝置 620 生成包括翻頁工作的一次影像信號 625_V，與該一次影像信號 625_V 一起輸出包括模式

切換信號的一次控制信號 625_C。

[0411] 供應有該一次影像信號 625_V 及該一次控制信號 625_C 的控制部 610 供應包括模式切換信號的二次控制信號 615_C 及包括翻頁工作的二次影像信號 615_V。

[0412] 供應有包括模式切換信號的二次控制信號 615_C 的 G 驅動電路 632 從第二模式切換為第一模式，並以高頻率輸出 G 信號 632_G。

[0413] 供應有包括翻頁工作的二次影像信號 615_V 的 S 驅動電路 633 向像素電路 634 輸出由該二次影像信號 615_V 生成的 S 信號 633_S。

[0414] 由此，像素 631p 可以以高頻率改寫包括翻頁工作的多個圖框影像。其結果，可以流暢地顯示包括翻頁工作的二次影像信號 615_V。

[0415] 還可以採用如下結構：算術裝置 620 辨別對顯示部 630 輸出的一次影像信號 625_V 是動態影像還是靜態影像，並根據其辨別結果輸出包括模式切換信號的一次控制信號 625_C。

[0416] 明確而言，還可以採用如下結構：當一次影像信號 625_V 是動態影像時，該算術裝置 620 輸出選擇第一模式的切換信號，而當一次影像信號 625_V 是靜態影像時，該算術裝置 620 輸出選擇第二模式的切換信號。

[0417] 另外，作為算術裝置 620 辨別是動態影像還是靜態影像的方法有如下方法：當一次影像信號 625_V 所包括的一個圖框的信號和該圖框前後的圖框的信號之間的

差異大於預先設定的差異時，辨別為動態影像，而一次影像信號 625_V 所包括的一個圖框的信號和該圖框前後的圖框的信號之間的差異等於或小於預先設定的差異時，辨別為靜態影像。

[0418] 當控制部 610 將 G 驅動電路的工作模式從一個模式切換為其他模式時（例如，從第二模式切換為第一模式時），G 驅動電路也可以在輸出 G 信號 632_G 一次以上的預定的次數之後，切換為其他模式。

[0419] 作為輸入單元 500 可以使用觸控面板、觸控板、滑鼠、控制杆、軌跡球、資料手套、攝像裝置等。算術裝置 620 可以使從輸入單元 500 輸入的電信號和顯示部的座標彼此相關。由此，使用者可以輸入用來處理顯示在顯示部上的資訊的指令。

[0420] 作為使用者從輸入單元 500 輸入的資訊，例如可以舉出如下指令：改變顯示於顯示部的影像的顯示位置的拖拉指令；將顯示影像翻到下一個影像的滑動指令；依次顯示卷軸狀的影像的滾動指令；選擇特定的影像的指令；改變影像的顯示尺寸的縮放指令；以及輸入手寫的文字的指令等。

[0421] 照度是指在每單位時間內入射到被照射面的每單位面積上的光量，該光量包括眼睛的光譜靈敏度。

[0422] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0423]

實施方式 7

在本實施方式中，參照圖 34A 和圖 34B 說明使用本發明的一個方式的半導體裝置的資訊處理裝置的資訊處理方法。

[0424] 明確而言，說明能夠顯示在使用本發明的一個方式的半導體裝置的資訊處理裝置的顯示部上的影像的生成方法。尤其是，說明當將顯示於顯示部的影像切換為其他影像時，對使用者的眼睛刺激少的影像的切換方法、減輕使用者的眼睛疲勞的影像的切換方法、不給使用者的眼睛帶來負擔的影像的切換方法。

[0425] 圖 34A 和圖 34B 是說明使用本發明的一個方式的半導體裝置的資訊處理裝置的結構的方塊圖及說明影像資料的示意圖。

[0426] 在本發明的一個方式中，說明在資訊處理裝置的顯示部平緩地重寫顯示影像的方法。

[0427] 由此，可以減輕切換顯示時給使用者的眼睛帶來的負擔。其結果，可以提供能夠以對眼睛刺激少的方式顯示包括運算部所處理的資訊的影像的新穎的資訊處理方法。

[0428] 當快速地切換影像而進行顯示時，可能給使用者帶來眼睛疲勞。例如，包括不斷地切換不同的情景的動態影像以及切換不同的靜態影像的情況等。

[0429] 當切換不同的影像而進行顯示時，較佳為緩慢地（平靜地）且自然地切換影像而進行顯示，而不瞬間

地切換顯示。

[0430] 例如，當將顯示從第一靜態影像切換到第二靜態影像時，較佳的是，在第一靜態影像和第二靜態影像之間插入淡出顯示第一靜態影像的動態影像或/及第二靜態影像淡入的動態影像。此外，也可以插入以在第一靜態影像淡出的同時，第二靜態影像淡入（也稱為交替淡變）的方式插入重疊兩個影像的動態影像，還可以插入顯示第一靜態影像逐漸變成第二靜態影像的動態影像（也稱為影像變形）。

[0431] 另外，也可以在以低更新速率顯示第一靜態影像資料，接著以高更新速率顯示用來切換影像的影像之後，以低更新速率顯示第二靜態影像資料。

[0432] 下面說明切換互不相同的影像 A 和影像 B 的方法的一個例子。

[0433] 圖 34A 是示出能夠進行影像切換工作的顯示部的結構的塊圖。圖 34A 所示的顯示部包括運算部 701、記憶部 702、控制部 703 以及顯示部 704。

[0434] 在第一步驟中，運算部 701 將來自外部記憶部等的影像 A 及影像 B 的各資料儲存在記憶部 702 中。

[0435] 在第二步驟中，運算部 701 根據預先設定的分割數的值使用影像 A 和影像 B 的各影像資料依次生成新的影像資料。

[0436] 在第三步驟中，將所生成的影像資料輸出到控制部 703 中。控制部 703 將被輸入的影像資料顯示於顯

示部 704。

[0437] 圖 34B 是用來說明在將影像從影像 A 逐漸切換為影像 B 時生成的影像資料的示意圖。

[0438] 在圖 34B 中示出從影像 A 到影像 B 生成 N (N 是自然數) 個影像資料，且分別將每一個影像資料顯示 f (f 是自然數) 圖框期間的情況。由此，從影像 A 切換為影像 B 的期間是 $f \times N$ 圖框。

[0439] 在此，較佳的是，使用者可以自由地設定上述 N 及 f 等的參數。運算部 701 預先取得這些參數，且根據該參數生成影像資料。

[0440] 第 i 個生成的影像資料(i 是 1 以上且 N 以下的整數)是可以對影像 A 的影像資料和影像 B 的影像資料分別進行加權並將該影像資料加在一起來生成的。例如，在某個像素中，當以顯示影像 A 時的亮度(灰階)為 a，而以顯示影像 B 時的亮度(灰階)為 b 時，顯示第 i 生成的影像資料的該像素的亮度(灰階) c 是公式 1 所示的值。此外，灰階是指顯示部所顯示的濃淡的等級。只具有白色及黑色的兩個等級的影像也可以說具有兩個灰階的影像。例如，習知的個人電腦的顯示部具有顯示紅色、綠色、藍色的子像素。對每個子像素輸入用來顯示 256 等級的濃淡的信號。

[0441]

$$c = \frac{(N-i)a + ib}{N} \quad (1)$$

[0442] 使用藉由這種方法生成的影像資料來將影像 A 切換為影像 B，從而可以緩慢地（平靜地）且自然地切換不連續的影像。

[0443] 注意，至於公式 1，在所有的像素中，當 $a=0$ 時相當於從黑色影像逐漸切換為影像 B 的淡入。此外，在所有的像素中，當 $b=0$ 時相當於從影像 A 逐漸切換為黑色影像的淡出。

[0444] 雖然在上述說明中描述了使兩個影像暫時重疊並切換影像的方法，但是也可以採用不使影像重複的方法。

[0445] 在不使兩個影像重疊的情況下，也可以當將影像 A 切換為影像 B 時在其間插入黑色影像。此時，當從影像 A 遷移到黑色影像時、從黑色影像遷移到影像 B 時或當進行其兩者時也可以採用上述影像切換方法。此外，作為插入影像 A 和影像 B 之間的影像不僅使用黑色影像，而且還可以使用白色影像等單色影像或與影像 A 及影像 B 不同的多色影像。

[0446] 藉由在影像 A 和影像 B 之間插入其他影像，特別是黑色影像等單色影像，可以使使用者更自然地感覺到影像切換的定時，從而可以以不使使用者感到不快的方式切換影像。

[0447] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0448]

實施方式 8

在本實施方式中，參照圖 35A1 至圖 35B2 以及圖 36 來說明使用本發明的一個方式的半導體裝置的資訊處理裝置的結構。

[0449] 圖 35A1 至圖 35B2 是說明資訊處理裝置的效果的圖。

[0450] 圖 36 是說明資訊處理裝置的結構的方塊圖。

[0451] 眼睛疲勞有神經疲勞和肌肉疲勞的兩種疲勞。圖 35A1 和圖 35A2 示出說明眼睛疲勞的示意圖。

[0452] 神經疲勞是指由於長時間連續觀看顯示部所發射的光或閃爍畫面，其亮度刺激眼睛的視網膜、視神經或腦子而使使用者感到疲勞。螢光燈或習知的顯示裝置的顯示部微微地明滅的現象稱為閃爍，該閃爍引起神經疲勞。

[0453] 肌肉疲勞是由於過度使用在調節焦點時使用的睫狀肌而引起的。

[0454] 圖 35A1 示出習知的顯示部的顯示的示意圖。習知的顯示部在 1 秒鐘內進行 60 次的影像改寫。長時間一直觀看這種螢幕，恐怕會刺激使用者的視網膜、視神經或腦子而引起眼睛疲勞。

[0455] 另外，如圖 35A2 所示，在一個像素的尺寸大的情況下(例如，在清晰度低於 150ppi 的情況下)，顯示部所顯示的文字等的輪廓變得模糊。長時間一直觀看顯示在液晶顯示裝置上的輪廓模糊的文字，即睫狀肌為了調節焦

點不斷運動而處於持續緊張的狀態，這恐怕會對眼睛造成負擔。

[0456] 另外，已在研討定量地測定眼睛疲勞的方法。例如，作為神經疲勞的評價指標，已知有臨界閃爍(融合)頻率(CFF:Critical Flicker(Fusion) Frequency)等。作為肌肉疲勞的評價指標，已知有調節時間、調節近點距離等。

[0457] 除了上述以外，作為評價眼睛疲勞的方法，已知有腦波測定、溫度圖法、眨眼次數的測定、淚液量的評價、瞳孔的收縮反應速度的評價、用來調查自覺症狀的問卷調查等。

[0458] 為了解決上述課題，本發明的一個方式著眼於工作環境的照度及顯示裝置所顯示的影像資訊的背景的灰調。在下面說明的實施方式中，包括：著眼於環境的照度資訊及影像資訊的背景的灰調資訊而創作的本發明的一個實施方式。

[0459] 本發明的一個方式中的影像資訊的處理及顯示方法包括如下步驟：取得環境的照度資訊及顯示部所顯示的影像資訊的背景的灰調資訊的步驟；以及利用這些資訊將影像資訊顯示在具備多個像素的顯示部的步驟，該多個像素在顯示光中不包含波長短於 420nm 的光且以 150ppi 以上的清晰度設置。由此，能夠以合適於環境照度的亮度顯示影像資訊。其結果是，可以提供能夠進行影像資訊處理及對眼睛刺激少的顯示的新穎的影像資訊的處理

及顯示方法。

[0460] 圖 36 示出資訊處理裝置的方塊圖的一個例子。該資訊處理裝置是可以使用本發明的一個方式的影像資訊的處理及顯示方法的資訊處理裝置。

[0461] 資訊處理裝置 330 包括運算部 311、記憶部 312 及傳送通道 314。藉由傳送通道 314 使運算部 311、記憶部 312 以及輸入/輸出介面 315 相互連接，來進行資訊的傳送。注意，無法明確地使上述結構分離，有時一個結構兼作其他結構或包含其他結構的一部分。例如，觸控面板既是顯示部又是輸入單元。

[0462] 輸入/輸出裝置 320 藉由輸入/輸出介面 315 連接到傳送通道 314。輸入/輸出裝置 320 是用來從算術裝置 310 的外部輸入資訊或向算術裝置 310 的外部輸出資訊的裝置。

[0463] 作為輸入/輸出裝置 320 的一個例子，可以舉出通信設備、網路互連設備或硬碟、抽取式記憶體等可以進行寫入的外部記憶部。

[0464] 作為輸入單元 321 的一個例子，可以舉出鍵盤、滑鼠或觸控面板等人機周邊設備；數位相機、數位攝影機等相機；掃描器、CDROM、DVDROM 等唯讀的外部記憶部。例如，資訊處理裝置 330 的使用者能夠從輸入單元 321 輸入翻頁指令等。

[0465] 作為輸出裝置，除了顯示部 322，還可以連接揚聲器、印刷機等。

[0466] 本發明的一個方式的資訊處理裝置 330 具有顯示部 322。尤其是，在顯示部 322 中，顯示光不包含波長短於 420nm 的光，較佳為不包含波長短於 440nm 的光。並且，較佳為在顯示區設置清晰度為 150ppi 以上，更佳為 200ppi 以上的多個像素。由此，可以進行對眼睛的刺激小的顯示。注意，在本說明書中，顯示光是指資訊處理裝置的顯示部為了顯示影像而向使用者發射或反射的光。

[0467] 根據本發明的一個方式的顯示部的顯示光由於不被眼睛的角膜或晶狀體吸收而到達視網膜，因此不包括對視網膜具有長期的影響或對晝夜節律 (Circadian rhythm) 具有壞影響的光。明確而言，顯示影像的光不包括具有 400nm 以下，較佳為 420nm 以下，更佳為 440nm 以下的波長的光（也稱為 UVA）。

[0468] 本發明的一個方式的資訊處理裝置 330 可以使用本發明的一個方式的半導體裝置。該半導體裝置中的像素的特徵在於吸收具有上述波長的光且不容易使其透過。因此，藉由使用本發明的一個方式的半導體裝置，即使使用發射具有上述波長的光的光源，也可以減少或遮斷具有上述波長的光。

[0469] 另外，根據本發明的一個方式的顯示部所具備的像素的清晰度為 150ppi 以上，較佳為 200ppi 以上，且一個像素的尺寸小。由此，可以減輕使用者的眼睛的肌肉疲勞。

[0470] 圖 35B1 和圖 35B2 示出說明本發明的一個方式的資訊處理裝置的減輕眼睛疲勞的效果的示意圖。

[0471] 本發明的一個方式的資訊處理裝置可以改變輸出選擇像素的信號的頻率。尤其是，藉由將關態電流極小的電晶體用於顯示部的像素部，可以在抑制閃爍產生的同時減少圖框頻率。例如，能夠以 5 秒鐘一次的方式進行影像的改寫，因此可以觀看相同的影像，降低使用者所察覺的螢幕的閃爍。由此，減少使用者的眼睛的視網膜、神經或腦子所受的刺激，從而減輕神經疲勞（參照圖 35B1）。

[0472] 此外，作為關態電流極小的電晶體，例如有使用氧化物半導體的電晶體，尤其是使用 CAAC-OS 的電晶體是較佳的。

[0473] 本發明的一個方式的資訊處理裝置的一個像素的尺寸小。明確而言，可以進行清晰度為 150ppi 以上，較佳為 200ppi 以上的高精細度的顯示。可以清晰地或細緻且流暢地顯示影像的輪廓。由此，睫狀肌的焦點調節變得容易，從而可以減輕使用者的肌肉疲勞（參照圖 35B2）。注意，清晰度可以使用像素密度（ppi：pixel per inch）來表示。像素密度為每英寸的像素數。另外，像素是構成影像的單位。

[0474] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0475]

實施方式 9

本發明的一個方式的半導體裝置可以應用於各種電子裝置（包括遊戲機）。作為電子裝置，可以舉出電視機、用於電腦等的顯示器、數位相機、數位攝影機、數位相框、行動電話機、遊戲機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機（彈珠機（pachinko machine）或投幣機（slot machine）等）。圖 37A 至圖 38B 示出上述電子裝置的一個例子。

[0476] 圖 37A 示出具有顯示部的桌子。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，示出利用四個桌腿 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

[0477] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9003。因此可以提高顯示部 9003 的顯示品質。

[0478] 顯示部 9003 具有觸屏輸入功能，藉由用手指等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 可以進行畫面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通信的功能或能夠控制其他家電產品的功能，來藉由畫面操作控制其他家電產品。例如，藉由使用具有觸控感測器功能或影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

[0479] 另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的畫面以垂直於地板的方式立起來，從而也可以將桌子用作電視機。雖然當在較小的房間裡設置大畫面的電視機時自由使用的空間變小，但是若在桌子內安裝有顯示部則可以有效地利用房間的空間。

[0480] 圖 37B 示出電視機。在電視機 9100 中，外殼 9101 組裝有顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

[0481] 藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110，可以進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器輸出的資訊的顯示部 9107 的結構。

[0482] 圖 37B 所示的電視機 9100 具備接收機及通信單元等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由通信單元連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

[0483] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9103、顯示部 9107。因此可以提高電視機的顯示品質。

[0484] 圖 37C 示出電腦 9200，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。

[0485] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9203。因此可以提高電腦 9200 的顯示品質。

[0486] 顯示部 9203 具有觸屏輸入功能，藉由用手指等接觸顯示部 9203 中的顯示按鈕可以進行畫面操作或資訊輸入。此外，可以利用鍵盤或音訊來輸入資訊。

[0487] 圖 38A 和圖 38B 是能夠折疊的平板終端。圖 38A 是打開的狀態的平板終端，並且包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

[0488] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9631a、顯示部 9631b。因此可以提高平板終端的顯示品質。

[0489] 在顯示部 9631a 中，可以將其一部分用作觸控面板的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子在此示出：顯示部 9631a 的一半只具有顯示的功能，並且另一半具有觸控面板的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的全部區域具有觸控面板的功能的結構。例如，可以使顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸控

面板，並且將顯示部 9631b 用作顯示畫面。

[0490] 此外，顯示部 9631b 也與顯示部 9631a 同樣，可以將其一部分用作觸控面板的區域 9632b。此外，藉由使用手指或觸控筆等接觸觸控面板的顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 顯示鍵盤按鈕。

[0491] 此外，也可以對觸控面板的區域 9632a 和觸控面板的區域 9632b 同時進行接觸輸入。

[0492] 另外，顯示模式切換開關 9034 能夠進行豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示或彩色顯示等的切換等。根據內置於平板終端中的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以將顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等其他檢測裝置。

[0493] 此外，圖 38A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，一個的尺寸和另一個的尺寸可以不同，並且它們的顯示品質也可以不同。例如顯示部 9631a 和顯示部 9631b 中的一個可以進行比另一個更高精細的顯示。

[0494] 圖 38B 是合上的狀態的平板終端，並且在外殼 9630 中可以包括太陽能電池 9633、充放電控制電路 9634。此外，在圖 38B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結

構。

[0495] 此外，平板終端可以折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有高可靠性的平板終端。

[0496] 此外，圖 38A 和圖 38B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體（程式）控制處理等。

[0497] 藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸控面板、顯示部或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一面或兩面，因此可以高效地進行電池 9635 的充電。另外，當作爲電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

[0498] 另外，參照圖 39A 至圖 39C 所示的方塊圖對圖 38B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 39A 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、DCDC 轉換器 9637、開關 SW1 至 SW3 以及負載（顯示部 9631 等），電池 9635、DCDC 轉換器 9636、DCDC 轉換器 9637、開關 SW1 至 SW3 對應於圖 38B 所示的充放電控制電路 9634。

[0499] 首先，說明在利用太陽能電池 9633 發電時的

工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以使其成為用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使負載（顯示部 9631 等）工作時使開關 SW1 導通，並且，利用 DCDC 轉換器 9637 將其升壓或降壓到負載（顯示部 9631 等）所需要的電壓。另外，當不進行對負載（顯示部 9631 等）的電力供應時，可以採用使 SW1 截止且使 SW2 導通來對電池 9635 進行充電的結構。

[0500] 在一直進行對負載（顯示部 9631 等）的電力供應時，如圖 39B 所示，也可以採用省略開關 SW1 的結構。

[0501] 另外，當對負載供應的電壓的適當的範圍與電池 9635 的電壓相同時，如圖 39C 所示，也可以採用還省略 DCDC 轉換器 9637 的結構。

[0502] 注意，作為發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（帕耳帖元件（Peltier element））等其他發電單元進行電池 9635 的充電。例如，也可以採用：以無線（不接觸）的方式收發電力來進行充電的非接觸電力傳輸模組；或組合其他充電單元進行充電的結構。

[0503] 本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

【符號說明】

[0504]

- 100：像素部
- 101：像素
- 102：基板
- 103：電晶體
- 104：驅動電路
- 105：電容元件
- 106：驅動電路
- 107：掃描線
- 108：液晶元件
- 109：信號線
- 110：基底絕緣膜
- 111：半導體膜
- 113：導電膜
- 115：電容線
- 117：開口
- 118：氮化絕緣膜
- 119：半導體膜
- 121：像素電極
- 127：閘極絕緣膜
- 129：絕緣膜
- 130：絕緣膜
- 131：絕緣膜

132：絕緣膜

135：邊界

154：反電極

188a：氧化物半導體膜

188b：氧化物半導體膜

199a：氧化物半導體膜

199b：氧化物半導體膜

199c：氧化物半導體膜

223：電晶體

227：閘極電極

229：佈線

231：半導體膜

233：佈線

241：導電膜

310：算術裝置

311：運算部

312：記憶部

314：傳輸通道

315：輸入輸出介面

320：輸入輸出裝置

321：輸入單元

322：顯示部

330：資訊處理裝置

500：輸入單元

500_C：信號
 600：資訊處理裝置
 610：控制部
 615_C：二次控制信號
 615_V：二次影像信號
 620：算術裝置
 625_C：一次控制信號
 625_V：一次影像信號
 630：顯示部
 631：像素部
 631a：區域
 631b：區域
 631c：區域
 631p：像素
 632：G 驅動電路
 632_G：G 信號
 632a：G 驅動電路
 632b：G 驅動電路
 632c：G 驅動電路
 633：S 驅動電路
 633_S：S 信號
 634：像素電路
 634c：電容元件
 634EL：像素電路

634t：電晶體

634t_1：電晶體

634t_2：電晶體

635：顯示元件

635EL：EL 元件

635LC：液晶元件

640：顯示裝置

650：光供應部

701：運算部

702：記憶部

703：控制部

704：顯示部

901：基板

902：像素部

903：驅動電路

904：驅動電路

905：密封材料

906：基板

908：液晶層

910：電晶體

911：電晶體

913：液晶元件

915：連接端子電極

916：端子電極

- 917 : 導電膜
- 918 : FPC
- 918b : FPC
- 919 : 各向異性導電劑
- 922 : 閘極絕緣膜
- 923 : 絕緣膜
- 924 : 絕緣膜
- 925 : 密封材料
- 926 : 電容元件
- 927 : 氧化物半導體膜
- 929 : 電容線
- 930 : 電極
- 931 : 電極
- 932 : 絕緣膜
- 933 : 絕緣膜
- 934 : 絕緣膜
- 935 : 間隔物
- 936 : 電容元件
- 971 : 源極電極
- 973 : 汲極電極
- 975 : 共用電位線
- 977 : 共用電極
- 985 : 共用電位線
- 987 : 共用電極

9000：桌子

9001：外殼

9002：桌腿

9003：顯示部

9004：顯示按鈕

9005：電源供應線

9033：卡子

9034：開關

9035：電源開關

9036：開關

9038：操作開關

9100：電視機

9101：外殼

9103：顯示部

9105：支架

9107：顯示部

9109：操作鍵

9110：遙控器

9200：電腦

9201：主體

9202：外殼

9203：顯示部

9204：鍵盤

9205：外部連接埠

9206：指向裝置

9630：外殼

9631：顯示部

9631a：顯示部

9631b：顯示部

9632a：區域

9632b：區域

9633：太陽能電池

9634：充放電控制電路

9635：電池

9636：DCDC 轉換器

9637：DCDC 轉換器

9638：操作鍵

9639：按鈕

發明摘要



※申請案號：102147520

※申請日：102 年 12 月 20 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

1101128118 2006.01
1101121128 2006.01

【中文】

本發明的目的之一是提供一種孔徑比高的半導體裝置。該半導體裝置包括：電晶體；以及包括一對電極的電容元件，其中該電晶體的通道形成區及該電容元件的一個電極都是形成在同一個絕緣表面上的氧化物半導體層；該電容元件的另一個電極是透光導電膜；該電容元件的一個電極與佈線電連接，該佈線與該電晶體所包括的源極電極或汲極電極形成在同一個絕緣表面上；以及電容元件的另一個電極與該電晶體所包括的源極電極和汲極電極中的一個電連接。

【英文】

A semiconductor device with high aperture ratio is provided. The semiconductor device includes a transistor and a capacitor having a pair of electrodes. An oxide semiconductor layer formed over the same insulating surface is used for a channel formation region of the transistor and one of the electrodes of the capacitor. The other electrode of the capacitor is a transparent conductive film. One electrode of the capacitor is electrically connected to a wiring formed over the insulating surface over which a source electrode or a drain electrode of the transistor is provided, and the other electrode of the capacitor is electrically connected to one of the source electrode and the drain electrode of the transistor.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

102：基板	103：電晶體
105：電容元件	107：掃描線
109：信號線	110：基底絕緣膜
111：半導體膜	113：導電膜
115：電容線	119：半導體膜
121：像素電極	127：閘極絕緣膜
129：絕緣膜	131：絕緣膜
132：絕緣膜	223：電晶體
227：閘極電極	229：佈線
231：半導體膜	233：佈線
241：導電膜	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

第 102147520 號

民國 106 年 11 月 28 日修正

申請專利範圍

1. 一種半導體裝置，包括：

電晶體，該電晶體包括：

第一絕緣膜上的氧化物半導體層；

該氧化物半導體層和該第一絕緣膜上且與其均接觸的源極電極層及汲極電極層；

該氧化物半導體層上的第二絕緣膜；以及

隔著該第二絕緣膜在該氧化物半導體層上的閘極電極層；以及

電容元件，該電容元件包括：

與該氧化物半導體層在同一層中的第一電極，該第一電極位於該第一絕緣膜上；

用作該電容元件的第二電極的透明導電膜，該透明導電膜與該第一電極重疊；以及

該第一電極與該第二電極之間的電介質，

其中該氧化物半導體層和該第一電極包括相同材料。

2. 根據申請專利範圍第 1 項之半導體裝置，還包括：

該第一絕緣膜和該第一電極上且與其均接觸的佈線，

其中該源極電極層、該汲極電極層及該佈線使用同一材料形成。

3. 根據申請專利範圍第 1 項之半導體裝置，還包括：

該第二絕緣膜及該閘極電極層上的第三絕緣膜；以及

第 102147520 號

民國 106 年 11 月 28 日修正

該第三絕緣膜上的第四絕緣膜，

其中該第二絕緣膜、該第三絕緣膜及該第四絕緣膜與該第一電極重疊，

並且該電介質包括該第二絕緣膜、該第三絕緣膜及該第四絕緣膜。

4. 根據申請專利範圍第 3 項之半導體裝置，

其中該第三絕緣膜具有包括選自氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵及 Ga-Zn 類金屬氧化物中的氧化絕緣材料的單層結構或疊層結構。

5. 根據申請專利範圍第 3 項之半導體裝置，

其中該第四絕緣膜具有包括選自氮氧化矽、氮化矽、氮化鋁及氮氧化鋁中的氮化絕緣材料的單層結構或疊層結構。

6. 根據申請專利範圍第 1 項之半導體裝置，還包括：

該第二絕緣膜及該閘極電極層上的第三絕緣膜，該第三絕緣膜與該第一電極接觸；以及

該第三絕緣膜上的第四絕緣膜，

其中該第三絕緣膜及該第四絕緣膜與該第一電極重疊，

並且該電介質包括該第三絕緣膜及該第四絕緣膜。

7. 根據申請專利範圍第 1 項之半導體裝置，還包括：

該第二絕緣膜及該閘極電極層上的第三絕緣膜；以及

第 102147520 號

民國 106 年 11 月 28 日修正

該第三絕緣膜上的第四絕緣膜，該第四絕緣膜與該第一電極接觸，

其中該第四絕緣膜與該第一電極重疊，

並且該電介質包括該第四絕緣膜。

8. 根據申請專利範圍第 1 項之半導體裝置，還包括該第一絕緣膜與該第一電極之間的氮化絕緣膜，該氮化絕緣膜與該第一電極接觸。

9. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一電極和該氧化物半導體層包括銦、鎵、和鋅。

10. 根據申請專利範圍第 1 項之半導體裝置，

其中該第一電極包括選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻及稀有氣體元素中的一種以上的元素。

11. 根據申請專利範圍第 1 項之半導體裝置，

其中該氧化物半導體層的能隙為 2.0eV 以上。

12. 根據申請專利範圍第 1 項之半導體裝置，

其中該透明導電膜與該源極電極層及該汲極電極層中的一個電連接。

13. 一種半導體裝置的製造方法，包括如下步驟：

在第一絕緣膜上形成氧化物半導體膜；

藉由對該氧化物半導體膜進行圖案化來形成第一氧化物半導體層及第二氧化物半導體層；

在該第一氧化物半導體層及該第二氧化物半導體層上形成導電膜；

第 102147520 號

民國 106 年 11 月 28 日修正

藉由對該導電膜進行圖案化來形成與該第一氧化物半導體層電連接的源極電極層及汲極電極層以及與該第二氧化物半導體層電連接的佈線；

在該第一絕緣膜、該第一氧化物半導體層、該第二氧化物半導體層、該源極電極層、該汲極電極層及該佈線上形成第二絕緣膜；

形成隔著該第二絕緣膜與該第一氧化物半導體層重疊的閘極電極層；

在該第二絕緣膜及該閘極電極層上形成第三絕緣膜；

在該第三絕緣膜上形成第四絕緣膜；

在該第二絕緣膜、該第三絕緣膜及該第四絕緣膜中形成到達該源極電極層或該汲極電極層的開口部；以及

在該第四絕緣膜上形成藉由該開口部與該源極電極層或該汲極電極層電連接的透明導電膜，

其中，電容元件包括由該第二氧化物半導體層形成的第一電極及用作該電容元件的第二電極的該透明導電膜。

14. 根據申請專利範圍第 13 項之製造方法，

其中該第二絕緣膜、該第三絕緣膜及該第四絕緣膜用作該電容元件的電介質。

15. 根據申請專利範圍第 13 項之製造方法，還包括如下步驟：

對與該第二氧化物半導體層重疊的該第二絕緣膜的一部分進行蝕刻，以使該第三絕緣膜及該第四絕緣膜用作該電容元件的電介質。

第 102147520 號

民國 106 年 11 月 28 日修正

16. 根據申請專利範圍第 13 項之製造方法，還包括如下步驟：

對與該第二氧化物半導體層重疊的該第二絕緣膜的一部分及與該第二氧化物半導體層重疊的該第三絕緣膜的一部分進行蝕刻，以使該第四絕緣膜用作該電容元件的電介質。

17. 根據申請專利範圍第 13 項之製造方法，

其中該第一氧化物半導體層及該第二氧化物半導體層的能隙為 2.0eV 以上。

18. 根據申請專利範圍第 13 項之製造方法，還包括如下步驟：

對該第二氧化物半導體層添加選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻以及稀有氣體元素中的一種以上的摻雜劑。

19. 根據申請專利範圍第 13 項之製造方法，

其中該第三絕緣膜具有包括選自氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵及 Ga-Zn 類金屬氧化物中的氧化絕緣材料的單層結構或疊層結構。

20. 根據申請專利範圍第 13 項之製造方法，

其中該第四絕緣膜具有包括選自氮化矽、氮化矽、氮化鋁及氮氧化鋁中的氮化絕緣材料的單層結構或疊層結構。

21. 根據申請專利範圍第 13 項之製造方法，還包括如下步驟：

第 102147520 號

民國 106 年 11 月 28 日修正

在形成該氧化物半導體膜前形成包括氫的氮化絕緣膜，其中該第二氧化物半導體層與該氮化絕緣膜重疊。