



(12) 实用新型专利

(10) 授权公告号 CN 202870808 U

(45) 授权公告日 2013. 04. 10

(21) 申请号 201220320399. 8

(22) 申请日 2012. 07. 04

(73) 专利权人 四川九洲电器集团有限责任公司

地址 621000 四川省绵阳市涪城区跃进路
16 号

(72) 发明人 王维维 昌畅

(74) 专利代理机构 成都九鼎天元知识产权代理
有限公司 51214

代理人 徐宏 吴彦峰

(51) Int. Cl.

G06F 13/24 (2006. 01)

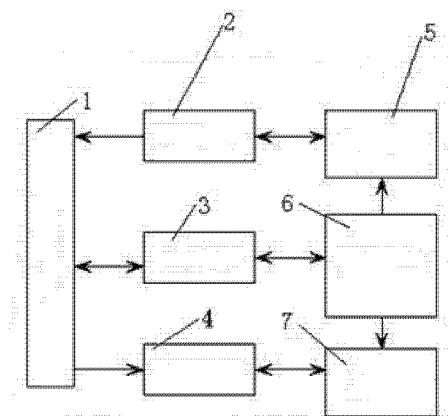
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 实用新型名称

一种 SPI 串口模块的 FPGA 实现装置

(57) 摘要

本实用新型提供了一种 SPI 串口模块的 FPGA 实现装置,属于接口通信领域。该装置以 FPGA 为硬件平台,包括对外并行接口模块(1),数据接收 FIFO 模块(2),通信参数配置模块(3),数据发送 FIFO 模块(4),串行数据接收、命令解析及中断产生模块(5),串行时钟产生及收发控制模块(6),串行数据发送处理模块(7)。可实现对 SPI 通信数据的自动接收和发送,也可由外部对该 SPI 串口进行快速配置,从而完成串口通信速率、时钟模式、工作方式、数据长度等的动态更改。可扩充为多路 SPI 数据通信接口,一方面弥补了常规处理控制器件所自带的 SPI 硬件串口操作繁琐、功能受限的不足,另一方面也把单片机、DSP 从频繁的数据查询或数据中断中解放出来,从而投入更多精力到其它的功能控制中。



1. 一种 SPI 串口模块的 FPGA 实现装置,其特征在于:

包括对外并行接口模块(1),数据接收 FIFO 模块(2),通信参数配置模块(3),数据发送 FIFO 模块(4),串行数据接收、命令解析及中断产生模块(5),串行时钟产生及收发控制模块(6),串行数据发送处理模块(7);

所述对外并行接口模块(1)分别与数据接收 FIFO 模块(2)、通信参数配置模块(3)、数据发送 FIFO 模块(4)相连;

所述数据接收 FIFO 模块(2)又与串行数据接收、命令解析及中断产生模块(5)相连;

所述通信参数配置模块(3)又与串行时钟产生及收发控制模块(6)相连;

所述数据发送 FIFO 模块(4)又与串行数据发送处理模块(7)相连;

所述串行数据接收、命令解析及中断产生模块(5),串行时钟产生及收发控制模块(6),串行数据发送处理模块(7)依次相连。

2. 根据权利要求 1 所述的一种 SPI 串口模块的 FPGA 实现装置,其特征在于:

还包括与串行时钟产生及收发控制模块(6)相连的状态线 SPI_STATUS (12)。

3. 根据权利要求 2 所述的一种 SPI 串口模块的 FPGA 实现装置,其特征在于:

所述对外并行接口模块(1)与处理控制器(8)相连。

4. 根据权利要求 2 所述的一种 SPI 串口模块的 FPGA 实现装置,其特征在于:

所述串行数据接收、命令解析及中断产生模块(5)与主机输入 / 从机输出数据线 SPISOMI (9)相连。

5. 根据权利要求 2 所述的一种 SPI 串口模块的 FPGA 实现装置,其特征在于:

所述串行时钟产生及收发控制模块(6)又分别与串行时钟线 SPICLK (10)、从机选通信号线 SPI_CS (11)相连。

6. 根据权利要求 2 所述的一种 SPI 串口模块的 FPGA 实现装置,其特征在于:

所述串行数据发送处理模块(7)又与主机输出 / 从机输入数据线 SPISIMO (13)相连。

一种 SPI 串口模块的 FPGA 实现装置

技术领域

[0001] 本实用新型涉及接口通信领域,特别是涉及一种串行外设接口(SPI)通信的基于FPGA实现的装置。

背景技术

[0002] 串行外设接口(SPI)是一个高速同步的串行输入/输出。SPI通常用于处理器和外部外设以及其它处理器之间进行通信。很多新型器件如LCD模块、FLASH、ADC、EEPROM存储器以及时钟芯片等都采用了SPI接口。但在实际开发应用中,若主控制器无SPI接口或需要与多个具有SPI接口的外设通信,就要使用主控制器的I/O口通过软件来模拟,这在很大程度上限制了其应用给数据传输带来不便。

[0003] 当前,基于主从处理器结构的系统架构已经成为一种主流(如DSP+FPGA,MCU+FPGA等)。FPGA优点主要在于它有很强的灵活性,即其内部的具体逻辑功能可以根据需要配置,对电路的修改和维护很方便。传统SPI接口的FPGA实现往往采用厂家提供的IP核实现,这种方法虽能基本满足SPI通信要求,但设计不够灵活,不利于功能扩展。

实用新型内容

[0004] 本实用新型的目的是提供一种SPI串口模块的FPGA实现装置,该装置以FPGA为硬件平台,采用硬件来实现SPI接口扩充,可实现对SPI通信数据的自动接收和发送,也可由外部对该SPI串口进行快速配置,从而完成串口通信速率、时钟模式、工作方式、数据长度等的动态更改。该设计可扩充为多路SPI数据通信接口,一方面弥补了常规处理控制器件(单片机、DSP等)所自带的SPI硬件串口操作繁琐、功能受限的不足,另一方面也把单片机、DSP从频繁的数据查询或数据中断中解放出来,从而投入更多精力到其它的功能控制中。该装置既能满足SPI通讯的需求,又设计更灵活,更利于功能扩展。

[0005] 本实用新型或发明采用的技术方案如下:一种SPI串口模块的FPGA实现装置,其特征在于:包括对外并行接口模块1,数据接收FIFO模块2,通信参数配置模块3,数据发送FIFO模块4,串行数据接收、命令解析及中断产生模块5,串行时钟产生及收发控制模块6,串行数据发送处理模块7。

[0006] 所述对外并行接口模块1分别与数据接收FIFO模块2、通信参数配置模块3、数据发送FIFO模块4相连;

[0007] 所述数据接收FIFO模块2又与串行数据接收、命令解析及中断产生模块5相连;

[0008] 所述通信参数配置模块3又与串行时钟产生及收发控制模块6相连;

[0009] 所述数据发送FIFO模块4又与串行数据发送处理模块7相连;

[0010] 所述串行数据接收、命令解析及中断产生模块5,串行时钟产生及收发控制模块6,串行数据发送处理模块7依次相连。

[0011] 作为优选,还包括与串行时钟产生及收发控制模块6相连的状态线SPI_STATUS12。

- [0012] 作为优选,所述对外并行接口模块 1 与处理控制器 8 相连。
- [0013] 作为优选,所述串行数据接收、命令解析及中断产生模块 5 与主机输入 / 从机输出数据线 SPISOMI9 相连。
- [0014] 作为优选,所述串行时钟产生及收发控制模块 6 又分别与串行时钟线 SPICLK10、从机选通信号线 SPI_CS11 相连。
- [0015] 作为优选,所述串行数据发送处理模块 7 又与主机输出 / 从机输入数据线 SPISIMO13 相连。
- [0016] 与现有技术相比,本实用新型的有益效果是:
- [0017] 1、该设计可扩充为多路 SPI 数据通信接口,一方面弥补了常规处理控制器件(单片机、DSP 等)所自带的 SPI 硬件串口操作繁琐、功能受限的不足,另一方面也把单片机、DSP 从频繁的数据查询或数据中断中解放出来,从而投入更多精力到其它的功能控制中。
- [0018] 2、该装置既能满足 SPI 通讯的需求,又设计更灵活,更利于功能扩展。

附图说明

- [0019] 图 1 为本实用新型的装置原理示意图。
- [0020] 图 2 为本实用新型其中一实施例的应用示意图。
- [0021] 图 3 为图 2 所示实施例的 SPI 主模式数据接收时序图。
- [0022] 图 4 为图 2 所示实施例的 SPI 主模式数据发送时序图。
- [0023] 图 5 为图 2 所示实施例的 SPI 主模式数据接收流程图。
- [0024] 图 6 为图 2 所示实施例的 SPI 主模式数据发送流程图。

具体实施方式

- [0025] 下面结合附图和实施例对本实用新型作进一步的说明。
- [0026] 如图 1 所示,一种 SPI 串口模块的 FPGA 实现装置,包括对外并行接口模块 1,数据接收 FIFO 模块 2,通信参数配置模块 3,数据发送 FIFO 模块 4,串行数据接收、命令解析及中断产生模块 5,串行时钟产生及收发控制模块 6,串行数据发送处理模块 7。
- [0027] 所述对外并行接口模块 1 分别与数据接收 FIFO 模块 2、通信参数配置模块 3、数据发送 FIFO 模块 4 相连;
- [0028] 所述数据接收 FIFO 模块 2 又与串行数据接收、命令解析及中断产生模块 5 相连;
- [0029] 所述通信参数配置模块 3 又与串行时钟产生及收发控制模块 6 相连;
- [0030] 所述数据发送 FIFO 模块 4 又与串行数据发送处理模块 7 相连;
- [0031] 所述串行数据接收、命令解析及中断产生模块 5,串行时钟产生及收发控制模块 6,串行数据发送处理模块 7 依次相连。
- [0032] 其中,数据接收 FIFO 模块 2 和数据发送 FIFO 模块 4 用来做接收发送数据的 FIFO。通信参数配置模块 3 供处理控制器 8 读写配置 SPI 的各种参数。对外并行接口模块 1 负责与现有的外部处理控制器 8 (如单片机、DSP 等)进行数据交互。串行数据接收、命令解析及中断产生模块 5 完成串行数据接收、通信命令解析及产生中断信号通知处理控制器 8 进行数据接收操作。串行时钟产生及收发控制模块 6 用来发生主模式下的时钟信号,同时对数据的接收或者发送进行功能切换。串行数据发送处理模块 7 负责把并行进来的数据串行传

出,完成对数据发送的处理。

[0033] 如图 2 所示,还包括与串行时钟产生及收发控制模块 6 相连的状态线 SPI_STATUS 12。

[0034] 所述对外并行接口模块 1 与处理控制器 8 相连。

[0035] 所述串行数据接收、命令解析及中断产生模块 5 与主机输入 / 从机输出数据线 SPISOMI 9 相连。

[0036] 所述串行时钟产生及收发控制模块 6 又分别与串行时钟线 SPICLK 10、从机选通信号线 SPI_CS 11 相连。

[0037] 所述串行数据发送处理模块 7 又与主机输出 / 从机输入数据线 SPISIMO 13 相连。

[0038] 如图 3 和图 4 所示,SPI 串行接口运用 4 条线可与多种标准中心器件间接接口:串行时钟线 SPICLK 10,主机输出 / 从机输入数据线 SPISIMO 13,主机输入 / 从机输出数据线 SPISOMI 9 和低电平有效的从机选通信号线 SPI_CS 11。

[0039] 串行时钟线 SPICLK 10 为主机时钟线,是从机的一个输入,为主机输入 / 从机输出数据线 SPISOMI 9 数据的发送和接收提供同步时钟信号。时钟的相位(CPHA)与极性(CPOL)可以用来控制数据的传输。CPOL=“0”表示 SCLK 的静止状态为低电平,CPOL=“1”则表示 SCLK 的静止状态为高电平。时钟相位(CPHA)可以用来选择两种不同的数据传输模式。如果 CPHA=“0”,数据在信号 SPI_CS 声明后的第一个 SCLK 边沿有效。而当 CPHA=“1”时,数据在信号 SPI_CS 声明后的第二个 SCLK 边沿才有效。因此,主机与从机中 SPI 设备的时钟相位和极性必须要一致才能进行通信。

[0040] SPI 有两种工作模式:主模式和从模式。工作在主模式下,不管是发送还是接收数据,串行时钟线 SPICLK 10 为整个串行通信网络提供时钟。串行数据发送时,首先发送的是最高有效位(MSB),时钟信号的 1 次作用对应 1 位数据的发送(SPISIMO)和另 1 位数据的接收(SPISOMI)。工作在从模式下,不管是发送还是接收数据,一直必需在串行时钟线 SPICLK 10 信号作用下停止,并且从机选通信号线 SPI_CS 11 信号必需有效。1 个典型的 SPI 系统包括一个主 MCU 和 1 个或几个从外围器件。

[0041] 本实用新型在此所举实施例按一个默认数据通信速率(5Mbps)、时钟模式(无相位延时的下降沿)、主 / 从工作方式(主 SPI 模式)进行 SPI 数据的收发。可通过外部处理控制器 8 对本模块进行各种通信参数的动态配置,以适应不同的通信速率、时钟模式、工作方式、数据长度等情况。配置完毕后,即可开始 SPI 数据的收发过程。

[0042] 本实施例中增加了一根主 / 从 SPI 方的握手信号线,即状态线 SPI_STATUS 12,该信号线在从 SPI 方发送数据时被从方拉为低电平,而在从 SPI 方接收数据时被从方设置为高电平。

[0043] 如图 5 所示,当从 SPI 方发送数据的时刻到来时,本装置检测到状态线 SPI_STATUS12 为“低”,则串行时钟产生及收发控制单元立即启动接收逻辑,对外输出串行时钟线 SPICLK 10 信号和选通信号线 SPI_CS 11 信号,同时在串行时钟线 SPICLK 10 上升沿时刻进行数据采样,并将串行数据进行相应缓存。

[0044] 每当采样数据构成一个完整字节时,由接收模块将收到的数据存入“数据接收 FIFO”,同时对串口数据中的特殊字段进行协议解析。过程如下:先检索收全数据同步头字节“AAH AAH”后,对后面接收的完整字节进行 +1 计数处理,再检索收到串口数据总长度字

节后,判断已收到的字节总数是否达到串口数据总长度值。如果达到接收数据总长度值,则表示一帧数据命令接收完整,此处由接收模块置出“命令数据接收完整”标志;同时,当检测到状态线 SPI_STATUS12 的上升沿到来,给出数据接收完毕中断标志信号 int_rxd 及时中断处理控制器 8,通知外部控制器读取数据进行处理,而不必每接收到 1 个字节就中断一次,避免了主程序被频繁中断。

[0045] 目前,本装置的接收 FIFO 和发送 FIFO 深度均设定为 2048 字节,可以缓存大量的通信数据,而不会将先前收到的数据覆盖,外部处理控制器 8 可以在处理完其它紧要任务后,再进行 SPI 数据的读取和后续处理,而不必担心已接收的 SPI 数据会丢掉。

[0046] 如图 6 所示,当需要发送 SPI 数据时,外部处理控制器 8 将需要发送的所有数据依次写入本装置的“数据发送 FIFO 模块 4”中,再对本装置另一个地址单元写入“启动发送命令”后,即可启动数据发送模块发送数据。该装置实时判定数据发送 FIFO 是否为空,若 FIFO 内有数据则立即对外输出串行时钟 SPICLK 信号和选通信号 SPI_CS,并在 SPICLK 的下降沿时刻对取出的数据进行发送,首先发送的是最高有效位(MSB)。即对主程序而言,就是向一特定地址写入所有需要发送的数据,再写入一个启动发送命令即可自动完成全部数据的发送,无需进行发送流程控制。

[0047] 另外,为了保证代码的准确性,首先应根据模块功能需求来编写相应测试向量作为本 SPI 模块的输入激励,然后经过查看模块的输出结果,判定本 SPI 装置的各项功能是否正确。

[0048] 在建立测试平台时,首先建立模拟从 SPI 方数据发送的模块,同时建立模拟主 SPI 方数据发送的模块,再将接收/发送数据内容进行比较、验证。在仿真软件的辅助分析下,得到了正确的结果。

[0049] 同时,将整个设计工程文件经综合后的 EDIF 文件提交给 ISE 进行布局、布线后,把所生成的 mcs 文件下载到 XILINX 公司的 FPGA 芯片 XCV600E 中运行,经过实际测试,能达到该系统所要求实现的性能,具有很强的实用性。

[0050] 以上所述仅为本实用新型的较佳实施例而已,并不用以限制本实用新型,凡在本实用新型的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本实用新型的保护范围之内。

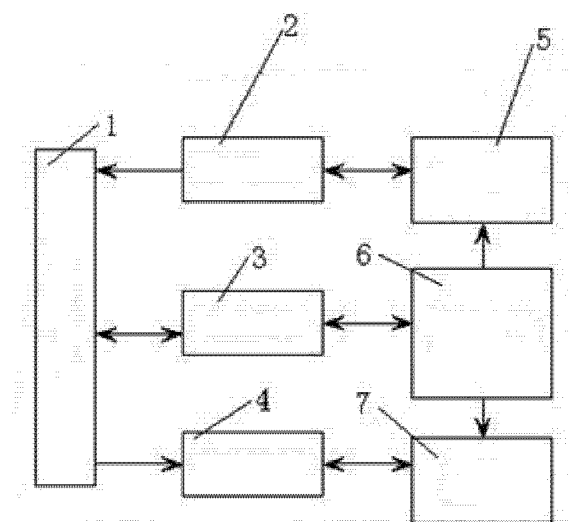


图 1

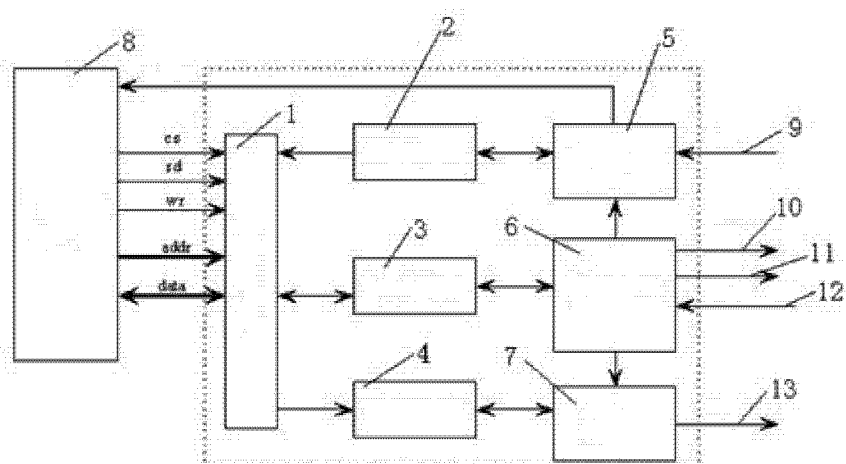


图 2

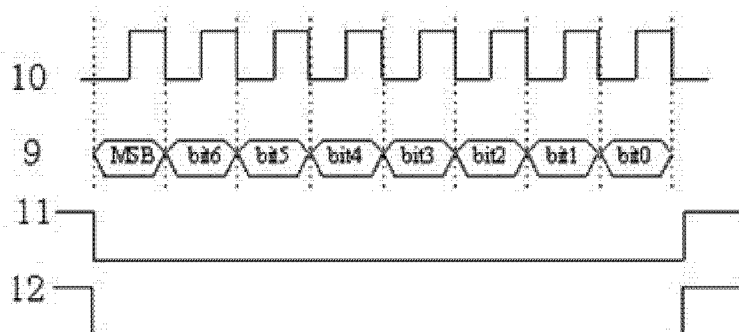


图 3

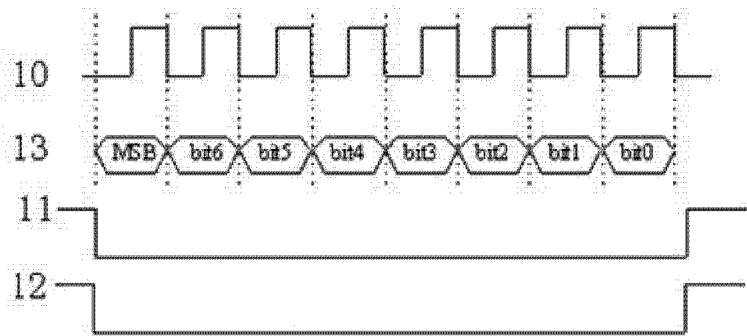


图 4

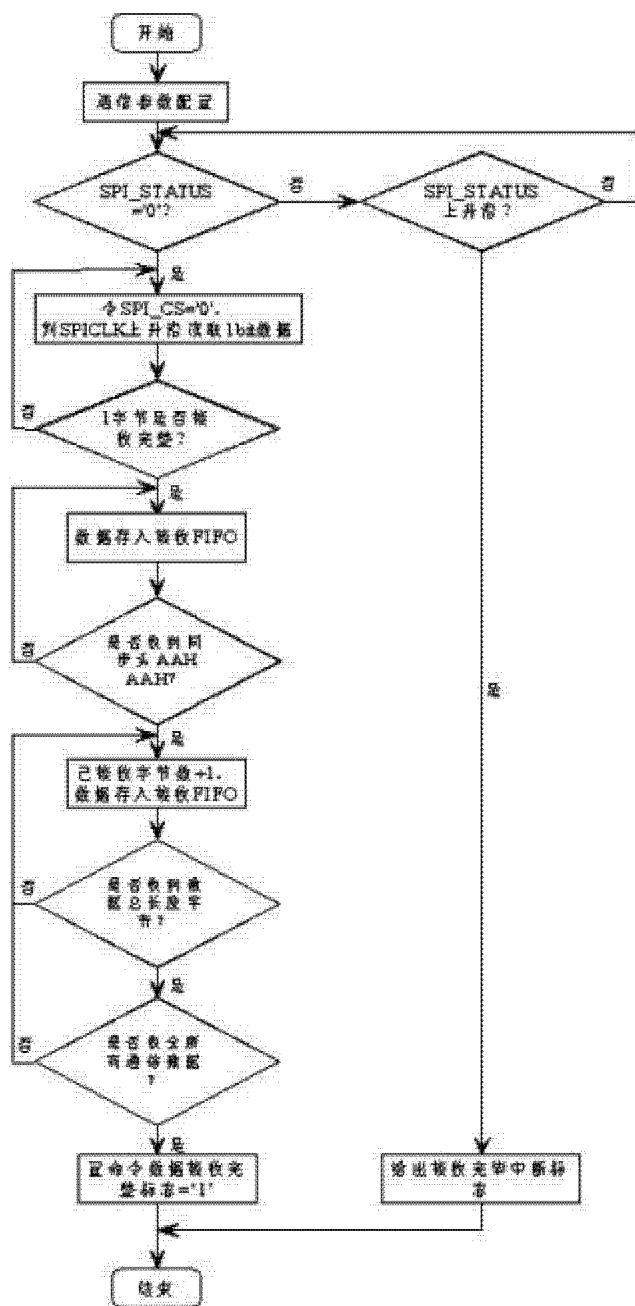


图 5

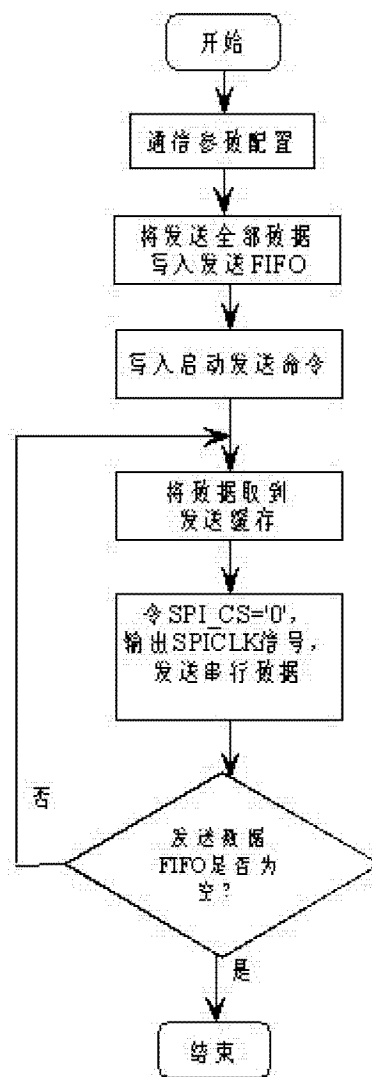


图 6