



(12) 发明专利

(10) 授权公告号 CN 111133565 B

(45) 授权公告日 2023. 10. 13

(21) 申请号 201880062471.1

(22) 申请日 2018.08.27

(65) 同一申请的已公布的文献号
申请公布号 CN 111133565 A

(43) 申请公布日 2020.05.08

(30) 优先权数据
62/565,495 2017.09.29 US
15/975,434 2018.05.09 US

(85) PCT国际申请进入国家阶段日
2020.03.25

(86) PCT国际申请的申请数据
PCT/US2018/048125 2018.08.27

(87) PCT国际申请的公布数据
W02019/067129 EN 2019.04.04

(73) 专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72) 发明人 S·格科特佩里
G·P·埃姆图尔恩 S·A·法内利

(74) 专利代理机构 北京市金杜律师事务所
11256
专利代理师 张宁

(51) Int.Cl.
H01L 21/762 (2006.01)
H01L 23/48 (2006.01)
H01L 23/522 (2006.01)

(56) 对比文件
CN 104733459 A, 2015.06.24
CN 104241267 A, 2014.12.24
CN 104425496 A, 2015.03.18
CN 106170853 A, 2016.11.30
US 2012091593 A1, 2012.04.19
WO 2013024677 A1, 2013.02.21

审查员 杨燕

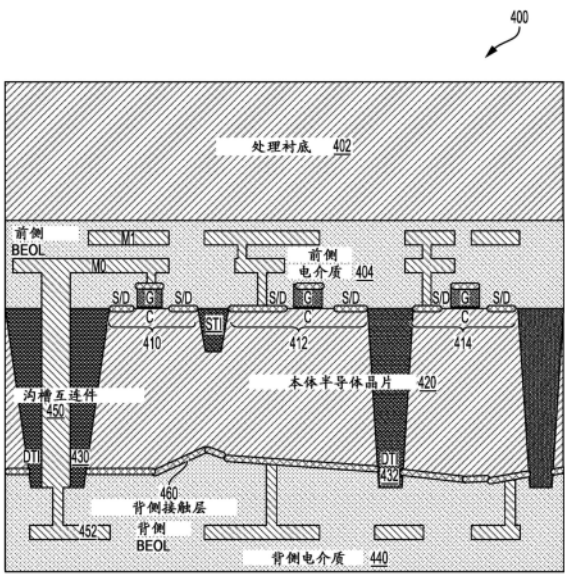
权利要求书3页 说明书9页 附图14页

(54) 发明名称

利用背侧硅化的本体层转印处理

(57) 摘要

射频集成电路 (RFIC) 包括本体半导体管芯。RFIC还包括在本体半导体管芯的第一侧上的第一有源/无源器件,以及从本体半导体管芯的第一侧延伸到与第一侧相对的第二侧的第一深沟槽隔离区。RFIC还包括在本体半导体管芯的第二侧上的接触层。RFIC还包括在接触层上的第二侧电介质层。第一深沟槽隔离区可以延伸穿过接触层并延伸到第二侧电介质层中。



1. 一种射频集成电路RF IC,包括:

本体半导体管芯,包括位于所述本体半导体管芯的第一侧上的第一有源/无源器件、从所述本体半导体管芯的所述第一侧延伸到与所述第一侧相对的第二侧的第一深沟槽隔离区;

接触层,位于所述本体半导体管芯的所述第二侧上;

第一侧电介质层,位于所述第一有源/无源器件上;以及

第二侧电介质层,位于所述接触层上,其中所述第一深沟槽隔离区延伸穿过所述接触层并延伸到所述第二侧电介质层中,所述第二侧电介质层远离所述第一侧电介质层;

沟槽互连件,从所述第一侧电介质层延伸穿过所述第一深沟槽隔离区并延伸到所述第二侧电介质层中;以及

第二侧金属化结构层,位于所述第二侧电介质层中并耦接到所述沟槽互连件。

2. 根据权利要求1所述的RFIC,还包括:

处理衬底,位于所述第一侧电介质层上。

3. 根据权利要求1所述的RFIC,还包括:

第二有源/无源器件,位于所述本体半导体管芯的所述第一侧上;

浅沟槽隔离(STI)区,位于所述本体半导体管芯的所述第一侧上、位于所述第一有源/无源器件和所述第二有源/无源器件之间;以及

第二深沟槽隔离(DTI)区,靠近所述第二有源/无源器件地从所述本体半导体管芯的所述第一侧延伸到所述第二侧。

4. 根据权利要求1所述的RFIC,其中所述接触层包括位于所述本体半导体管芯的所述第二侧的整个长度上的硅化物层。

5. 根据权利要求1所述的RFIC,其中所述第一有源/无源器件包括CMOS晶体管。

6. 根据权利要求1所述的RFIC,被集成到RF前端模块中,所述RF前端模块被并入音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元和便携式计算机中的至少一个中。

7. 根据权利要求6所述的RFIC,其中所述通信设备包括移动电话。

8. 一种构造射频RF集成电路的方法,包括:

在本体半导体晶片的第一侧上制造第一晶体管;

在所述本体半导体晶片中靠近所述第一晶体管地形成第一深沟槽隔离区;

在所述第一晶体管上沉积第一侧电介质层;

将处理衬底键合到所述第一侧电介质层;

在所述本体半导体晶片的第二侧处暴露所述第一深沟槽隔离区;以及

在所述本体半导体晶片的所述第二侧上和在所述第一深沟槽隔离区的经暴露的侧壁上沉积接触层;

制造沟槽互连件,所述沟槽互连件从所述第一侧电介质层穿过所述第一深沟槽隔离区延伸到所述本体半导体晶片的所述第二侧;

在所述本体半导体晶片的所述第二侧上和在所述第一深沟槽隔离区的经暴露的侧壁上沉积第二侧电介质层,所述第二侧电介质层远离所述第一侧电介质层;以及

在所述第二侧电介质层中制造后层转印金属化结构层,所述后层转印金属化结构层耦

接到所述沟槽互连件。

9. 根据权利要求8所述的方法,其中暴露所述第一深沟槽隔离区包括:

对所述本体半导体晶片的所述第二侧进行背侧研磨;以及

将所述本体半导体晶片的所述第二侧抛光至预定的表面变化。

10. 根据权利要求8所述的方法,其中暴露所述第一深沟槽隔离区包括蚀刻所述本体半导体晶片的所述第二侧以暴露所述第一深沟槽隔离区的一部分。

11. 根据权利要求8所述的方法,其中沉积所述接触层包括在所述本体半导体晶片的所述第二侧上沉积硅化物层以形成所述接触层。

12. 根据权利要求8所述的方法,还包括:

在所述本体半导体晶片的所述第一侧上制造第二晶体管;

在所述本体半导体晶片的所述第一侧上在所述第一晶体管和所述第二晶体管之间形成浅沟槽隔离(STI)区;以及

形成靠近所述第二晶体管的、从所述本体半导体晶片的所述第一侧延伸到所述第二侧的第二深沟槽隔离(DTI)区。

13. 根据权利要求8所述的方法,其中暴露所述第一深沟槽隔离区包括蚀刻所述本体半导体晶片的所述第二侧以暴露所述本体半导体晶片中的蚀刻停止层。

14. 根据权利要求8所述的方法,还包括:将所述RF集成电路集成到RF前端模块中,所述RF前端模块被并入音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元和便携式计算机中的至少一个中。

15. 根据权利要求14所述的方法,其中所述通信设备包括移动电话。

16. 一种射频RF前端模块,包括:

无线收发器,包括本体半导体管芯,所述本体半导体管芯包括位于所述本体半导体管芯的第一侧上的第一晶体管,从所述本体半导体管芯的所述第一侧延伸至与所述第一侧相对的第二侧的第一深沟槽隔离区,位于所述本体半导体管芯的所述第二侧上的接触层,以及位于所述接触层上的第二侧电介质层,其中所述第一深沟槽隔离区延伸穿过所述接触层并延伸到所述第二侧电介质层中;以及

天线,耦接到所述无线收发器的输出,

其中所述无线收发器还包括:

第一侧电介质层,位于所述第一晶体管上;

沟槽互连件,从所述第一侧电介质层延伸穿过所述第一深沟槽隔离区并延伸到所述第二侧电介质层中;以及

第二侧金属化结构层,位于所述第二侧电介质层中并耦接到所述沟槽互连件。

17. 根据权利要求16所述的RF前端模块,其中所述无线收发器还包括:

第二晶体管,位于所述本体半导体管芯的所述第一侧上;

浅沟槽隔离(STI)区,位于所述本体半导体管芯的所述第一侧上,位于所述第一晶体管和所述第二晶体管之间;以及

第二深沟槽隔离(DTI)区,靠近所述第二晶体管地从所述本体半导体管芯的所述第一侧延伸到所述第二侧。

18. 根据权利要求16所述的RF前端模块,其中所述无线收发器还包括位于所述第一侧

电介质层上的处理衬底。

19. 根据权利要求16所述的RF前端模块, 被并入音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元和便携式计算机中的至少一个中。

20. 根据权利要求19所述的RF前端模块, 所述通信设备包括移动电话。

利用背侧硅化的本体层转印处理

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年5月9日提交的题为“BULK LAYER TRANSFER PROCESSING WITH BACKSIDE SILICIDATION”的美国专利申请号15/975,434的权益,其要求于2017年9月29日提交的题为“BULK LAYER TRANSFER PROCESSING WITH BACKSIDE SILICIDATION”美国临时专利申请号62/565,495的权益,上述申请的公开内容通过引用明确地整体并入本文。

技术领域

[0003] 本公开总体上涉及集成电路(IC)。更具体地,本公开涉及利用背侧硅化的本体层转印处理。

背景技术

[0004] 由于增加了用于支持通信增强的电路功能,因此设计移动射频(RF)芯片(例如,移动RF收发器)变得很复杂。设计这些移动RF收发器可以包括使用绝缘体上半导体技术。绝缘体上半导体(SOI)技术使用分层的半导体-绝缘体-半导体衬底代替常规半导体(例如,硅)衬底来减少寄生电容并改进性能。因为硅结位于电隔离体(通常是掩埋氧化物(BOX)层)之上,因此基于SOI的器件与常规的硅构建器件不同。然而,厚度减小的BOX层可能不能充分减少由SOI层上的有源器件与支撑BOX层的SOI衬底的靠近引起的人工谐波。

[0005] 例如,当前使用SOI衬底制造高性能互补金属氧化物半导体(CMOS)射频(RF)开关技术。尽管SOI衬底可以针对移动RF收发器中的人工谐波提供一些保护,但SOI衬底非常昂贵。此外,增加器件隔离并减少RF损耗可能涉及昂贵的处理晶片。例如,CMOS开关器件可以物理地键合到诸如HR-硅或蓝宝石之类的高电阻率(HR)处理晶片。尽管开关器件与下层衬底之间的空间间隔增大可以极大改进CMOS开关的RF性能,但使用HR硅或蓝宝石处理晶片会极大地提高成本。即,相对于本体半导体晶片的成本,使用SOI晶片和处理衬底是相当昂贵的。

发明内容

[0006] 射频集成电路(RFIC)可以包括本体半导体管芯。RFIC可以包括在本体半导体管芯的第一侧上的第一有源/无源器件,以及从本体半导体管芯的第一侧延伸到与第一侧相对的第二侧的第一深沟槽隔离区。RFIC还可以包括在本体半导体管芯的第二侧上的接触层。RFIC还可以包括在接触层上的第二侧电介质层。第一深沟槽隔离区可以延伸穿过接触层并延伸到第二侧电介质层中。

[0007] 构造射频(RF)集成电路的方法可以包括在本体半导体晶片的第一侧上制造第一晶体管。方法还可以包括在本体半导体晶片靠近第一晶体管形成第一深沟槽隔离区。方法还可以包括在第一晶体管上沉积第一侧电介质层。方法可以进一步包括将处理衬底键合到第一侧电介质层。方法还可包括在本体半导体晶片的第二侧处暴露第一深沟槽隔离区。方法可以进一步包括在本体半导体晶片的第二侧上和在第一深沟槽隔离区的经暴露的侧

壁上沉积接触层。

[0008] 射频(RF)前端模块可以包括无线收发器。无线收发器可以包括:本体半导体管芯,包括在本体半导体管芯的第一侧上的第一晶体管;以及从本体半导体管芯的第一侧延伸至与第一侧相对的第二侧的第一深沟槽隔离区。无线收发器还可包括在本体半导体管芯的第二侧上的接触层以及在接触层上的第二侧电介质层。第一深沟槽隔离区可以延伸穿过接触层并延伸到第二侧电介质层中。RF前端模块还可包括耦接到无线收发器的输出的天线。

[0009] 这已相当广泛地概述了本公开的特征和技术优点,以便可以更好地理解以下的详细描述。下面将描述本公开的附加特征和优点。本领域技术人员应理解,本公开可以容易地用作修改或设计用于实现本公开的相同目的的其他结构的基础。本领域技术人员还应认识到,这样的等同构造不脱离如所附权利要求中阐述的本公开的教导。当结合附图考虑时,将从以下描述中更好地理解被认为是本公开的特性的新颖特征、其组织和操作方法以及附加的目的和优点。然而,应明确地理解,提供每个附图仅出于图示和描述的目的,并且不旨在作为对本公开的限制的限定。

附图说明

[0010] 为了更完整地理解本公开,现在结合附图参考以下描述。

[0011] 图1是具有用于芯片组的无线局域网模块和射频(RF)前端模块的无线设备的示意图。

[0012] 图2示出了包括绝缘体上RF半导体(SOI)器件的射频集成电路(RFIC)的截面图。

[0013] 图3是根据本公开的各方面的使用本体半导体层转印工艺制造的射频集成电路(RFIC)的截面图。

[0014] 图4是根据本公开的各方面的具有本体半导体管芯的射频集成电路(RFIC)的截面图,本体半导体管芯包括在本体半导体管芯的背侧上的接触层。

[0015] 图5A-图5G图示了根据本公开的各方面的用于制造图4中的RFIC的工艺。

[0016] 图6是图示了根据本公开的各方面的使用本体半导体层转印工艺来构造射频集成电路(RFIC)的方法的工艺流程图。

[0017] 图7是示出其中可以有利地采用本公开的配置的示例性无线通信系统的框图。

[0018] 图8是图示根据本公开的一个配置的用于半导体组件的电路、布局和逻辑设计的设计工作站的框图。

具体实施方式

[0019] 结合附图,以下阐述的具体实施方式旨在作为各种配置的描述,而并非旨在表示可以实践本文描述的概念的唯一配置。为了提供对各种概念的透彻理解,具体实施方式包括特定细节。然而,对于本领域技术人员而言显而易见的是,可以在没有这些具体细节的情况下实践这些概念。在某些情况下,以框图形式示出了公知的结构和组件,以避免使这些概念模糊。

[0020] 如本文所述,术语“和/或”的使用旨在表示“包括性或”,术语“或”的使用旨在表示“排他性或”。如本文中所描述的,在整个说明书中使用的术语“示例性”是指“用作示例、实例或图示”,并且不必一定被解释为比其他示例性配置优选或有利。如本文中所描述的,在

整个说明书中使用的术语“耦接”是指“无论是直接连接还是借助中间连接(例如,开关)、电、机械或以其他方式间接地连接”,并且不一定限于物理连接。附加地,连接可以使得对象被永久地连接或可释放地连接。可以借助开关进行连接。如本文所述,在整个说明书中使用的术语“靠近”是指“邻近、非常接近、紧邻或附近”。如本文所述,在整个说明书中使用的术语“在...上”在一些配置中是指“直接在...上”,而在其他配置中是“间接在...上”。

[0021] 设计移动射频(RF)收发器可以包括使用绝缘体上半导体技术。绝缘体上半导体(SOI)技术使用分层的半导体-绝缘体-半导体衬底代替常规的硅衬底来减少寄生电容并改进性能。尽管通过包括在电隔离体(通常是掩埋氧化物(BOX)层)之上的硅结,基于SOI的器件与常规的硅构建的器件不同,但基于SOI的器件比常规的硅构建器件昂贵。此外,厚度减小的BOX层可能不能充分减少由SOI层上的有源器件与支撑BOX层的SOI衬底的靠近引起的人工谐波。

[0022] SOI层上的有源器件可以包括高性能互补金属氧化物半导体(CMOS)晶体管。例如,当前使用SOI衬底制造高性能CMOS RF开关技术。射频前端(RFFE)模块可以依靠这些高性能CMOS RF开关技术来成功操作。因此,制造RFFE模块的工艺涉及昂贵的SOI晶片集成,以支持这些高性能CMOS RF开关技术。此外,支持未来的RF性能增强涉及增加器件隔离,同时减少RF损耗。

[0023] 用于增加器件隔离并减少RF损耗的一种技术是使用具有富陷阱区的SOI晶片来制造RFFE模块。例如,可以使用具有富陷阱区的SOI晶片来制造RF器件(例如,RF开关器件)。不幸的是,具有富陷阱区的SOI晶片的价格大约是常规SOI晶片的两倍。备选地,层转印工艺可以将RF开关器件(例如,使用SOI晶片制造)物理地键合到高电阻率(HR)处理晶片(例如,HR-硅或蓝宝石)。由于多层绝缘电介质所致,增加的空间间隔使得RF开关器件与下层衬底隔离,从而极大改进了RF开关器件的RF性能。不幸的是,相对于本体半导体晶片的成本,使用包括例如HR-硅或蓝宝石晶片的HR处理晶片相当昂贵。

[0024] 本公开的各个方面提供了用于利用背侧硅化的本体层转印处理的技术。用于集成RF电路的半导体制造的工艺流程可以包括线前端(FEOL)工艺、线中(MOL)工艺和线后端(BEOL)工艺。将理解,术语“层”包括膜,并且除非另有说明,否则不应解释为指示垂直或水平厚度。如本文中所描述,术语“衬底”可指代切块的晶片衬底或可指代未切块的晶片衬底。类似地,术语芯片和管芯可以互换使用。

[0025] 本公开的各方面包括使用本体半导体(例如,硅)晶片来替代SOI晶片。即,本公开的各方面在不使用昂贵的SOI晶片的情况下,采用不昂贵的本体半导体晶片来形成半导体器件层。根据本公开的该方面,射频集成电路(RFIC)包括在本体半导体管芯的前侧上的半导体器件层。深沟槽隔离区可以从本体半导体管芯的前侧延伸到与前侧相对的背侧。

[0026] 硅化物层可以沉积在本体半导体管芯的背侧上作为接触层。附加地,本体半导体管芯的背侧可以由远离半导体器件层上的前侧电介质层(例如,第一侧电介质层)的背侧电介质层(例如,第二侧电介质层)支撑。RFIC还可在前侧电介质层上包括处理衬底。前侧和背侧可以分别称为第一侧或第二侧。在某些情况下,前侧将被称为第一侧。在其他情况下,背侧将被称为第一侧。

[0027] 图1是具有用于芯片组的无线局域网模块和射频(RF)前端模块的无线设备(例如,蜂窝电话或智能电话)的示意图。根据本公开的各方面,无线设备100可以包括用于芯片组

110的无线局域网(WLAN)(例如,WiFi)模块150和RF前端模块170,其可以使用本体半导体管芯来制造。WiFi模块150包括将天线162可通信地耦接到无线局域网模块(例如,WLAN模块152)的第一双工器160。RF前端模块170包括借助双工器180(DUP)将天线192可通信地耦接到无线收发器120(WTR)的第二双工器190。

[0028] 无线收发器120和WiFi模块150的WLAN模块152耦接到调制解调器(MSM,例如,基带调制解调器)130,调制解调器130由电源102借助功率管理集成电路(PMIC)140供电。芯片组110还包括电容器112和114,以及提供信号完整性的(多个)电感器116。PMIC140、调制解调器130、无线收发器120和WLAN模块152各自包括电容器(例如,142、132、122和154)并且根据时钟118进行操作。芯片组110中的各种电感器和电容器组件的几何结构和布置可以减少组件之间的电磁耦接。

[0029] 无线设备100的无线收发器120总体包括移动RF收发器来发射和接收数据以进行双向通信。移动RF收发器可以包括用于数据发射的发射部分和用于数据接收的接收部分。对于数据发射,发射部分可以使用数据对RF载波信号进行调制来获得经调制的RF信号、使用功率放大器(PA)将经调制的RF信号放大来获得具有适当输出功率电平 of 经放大的RF信号,并且将经放大的RF信号经由天线192发射到基站。对于数据接收,接收部分可以经由天线192获得所接收的RF信号,并且可以使用低噪声放大器(LNA)来将所接收的RF信号放大,并且对所接收的RF信号进行处理来恢复由基站在通信信号中发送的数据。

[0030] 无线收发器120可以包括用于将这些通信信号放大的一个或多个电路。放大器电路(例如,LNA/PA)可包括一个或多个放大器级,一个或多个放大器级可具有一个或多个驱动器级和一个或多个放大器输出级。放大器级中的每一个放大器级包括以各种方式配置以将通信信号放大的一个或多个晶体管。存在用于制造被配置为将由无线收发器120发射和接收的通信信号进行放大的晶体管的各种选择。

[0031] 如图2所示,可以使用层转印工艺来实现无线收发器120和RF前端模块170,以将有源器件与衬底分离。

[0032] 图2示出了射频(RF)集成电路200的截面图,射频(RF)集成电路200包括可以使用层转印工艺制造的绝缘体上RF半导体(SOI)器件。如图2所示,RF器件在绝缘体层220上包括有源器件210,绝缘体层220最初由牺牲衬底201支撑。RF器件还包括在第一电介质层204内耦接到有源器件210的互连件250。在层转印工艺中,将处理衬底202键合到RF器件的第一电介质层204,以使得能够去除牺牲衬底201。使用层转印工艺去除牺牲衬底201使得能够通过增加例如第一电介质层204的电介质厚度来实现高性能、低寄生的RF器件。即,RF器件的寄生电容与确定了有源器件210和操作衬底202之间的距离的电介质厚度成比例。

[0033] BOX层220上的有源器件210可以是互补金属氧化物半导体(CMOS)晶体管。RFFE模块170(图1)可以依靠这些高性能CMOS RF技术来成功操作。

[0034] 图3是根据本公开的各方面的使用本体半导体层转印工艺制造的射频集成电路(RFIC)的截面图。代表性地,RF集成电路300包括有源器件310,有源器件310具有各自形成在本体半导体晶片320的前侧上的栅极、源极/漏极(S/D)区以及源极/漏极区之间的沟道区。与SOI实现相比,包括源极/漏极和沟道区的有源器件层不由掩埋氧化物(BOX)层支撑。尽管示出为有源器件,但是应当认识到,有源器件310可以是第一有源/无源器件以及第二有源/无源器件。

[0035] RF集成电路300还包括耦接到有源器件310的源极/漏极区的线中(MOL)/线后端(BEOL)互连件。如上所述,MOL/BEOL层可以被称为第一侧(例如,前侧)层。相比之下,支撑本体半导体晶片320的层可以被称为第二侧(例如,背侧)层。在该示例中,前侧金属化结构层M1耦接到有源器件310的源极/漏极区并且被布置在前侧电介质层304中。附加地,处理衬底302耦接到前侧电介质层304。背侧电介质340与本体半导体晶片320相邻并且可以支撑本体半导体晶片320。附加地,如图4进一步所示,背侧金属化结构层(例如,第二侧金属化结构层)借助穿过深沟槽隔离(DTI)区330的沟槽互连件350耦接到前侧金属化结构层M1,深沟槽隔离(DTI)区330从本体半导体晶片320的前侧延伸到背侧。

[0036] 图4是根据本公开的各方面的具有本体半导体管芯的射频集成电路(RFIC)的截面图,本体半导体管芯包括在本体半导体管芯的背侧上的接触层。代表性地,RF集成电路400包括第一有源器件410、第二有源器件412和第三有源器件414,每个有源器件各自具有各自形成在本体半导体晶片420(例如,本体硅晶片)的前侧上的栅极(G)、源极/漏极(S/D)区和源极/漏极区之间的沟道(C)区。与SOI实现方式相反,包括有源器件的源极/漏极和沟道区的有源器件层(例如,410、412和414)不由掩埋氧化物(BOX)层支撑。

[0037] 尽管示出为第一有源器件,但是应认识到,第一有源器件410可以是第一有源/无源器件以及第二有源/无源器件(例如,第二有源器件412)。尽管示出为平面器件,但是应认识到有源器件(例如,410、412和414)不限于平面器件。例如,有源器件(例如,410、412和414)可以包括但不限于平面场效应晶体管(FET)、鳍式FET(FinFET)、纳米线FET或其他类似的FET。

[0038] RF集成电路400还包括耦接到有源器件(例如,410、412和414)的栅极以及源极/漏极区的MOL互连件(M0)以及BEOL互连件(M1)。MOL互连件可以包括沟槽互连件(例如,CA/CB)和过孔(例如,V0)来将在线前端期间形成的有源器件耦接到在线后端处理期间形成的金属化结构层。在该示例中,MOL互连件M0耦接到第一有源器件410的栅极的栅极触点(例如,多晶硅触点)并布置在前侧电介质层404中。附加地,处理晶片402(处理衬底)耦接到前侧电介质层404。背侧电介质层440与本体半导体晶片420相邻并且可以支撑本体半导体晶片420。

[0039] 在该配置中,背侧金属化结构层(例如,第二侧金属化结构层)借助沟槽互连件450耦接到前侧MOL零互连件M0。沟槽互连件450延伸穿过第一深沟槽隔离(DTI)区430,从本体半导体晶片420的前侧到背侧。背侧金属化结构也可以耦接到背侧接触层460。

[0040] 根据本公开的各方面,第一DTI区430延伸穿过背侧接触层460并延伸到背侧电介质层440中。类似地,第二深沟槽隔离(DTI)区432延伸穿过背侧接触层460并延伸到背侧电介质层440中。在该示例中,沿本体半导体晶片420的背侧沉积背侧接触层460。背侧接触层460可以由硅化物材料或其他类似的导电材料组成。背侧接触层460还接触从本体半导体晶片420的背侧延伸的第一DTI区430的一部分。附加地,背侧电介质层440接触从本体半导体晶片420的背侧延伸的第一DTI区430的其余部分。

[0041] 如图4所示,在无需使用昂贵的SOI衬底的情况下,可以将图2所示的层转印工艺与本体半导体晶片一起使用来创建CMOS产品(例如,CMOS晶体管)。如图5A-图5G所示,本公开的各个方面提供使用背侧硅化来进行本体层转印处理的技术。例如如图4所示,本公开的一个方面使用背侧硅化的本体层转印工艺(图6)来形成RF集成电路。

[0042] 图5A-图5G图示了根据本公开的各方面的用于制造图4的RF集成电路400的工艺。

图5A图示了用于形成图4的RF集成电路400的初始步骤。该工艺可以始于互补金属氧化物半导体(CMOS)晶片,诸如本体硅晶片。接着,在本体半导体晶片420上执行CMOS线前端集成,以形成第一有源器件410、第二有源器件412和第三有源器件414。在该示例中,第一有源器件410和第二有源器件412被浅沟槽隔离(STI)区分离。相比之下,第二有源器件412和第三有源器件414被第二DTI区432分离。应认识到,第一有源器件410和第二有源器件412被DTI区分离,以简化RF集成电路400的制造工艺。

[0043] 根据本公开的各方面,STI区用于有源器件分离,而DTI区用于层转印后分离。第一DTI区430和第二DTI区432的深度可以在0.4微米至4微米的范围内,但是第一DTI区430和第二DTI区432的深度可以针对将来的工艺而减小。DTI区以及STI区可以填充有相似的电介质材料(例如,二氧化硅(SiO_2))并且在有源器件之前形成。

[0044] 一旦形成有源器件,MOL工艺就将有源器件连接到BEOL互连层。在该示例中,零层互连件M0耦接至第一有源器件410的栅极G。附加地,第一BEOL互连件M1耦接至零层互连件M0。第一BEOL互连件M1成为前侧BEOL工艺的一部分。在该工艺之后,沉积前侧电介质层404。一旦沉积了前侧电介质层404,则将操作晶片402键合到前侧电介质层404。操作晶片402可以是经处理的晶片或裸晶片。

[0045] 图5B图示了本体半导体晶片420的背侧研磨工艺。该初始的背侧研磨工艺被应用于本体半导体晶片420远离有源器件层的背侧。该初始背侧研磨工艺可能留下约5微米至10微米的表面变化。背侧研磨工艺在图5C中继续,在图5C中将化学机械抛光(CMP)工艺应用于本体半导体晶片420的背侧。该CMP工艺可以将本体半导体晶片420的背侧的表面变化减小到0.1微米至0.4微米的范围、但优选至0.1微米。该CMP工艺不暴露第一DTI区430或第二DTI区432。

[0046] 如图5B所示,可以以5微米-10微米的表面变化将背侧研磨工艺应用于本体半导体晶片420的背侧。如图5C所示,可以通过将本体半导体晶片420的背侧抛光到预定的表面变化(例如,小于0.3微米)来减小表面变化。附加地,可以执行硅蚀刻(例如,氢氧化钾(KOH)或四甲基氢氧化铵(TMAH))、CMP(化学机械抛光)或CMP和蚀刻的组合来将本体半导体晶片的厚度减小至等于或小于DTI区的厚度的厚度。

[0047] 如图5D所示,硅蚀刻/CMP在本体半导体晶片420的背侧上执行,以将第一DTI区430和第二DTI区432的一部分暴露。在本公开的又一方面,蚀刻停止层可以在本体半导体晶片420中形成,以改进本体半导体晶片420的背侧的平坦性。一旦第一DTI区430和第二DTI区432被暴露,则可以在本体半导体晶片420的背侧的整个长度上沉积层转印后硅化物层来形成背侧接触层460,这将在图5E中进一步描述。

[0048] 如图5F所示,沟槽互连件450穿过第一DTI区430形成。在该示例中,沟槽互连件450耦接到前侧电介质层404中的前侧零互连件M0。如图5G所示,通过形成背侧BEOL互连件452并沉积背侧电介质层440来完成RF集成电路400。背侧电介质层440沉积在本体半导体晶片420的背侧和第一DTI区430从本体半导体晶片420的背侧延伸的经暴露的侧壁上。在该示例中,背侧电介质层440远离前侧电介质层404。在该示例中,背侧BEOL互连件452通过沟槽互连件450耦接到前侧零互连件M0。

[0049] 图6是图示根据本公开的一个方面的利用第二侧(例如,背侧)硅化进行本体层转印工艺来构造射频集成电路(RFIC)的方法600的工艺流程图。在框602中,在本体半导体晶

片的第一侧上制造第一晶体管。例如,如图4所示,在本体半导体晶片420的第一侧上制造第一有源器件410。在框604中,在本体半导体晶片420中靠近第一晶体管形成第一深沟槽隔离区。例如,如图4所示,第一DTI区430从本体半导体晶片420的第一侧延伸到第二侧。

[0050] 方法600可以进一步包括在本体半导体晶片的第一侧上制造第二晶体管。例如,如图4所示,邻近第一有源器件410制造第二有源器件412。可以在形成有源器件之前,在本体半导体晶片420的第一侧上、在第一有源器件410和第二有源器件412之间形成STI区。接下来,可以形成第二DTI区432,第二DTI区432从本体半导体晶片420的第一侧延伸到第二侧,靠近第二有源器件412。例如,如图4所示,第二DTI区432形成在第二有源器件412和第三有源器件414之间。

[0051] 再次参考图6,在框606中,在第一晶体管上沉积第一侧电介质层。例如,如图4所示,在第一有源器件410上沉积前侧电介质层404。再次参考图6,在框608中,将处理衬底键合到第一侧电介质层。例如,如图4所示,将处理晶片402键合到前侧电介质层404。在框610中,在本体半导体晶片的第二侧处暴露第一深沟槽隔离区。

[0052] 例如,如图5D所示,第一DTI区430在本体半导体晶片420的第二侧处暴露。第一DTI区430的暴露可以通过对本体半导体晶片的第二侧进行背侧研磨并将本体半导体晶片的第二侧抛光至预定的表面变化来执行。再次参考图6,在框612中,接触层沉积在本体半导体晶片的第二侧上以及第一深沟槽隔离区的经暴露的侧壁上。例如,如图5E所示,使用背侧硅化工艺将背侧接触层460沉积在本体半导体晶片420的背侧上。

[0053] 本公开的各方面涉及使用本体半导体(例如,硅)晶片来替代SOI晶片。即,本公开的各方面在不使用昂贵的SOI晶片的情况下,采用不昂贵的半导体晶片来形成半导体器件层。本公开的一个方面利用层转印进行背侧硅化工艺来形成在本体半导体晶片的第一侧上包括有源器件层且在本体半导体晶片的第二侧上包括接触层的本体半导体晶片。附加地,层转印后金属化工艺使得能够利用延伸穿过本体半导体晶片中的深沟槽隔离区的沟槽互连件来形成耦接到第一侧金属化的第二侧金属化结构。

[0054] 根据本公开的另一方面,描述了包括本体半导体管芯的RF集成电路,本体半导体管芯在第一侧上具有有源/无源器件且具有从本体半导体管芯的第一侧延伸至与第一侧相对的第二侧的深沟槽隔离区。RF集成电路包括在有源/无源器件上的第一侧电介质层。RF集成电路结构还包括用于在第一侧电介质层上处理RF集成电路的部件。处理部件可以是图3中所示的处理晶片。在本公开的另一方面,前述部件可以是被配置为执行由前述部件记载的功能的任何模块或任何装置。

[0055] 图7是示出其中可以有利地采用本公开的一方面的示例性无线通信系统700的框图。为了图示的目的,图7示出了三个远程单元720、730和750以及两个基站740。将认识到,无线通信系统可以具有更多的远程单元和基站。远程单元720、730和750包括包含所公开的RFIC的IC器件725A、725C和725B。将认识到,其他器件(例如,基站、切换器件和网络设备)也可以包括所公开的RFIC。图7示出了从基站740到远程单元720、730和750的前向链路信号780和从远程单元720、730和750到基站740的反向链路信号790。

[0056] 在图7中,远程单元720被示为移动电话,远程单元730被示为便携式计算机,并且远程单元750被示为无线本地环路系统中的固定位置远程单元。例如,远程单元可以是移动电话、手持式个人通信系统(PCS)单元、诸如个人数字助理(PDA)之类的便携式数据单元、支

持GPS的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(例如,抄表设备)或存储或检索数据或计算机指令的其他通信设备或其组合。尽管图7图示了根据本公开的各方面的远程单元,但是本公开不限于这些示例性图示的单元。本公开的各方面可以适当地用于包括所公开的RFIC的许多设备中。

[0057] 图8是图示用于半导体组件(例如,上述公开的RF器件)的电路、布局和逻辑设计的设计工作站的框图。设计工作站800包括硬盘801,硬盘801包含操作系统软件、支持文件和诸如Cadence或OrCAD的设计软件。设计工作站800还包括显示器802来促进电路设计810或RFIC设计812。提供存储介质804来有形地存储电路设计810或RFIC设计812。电路设计810或RFIC设计812可以以诸如GDSII或GERBER的文件格式存储在存储介质804上。存储介质804可以是CD-ROM、DVD、硬盘、闪存或其他适当的设备。此外,设计工作站800包括用于从存储介质804接受输入或将输出写入存储介质804的驱动装置803。

[0058] 在存储介质804上记录的数据可以指定逻辑电路配置、用于光刻掩模的图案数据或用于串行写入工具(例如,电子束光刻)的掩模图案数据。数据可以进一步包括逻辑验证数据(例如,时序图或与逻辑仿真相关联的网络电路)。通过减少用于设计半导体晶片的工艺的数量,在存储介质804上提供数据有助于电路设计810或RFIC设计812的设计。

[0059] 对于固件和/或软件实现,可以使用执行本文描述的功能的模块(例如,工艺、功能等)来实现方法。有形地体现指令的机器可读介质可以用于实现本文描述的方法。例如,软件代码可以存储在存储器中并由处理器单元执行。存储器可以在处理器单元内或在处理器单元外部实现。如本文所使用的,术语“存储器”指代长期、短期、易失性、非易失性类型或其他存储器,并且不限于特定类型的存储器或存储器数量或存储器所基于的介质类型。

[0060] 如果以固件和/或软件实现,则功能可以作为一个或多个指令或代码存储在计算机可读介质上。示例包括使用数据结构编码的计算机可读介质和使用计算机程序编码的计算机可读介质。计算机可读介质包括物理计算机存储介质。存储介质可以是可由计算机访问的可用介质。作为示例而非限制,这样的计算机可读介质可以包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储装置、磁盘存储装置或其他磁性存储设备或可以用于以指令或数据结构的形式存储期望的程序代码并且可由计算机访问的其他介质;如本文中所使用的,磁盘包括其中盘通常磁性地再现数据的压缩盘(CD)、激光盘、光盘、数字多功能盘(DVD)、软盘和蓝光光盘,而光盘利用激光光学地再现数据。上述的组合也应包括在计算机可读介质的范围内。

[0061] 除了存储在计算机可读介质上之外,指令和/或数据还可以作为信号提供在通信装置中包括的传输介质上。例如,通信装置可以包括具有指示指令和数据的信号的收发器。指令和数据被配置为使得一个或多个处理器实现权利要求中概述的功能。

[0062] 尽管已详细描述了本公开及其优点,但是应当理解,在不脱离由所附权利要求限定的本公开的技术的情况下,可以在本文中进行各种改变、替换和变更。例如,相对于衬底或电子器件使用诸如“之上”和“之下”的关系术语。当然,如果衬底或电子器件颠倒,则之上变为之下,反之亦然。附加地,如果是侧向定向,则之上和之下可以指代衬底或电子器件的侧面。而且,本申请的范围不旨在限于说明书中描述的工艺、机器、制造以及物质的组成、手段、方法和步骤的特定配置。如本领域的普通技术人员将从本公开容易地理解的,根据本公开,可以利用目前存在或将要开发的、执行与本文所述的对应配置基本相同的功能或实现

与本文所述的对应配置基本相同的结果的工艺、机器、制造、物质的组成、手段、方法或步骤。因此,所附权利要求旨在将这样的工艺、机器、制造、物质的组成、手段、方法或步骤包括在其范围内。

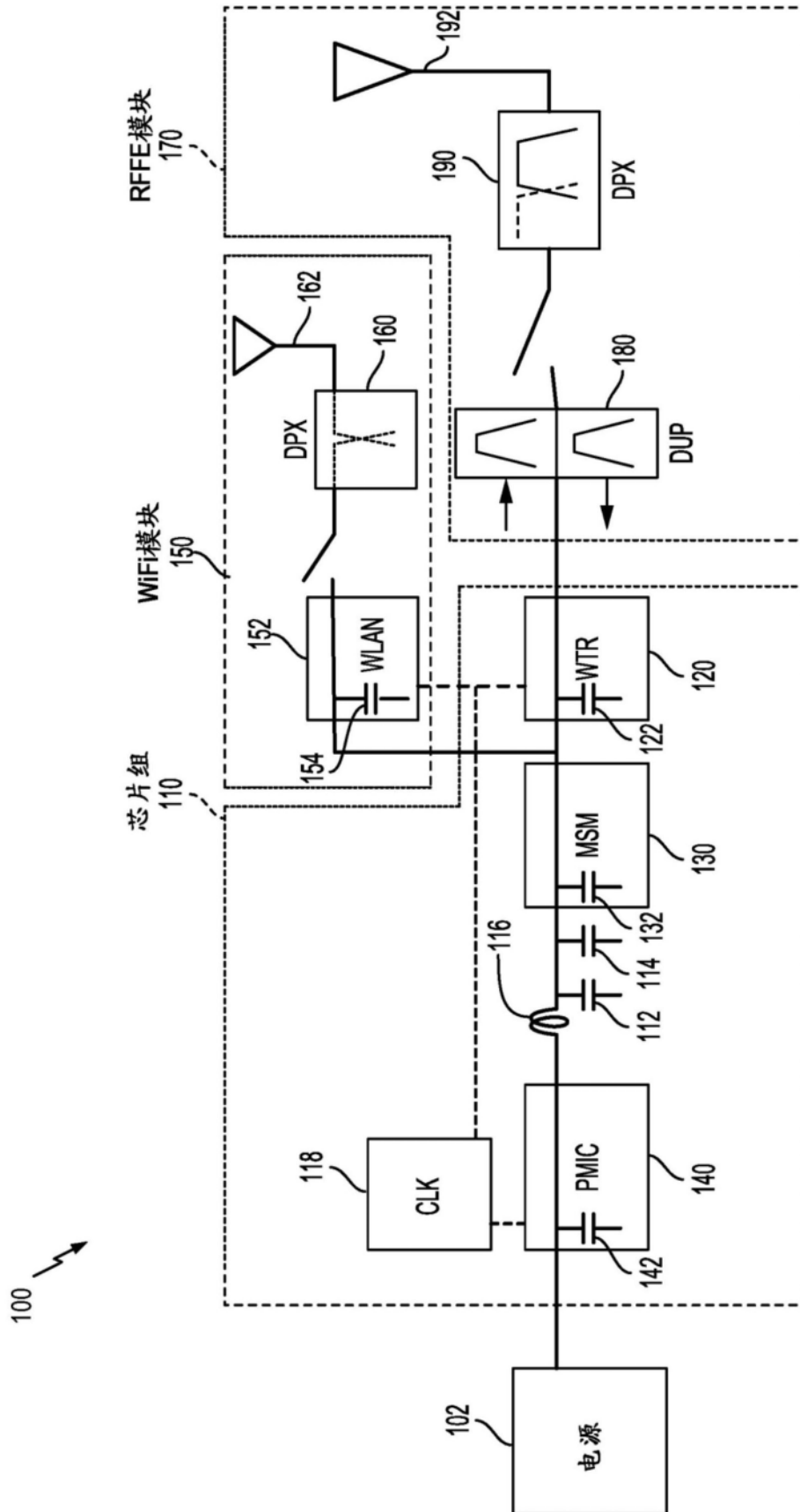


图1

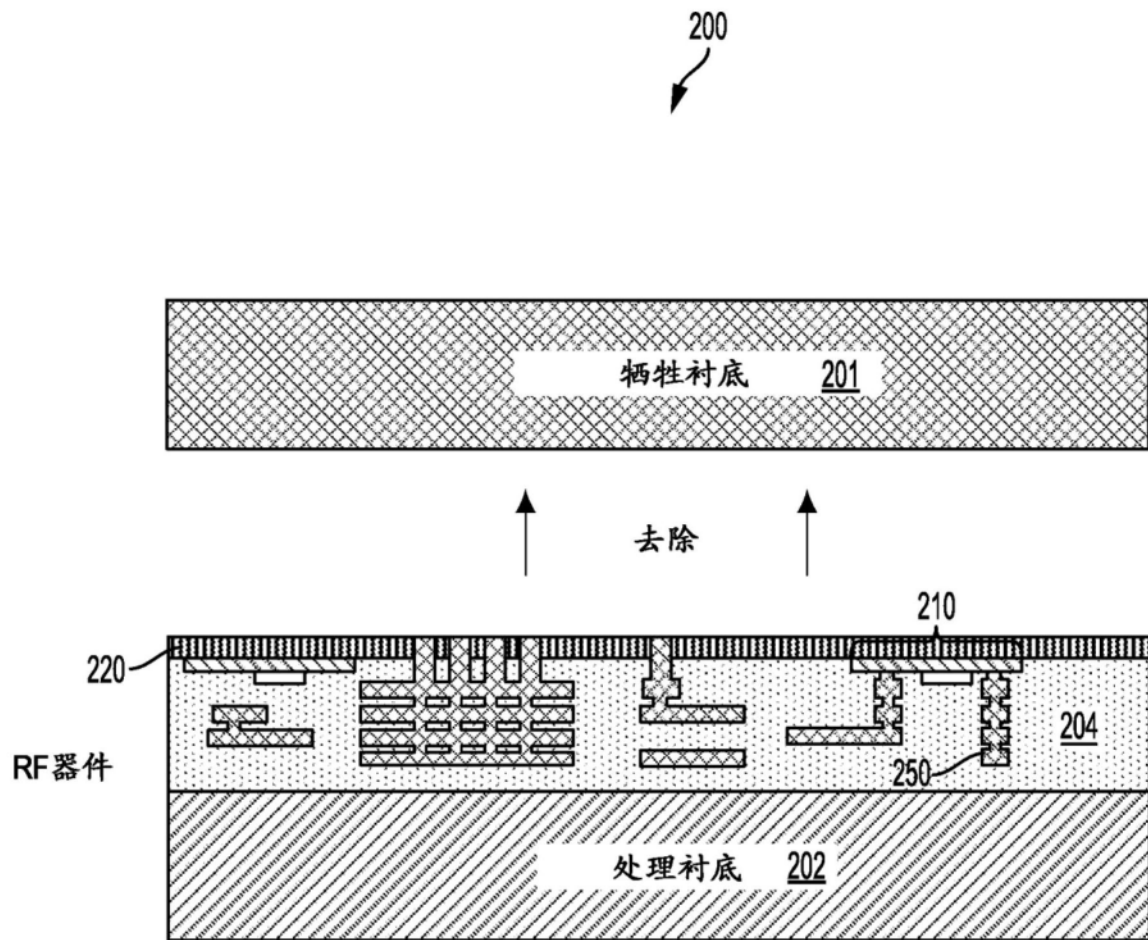


图2

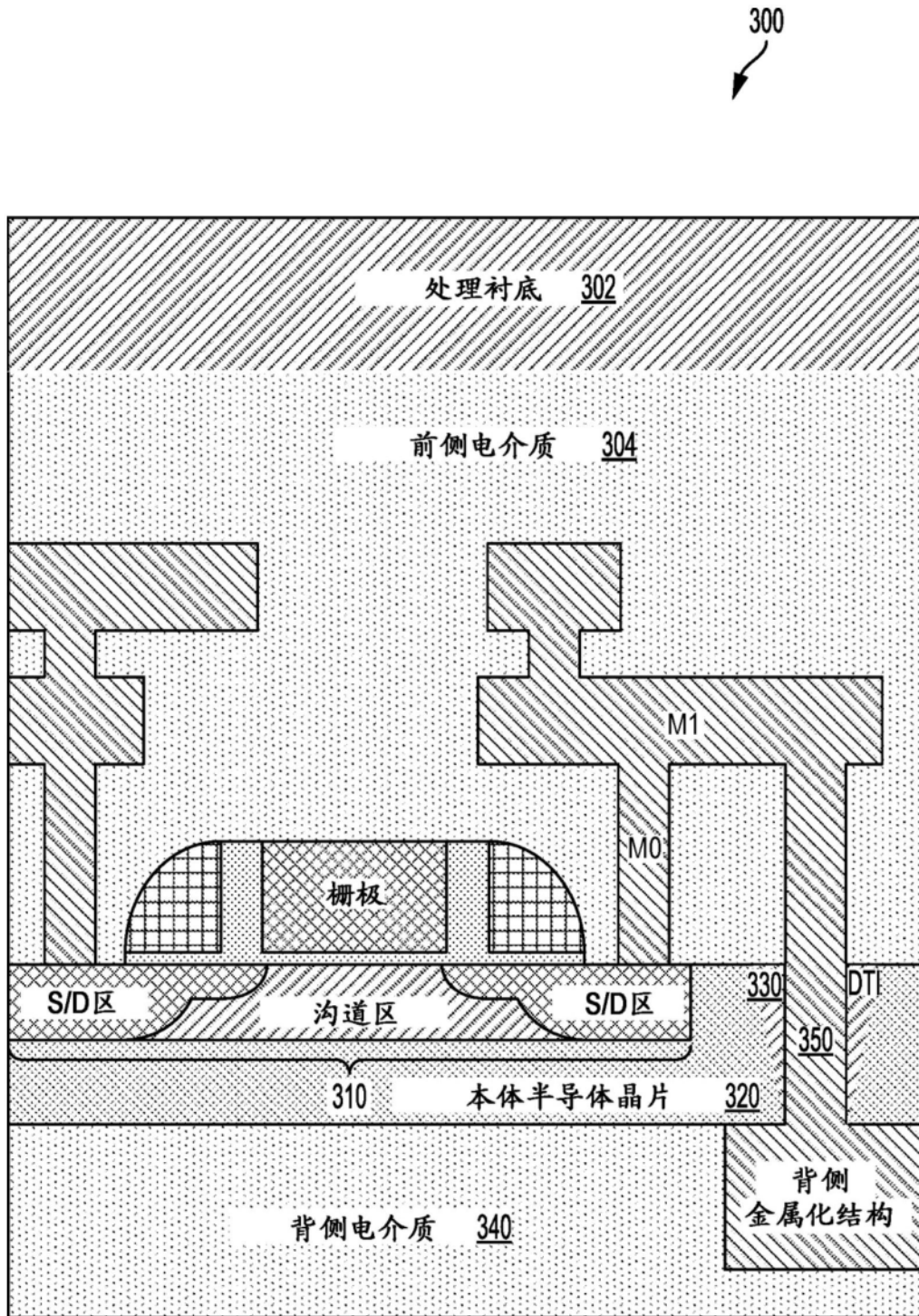


图3

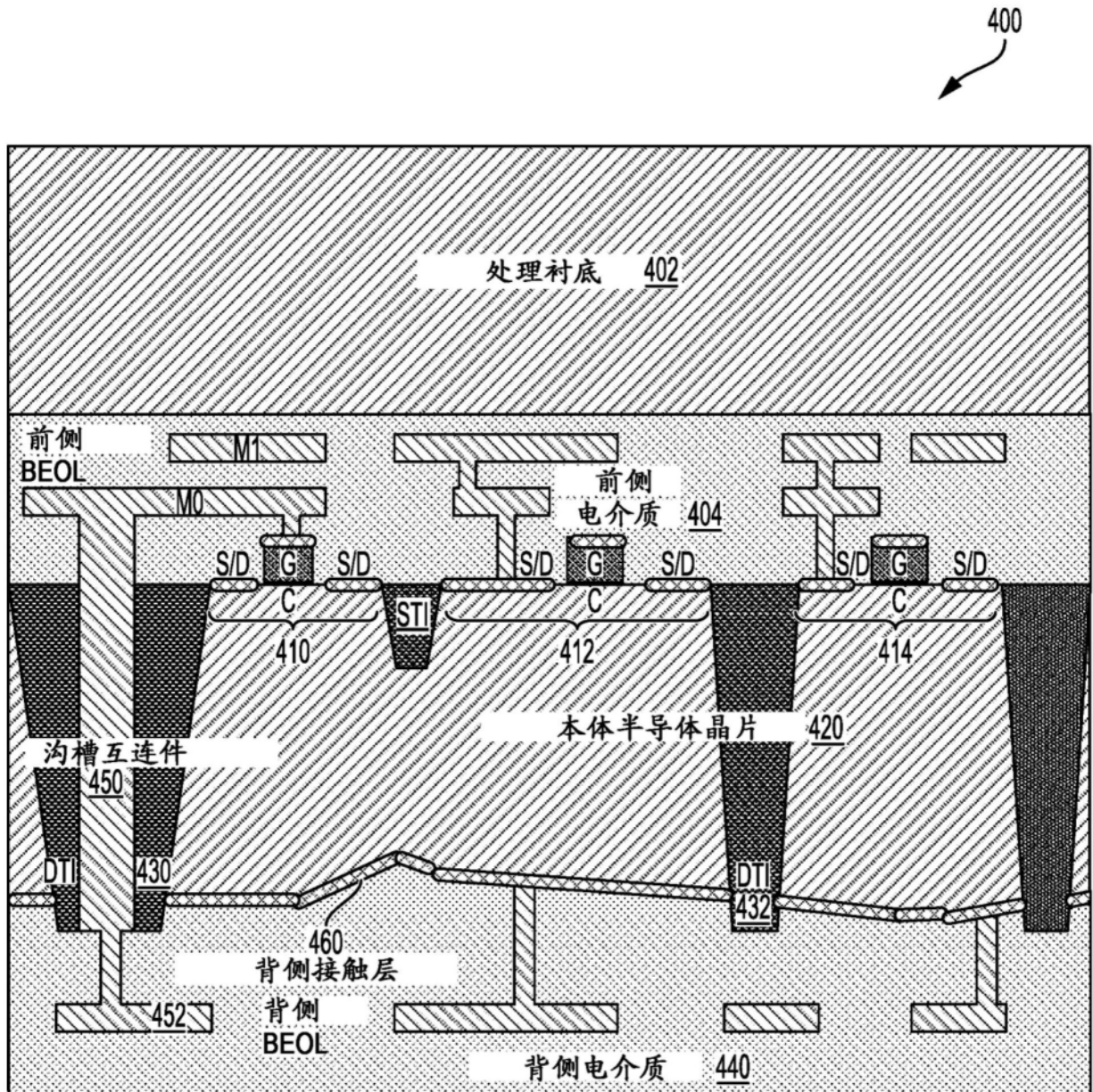


图4

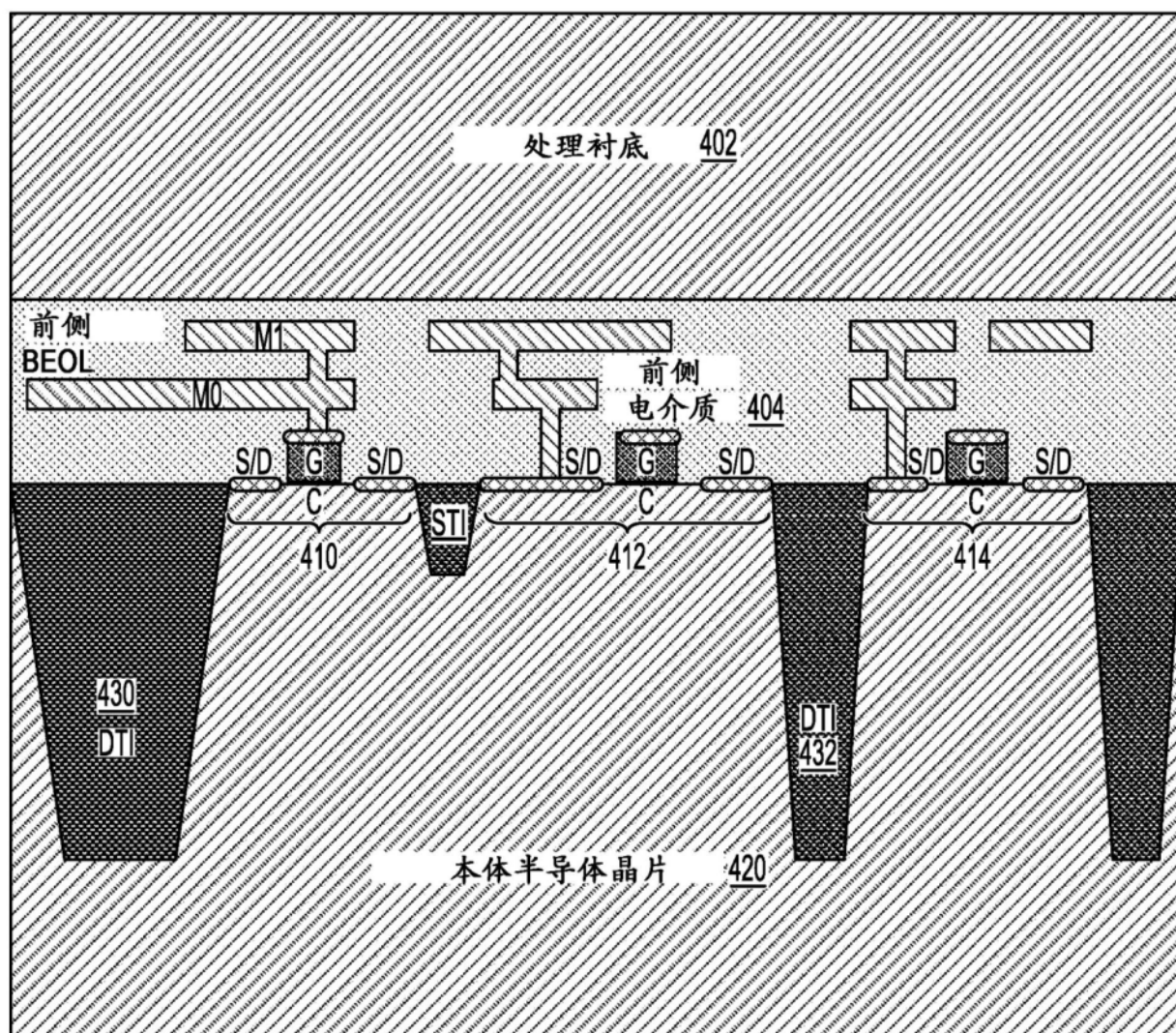


图5A

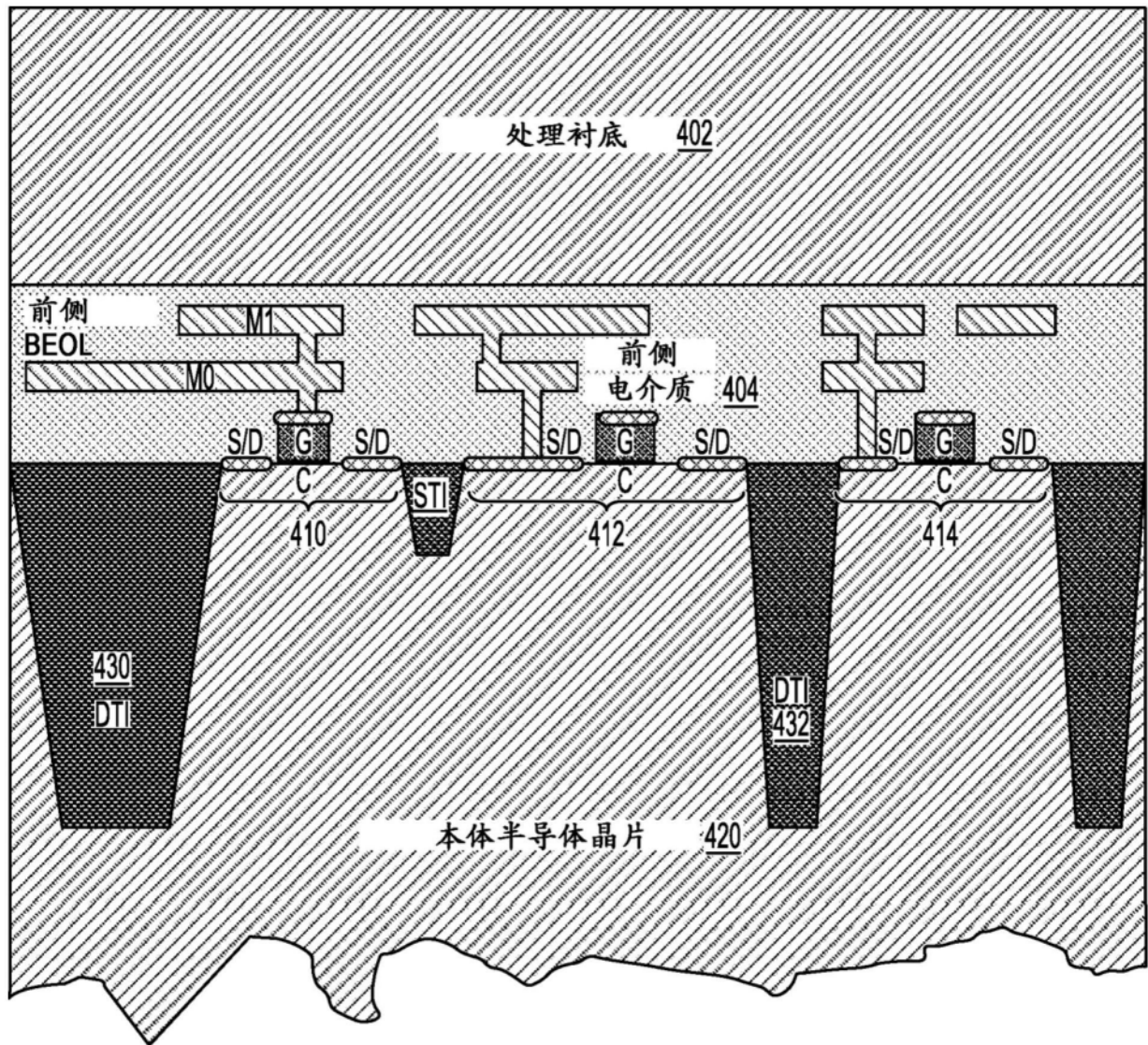


图5B

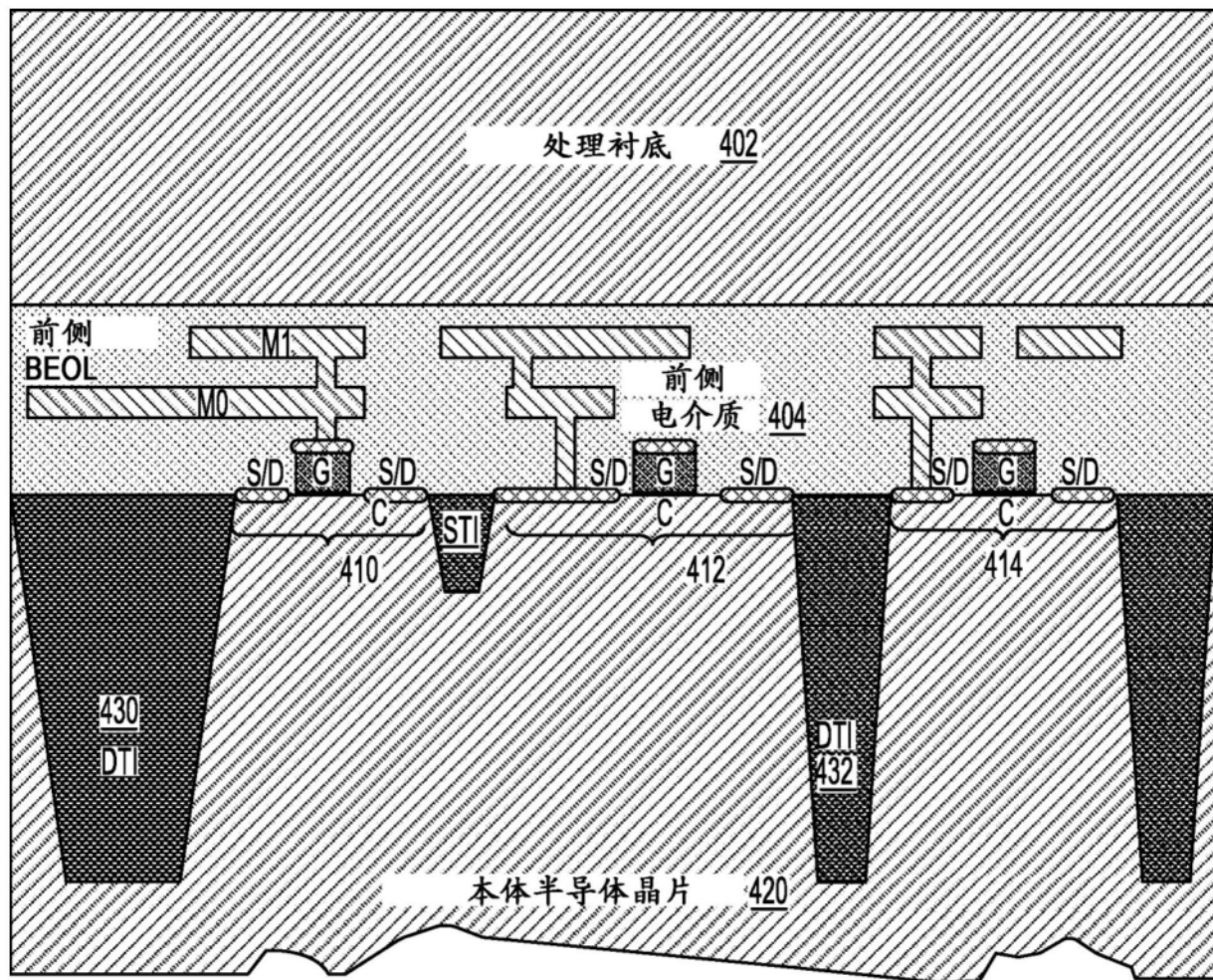


图5C

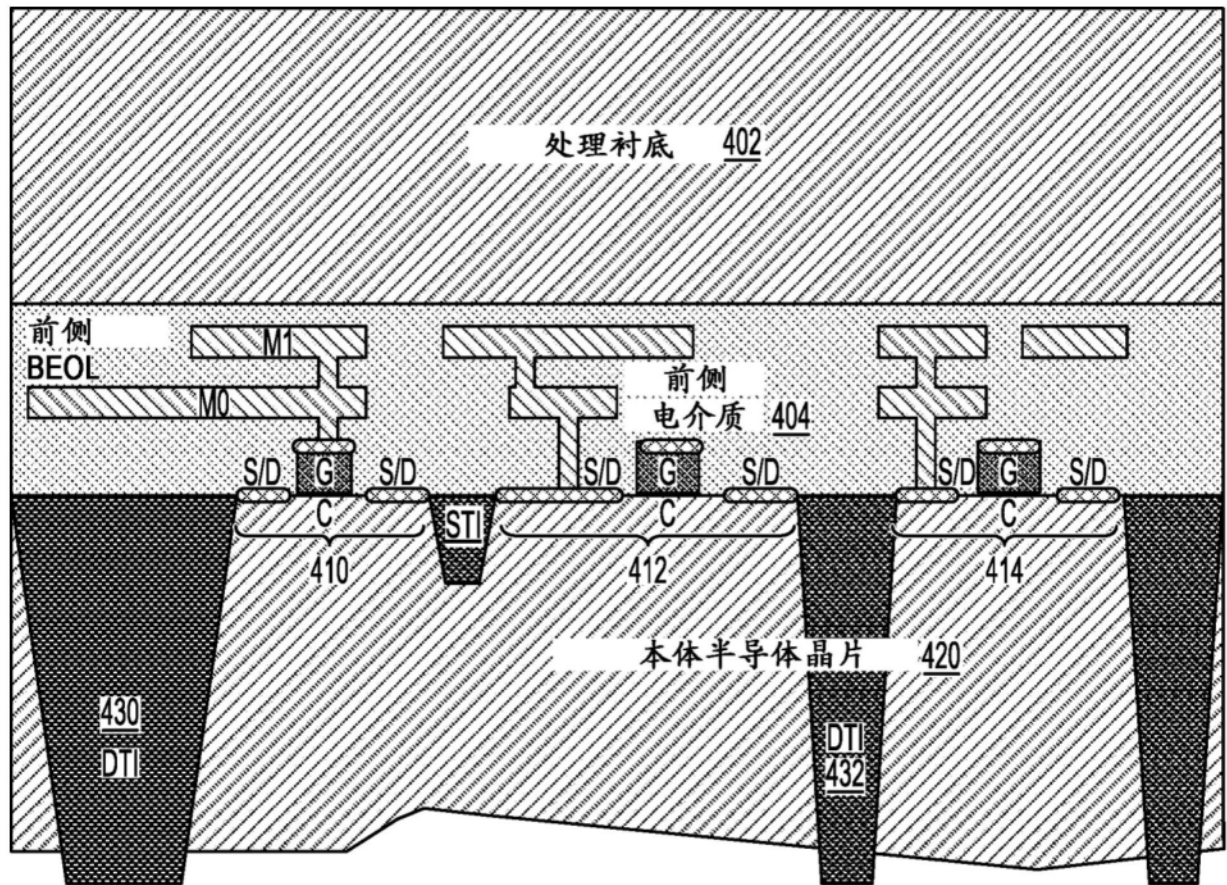


图5D

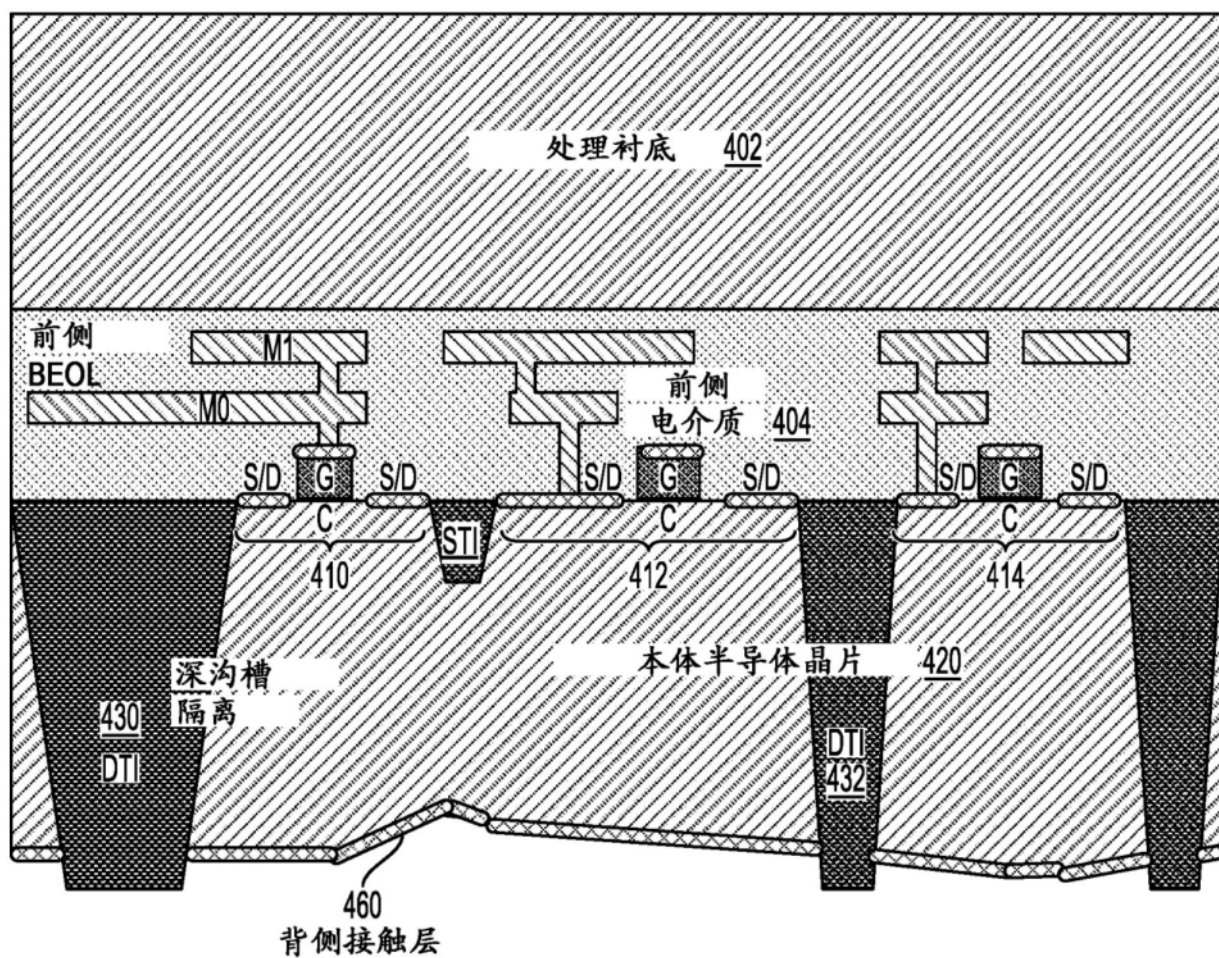


图5E

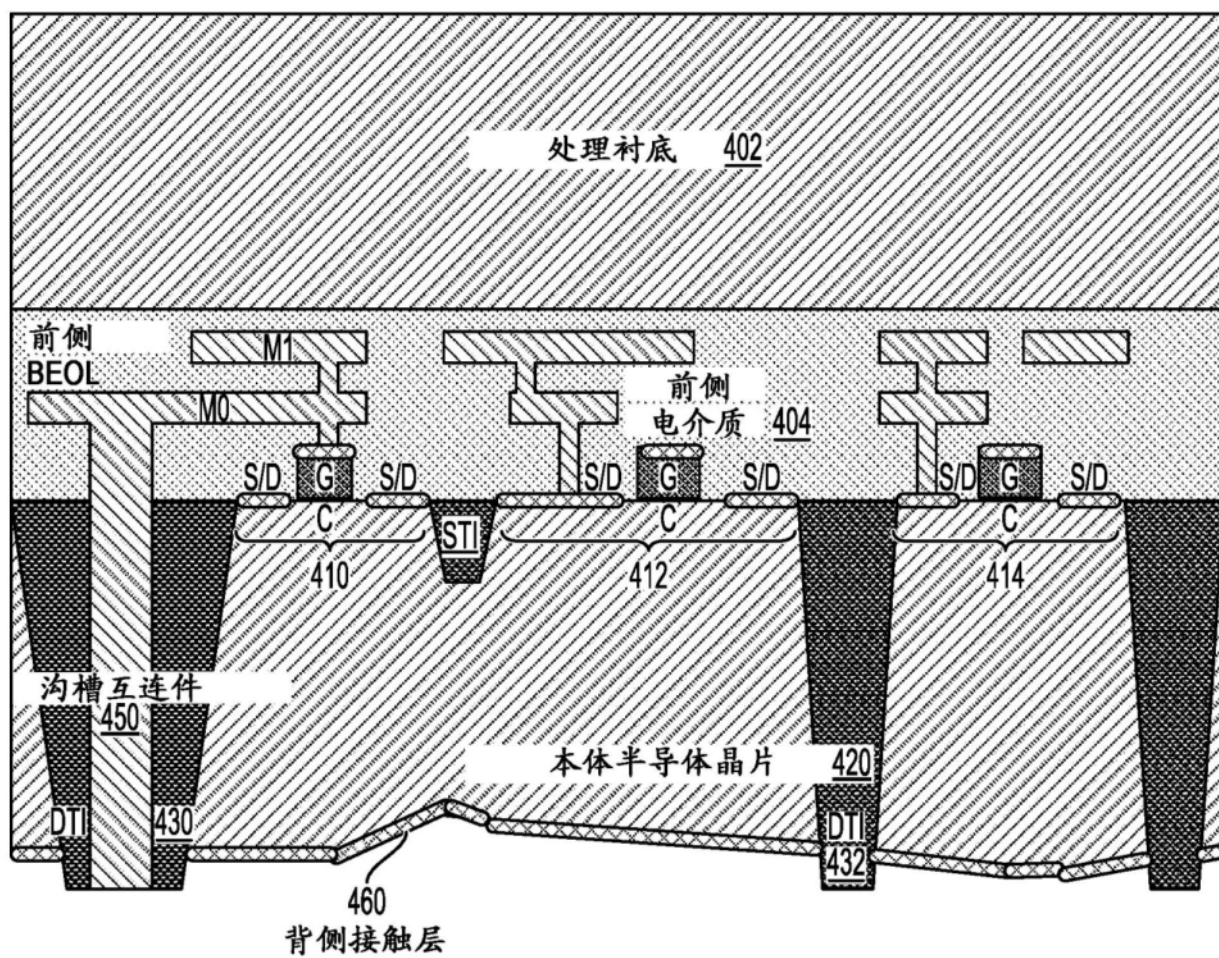


图5F

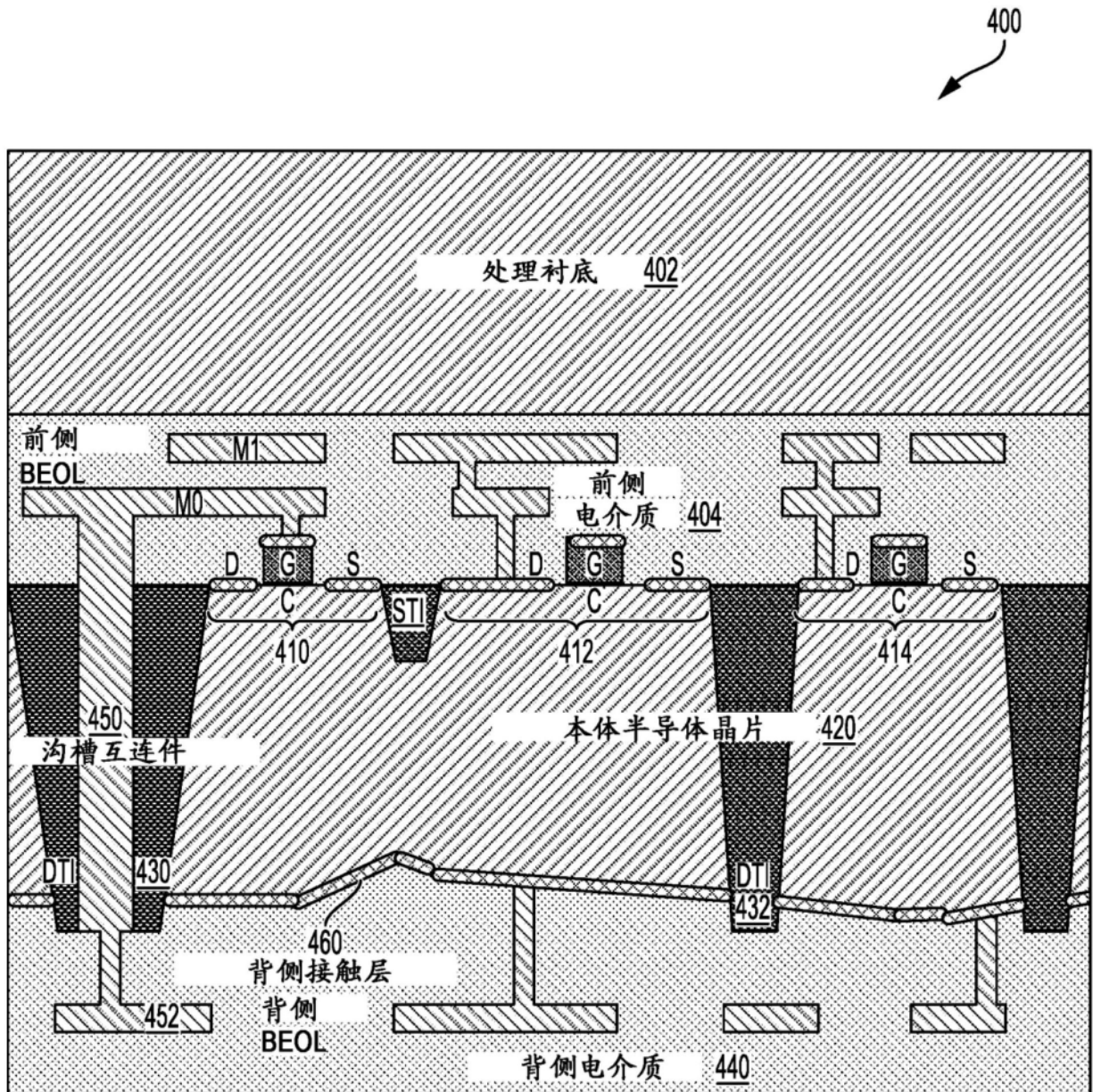


图5G

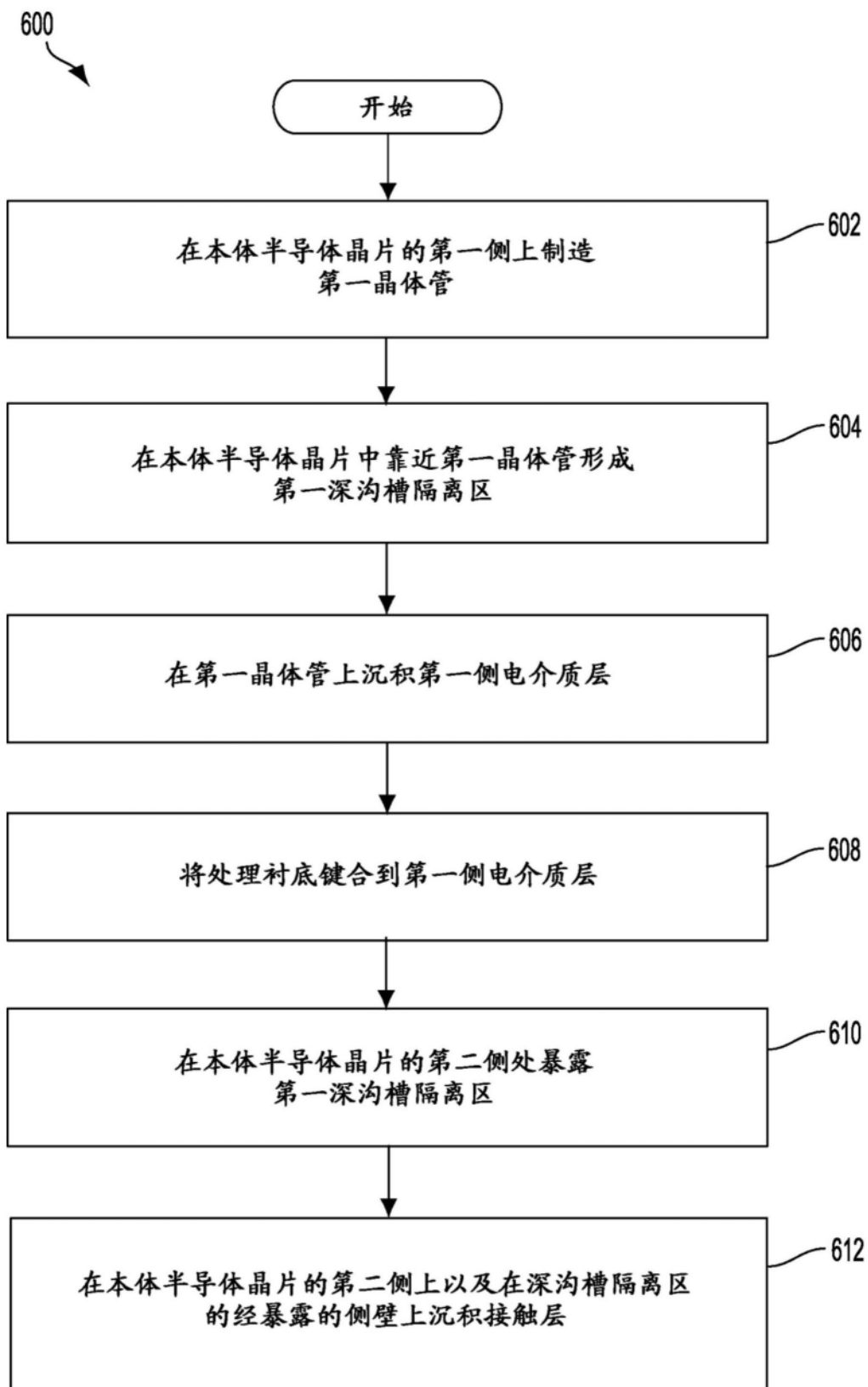


图6

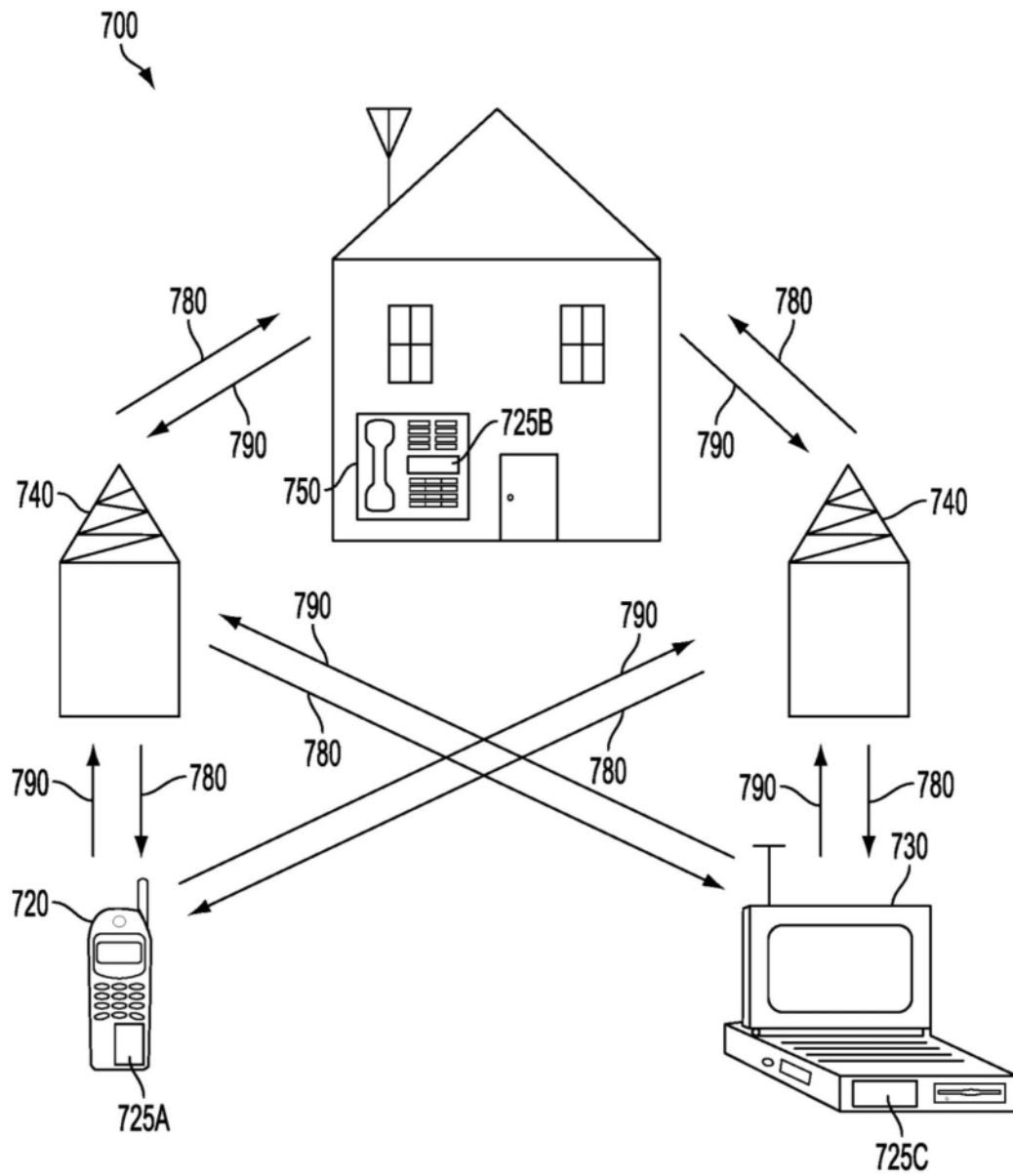


图7

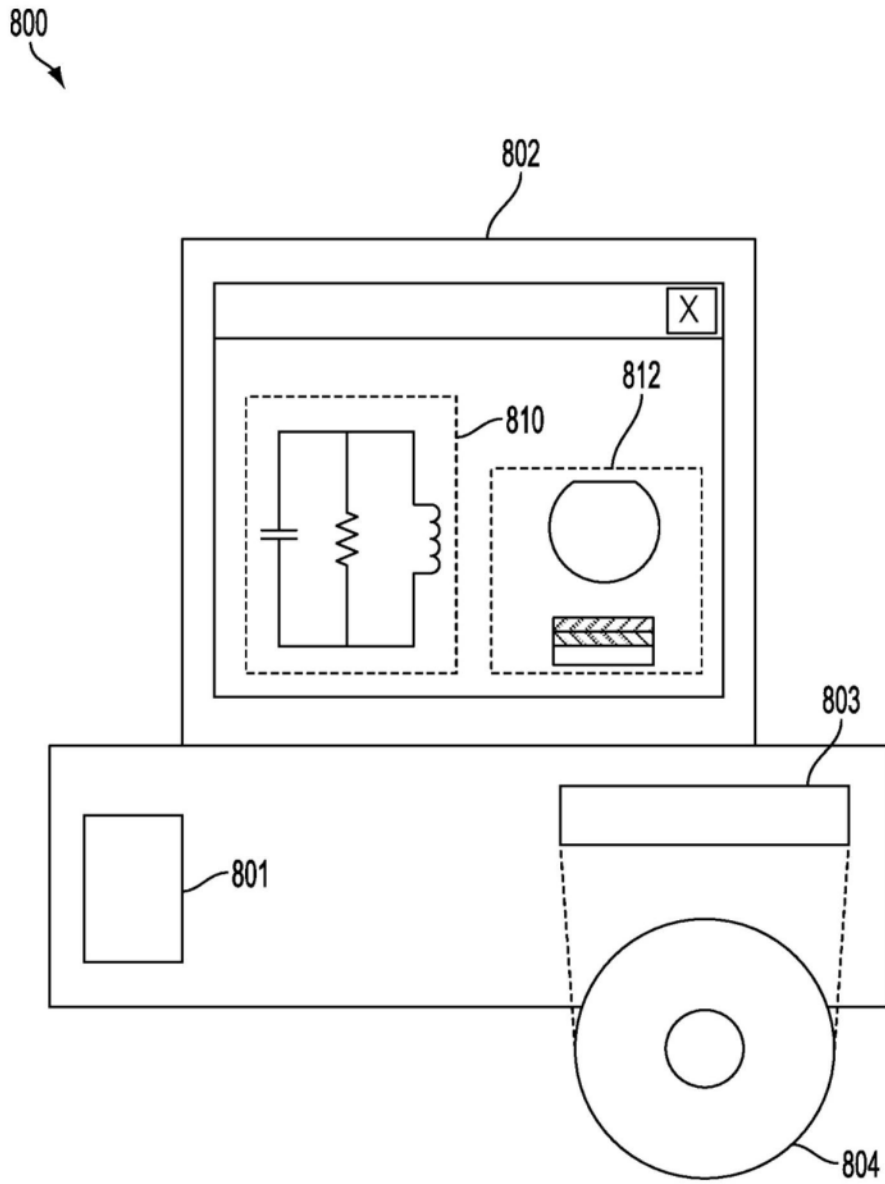


图8