

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4592036号  
(P4592036)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl.

F 1

G06F 12/02 (2006.01)  
G06T 1/60 (2006.01)G06F 12/02 570J  
G06T 1/60 450F  
G06T 1/60 450G

請求項の数 5 (全 22 頁)

(21) 出願番号	特願2000-105196 (P2000-105196)
(22) 出願日	平成12年4月6日 (2000.4.6)
(65) 公開番号	特開2001-290701 (P2001-290701A)
(43) 公開日	平成13年10月19日 (2001.10.19)
審査請求日	平成19年3月27日 (2007.3.27)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100112508 弁理士 高柳 司郎
(74) 代理人	100116894 弁理士 木村 秀二
(74) 代理人	100115071 弁理士 大塚 康弘
(72) 発明者	石井 正士 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】メモリ制御装置及び画像メモリへのアクセス制御方法

## (57) 【特許請求の範囲】

## 【請求項 1】

2次元画像データを表わす仮想的な論理画像領域をアドレスに対応させて格納する画像メモリへの、外部装置によるアクセスを制御するメモリ制御装置であって、

論理画像領域上の座標値を、基準座標値に基づいて前記画像メモリのメモリ領域上の座標値に変換する複数の座標変換回路の中から何れか1つ指示する識別子と、前記論理画像領域についての該基準座標値とが、前記外部装置より設定される設定回路と、

前記論理画像領域上の座標値として前記外部装置より設定された座標値を、前記設定回路から入手した基準座標値に基づいて、前記画像メモリのメモリ領域上の座標値に変換する複数の座標変換回路と、

前記設定回路に設定された識別子に応じて、前記複数の座標変換回路の中から何れか1つの座標変換回路を指示する座標変換指示回路と、

前記座標変換指示回路によって指示された座標変換回路から出力される座標値を、前記画像メモリのアドレスに変換するアドレス生成回路と、

前記アドレス生成回路によって生成されたアドレスに従って前記画像メモリにアクセスするメモリ制御回路と、

を備えることを特徴とするメモリ制御装置。

## 【請求項 2】

前記複数の座標変換回路の中の少なくとも1つの座標変換回路は、前記論理画像領域である矩形形状の論理画像領域を、前記画像メモリのメモリ領域において、該論理画像領域

とは合同ではない矩形形状の領域に変換することを特徴とする請求項 1 記載のメモリ制御装置。

【請求項 3】

前記少なくとも 1 つの座標変換回路は、前記設定回路より入手した座標値のビットシフトを行うことにより、前記合同ではない矩形形状の領域に変換することを特徴とする請求項 2 記載のメモリ制御装置。

【請求項 4】

前記座標変換指示回路は、

前記設定回路に設定される識別子に応じて、前記複数の座標変換回路の中から何れか 1 つ10  
の座標変換回路を指示する指示回路と、

前記複数の座標変換回路からそれぞれ出力される座標値のうち、前記指示回路によって指示された座標変換回路の出力を選択する選択回路と、  
を含むことを特徴とする請求項 1 記載のメモリ制御装置。

【請求項 5】

2 次元画像データを表わす仮想的な論理画像領域をアドレスに対応させて格納する画像メモリへのアクセス制御方法であって、

論理画像領域上の座標値を、前記論理画像領域上の基準座標値に基づいて、前記画像メモリのメモリ領域上の座標値に複数の異なる方法に従って変換する座標変換工程と、

前記座標変換工程にて入手した複数の座標値の中から何れか 1 つの座標値を選択する座標値選択工程と、  
20

前記座標値選択工程にて選択した座標値を、前記画像メモリのアドレスに変換するアドレス生成工程と、

前記アドレス生成工程にて生成したアドレスに従って前記画像メモリにアクセスするメモリアクセス工程と、

を有することを特徴とする画像メモリへのアクセス制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリに記憶するデジタルデータの入出力を制御するメモリ制御装置に関し、  
例えば、2 次元画像データを扱うデジタルカメラやコンピュータグラフィックシステム等の情報機器に適用して好適なメモリ制御装置及び画像メモリへのアクセス制御方法に関する。  
30

【0002】

【従来の技術】

2 次元平面に記録された 2 次元画像は、人間にとて旧来より慣れ親しんだ認識容易な情報であるため、デジタルカメラやコンピュータグラフィックシステム等の情報機器の分野においても、従来より 2 次元画像を扱う様々なアプローチがなされている。

【0003】

係る情報機器の分野における 2 次元画像の処理方法としては、例えば、入力された 2 次元画像を縦横に細分化することによって複数のセルを生成すると共に、それら複数のセルに對して個々に濃度または色を有する画像データとして定義し、その入力された 2 次元画像を、それら定義されたセル単位の画像データの集合体（ラスタ画像）として扱う技術が知られている。  
40

【0004】

また、上述のような処理を行う場合には、入力された 2 次元画像データを情報機器の内部に備えられた記憶領域に保持するのが一般的であるため、一時記憶領域としてメモリが頻繁に使用される。

【0005】

情報機器内部のプロセッサ（CPU）にて扱われるラスタ画像のデータは、X 座標と Y 座標からなる 2 次元座標上の座標値（X, Y）によってセルの位置を特定するのに対して、  
50

メモリ内に読み書きされる実際のデータは、1次元のリニアなアドレス空間によってアクセスを管理される。

**【0006】**

従って、ラスタ画像のデータをメモリ上で管理するためには、プロセッサにおける2次元座標上の座標値（位置情報）を、メモリ内の1次元のアドレス空間（メモリ領域）に対応させる必要がある。そして、その方法についても種々検討がなされており、その具体的な方法としては、2次元画像のX座標及びY座標をメモリの所定のアドレスに対応させる方法が有効であり、その対応をハードウェアで行う方法の一例が、特願2000-49687号（本願出願時点において未公開である）に提案されている。

**【0007】**

上述したプロセッサ内部における2次元座標を、メモリ内の所定の1次元アドレス空間に対応させる方法においては、その所定の1次元アドレス空間にて構成されるメモリ領域が、そのアドレス空間に記憶可能な2次元画像の縦方向（Y座標）の画素数と横方向（X座標）の画素数とを規定することになる。換言すれば、上記の方法において、メモリ内の1次元の全メモリ領域に、プロセッサ内における2次元画像のデータ領域を確保することは、そのメモリ内の所定の1次元アドレス空間によって構成される矩形の画像記憶領域（親領域）の内部に、その矩形より小さな子領域を確保することに相当する。

**【0008】**

**【発明が解決しようとする課題】**

しかしながら、上記の如くメモリ内の所定のアドレス空間（予め固定された全メモリ領域（親領域））の内部に複数の子領域を確保していく際には、複数の子領域を確保していくに連れて、その親領域内の未使用領域は単純な矩形ではなく、複雑な形状になってしまうことが多い。そして、このような状態の親領域の内部に、更に新たな矩形の子領域を確保しようとすると、たとえ親領域内の未使用領域の容量が、その新たに確保しようとしている子領域の容量より大きい場合であっても、その親領域内の未使用領域に当該子領域の矩形形状を当てはめることができないために、当該子領域の確保できない場合がある。

**【0009】**

そこで、本発明は、画像メモリの限られたメモリ領域を効率良く使用するメモリ制御装置及び画像メモリへのアクセス制御方法の提供を目的とする。

**【0010】**

**【課題を解決するための手段】**

上記の目的を達成するため、本発明に係るメモリ制御装置は、以下の構成を備えることを特徴とする。

**【0011】**

即ち、2次元画像データを表わす仮想的な論理画像領域を所定のアドレスに対応させて格納する画像メモリ（23）への、外部装置によるアクセスを制御するメモリ制御装置（100）であって、

所望の論理画像領域上の座標値を、基準座標値に基づいて前記画像メモリのメモリ領域上の座標値に変換する複数の座標変換回路（09乃至11）の中から何れか1つ指示する識別子と、その論理画像領域についての該基準座標値とが、前記外部装置（00）より設定される設定回路（05, 06）と、

前記所望の論理画像領域上の座標値として前記外部装置より設定された座標値を、前記設定回路から入手した基準座標値に基づいて、前記画像メモリのメモリ領域上の座標値に変換する複数の座標変換回路（09乃至11）と、

前記設定回路に設定された識別子に応じて、前記複数の座標変換回路の中から何れか1つの座標変換回路を指示する座標変換指示回路（05, 15）と、

前記座標変換指示回路によって指示された座標変換回路から出力される座標値を、前記画像メモリのアドレスに変換するアドレス生成回路（17）と、

前記アドレス生成回路によって生成されたアドレスに従って前記画像メモリにアクセスするメモリ制御回路（19）とを備えることを特徴とする。

10

20

30

40

50

**【0012】**

上記の装置構成において、前記複数の座標変換回路の中の少なくとも1つの座標変換回路(10, 11)は、(例えば、前記設定回路より入手した座標値のビットシフトを行うことにより)前記論理画像領域である矩形形状の論理画像領域を、前記画像メモリのメモリ領域において、該論理画像領域とは合同ではない矩形形状の領域に変換すると良い。

**【0013】**

また、例えば前記座標変換指示回路は、

前記設定回路に設定される識別子に応じて、前記複数の座標変換回路の中から何れか1つの座標変換回路を指示する指示回路(05)と、

前記複数の座標変換回路からそれぞれ出力される座標値のうち、前記指示回路によって指示された座標変換回路の出力を選択する選択回路(15)とを含むと良い。10

**【0015】**

また、同目的を達成するため、本発明に係る画像メモリへのアクセス制御方法は、以下の構成を備えることを特徴とする。

**【0016】**

即ち、2次元画像データを表わす仮想的な論理画像領域を所定のアドレスに対応させて格納する画像メモリへのアクセス制御方法であって、

所望の論理画像領域上の座標値を、その論理画像領域上の基準座標値に基づいて、前記画像メモリのメモリ領域上の座標値に複数の異なる方法に従って変換する座標変換工程と、前記座標変換工程にて入手した複数の座標値の中から何れか1つの座標値を選択する座標値選択工程と、20

前記座標値選択工程にて選択した座標値を、前記画像メモリのアドレスに変換するアドレス生成工程と、

前記アドレス生成工程にて生成したアドレスに従って前記画像メモリにアクセスするメモリアクセス工程とを有することを特徴とする。

**【0018】****【発明の実施の形態】**

以下、本発明に係るメモリ制御装置の実施形態を、図面を参照して詳細に説明する。

**【0019】****[第1の実施形態]**

はじめに、本実施形態に係るメモリ制御装置100の全体構成について図1を参照して概説する。30

**【0020】**

図1は、第1の実施形態に係るメモリ制御装置の全体構成を示す図である。

**【0021】**

同図において、00は、2次元画像データを扱うところの、デジタルカメラ等に備えられたマイクロコンピュータ等の画像処理装置である。100は、本実施形態に係るメモリ制御装置である。

**【0022】**

01は、データラインであり、画像処理装置00から出力されるデータのメモリ制御部19への転送や、メモリ制御部19から出力されるデータの画像処理装置00への転送に使用される。03は、画像処理装置00とメモリ制御部19との間で交信されるデータ授受のための制御信号のデータラインであり、この制御信号は、データライン01を介して行われる画像メモリ23へのデータの読み書きを制御する。40

**【0023】**

02は、画像処理装置00から論理画像領域識別子等のデータが転送されるデータラインであり、論理画像領域識別子、その論理画像領域識別子が指示する論理画像領域が選択すべき座標変換回路の識別子、そして原点座標が転送される。ここで、画像処理装置00から設定される上記のデータにおいて、論理画像領域識別子は、複数の論理画像領域(本実施形態では、0から15の16個)のうち、画像データの読み書きをすべて画像処理装置50

00にて所定の方法（一例を図9を参照して後述する）によって予め決定された何れかの論理画像領域を指示可能な4ビットのデータである。また、座標変換回路の識別子は、当該論理画像領域識別子にて指示された論理画像領域の座標変換に使用すべき座標変換回路を指示する識別子である。そして、原点座標は、当該論理画像領域が基準座標として採用すべき原点の座標値である。

#### 【0024】

尚、論理画像領域とは、画像処理装置00にて2次元画像を扱う場合の仮想的な領域である。

#### 【0025】

また、04は、画像処理装置00より出力される論理画像領域上の任意画素の座標値のデータラインであり、その論理画像領域の2次元座標x - yにおける当該任意画素の座標値(Xd1, Yd1)を表わすX座標が10ビット、Y座標が10ビットのデータである。この座標値は、論理画像領域識別子で与えられる論理画像領域の座標を表わす。

10

#### 【0026】

05は、16個の2ビットエントリで構成された座標変換回路指示レジスタであり、16個の論理画像領域の各々の領域に対して、3つの座標変換回路09乃至11のうち何れか1つ選択すべき座標変換回路の識別子が画像処理装置00によって設定され、設定された座標変換回路の識別子（本実施形態では2ビットの信号）は、座標マルチプレクサ15に対して出力される。

#### 【0027】

20

06は、16個の20ビットエントリから構成された論理画像領域原点レジスタであり、座標変換回路09乃至11に対して、画像メモリ23の全メモリ領域上における各論理画像領域の原点の座標が画像処理装置00によって設定される。ここで、画像メモリ23の全メモリ領域は、2次元座標X - Yにて表され、上記20ビットエントリは、上位がX座標、下位がY座標を与える。

#### 【0028】

07は、座標変換回路指示レジスタ05から出力される2ビットデータのデータラインであり、座標マルチプレクサ15に座標変換回路（09乃至11）の選択を行わせる。08は、論理画像領域原点レジスタ06から出力される20ビットデータのデータラインであり、上述のように論理画像領域の原点の座標を与える。

30

#### 【0029】

09から11は、3つの座標変換回路である。12は、座標変換回路09から出力される10ビットのX座標及び10ビットのY座標を表わすデータのデータラインである。同様に、13は座標変換回路10から出力されるX座標およびY座標を表わすデータのデータラインである。14は、座標変換回路11から出力されるX座標およびY座標を表わすデータのデータラインである。これら3つの座標変換回路は、何れも画像メモリ23内の全メモリ領域内における座標を与える。

#### 【0030】

15は、座標マルチプレクサであり、座標変換レジスタ出力07から出力される2ビット信号（データ07）に応じて、3つの座標変換回路09乃至11からそれぞれ出力されるX座標及びY座標を表わすデータのうち何れかの座標変換回路のデータを選択し、選択されたデータは、データライン16に出力される。

40

#### 【0031】

17は、アドレス生成回路であり、座標マルチプレクサ15から出力されたX座標及びY座標を表わすデータに基づいて、画像メモリ23内における20ビットのリニアアドレスを生成し、生成されたアドレスデータは、データライン18に出力される。

#### 【0032】

19は、メモリ制御部であり、データライン03を介して画像処理装置00から転送される制御信号、データライン18を介してアドレス生成回路17から転送されるアドレスデータに基づいて、画像メモリ23にアクセスして、データの読み書きを行うための制御信

50

号や、データライン 0 1 を介して画像処理装置 0 0 に転送する信号を出力する。メモリ制御部 1 9 と画像メモリ 2 3との間には、当該メモリから読み出された画像データが出力されるデータライン 2 0 、読み出し・書き込みを行う画像データのアドレスデータが出力されるデータライン 2 1 、そして、2 2 は当該メモリに対する読み出し・書き込み等の制御信号が出力されるデータライン 2 2 が有る。

#### 【 0 0 3 3 】

2 3 は、DRAM、SRAM、Flash ROM 等の画像メモリであり、画像データをメモリ空間のアドレスに対応させて 2 次元の X - Y 座標で格納している。本実施形態では、1 M word × 16 ビットのダイナミック RAM を使用し、1 画素あたり 16 ビットを使用する (Row Address 10bit, ColumnAddress 10bit)。10

#### 【 0 0 3 4 】

次に、上述した図 1 に示す各ブロックの詳細について説明する。

#### 【 0 0 3 5 】

< 座標変換回路指示レジスタ 0 5 , 論理画像領域原点レジスタ 0 6 >

図 2 は、座標変換回路指示レジスタ 0 5 及び論理画像領域原点レジスタ 0 6 の詳細な構成を示す図である。

#### 【 0 0 3 6 】

座標変換回路指示レジスタ 0 5 の内部において、0 5 0 0 から 0 5 1 5 は、それぞれ論理画像領域 0 から 1 5 に対応する座標変換回路指示エントリで、それぞれ 2 ビットである。また、0 6 0 0 及び 0 6 1 5 は、それぞれ論理画像領域 0 ~ 1 5 に対する原点のエントリで、それぞれ 20 ビットある。20

#### 【 0 0 3 7 】

また、論理画像領域原点レジスタ 0 6 の内部において、0 5 1 6 は、16 個のエントリの中から 1 つの回路を選択するマルチプレクサである。0 6 1 6 は、16 個のエントリの中から 1 つの原点座標を選択するマルチプレクサである。

#### 【 0 0 3 8 】

図 2 に示すような回路構成を備える座標変換回路指示レジスタ 0 5 及び論理画像領域原点レジスタ 0 6 は、データライン 0 2 を介して画像処理装置 0 0 より入力される論理領域識別子に応じて、その識別子に対応する 1 つのエントリが 16 個のエントリの中から選択される。座標変換回路指示レジスタ 0 5 及び論理画像領域原点レジスタ 0 6 にてそれぞれ選択されたエントリは、3 つの座標変換回路 (0 9 乃至 1 1 ) の何れか 1 つの回路を指示する 2 ビットのデータを、データライン 0 7 を介して座標マルチプレクサ 1 5 に設定すると共に、原点を指示する 20 ビットのデータを、データライン 0 8 を介して座標変換回路 0 9 乃至 1 1 に設定する。30

#### 【 0 0 3 9 】

< 座標変換回路 0 9 ~ 1 1 >

ここで、3 つの座標変換回路 0 9 乃至 1 1 の動作について、それぞれ説明する。

#### 【 0 0 4 0 】

図 3 は、座標変換回路 0 9 に備えられたシフトレジスタの動作を説明する図である。同図において、(X d , Y d ) は、所定の論理画像領域上におけるある画素の座標値である。(X s , Y s ) は、画像メモリ 2 3 の全メモリ領域内における当該論理画像領域の原点の座標値である。座標変換回路 0 9 において、画像メモリ 2 3 の全メモリ領域内における当該ある画素の座標値 (X f 1 , Y f 1 ) は、図 3 に示すように、当該論理画像領域上における座標値 (X d , Y d ) と同様な形状及びサイズで全メモリ領域上に変換される。40

#### 【 0 0 4 1 】

図 4 は、座標変換回路 1 0 に備えられたシフトレジスタの動作を説明する図である。同図において、(X d , Y d ) は、所定の論理画像領域上におけるある画素の座標値である。(X s , Y s ) は、画像メモリ 2 3 の全メモリ領域内における当該論理画像領域の原点の座標値である。

#### 【 0 0 4 2 】

座標変換回路 10において、画像メモリ 23の全メモリ領域内における当該ある画素の座標値( $X_f 2, Y_f 2$ )は、図4に示すように、当該論理画像領域上における座標値( $X_d, Y_d$ )が、その全メモリ領域上に変換された後においては、横方向が1/2、縦方向が2倍のサイズの矩形に変換される。当該シフトレジスタの具体的な動作としては、X座標をLSB方向に1ビットシフトさせることにより、X座標の値を1/2倍することができ、これにより、領域全体の幅を1/2に変換することができる。また、Y座標をMSB方向に1ビットシフトさせることにより、Y座標の値を2倍にすることができ、これにより、領域全体の高さを2倍に変換することができる。このとき、X座標のシフトであふれたアドレスの0ビットを、Y座標のシフト後のLSBに繰り入れてやれば、座標データは保全され、領域が変形されても、論理画像領域上の全ての画素は、メモリ領域上に正しくマッピングされる。

10

#### 【0043】

更に、図5は、座標変換回路11に備えられたシフトレジスタの動作を説明する図である。同図において、( $X_d, Y_d$ )は、所定の論理画像領域上におけるある画素の座標値である。 $(X_s, Y_s)$ は、画像メモリ23の全メモリ領域内における当該論理画像領域の原点の座標値である。座標変換回路11において、画像メモリ23の全メモリ領域内における当該ある画素の座標値( $X_f 3, Y_f 3$ )は、図5に示すように、図4に示す座標変換回路10の場合と同様なシフトレジスタの操作を行うことにより、当該論理画像領域上における座標値( $X_d, Y_d$ )が、その全メモリ領域上に変換された後においては、横方向が2倍、縦方向が1/2のサイズの矩形に変換される。

20

#### 【0044】

##### <座標マルチプレクサ15>

図6は、座標マルチプレクサ15の詳細な構成を示す図である。同図において、150及び151は、入力される3つの10ビットデータの中から1エントリのみを選択するマルチプレクサである。120、130、140の各データラインは、座標変換回路09乃至11から出力された座標データのうち、X座標の10ビット( $X_f 1, X_f 2, X_f 3$ )である。また、121、131、141の各データラインは、座標変換回路09、座標変換回路10、座標変換回路11から出力された座標データのうち、Y座標の10ビット( $Y_f 1, Y_f 2, Y_f 3$ )である。これらの座標データは、データライン07を介して座標変換回路指示レジスタ05から入力される2ビットのデータによって選択され、具体的には、入力された2ビットデータが00及び01のときに座標変換回路09からの座標データが選択され、10のときは座標変換回路10からの座標データが選択され、11のときは座標変換回路11からの座標データが選択される。マルチプレクサ150及び151にて選択され座標値( $X_f, Y_f$ )は、 $X_f$ がデータライン160、 $Y_f$ がデータライン161に出力される。

30

#### 【0045】

##### <アドレス生成回路17>

図7は、アドレス生成回路17の動作を説明する図である。アドレス生成回路17は、同図に示すように、座標マルチプレクサ15からデータライン160及び161を介して入力された各10ビットの座標値( $X_f, Y_f$ )を、メモリ制御部19に対して出力すべき20ビットのリニアアドレスデータとして、Y座標をリニアアドレスの上位10ビットに設定し、X座標をリニアアドレスの下位10ビットに設定することを示している。即ち、本実施形態において画像メモリ23として採用されるダイナミックRAMが構成する全ての画像記憶領域(全メモリ領域)は、横がColumn方向で1024画素、縦がRow方向で1024画素、ビット深さ16ビットで構成される。

40

#### 【0046】

尚、画像メモリ23として採用する記憶素子はダイナミックRAMに限られるものではなく、一般的なSRAM、FlashROM等を採用しても良い。

#### 【0047】

##### <メモリ制御部19>

50

図8は、メモリ制御部19の内部構成の一部を示す図であり、メモリ制御部19は、アドレス生成回路17より入力される20ビットのリニアアドレスをマルチプレクスし、画像メモリ23として採用されるダイナミックRAMのアドレス信号を生成する。

#### 【0048】

同図において、190は、2エントリのうち何れか1つを選択する10ビットマルチプレクサである。180は、アドレス生成回路17から出力されたリニアアドレスデータのうち、ADR19からADR10までの10ビットのデータが転送されるデータラインであり、181は、当該リニアアドレスデータのADR9からADR0までの10ビットのデータが転送されるデータラインである。また、191は、Row AddressとColumn Addressの切り替え信号が転送されるデータラインであり、Rowのときに1、Columnのときに0が転送される。そして、マルチプレクサ190からは、データライン21を介して、Rowが選択されているときにADR[19:10]が出力され、Columnが選択されているときにADR[9:0]が画像メモリ23に直接出力される。10

#### 【0049】

##### (具体的な動作説明)

次に、画像処理装置00が、画像メモリ23のアドレス空間内に、論理画像領域0として $640 \times 720$ 画素の領域を確保し、その論理画像領域0上の画素にアクセスする場合の具体例を説明する。

#### 【0050】

はじめに、上述した3つの座標変換回路09乃至11の動作のうち、座標変換回路09の動作は、図形の変形も発生せず、最も単純で理解が容易である。そこで、以下の説明において、画像処理装置00は、論理画像領域0に対して、座標変換回路09を使用すると定義されているものとし、その論理画像領域0の原点は(Xs0, Ys0)とする。即ち、図2に示した座標変換回路指示レジスタ05及び論理画像領域0原点レジスタ06に対して、画像処理装置00から設定する値として、論理画像領域0座標変換回路指示レジスタ0500には00を設定し、論理画像領域0原点レジスタ0600には(Xs0, Ys0)を設定する。このとき、論理画像領域0上の任意の点(画素)として(Xd0, Yd0)を与えると、この任意画素に対応するところの、画像メモリ23の全メモリ領域上の座標(Xf0, Yf0)は、図3を参照して上述したように、20

$$Xf0 = Xs0 + Xd0,$$

$$Yf0 = Ys0 + Yd0,$$

で求められ、この対応関係は、図10に示すように表わすことができる。

#### 【0051】

図10は、論理画像領域0と、画像メモリ23の全メモリ領域との対応関係と、論理画像領域0上の任意画素の座標(Xd0, Yd0)と、その任意画素の画像メモリ23の全メモリ領域内における座標(Xf0, Yf0)との対応関係を説明する図である。この場合、図3を参照して上述した座標変換回路09によって座標変換が施されるので、図10に示すように、画像メモリ23の全メモリ領域内に確保されたところの、論理画像領域0に対応する子領域は、変換前の論理画像領域0と同様な形状である。そして、このようにして求められた画像メモリ23の全メモリ領域における任意画素(Xf0, Yf0)の座標データは、上述したアドレス生成回路17及びメモリ制御部19において所定の処理を施され、データライン21を介して画像メモリ23のアクセスに使用される。40

#### 【0052】

更に、上述した論理画像領域0とは別に、画像メモリ23のアドレス空間内に、論理画像領域1として $512 \times 384$ 画素の領域を確保し、その論理画像領域1上の画素にアクセスする場合について説明する。この場合、画像処理装置00は、論理画像領域1の原点を(Xs1, Ys1)に設定し、図2に示した座標変換回路指示レジスタ05及び論理画像領域原点レジスタ06に対して、画像処理装置00から設定する値としては、論理画像領域1座標変換回路指示レジスタ0501には、選択すべき座標変換回路を指示する識別子10を設定し、論理画像領域1原点レジスタ0601には原点座標(Xs1, Ys1)を50

設定する。

#### 【0053】

論理画像領域0として $640 \times 720$ 画素の領域を確保した図10に示す例において、画像メモリ23の全メモリ領域内における論理画像領域0に対応する子領域は、X軸方向の幅が640画素、Y軸方向の高さが720画素であり、本実施形態における画像メモリ23の画像記憶領域は、横方向で1024画素、縦方向で1024画素である。このため、当該全メモリ領域の大きさ( $1024 \times 1024$ 画素)から論理画像領域0として確保した子領域の大きさ( $640 \times 720$ 画素)を差し引いた未使用(未定義)領域の大きさは587776画素であり、論理画像領域1の大きさ( $512 \times 384 = 196608$ 画素)より大きいにも関わらず、論理画像領域0の隣に新たに確保することが可能な矩形形状の子領域は、 $384 \times 304$ 画素の矩形形状に制限される(但し、この場合、確保すべき領域の幅が384画素であっても、高さが304画素より小さい場合は確保可能な場合がある。また、確保すべき領域の高さが304画素であっても、幅が384画素より小さい場合は確保可能な場合がある)。従って、その未使用(未定義)の領域に、論理画像領域1として $512 \times 384$ 画素の矩形形状の子領域をそのままの形のままで確保することは不可能である。

#### 【0054】

そこで、画像メモリ23の全メモリ領域内に $512 \times 384$ 画素の論理画像領域1の子領域を確保すべく、画像処理装置00は、座標変換回路10を選択することにより、当該座標変換回路10から出力される子領域は、図4を参照して上述したように、元の論理画像領域に対して幅が1/2、高さが2倍に変換された $256 \times 768$ 画素の形状となる。これにより、図11に示すように、論理画像領域0に対応する図10に示す子領域の隣に、新たに、論理画像領域1に対応する $256 \times 768$ 画素サイズの子領域を設定することが可能となる。

#### 【0055】

即ち、図11は、論理画像領域0と、画像メモリ23の全メモリ領域との対応関係と、論理画像領域1上の任意画素の座標(Xd1, Yd1)と、その任意画素の画像メモリ23の全メモリ領域内における座標(Xf1, Yf1)との対応関係を説明する図である。上述したように、当該全メモリ領域における論理画像領域1に対応する子領域は、論理画像領域1に対して幅が1/2、高さが2倍の $256 \times 768$ 画素サイズの子領域として確保され、論理画像領域1上の任意画素(Xd1, Yd1)に対応する当該全メモリ領域上の座標(Xf1, Yf1)は、図4を参照して上述した座標変換回路10によって与えられる。そして、このようにして求められた画像メモリ23の全メモリ領域における任意画素(Xf1, Yf1)の座標データは、上述したアドレス生成回路17及びメモリ制御部19において所定の処理を施され、データライン21を介して画像メモリ23のアクセスに使用される。

#### 【0056】

上述した画像処理装置00によるメモリ制御装置100内の座標変換回路指示レジスタ05及び論理画像領域原点レジスタ06へのデータ設定方法をまとめると、図9のフローチャートに示す処理手順となる。この動作制御処理は、アクセスすべき各論理画像領域に対して行われるものであり、画像処理装置00のハードウェアと、その動作を制御するソフトウェアとを用いて実現すれば良い。

#### 【0057】

即ち、アクセスすべき論理画像領域(0乃至15)と合同な矩形形状が、画像メモリ23の未使用領域に確保可能かを、上述した例の如く判断し(ステップS1)、この判断でNO(確保不可能)のときにはステップS3に進み、YES(確保可能)のときには、座標変換回路1を選択すべく、座標変換回路指示レジスタ05内の論理画像領域座標変換指示レジスタに、座標変換回路の識別子として00を設定し(ステップS2)、ステップS7に進む。

#### 【0058】

10

20

30

40

50

ステップS3では、アクセスすべき論理画像領域（0乃至15）を幅が1/2、高さが2倍に変換した矩形形状が、画像メモリ23の未使用領域に確保可能かを、上述した例の如く判断し、この判断でNO（確保不可能）のときにはステップS5に進み、YES（確保可能）のときには、座標変換回路2を選択すべく、座標変換回路指示レジスタ05内の論理画像領域座標変換指示レジスタに、座標変換回路の識別子として01を設定し（ステップS4）、ステップS7に進む。

#### 【0059】

ステップS5では、アクセスすべき論理画像領域（0乃至15）を幅が2、高さが1/2倍に変換した矩形形状が、画像メモリ23の未使用領域に確保可能かを、上述した例の如く判断し、この判断でNO（確保不可能）のときにはステップS8に進み、YES（確保可能）のときには、座標変換回路3を選択すべく、座標変換回路指示レジスタ05内の論理画像領域座標変換指示レジスタに、座標変換回路の識別子として10を設定し（ステップS6）、ステップS7に進む。10

#### 【0060】

そして、ステップS8では、今回アクセスすべき論理画像領域に対する上記のステップS1、ステップS3、ステップS5の各判断結果により、何れの矩形形状によっても領域の確保ができないと判断できるので、その論理画像領域に対する領域の確保に失敗したと判断し、その旨を例えば画像処理装置00内の不図示のメモリ等に記憶する。

#### 【0061】

また、ステップS7では、今回アクセスすべき論理画像領域に対する上記のステップS1、ステップS3、ステップS5の各判断結果により、何れの矩形形状に変換（または変換無し）すれば、領域を確保することができる場合であるので、論理画像領域原点レジスタ06内の何れかの論理画像領域原点レジスタを、ステップS2、ステップS4、ステップS6にて選択した座標変換回路（1乃至3）に応じて設定（選択）する。20

#### 【0062】

以上説明したように、メモリ制御装置100を介して画像メモリ23にアクセスするに際して、画像処理装置00は、画像メモリ23のアドレス空間にマッピングすべき論理画像領域が、その論理画像領域の本来の形状のままでは当該メモリ内の未使用の領域に納まらないと判断した場合には、その論理画像領域の形状を、大きさは同じまま本来の形状とは異なる形状に変更し、その変更後の領域を画像メモリ23のメモリ領域内にマッピングすることができる。このため、画像メモリ23が有する所定のメモリ領域を効率良く使用することができる。30

#### 【0063】

尚、上述した第1の実施形態においては、論理画像領域の形状を、座標変換回路10及び11によって幅方向及び高さ方向に1/2倍、或いは2倍に変換する場合について説明したが、この回路構成に限られるものではなく、幅方向及び高さ方向に1/4倍、1/8倍、或いは4倍、8倍等のように、2のべき乗倍になる回路を採用しても良い。係る変換を実現可能な回路については、容易に実現可能であるため、本実施形態における説明は省略する。

#### 【0064】

また、上述した第1の実施形態においては、図1に示す3つ座標変換回路09乃至11から何れか1つを選択する回路構成を例に説明を行ったが、更に多くの変換回路を備えてもいい。

#### 【0065】

また、上述した第1の実施形態においては、論理画像領域上のX座標を画像メモリ23が有する全メモリ領域上におけるX座標に変換し、論理画像領域上のY座標を当該全メモリ領域上におけるY座標に変換する場合について説明を行ったが、これに限られるものではなく、例えば、論理画像領域上のX座標を、画像メモリ23が有する全メモリ領域上におけるY座標に変換し、論理画像領域上のY座標を当該全メモリ領域上におけるX座標に変換するように回路を設計しても良い。50

**【 0 0 6 6 】**

また、上述した第1の実施形態においては、図1に示すメモリ制御装置100の回路構成において、座標変換回路09乃至11の3つの座標変換回路は、それら回路からの出力がマルチプレクサ15によって選択されるか否かに関らずに、それら3つの回路がそれぞれ座標変換の動作を行う回路構成としたが、この回路構成に限られるものではなく、例えばマルチプレクサ15は省略し、それら3つの回路の中から、画像メモリ23の未使用領域に新たな子領域を確保可能な何れか1つの座標変換回路だけを動作させるように構成しても良い。

**【 0 0 6 7 】****[ 第2の実施形態 ]**

10

次に、上述した第1の実施形態に係るメモリ制御装置100を基本とする第2の実施形態を説明する。以下の説明においては、第1の実施形態と同様な構成については重複する説明を省略し、本実施形態における特徴的な部分を中心に説明する。

**【 0 0 6 8 】**

はじめに、第2の実施形態に係るメモリ制御装置200の全体構成について、図12を参照して説明する。

**【 0 0 6 9 】**

図12は、第2の実施形態に係るメモリ制御装置の全体構成を示す図である。

**【 0 0 7 0 】**

同図において、24は、選択信号生成回路33の1ビットデータが出力されるデータラインであり、この1ビットデータが1のときには、座標計算の結果最終的にオーバーフローが発生したことを示す。これは、論理画像領域上の点が、画像メモリ23の全メモリ領域上の点に変換できないことを意味する。

20

**【 0 0 7 1 】**

06Aは、16個の20ビットエントリを2組備える論理画像領域原点レジスタであり、画像処理装置00より設定された論理画像領域識別子に応じて、座標変換回路26に対し、画像メモリ23の全メモリ領域上における各論理画像領域の原点座標を与える。ここで、上記20ビットエントリは、上位がX座標、下位がY座標（原点1、原点2）を与える。ここで、画像メモリ23の全メモリ領域は、2次元座標X-Yにて表され、上記20ビットエントリは、上位がX座標、下位がY座標を与える。080は、論理画像領域原点レジスタ06Aから出力される20ビットデータのデータラインであり、対象とする論理画像領域の原点1の座標を与える。同様に、081は、論理画像領域原点レジスタ06Aから出力される20ビットデータのデータラインであり、対象とする論理画像領域の原点2の座標を与える。

30

**【 0 0 7 2 】**

25は、16個の1ビットエントリで構成された原点選択方法レジスタであり、16個の論理画像領域の各々に対して、画像メモリ23の全メモリ領域における原点座標として、上記2つの原点（原点1、原点2）のうち何れかを選択する方法を、選択信号生成回路33に指示する。31は、原点選択方法レジスタ25から出力される1ビットデータのデータラインである。

40

**【 0 0 7 3 】**

26は、第1の実施形態の座標変換回路09と等価な回路が2組備えられた座標変換回路であり、論理画像領域原点レジスタ06Aから入手した原点1及び原点2のそれぞれに基づいて、画像メモリ26の全メモリ領域（X-Y座標）への座標変換を行う。27は、座標変換回路26から出力される原点1に基づく10ビットのX座標及び10ビットのY座標を表わすデータのデータラインであり、28は、原点2に基づく10ビットのX座標及び10ビットのY座標を表わすデータのデータラインである。

**【 0 0 7 4 】**

また、29は、座標変換回路26から出力される1ビットデータのデータラインであり、座標変換回路26における原点1に基づく座標計算の結果オーバーフローが生じた場合に

50

は 1、オーバーフローが生じなかかった場合には 0 が出力される。ここで、座標計算結果がオーバーフローしたことは、変換後の座標が画像メモリ 23 の全メモリ領域の外にあることを意味する。同様に、30 は、座標変換回路 26 から出力される 1 ビットデータのデータラインであり、原点 2 に基づく座標計算におけるオーバーフローを示す。

**【0075】**

15A は、座標マルチプレクサであり、データライン 32 を介して入力される選択信号生成回路 33 の出力が 0 のときには、データライン 27 を介して入力される原点 1 に基づく座標を選択し、当該出力が 1 のときには、データライン 28 を介して入力される原点 2 に基づく座標を選択する。16 は、座標マルチプレクサ 15 から出力される 10 ビットの X 座標及び 10 ビットの Y 座標を表わすデータのデータラインである。

10

**【0076】**

33 は、選択信号生成回路であり、座標変換回路 26 から入力される原点 1 に基づく座標計算結果及び原点 2 に基づく座標計算結果、並びに原点選択方法レジスタ 25 から入力される選択指示に基づいて、座標マルチプレクサ 15 に原点 1 に基づく座標を選択させるか、或いは、原点 2 に基づく座標を選択させるかを決定すると共に、最終的なオーバーフローの存否を、画像処理装置 00 に出力する。

**【0077】**

尚、図 12 に示すメモリ制御装置 200において、アドレス生成回路 17、メモリ制御部 19、画像メモリ 23 は、上述した第 1 の実施形態と同様な構成であるため、重複する説明は省略する。

20

**【0078】**

次に、上述した図 12 に示す各ブロックの詳細について説明する。

**【0079】**

<論理画像領域原点レジスタ 06A >

図 13 は、論理画像領域原点レジスタ 06A の詳細を示す図である。

**【0080】**

同図において、0617 から 0632 は、16 個のそれぞれ論理画像領域 0 ~ 15 に対応する原点 1 のエントリであり、同様に、0633 から 0648 は、論理画像領域 0 ~ 15 に対応する原点 2 のエントリである。0649 は、原点 1 に対応する 16 個のエントリの中から何れか 1 つを選択するマルチプレクサであり、0650 は、原点 2 に対応する 16 個のエントリの中から何れか 1 つを選択するマルチプレクサである。マルチプレクサ 0649 及び 0650 からは、画像処理装置 00 からデータライン 02 を介して入力される論理領域識別子に応じて、上記の原点 1 及び原点 2 に対応する各 16 個の論理画像領域原点レジスタの中からそれぞれ 1 つずつ選択され、データライン 27 及び 28 を介して、それ 20 ビットデータがアドレス生成回路 17 に出力される。

30

**【0081】**

<原点選択方法レジスタ 25 >

図 14 は、原点選択方法レジスタ 25 の詳細を示す図である。

**【0082】**

同図において、2500 ~ 2515 は、16 個の論理画像領域 0 ~ 15 に対応する原点選択方法エントリである。2516 は、画像処理装置 00 からデータライン 02 を介して入力される論理領域識別子に応じて、当該 16 個の原点選択方法エントリの中から何れか 1 つの原点選択方法エントリを選択するマルチプレクサである。マルチプレクサ 2516 にて選択されたエントリは、データライン 31 を介して選択信号生成回路 33 に出力される。

40

**【0083】**

<選択信号生成回路 33 >

図 15 は、選択信号生成回路 33 において、座標変換回路 26 から入力される原点 1 及び原点 2 に関するオーバーフロー計算結果、並びに原点選択方法レジスタ 25 から入力される原点 1 または原点 2 何れかの選択データに基づいて、座標マルチプレクサ 15A に対し

50

て出力される選択信号の生成論理を説明する図である。

**【0084】**

同図に示すように、原点選択方法レジスタ25の出力が0のときは、原点1に基づく座標を選択する。また、同出力が1のときは、原点1に基づく座標計算結果がオーバーフローでないときに原点1に基づく座標を選択し、オーバーフローがあるときには原点2に基づく座標を選択する。

**【0085】**

図16は、選択信号生成回路33において、座標変換回路26から入力される原点1及び原点2に関するオーバーフロー計算結果、並びに原点選択方法レジスタ25から入力される原点1または原点2何れかの選択データに基づいて、画像処理装置00に対して出力される最終オーバーフロー信号の生成論理を説明する図である。10

**【0086】**

同図に示すように、原点選択方法レジスタ25の出力が0のときは、原点1に基づく座標計算結果にオーバーフローがあるときに1が出力され、同出力が1のときは、原点1に基づく座標計算結果及び原点2に基づく座標計算結果の両方にオーバーフローがあるときに1が出力される。

**【0087】**

そして、図17は、選択信号生成回路33の詳細な回路構成を示す図であり、図15及び図16を参照して説明した論理は、同図に示す回路によって実現される。

**【0088】**

(具体的な動作説明)

次に、本実施形態に係るメモリ制御装置200の具体的な動作について説明する。まず、本実施形態においても、画像処理装置00は、論理画像領域0として $640 \times 720$ 画素の領域を、画像メモリ23に確保し、その論理画像領域0上の任意画素にアクセスする場合を例に説明する。但し、説明を単純にするため、選択する原点座標としては、原点1を使用するものとし、その原点1の座標値を( $X_{s00}, Y_{s00}$ )とする。即ち、図13に示した座標変換回路指示レジスタ05A及び原点選択方法レジスタ25に対して、画像処理装置00から設定する値として、論理画像領域0原点1レジスタ0617には( $X_{s00}, Y_{s00}$ )を設定し、論理画像領域0原点選択方法レジスタ2500には0を設定する。このとき、論理領域上の任意画素(点)として( $X_{d0}, Y_{d0}$ )を与えると、画像メモリの全メモリ領域における当該任意画素に対応する座標( $X_{f0}, Y_{f0}$ )は、常に原点1に基づいて計算されるため、第1の実施形態と同様に。30

$$X_{f0} = X_{s00} + X_{d0},$$

$$Y_{f0} = Y_{s00} + Y_{d0},$$

で求められる。

**【0089】**

更に、論理画像領域0とは別に、論理画像領域1として $512 \times 384$ 画素の領域を画像メモリ23のメモリ領域上に確保する場合について説明する。この場合、第1の実施形態で説明した同様な理由から、上記 $512 \times 384$ 画素の領域は、そのままの形では未使用領域に確保することは不可能である。そこで、本実施形態では、座標変換回路26にて算出した原点1及び原点2に基づく座標変換の計算結果を、図15乃至図17を参照して説明した選択信号生成回路33にて適宜選択することにより、未使用領域に確保する。その具体的な方法について図19を参照して説明する。40

**【0090】**

図19は、論理画像領域1と、画像メモリ23の全メモリ領域との対応関係、並びに、当該論理画像領域1内の任意画素( $X_{d1}, Y_{d1}$ )と、その任意画素の当該全メモリ領域における座標( $X_f, Y_f$ )の対応関係とを説明する図である。

**【0091】**

まず、2次元座標X-Yに $1024 \times 1024$ 画素のサイズで表される画像メモリ23の全メモリ領域内に先に確保された論理画像領域0に対応する子領域の右側に、論理画像領50

域 1 に対する子領域の半分以上の部分が、当該全メモリ領域の内部に収まるように、原点 1 の座標 ( $X_{s11}$ ,  $Y_{s11}$ ) を設定する。そして、この原点 1 に対する子領域の下に原点 2 の座標 ( $X_{s12}$ ,  $Y_{s12}$ ) を設定する。

#### 【0092】

即ち、論理画像領域 1 は、図 15 に示す論理によって、画像メモリ 23 の全メモリ領域上において、論理画像領域 1 の左側部分に対応するところの、原点 1 を基準とする子領域と、論理画像領域 1 の右側部分に対応するところの、原点 2 を基準とする子領域とに投影される。

#### 【0093】

そして、図 19 に示す論理画像領域 1 において、任意画素 ( $X_{d1}$ ,  $Y_{d1}$ ) は、その論理画像領域 1 の右半分の部分より右側に存在するため、同図に示すように、当該任意画素を原点 1 に基づいて座標変換した座標 ( $X_{f11}$ ,  $Y_{f11}$ ) は、当該全メモリ領域の内部には存在しない。このため、図 15 に示す論理によって、任意画素 ( $X_{d1}$ ,  $Y_{d1}$ ) の座標変換後の座標としては、原点 2 に基づく座標 ( $X_{f12}$ ,  $Y_{f12}$ ) が選択され、その座標 ( $X_{f12}$ ,  $Y_{f12}$ ) は、

$$X_{f1} = X_{f12} = X_{s11} + X_{d1},$$

$$Y_{f1} = Y_{f12} = Y_{s11} + Y_{d1},$$

により与えられ、算出した原点 2 に基づく座標 ( $X_{f12}$ ,  $Y_{f12}$ ) は、当該全メモリ領域上に存在する。

#### 【0094】

ここで、図 19 に示す例では、論理画像領域 1 の原点 2 に基づく子領域は、原点 2 の座標 ( $X_{s12}$ ,  $Y_{s12}$ ) であるため、先に確保された論理画像領域 0 に対応する子領域と一部が重複しているが、上述の説明でも明らかなように、原点 2 に基づく子領域は、その子領域の右側部分のみがアクセスされるため、論理画像領域 0 のデータが論理画像領域 1 のデータとして誤って使用されることはない。

#### 【0095】

上述した論理画像領域 1 の原点 1 及び原点 2 に基づく座標変換は、図 12 に示すメモリ制御装置 200 において、以下の手順で実行される。

#### 【0096】

即ち、画像処理装置 00 は、論理画像領域原点レジスタ 06A の論理画像領域 1 原点 1 レジスタ 0618 に原点 1 の座標 ( $X_{s11}$ ,  $Y_{s11}$ ) を設定すると共に、論理画像領域 1 原点 2 レジスタ 0634 に ( $X_{s12}$ ,  $Y_{s12}$ ) を論理画像領域 1 原点選択方法レジスタ 2501 の値として 1 を設定する。また、画像処理装置 00 は、図 14 に示す原点選択方法レジスタ 25 の論理領域 1 原点選択方法レジスタ 2501 に 1 を設定する。

#### 【0097】

上述したように、座標変換回路 26 には第 1 の実施形態の座標変換回路 09 と等価な回路が 2 組備えられているので、このとき、論理画像領域 1 上の任意画素 ( $X_{d1}$ ,  $Y_{d1}$ ) に対応する画像メモリ 23 の全メモリ領域上における座標は、第 1 の実施形態における図 3 の場合と同様に、原点 1 の座標に基づいて、

$$X_{f11} = X_{s11} + X_{d1},$$

$$Y_{f11} = Y_{s11} + Y_{d1},$$

により求めることができる。同様に、当該任意画素 ( $X_{d1}$ ,  $Y_{d1}$ ) に対応する画像メモリ 23 の全メモリ領域上における座標は、原点 2 の座標に基づいて、

$$X_{f12} = X_{s12} + X_{d1},$$

$$Y_{f12} = Y_{s12} + Y_{d1},$$

で与えられる。

#### 【0098】

選択信号生成回路 33 では、座標変換回路 26 より入力される原点 1 及び原点 2 に基づく座標計算結果に基づいて、図 15 を参照して上述したように、その原点 1 に基づく座標計算結果においてオーバーフローが生じない場合（即ち、原点 1 に基づく座標が全メモリ領

10

20

30

40

50

域内に存在する場合)には原点1に基づく座標を選択し、原点1に基づく座標計算結果においてオーバーフローが生じた場合(即ち、原点1に基づく座標が全メモリ領域内に存在しない場合)には原点2に基づく座標を選択する。

#### 【0099】

そして、座標マルチプレクサ15Aは、当該任意画素(Xd1, Yd1)に対応する画像メモリ23の全メモリ領域上における座標として、選択信号生成回路33による指示に応じて、座標変換回路26から入力される上記の原点1または原点2の何れかに基づく計算結果を最終的に選択する。

#### 【0100】

そして、このようにして求められた画像メモリ23の全メモリ領域における任意画素(Xf1, Yf1)の座標データは、第1の実施形態と同様に、アドレス生成回路17及びメモリ制御部19において所定の処理を施され、データライン21を介して画像メモリ23のアクセスに使用される。 10

#### 【0101】

上述した画像処理装置00によるメモリ制御装置200内の論理画像領域原点レジスタ06A及び原点選択方法レジスタ25へのデータ設定方法をまとめると、図18のフローチャートに示す処理手順となる。この動作制御処理は、アクセスすべき各論理画像領域に対して行われるものであり、画像処理装置00のハードウェアと、その動作を制御するソフトウェアとを用いて実現すれば良い。 20

#### 【0102】

即ち、アクセスすべき論理画像領域(0乃至15)と合同な矩形形状X1が、画像メモリ23の未使用領域に確保可能かを、上述した例の如く判断し(ステップS11)、この判断でNO(確保不可能)のときにはステップS13に進み、YES(確保可能)のときには、原点選択方法レジスタ25に0を設定すると共に、論理画像領域原点レジスタ06Aの論理画像領域0原点1レジスタに原点を設定する(ステップS12)。 20

#### 【0103】

ステップS13では、上記の矩形形状X1を画像メモリ23の未使用領域に確保しようとしたときに、全メモリ領域に収まる部分を領域V11、全メモリ領域からはみ出す部分を領域V12と設定し、ステップS14では、アクセスすべき論理画像領域(0乃至15)と合同な矩形形状X2を、上記の領域V11、領域V12と合同な領域V21、領域V22に分割する。 30

#### 【0104】

そして、ステップS15では、画像メモリ23の未使用領域(但し、領域V11は含まない)に、領域V22を確保可能かを、上述した例の如く判断し、この判断でNO(確保不可能)のときにはステップS17に進み、YES(確保可能)のときには、原点選択方法レジスタ25に1を設定すると共に、論理画像領域原点レジスタ06Aに、矩形形状X1の原点と、矩形形状X2の原点とを設定する。

#### 【0105】

そして、ステップS17では、今回アクセスすべき論理画像領域に対する上記のステップS11及びステップS15の各判断結果により、分割変換を行っても領域の確保ができないと判断できるので、その論理画像領域に対する領域の確保に失敗したと判断し、その旨を例えば画像処理装置00内の不図示のメモリ等に記憶する。 40

#### 【0106】

以上説明したように、メモリ制御装置200を介して画像メモリ23にアクセスするに際して、画像処理装置00は、画像メモリ23のアドレス空間にマッピングすべき論理画像領域が、その論理画像領域の本来の形状のままでは当該メモリ内の未使用の領域に納まらない場合には、その論理画像領域を複数の部分領域に分割し、それら分割した各部分領域を画像メモリ23のメモリ領域内に個別にマッピングすることができる。このため、画像メモリ23が有する所定のメモリ領域を効率良く使用することができる。

#### 【0107】

10

20

30

40

50

即ち、本実施形態に係る座標変換は、論理画像領域を複数の部分に分割し、各部分について独立にメモリ領域上にマッピングすることと等価であり、元の論理画像領域全体に対応する子領域がメモリ領域上に確保できなくても、各部分領域に対応する子領域が確保できれば、最終的に、論理画像領域をメモリ領域上にマッピングすることが可能となる。例えば、基準座標として座標 A、座標 B のふたつを設定し、座標 A を優先するとする。この場合、座標 A に基づいて行った座標変換の結果である座標がメモリ領域内に存在しないような、論理画像領域上の座標については、座標 B に基づいておこなった座標変換の結果である座標は、必ずメモリ領域内に存在し、かつ他の論理画像領域に対応する子領域と干渉しない必要があるが、論理画像領域上のそれ以外の座標については、座標 B に基づいておこなった座標変換の結果である座標は、実際に使用されることはない（座標 A に基づいておこなった座標変換の結果である座標が使用される）ので、必ずしもメモリ領域内に存在する必要もないし、他の論理画像領域に対応する子領域と干渉しても問題が生じない。

#### 【0108】

尚、上述した第 2 の実施形態においては、座標計算のオーバーフロー、即ち座標変換回路 26 にて変換された座標が画像メモリ 23 の全メモリ領域上に存在するか否かに応じて、2 つの基準座標（原点 1 及び原点 2）から何れか 1 つを選択して使用したが、基準座標は 2 つに限られるものではなく、更に多くの基準座標を用意し、その中から選択しても良い。また、座標変換回路 26 内に第 1 の実施形態の座標変換回路 09 を複数備える回路は容易に実現可能であるため、本実施形態における説明は省略する。

#### 【0109】

##### 【発明の効果】

以上説明したように、本発明に発明によれば、画像メモリの限られたメモリ領域を効率良く使用するメモリ制御装置及び画像メモリへのアクセス制御方法の提供が実現する。本発明は、例えば、デジタルカメラや画像データを圧縮する画像処理装置等に適用して好適である。

##### 【図面の簡単な説明】

【図 1】第 1 の実施形態に係るメモリ制御装置の構成を示す図である。

【図 2】第 1 の実施形態における座標変換回路指示レジスタおよび論理画像領域原点レジスタの詳細な構成を示す図である。

【図 3】第 1 の実施形態における座標変換回路 09 の動作説明図である。

【図 4】第 1 の実施形態における座標変換回路 10 の動作説明図である。

【図 5】第 1 の実施形態における座標変換回路 11 の動作説明図である。

【図 6】第 1 の実施形態および第 2 の実施形態における座標マルチプレクサの詳細な構成を示す図である。

【図 7】第 1 の実施形態および第 2 の実施形態におけるアドレス生成回路の動作説明図である。

【図 8】第 1 の実施形態および第 2 の実施形態におけるメモリアドレス生成回路の詳細な構成を示す図である。

【図 9】第 1 の実施形態において画像処理装置が論理画像領域の確保のために行う処理手順を例示するフローチャートである。

【図 10】第 1 の実施形態および第 2 の実施形態における、論理画像領域 0 と、全メモリ領域、また論理画像領域 0 上の点と全メモリ領域上の点の対応を示す図である。

【図 11】第 1 の実施形態における、論理画像領域 1 と、全メモリ領域、また論理画像領域 1 上の点と全メモリ領域上の点の対応を示す図である。

【図 12】第 2 の実施形態に係るメモリ制御装置の構成を示す図である。

【図 13】第 2 の実施形態における論理画像領域原点レジスタの詳細な構成を示す図である。

【図 14】第 2 の実施形態における原点選択方法レジスタの詳細な構成を示す図である。

【図 15】第 2 の実施形態における座標マルチプレクサ選択信号を生成する論理を示す図である。

10

20

40

50

【図16】第2の実施形態における最終オーバーフロー信号を生成する論理を示す図である。

【図17】第2の実施形態における選択信号生成回路の回路構成を示す図である。

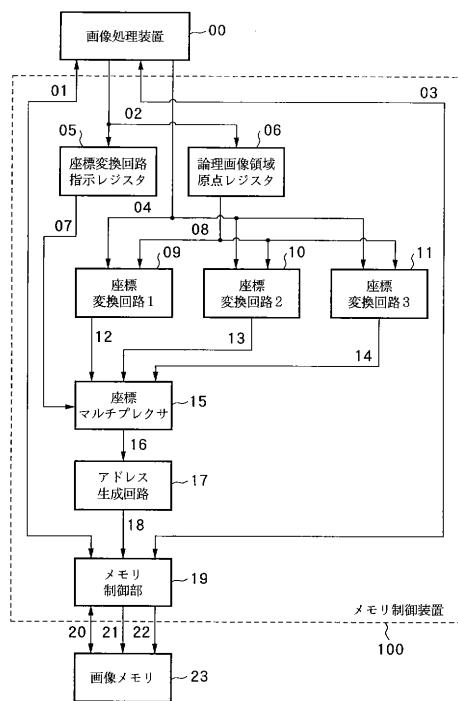
【図18】第2の実施形態において画像処理装置が論理画像領域の確保のために行う処理手順を例示するフロー・チャートである。

【図19】第2の実施形態における論理画像領域1と、全メモリ領域、また論理画像領域1上の点の対応を示す図である。

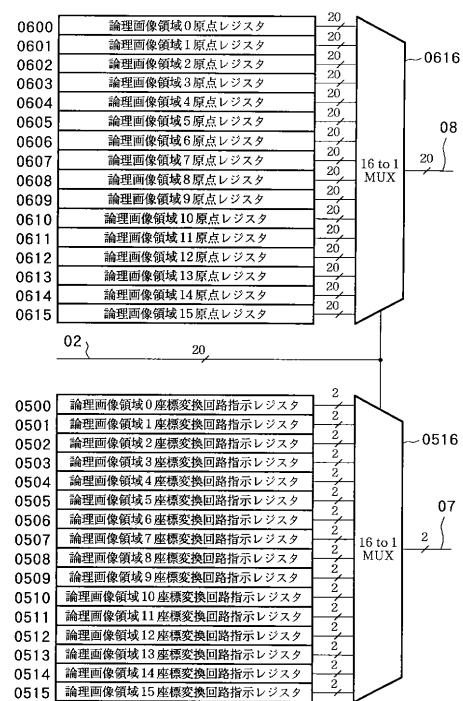
【符号の説明】

- |                           |    |
|---------------------------|----|
| 00 : 画像処理装置 ,             | 10 |
| 05 : 座標変換回路指示レジスタ ,       |    |
| 06 , 06A : 論理画像領域原点レジスタ , |    |
| 09 ~ 11 , 26 : 座標変換回路 ,   |    |
| 15 , 15A : 座標マルチブレクサ ,    |    |
| 17 : アドレス生成回路 ,           |    |
| 19 : メモリ制御装置 ,            |    |
| 23 : 画像メモリ ,              |    |
| 25 : 原点選択方法レジスタ ,         |    |
| 33 : 選択信号生成回路 ,           |    |

【図1】



【図2】



【図3】

Xf1	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
Xs	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
+											
Xd	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		

Yf1	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
Ys	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
+											
Yd	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		

【図4】

Xf2	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
Xs	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
+											
Xd	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td></td></tr></table>	9	8	7	6	5	4	3	2	1	
9	8	7	6	5	4	3	2	1			

Yf2	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
Ys	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
+											
Xd	<table border="1"><tr><td>0</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>	0									
0											

Yd	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		

【図5】

Xf3	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
Xs	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
+											
Xd	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		

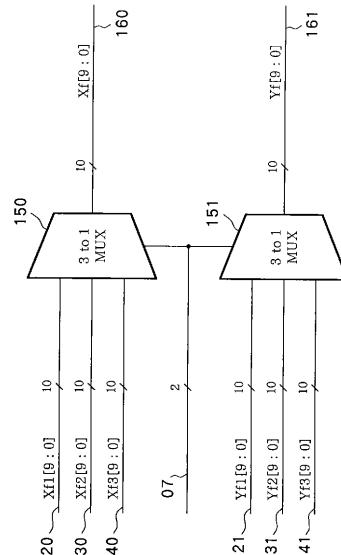
  

Yd	<table border="1"><tr><td>0</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>	0									
0											

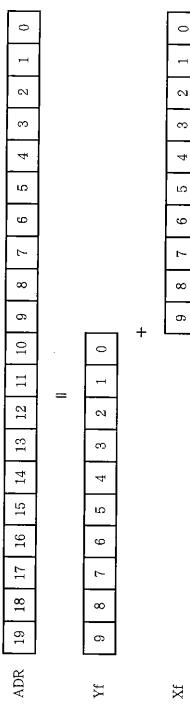
  

Yf3	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
Ys	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr></table>	9	8	7	6	5	4	3	2	1	0
9	8	7	6	5	4	3	2	1	0		
+											
Yd	<table border="1"><tr><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td></td></tr></table>	9	8	7	6	5	4	3	2	1	
9	8	7	6	5	4	3	2	1			

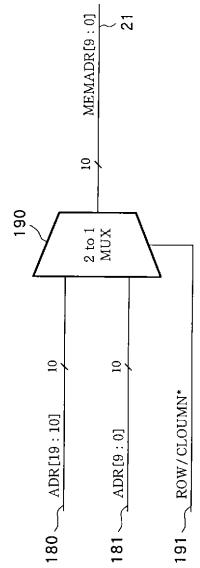
【図6】



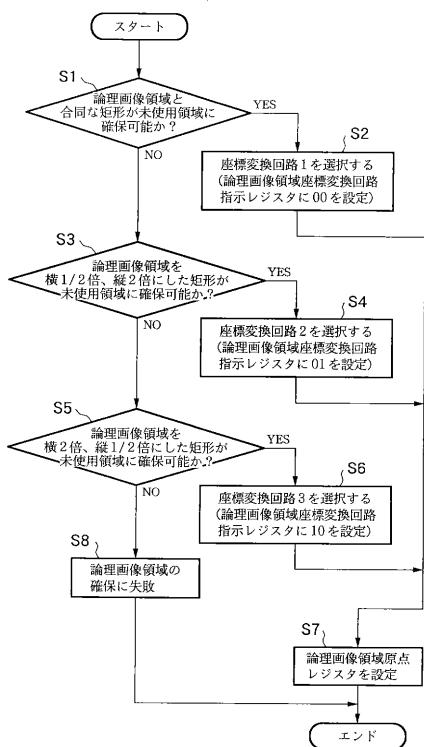
【図7】



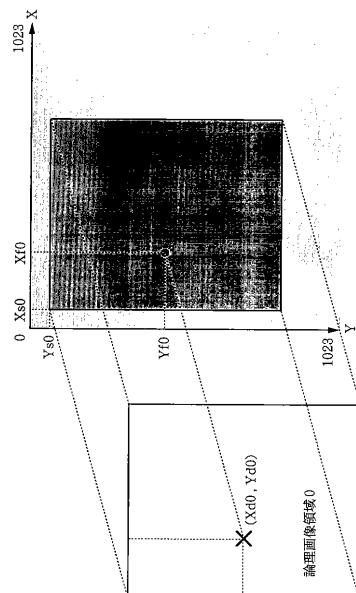
【図8】



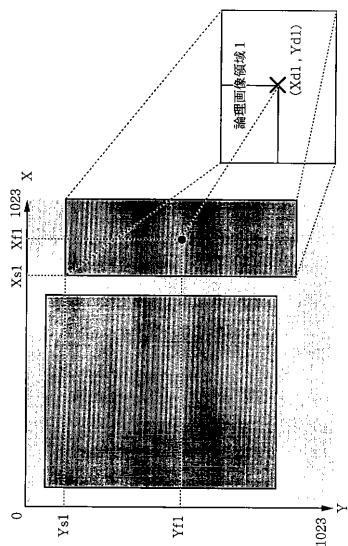
【図9】



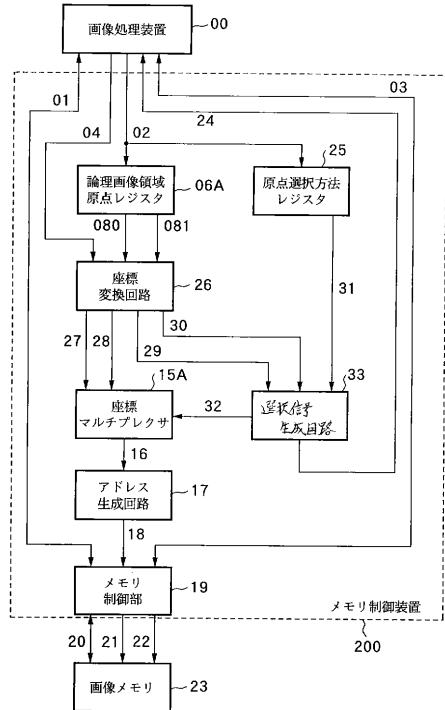
【図10】



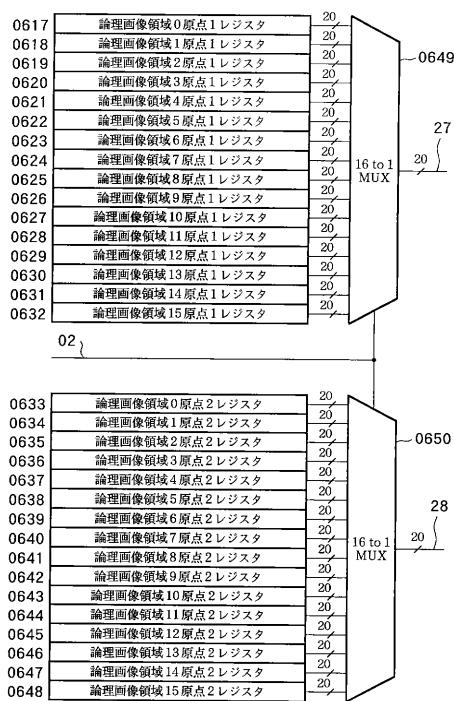
【図11】



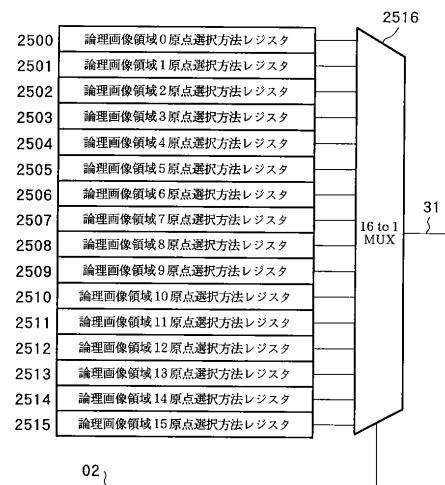
【図12】



【図13】



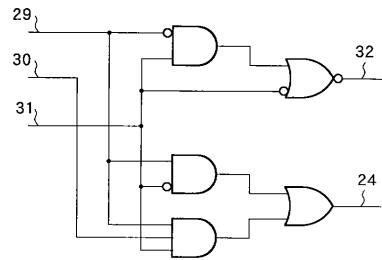
【図14】



【図15】

選択方法		0	1
原点2 イ-ペ-フロ-	原点1 イ-ペ-フロ-		
0	0	原点1	原点1
0	1	原点1	原点2
1	0	原点1	原点1
1	1	原点1	原点2

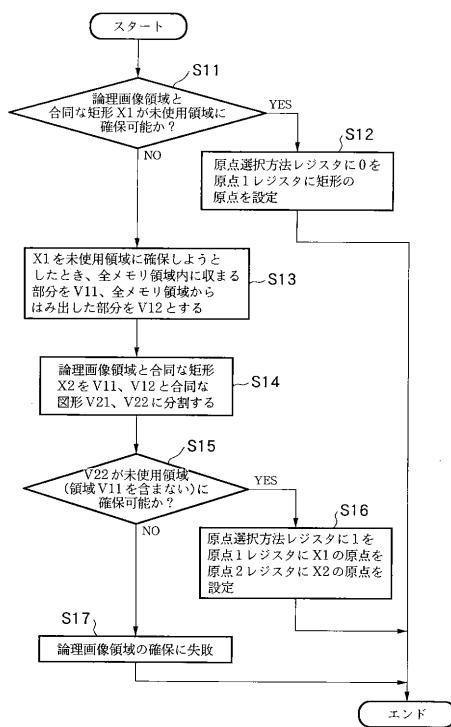
【図17】



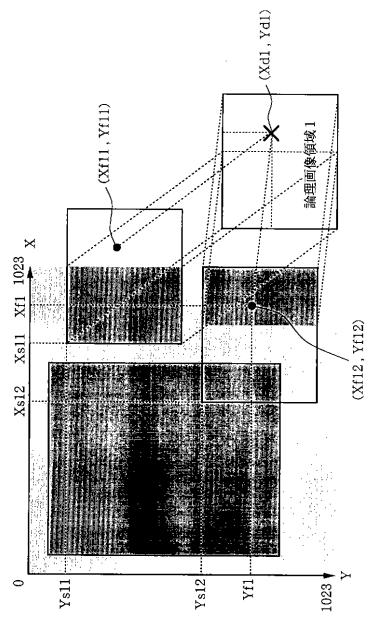
【図16】

選択方法		0	1
原点2 イ-ペ-フロ-	原点1 イ-ペ-フロ-		
0	0	0	0
0	1	1	0
1	0	0	0
1	1	1	1

【図18】



【図19】



---

フロントページの続き

審査官 高野 芳徳

(56)参考文献 特開平04-195190(JP,A)  
特開昭60-131060(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00

G06F 12/02

G06T 1/60