

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-181890

(P2012-181890A)

(43) 公開日 平成24年9月20日 (2012.9.20)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 2 F	5 B 1 2 5
<b>G 1 1 C 16/04 (2006.01)</b>	G 1 1 C 17/00 6 1 2 E	
	G 1 1 C 17/00 6 2 2 E	

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2011-43795 (P2011-43795)  
 (22) 出願日 平成23年3月1日 (2011.3.1)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 武木田 秀人  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 5B125 BA02 CA27 DC03 DC08 DC12  
 DC20 EA05 EB10 FA01 FA02

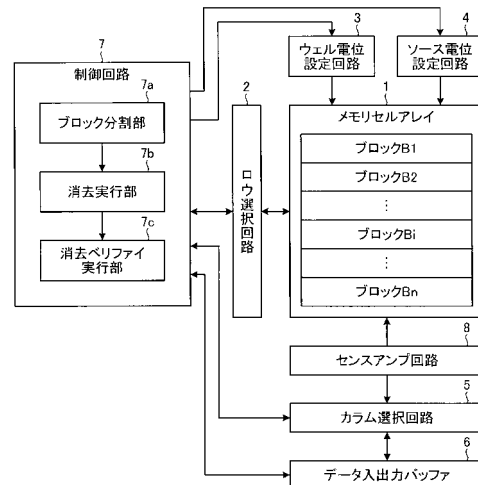
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】早めに消去が完了したメモリセルにかかる過剰なストレスを低減する。

【解決手段】ブロック分割部 7 a は、1本のワード線 W L 1 ~ W L 1 を p 個にグルーピングすることで、ブロック B i を p 個に分割し、消去実行部 7 b は、メモリセルアレイ 1 のメモリセルに記憶されたデータの消去動作を分割ブロック D 1 ~ D p ごとに実行させ、消去ベリファイ実行部 7 c は、消去動作が実行されたメモリセルの消去ベリファイ動作を分割ブロック D 1 ~ D p ごとに実行させる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

1 ( 1 は 2 以上の整数 ) 本のワード線を共有する  $m$  (  $m$  は 2 以上の整数 ) 個のセルユニットを有するブロックが設けられたメモリセルアレイと、

前記 1 本のワード線を  $p$  (  $p$  は 2 以上の整数 ) 個にグルーピングすることで、前記ブロックを  $p$  個に分割するブロック分割部と、

選択ロウのワード線よりも非選択ロウのワード線に高い電圧を印加させながら、前記ブロック分割部にて分割された分割ブロックごとに消去動作を実行させる消去実行部と、

前記消去実行部にて消去動作が実行されたブロックにおいて前記分割ブロックごとに消去ベリファイ動作を実行させる消去ベリファイ実行部とを備え、

前記消去ベリファイ実行部は、前記消去実行部にて消去動作が実行された分割ブロックが消去状態になっているかを判定する判定電圧を選択ロウのワード線に印加させるとともに、前記選択ロウのワード線よりも高い電圧を非選択ロウのワード線に印加させ、

前記ブロック単位で消去動作および消去ベリファイ動作を実行し、前記消去動作を規定回数繰り返しても前記ブロックが消去状態にならない時に、前記分割ブロック単位で消去動作および消去ベリファイ動作を実行し、

前記消去ベリファイ実行部は、ビット線に充電された電荷が前記セルユニットを介して放電されるかどうかを判別することにより、前記分割ブロックが消去状態になっているかを判定し、

前記消去動作から前記消去ベリファイ動作に移行する時に前記ビット線の電圧をフローティングにし、

前記消去動作において、ウェルに印加される消去電圧を  $V_e$  とすると、前記非選択ロウのワード線に印加される電圧  $V_{WLn_e}$  は、 $V_e / 2 < V_{WLn_e} < V_e$  という条件を満たすことを特徴とする不揮発性半導体記憶装置。

## 【請求項 2】

1 ( 1 は 2 以上の整数 ) 本のワード線を共有する  $m$  (  $m$  は 2 以上の整数 ) 個のセルユニットを有するブロックが設けられたメモリセルアレイと、

前記 1 本のワード線を  $p$  (  $p$  は 2 以上の整数 ) 個にグルーピングすることで、前記ブロックを  $p$  個に分割するブロック分割部と、

選択ロウのワード線よりも非選択ロウのワード線に高い電圧を印加させながら、前記ブロック分割部にて分割された分割ブロックごとに消去動作を実行させる消去実行部と、

前記消去実行部にて消去動作が実行されたブロックにおいて前記分割ブロックごとに消去ベリファイ動作を実行させる消去ベリファイ実行部とを備えることを特徴とする不揮発性半導体記憶装置。

## 【請求項 3】

前記消去ベリファイ実行部は、前記消去実行部にて消去動作が実行された分割ブロックが消去状態になっているかを判定する判定電圧を選択ロウのワード線に印加させるとともに、前記選択ロウのワード線よりも高い電圧を非選択ロウのワード線に印加させることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

## 【請求項 4】

前記ブロック単位で消去動作および消去ベリファイ動作を実行し、前記消去動作を規定回数繰り返しても前記ブロックが消去状態にならない時に、前記分割ブロック単位で消去動作および消去ベリファイ動作を実行することを特徴とする請求項 2 または 3 に記載の不揮発性半導体記憶装置。

## 【請求項 5】

前記消去動作において、ウェルに印加される消去電圧を  $V_e$  とすると、前記非選択ロウのワード線に印加される電圧  $V_{WLn_e}$  は、 $V_e / 2 < V_{WLn_e} < V_e$  という条件を満たすことを特徴とする請求項 2 から 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

## 【請求項 6】

前記消去ベリファイ実行部は、ビット線に充電された電荷が前記セルユニットを介して

10

20

30

40

50

放電されるかどうかを判別することにより、前記分割ブロックが消去状態になっているかを判定することを特徴とする請求項2から5のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項7】

前記消去ベリファイ実行部は、ソース線に電圧を印加した時に前記セルユニットを介してビット線に電荷が充電されるかどうかを判別することにより、前記分割ブロックが消去状態になっているかを判定することを特徴とする請求項2から5のいずれか1項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の実施形態は不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

NANDフラッシュメモリでは、全てのワード線を0Vに設定し、ウェル電圧を上げることにより、対象ブロックの全てのメモリセルに対して一括消去が行われている。一方、メモリセルの特性にはバラツキがあり、閾値分布の下側に常にいるような反応の悪いメモリセル、中性閾値の高いメモリセル、消去前の閾値が高いメモリセルが存在している。そのため、一回の消去動作にて全てのメモリセルの消去が完了しないことがあり、早めに消去が完了したメモリセルには消去によるストレスが多めにかかることがあった。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-507180号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態の目的は、早めに消去が完了したメモリセルにかかる過剰なストレスを低減することが可能な不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

30

【0005】

実施形態の不揮発性半導体記憶装置によれば、メモリセルアレイと、ブロック分割部と、消去実行部と、消去ベリファイ実行部とが設けられている。メモリセルアレイは、1(1は2以上の整数)本のワード線を共有するm(mは2以上の整数)個のセルユニットを有するブロックが設けられている。ブロック分割部は、前記1本のワード線をp(pは2以上の整数)個にグルーピングすることで、前記ブロックをp個に分割する。消去実行部は、選択口ウのワード線よりも非選択口ウのワード線に高い電圧を印加させながら、前記ブロック分割部にて分割された分割ブロックごとに消去動作を実行させる。消去ベリファイ実行部は、前記消去実行部にて消去動作が実行されたブロックにおいて前記分割ブロックごとに消去ベリファイ動作を実行させる。

40

【図面の簡単な説明】

【0006】

【図1】図1は、第1実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

【図2】図2は、図1の不揮発性半導体記憶装置のブロックの概略構成を示す回路図である。

【図3】図3は、図1の不揮発性半導体記憶装置の消去動作を示す1セルユニット分の断面図である。

【図4】図4は、図1の不揮発性半導体記憶装置の消去ベリファイ動作を示す1セルユニット分の回路図である。

50

【図5】図5は、図1の不揮発性半導体記憶装置のp個の分割ブロックの1回目の消去動作および消去ベリファイ動作を示すタイミングチャートである。

【図6】図6は、図1の不揮発性半導体記憶装置の消去動作および消去ベリファイ動作を示すフローチャートである。

【図7】図7は、図1の不揮発性半導体記憶装置のブロック分割方法を示す1セルユニット分の断面図である。

【図8】図8は、第2実施形態に係る不揮発性半導体記憶装置の消去動作および消去ベリファイ動作を示すフローチャートである。

【図9】図9は、第3実施形態に係る不揮発性半導体記憶装置のp個の分割ブロックの1回目の消去動作および消去ベリファイ動作を示すタイミングチャートである。

【図10】図10は、第4実施形態に係る不揮発性半導体記憶装置のp個の分割ブロックの1回目の消去動作および消去ベリファイ動作を示すタイミングチャートである。

【図11】図11は、図10の不揮発性半導体記憶装置の消去ベリファイ動作を示す1セルユニット分の回路図である。

【発明を実施するための形態】

【0007】

以下、実施形態に係る不揮発性半導体記憶装置について図面を参照しながら説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1実施形態)

図1は、第1実施形態に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。なお、以下の実施形態では、不揮発性半導体記憶装置としてNAND型フラッシュメモリを例にとる。

図1において、この不揮発性半導体記憶装置には、メモリセルアレイ1、ロウ選択回路2、ウェル電位設定回路3、ソース電位設定回路4、カラム選択回路5、データ入出力バッファ6、制御回路7およびセンスアンプ回路8が設けられている。

【0009】

メモリセルアレイ1には、データを記憶するメモリセルがロウ方向およびカラム方向にマトリクス状に配置されている。なお、1個のメモリセルは、1ビット分のデータを記憶するようにしてもよいし、2ビット以上のデータが記憶できるように多値化されていてもよい。

【0010】

ここで、メモリセルアレイ1は、 $n$  ( $n$ は正の整数)個のブロック $B_1 \sim B_n$ に分割されている。なお、各ブロック $B_1 \sim B_n$ は、NANDセルユニットをロウ方向に複数配列することができる。

【0011】

図2は、図1の不揮発性半導体記憶装置のブロックの概略構成を示す回路図である。

図2において、ブロック $B_i$  ( $1 \leq i \leq n$ の整数)には、 $l$  ( $l$ は正の整数)本のワード線 $WL_1 \sim WL_l$ 、セレクトゲート線 $SGD$ 、 $SGS$ およびソース線 $SC_E$ が設けられている。また、ブロック $B_1 \sim B_n$ には、 $m$  ( $m$ は正の整数)本のビット線 $BL_1 \sim BL_m$ が共通に設けられている。

【0012】

そして、ブロック $B_i$ には、 $m$ 個のNANDセルユニット $NU_1 \sim NU_m$ が設けられ、NANDセルユニット $NU_1 \sim NU_m$ はビット線 $BL_1 \sim BL_m$ にそれぞれ隣接するようにしてロウ方向に配列されている。

【0013】

ここで、NANDセルユニット $NU_1 \sim NU_m$ には、1個のセルトランジスタ $MT_1 \sim MT_l$ およびセレクトトランジスタ $MS_1$ 、 $MS_2$ がそれぞれ設けられている。なお、メモリセルアレイ1の1個のメモリセルには、1個のセルトランジスタ $MT_k$  ( $1 \leq k \leq l$ の整数)を設けることができる。そしてNANDストリングは、直列に接続された1個の

10

20

30

40

50

セルトランジスタ  $MT_1 \sim MT_l$  が設けられている。NANDセルユニット  $NU_j$  ( $1 \leq j \leq m$  の整数) は、そのNANDストリングの両端に接続されたセレクトトランジスタ  $MS_1$ 、 $MS_2$  が設けられている。

【0014】

そして、NANDセルユニット  $NU_1 \sim NU_m$  において、セルトランジスタ  $MT_1 \sim MT_l$  の制御ゲート電極には、ワード線  $WL_1 \sim WL_l$  がそれぞれ接続されている。また、NANDセルユニット  $NU_j$  において、セルトランジスタ  $MT_1 \sim MT_l$  が設けられたNANDストリングの一端は、セレクトトランジスタ  $MS_1$  を介してビット線  $BL_j$  に接続され、NANDストリングの他端は、セレクトトランジスタ  $MS_2$  を介してソース線  $SC$  に接続されている。

10

【0015】

また、図1において、ロウ選択回路2は、メモリセルの読み書き消去時において、メモリセルアレイ1のロウ方向のメモリセルを選択することができる。ウェル電位設定回路3は、メモリセルの読み書き消去時において、メモリセルアレイ1のウェル電位を設定することができる。ソース電位設定回路4は、メモリセルの読み書き消去時において、メモリセルアレイ1のソース電位を設定することができる。カラム選択回路5は、メモリセルの読み書き消去時において、メモリセルアレイ1のカラム方向のメモリセルを選択することができる。センスアンプ回路8は、メモリセルから読み出されたデータをカラムごとに判別することができる。データ入出力バッファ6は、外部から受け取ったコマンドやアドレスを制御回路7に送ったり、センスアンプ回路8と外部との間でデータの授受を行ったり

20

【0016】

制御回路7は、コマンドおよびアドレスに基づいて、ロウ選択回路2、ウェル電位設定回路3、ソース電位設定回路4およびカラム選択回路5の動作を制御することができる。ここで、制御回路7には、ブロック分割部7a、消去実行部7bおよび消去ベリファイ実行部7cが設けられている。

【0017】

ブロック分割部7aは、1本のワード線  $WL_1 \sim WL_l$  を  $p$  ( $p$  は2以上の整数) 個にグルーピングすることで、ブロック  $B_i$  を  $p$  個に分割することができる。すなわち、図2に示すように、ブロック  $B_i$  を  $p$  個に分割することで、 $p$  個の分割ブロック  $D_1 \sim D_p$  を形成することができる。消去実行部7bは、メモリセルアレイ1のメモリセルに記憶されたデータの消去動作を分割ブロック  $D_1 \sim D_p$  ごとに実行させることができる。この時、消去実行部7bは、選択ロウのワード線  $WL_1 \sim WL_l$  よりも高い電圧を非選択ロウのワード線  $WL_1 \sim WL_l$  に印加させることができる。消去ベリファイ実行部7cは、消去動作が実行されたメモリセルの消去ベリファイ動作を分割ブロック  $D_1 \sim D_p$  ごとに実行させることができる。

30

【0018】

そして、ブロック  $B_i$  の消去動作が実行される場合、分割ブロック  $D_x$  ( $x$  は  $2 \leq x \leq p$  の整数) にはワード線  $WL_{k-1} \sim WL_{k+2}$  に接続されているメモリセルが属するものとする。分割ブロック  $D_x$  のワード線  $WL_{k-1} \sim WL_{k+2}$  に選択ワード線電圧  $V_{We}$  が印加され、それ以外の分割ブロック  $D_1 \sim D_{x-1}$ 、 $D_{x+1} \sim D_p$  のワード線  $WL_1 \sim WL_{k-2}$ 、 $WL_{k+3} \sim WL_l$  に非選択ワード線電圧  $V_{WLn}$  が印加される。なお、選択ワード線電圧  $V_{We}$  は、例えば、0Vに設定することができる。

40

【0019】

また、メモリセルアレイ1のウェル電位が消去電圧  $V_e$  に設定される。なお、例えば、消去電圧  $V_e$  は1.6～2.0V程度に設定することができる。また、ブロック  $B_i$  のソース線  $SC$  およびセレクトゲート線  $SGD$ 、 $SGS$  には消去電圧  $V_e$  を印加することができる。

【0020】

図3は、図1の不揮発性半導体記憶装置の消去動作を示す1セルユニット分の断面図で

50

ある。

図3において、ウェルWEL上にはフローティングゲート電極15およびセレクトゲート電極19、20が配置され、フローティングゲート電極15上には制御ゲート電極16が配置されている。なお、ウェルWELとフローティングゲート電極15とは、不図示のトンネル絶縁膜を介して絶縁されている。フローティングゲート電極15と制御ゲート電極16とは、不図示の電極間絶縁膜を介して絶縁されている。ここで、1個のフローティングゲート電極15とその上の制御ゲート電極16とで1個のメモリセルを構成することができる。

【0021】

そして、ウェルWELには、フローティングゲート電極15間、セレクトゲート電極19、20間またはフローティングゲート電極15とセレクトゲート電極19、20との間に配置された不純物拡散層12、13、14が形成されている。なお、例えば、ウェルWELはP型、不純物拡散層12、13、14はN型に形成することができる。

【0022】

そして、不純物拡散層13は接続導体18を介してビット線BLjに接続され、不純物拡散層14は接続導体17を介してソース線SCEに接続されている。なお、各メモリセルの制御ゲート電極16はワード線WL1~WLlに接続され、セレクトゲート電極19、20はセレクトゲート線SGD、SGSにそれぞれ接続されている。

【0023】

そして、分割ブロックDxのワード線WLk-1~WLk+2に選択ワード線電圧VWeが印加され、それ以外の分割ブロックD1~Dx-1、Dx+1~Dpのワード線WL1~WLk-2、WLk+3~WLlに非選択ワード線電圧VWLeが印加され、メモリセルアレイ1のウェル電位が消去電圧Veに設定された場合、分割ブロックDxのメモリセルのウェルWELと制御ゲート電極16との間に高電圧がかかる。このため、分割ブロックDxのメモリセルのフローティングゲート電極15に蓄積されていた電子がウェルWEL側に引き抜かれ、分割ブロックDxのメモリセルの消去動作が実行される。

【0024】

このような消去動作がブロックBiの全ての分割ブロックD1~Dpについて分割ブロックD1~Dpごとに繰り返される。

【0025】

なお、非選択ワード線電圧VWLeは、 $V_e/2 < VWLe < V_e$ という条件を満たすことが好ましい。ここで、非選択ワード線電圧VWLeを消去電圧Ve以下に設定することにより、選択ワード線と非選択ワード線との間の電位差に起因する絶縁破壊を防止することができる。非選択ワード線電圧VWLeをVe/2以上に設定することにより、隣接セルと容量カップリングなどによって非選択セルのフローティングゲート電極15の電圧が選択セルのフローティングゲート電極15の電圧に引き込まれるのを抑制することができ、非選択セルの誤消去を防止することができる。

【0026】

ブロックBiの全ての分割ブロックD1~Dpのメモリセルの消去動作が実行されると、消去が完全に行われたかどうかを確認するために、消去ベリファイ動作が実行される。この時、分割ブロックDxのワード線WLk-1~WLk+2に判定電圧VWLevが印加され、それ以外の分割ブロックD1~Dx-1、Dx+1~Dpのワード線WL1~WLk-2、WLk+3~WLlに読み出し電圧VWLeRが印加される。また、セレクトゲート線SGD、SGSに読み出し電圧Vsgが印加され、ソース線SCEに0Vが印加され、メモリセルアレイ1のウェル電位は0Vに設定される。また、ビット線BLjには、プリチャージ電圧Vpが印加される。また、例えば、判定電圧VWLevは0Vに設定することができる。

【0027】

なお、読み出し電圧Vsgは、セレクトトランジスタMS1、MS2をオンさせるのに十分な電圧である。また、読み出し電圧VWLeRは、分割ブロックDx以外の分割ブ

10

20

30

40

50

ック  $D_1 \sim D_{x-1}$ 、 $D_{x+1} \sim D_p$  のセルトランジスタ  $MT_1 \sim MT_{k-2}$ 、 $MT_{k+3} \sim MT_l$  をオンさせるのに十分な電圧である。判定電圧  $V_{WLev}$  は、分割ブロック  $D_x$  が消去状態になっているかを判定する電圧である。

【0028】

図4は、図1の不揮発性半導体記憶装置の消去ベリファイ動作を示す1セルユニットユニット分の回路図である。

図4において、ビット線  $BL_j$  には寄生容量  $CB_j$  が付加されている。そして、分割ブロック  $D_x$  のセルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  の消去動作を行った結果、セルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  のしきい値電圧が判定電圧  $V_{WLev}$  以下になると、消去ベリファイ動作時に  $NAND$  セルユニット  $NU_j$  を介して放電電流  $I_{re}$  が流れ、寄生容量  $CB_j$  が放電される。この時、ビット線  $BL_j$  の電位は、最も消去の浅いセルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  のしきい値電圧に依存する。そして、この時のビット線  $BL_j$  の電位を消去ベリファイ電圧と比較し、ビット線  $BL_j$  の電位が消去ベリファイ電圧以下の場合には、分割ブロック  $D_x$  のセルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  の消去が完全に行われたと判断され、ビット線  $BL_j$  の電位が消去ベリファイ電圧未満の場合には、分割ブロック  $D_x$  のセルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  の消去が不完全であると判断される。

10

【0029】

このような消去ベリファイ動作がブロック  $B_i$  の全ての分割ブロック  $D_1 \sim D_p$  について分割ブロック  $D_1 \sim D_p$  ごとに繰り返される。そして、消去が不完全な分割ブロック  $D_1 \sim D_p$  があると判断された場合、その分割ブロック  $D_1 \sim D_p$  についての消去動作および消去ベリファイ動作が繰り返される。

20

【0030】

図5は、図1の不揮発性半導体記憶装置の  $p$  個の分割ブロックの1回目の消去動作および消去ベリファイ動作を示すタイミングチャートである。

図5において、分割ブロック  $D_1 \sim D_p$  の消去動作が順次行われた後、分割ブロック  $D_1 \sim D_p$  の消去ベリファイ動作が順次行われる。この時、消去動作の対象とならない分割ブロック  $D_1 \sim D_p$  のワード線  $WL_1 \sim WL_l$  に印加される非選択ワード線電圧  $V_{WLn}$  は、消去動作の対象となる分割ブロック  $D_1 \sim D_p$  のワード線  $WL_1 \sim WL_l$  に印加される選択ワード線電圧  $V_{We}$  よりも高くなるように設定される。

30

【0031】

また、消去ベリファイ動作の対象とならない分割ブロック  $D_1 \sim D_p$  のワード線  $WL_1 \sim WL_l$  に印加される読み出し電圧  $V_{WLe}$  は、消去ベリファイ動作の対象となる分割ブロック  $D_1 \sim D_p$  のワード線  $WL_1 \sim WL_l$  に印加される判定電圧  $V_{WLev}$  よりも高くなるように設定される。

【0032】

そして、ビット線  $BL_j$  にプリチャージ電圧  $V_p$  を印加し、ビット線  $BL_j$  に充電された電荷が  $NAND$  セルユニット  $NU_j$  を介して放電されるかどうかを判別することにより、各分割ブロック  $D_1 \sim D_p$  が消去状態になっているかが判定される。

【0033】

図6は、図1の不揮発性半導体記憶装置の消去動作および消去ベリファイ動作を示すフローチャートである。

40

図6において、全ての分割ブロック  $D_1 \sim D_p$  の検証フラグを  $NG$  に設定し ( $S_1$ )、 $x$  を1に設定する ( $S_2$ )。

【0034】

そして、 $x$  が  $p$  でない場合 ( $S_3$ )、分割ブロック  $D_x$  の検証フラグが  $OK$  か  $NG$  かを判断し ( $S_4$ )、分割ブロック  $D_x$  の検証フラグが  $NG$  の場合、分割ブロック  $D_x$  の消去動作を実行し ( $S_5$ )、 $x$  を1だけインクリメントする ( $S_6$ )。以上の  $S_3 \sim S_6$  の動作を全ての分割ブロック  $D_1 \sim D_p$  について繰り返す ( $S_3$ )。

【0035】

50

次に、 $x$  を 1 に設定する (S 7)。そして、 $x$  が  $p$  でない場合 (S 8)、分割ブロック  $D_x$  の検証フラグが OK か NG かを判断し (S 9)、分割ブロック  $D_x$  の検証フラグが NG の場合、分割ブロック  $D_x$  の消去ベリファイ動作を実行する (S 10)。そして、分割ブロック  $D_x$  のベリファイチェックが OK の場合 (S 11)、分割ブロック  $D_x$  の検証フラグを OK に設定し (S 12)、 $x$  を 1 だけインクリメントする (S 13)。以上の S 8 ~ S 13 の動作を全ての分割ブロック  $D_1 \sim D_p$  について繰り返す (S 8)。

【0036】

次に、全ての分割ブロック  $D_1 \sim D_p$  の検証フラグが OK かどうかを判断し (S 14)、全ての分割ブロック  $D_1 \sim D_p$  の検証フラグが OK でない場合、消去電圧  $V_e$  を増加させ (S 15)、S 2 の処理に戻る。全ての分割ブロック  $D_1 \sim D_p$  の検証フラグが OK になるまで以上の S 2 ~ S 15 の動作を繰り返す (S 14)。

10

【0037】

これにより、分割ブロック  $D_1 \sim D_p$  ごとに消去動作を実行させることが可能となり、消去電圧  $V_e$  が低い時に消去が完了した分割ブロック  $D_1 \sim D_p$  については高い消去電圧  $V_e$  が印加されるのを防止することが可能となることから、早めに消去が完了したメモリセルにかかる過剰なストレスを低減することができる。

【0038】

また、分割ブロック  $D_1 \sim D_p$  ごとに消去ベリファイ動作を実行させることにより、消去ベリファイ動作が実行されない分割ブロック  $D_1 \sim D_p$  については、そのセルトランジスタ  $MT_1 \sim MT_l$  をオンさせるために十分な制御ゲート電圧を印加させることができる。このため、ベリファイ読み出し時における NAND セルユニット  $NU_1 \sim NU_m$  のチャネル抵抗を低下させることができ、セルトランジスタ  $MT_1 \sim MT_l$  の閾値が見かけ上増大するのを抑制することが可能となることから、メモリセルの消去が深くなるのを抑制することができる。

20

【0039】

図 7 は、図 1 の不揮発性半導体記憶装置のブロック分割方法を示す 1 セルユニット分の断面図である。

図 7 (a) に示すように、ブロック  $B_i$  を 1 箇所分離することでブロック  $B_i$  を 2 分割するようにしてもよい。また、図 7 (b) に示すように、ブロック  $B_i$  を 2 箇所分離することでブロック  $B_i$  を 3 分割するようにしてもよい。また、図 7 (c) に示すように、ワード線  $WL_1 \sim WL_l$  が 1 つ置きに同一グループに属するようにブロック  $B_i$  を 2 分割するようにしてもよい。また、図 7 (d) に示すように、ワード線  $WL_1 \sim WL_l$  が 2 つ置きに同一グループに属するようにブロック  $B_i$  を 2 分割するようにしてもよい。

30

【0040】

ここで、互いに隣接するワード線  $WL_1 \sim WL_l$  が異なるグループに属するようにブロック  $B_i$  を分割することにより、消去動作時にワード線  $WL_1 \sim WL_l$  間で電位差を発生させることが可能となり、ワード線  $WL_1 \sim WL_l$  間の電子トラップを除去することができる。

【0041】

(第 2 実施形態)

図 8 は、第 2 実施形態に係る不揮発性半導体記憶装置の消去動作および消去ベリファイ動作を示すフローチャートである。

図 8 において、消去ブロックの消去ループ回数または不良ブロック数が規定値未満の場合 (S 21)、ブロック  $B_i$  の消去動作および消去ベリファイ動作を実行する (S 22、S 23)。そして、ベリファイチェックが不合格の場合 (S 24)、消去電圧  $V_e$  を増加させ (S 25)、ベリファイチェックに合格するまで、ブロック  $B_i$  について以上の S 22 ~ S 25 の動作を繰り返す (S 24)。

40

【0042】

一方、消去ブロックの消去ループ回数または不良ブロック数が規定値以上の場合 (S 21)、ブロック  $B_i$  を分割した分割ブロック  $D_1 \sim D_p$  ごとに消去動作および消去ベリフ

50

アイ動作を実行する(S26)。なお、このS26の処理は、図6の処理と同様である。ここで、消去ブロックの消去ループ回数とは、消去を行おうとする対象ブロックBiの消去動作の累積回数である。また不良ブロック数とは、不揮発性半導体記憶装置に含まれるブロックのうち、初期または使用により不良と判断したブロックの数である。

【0043】

メモリセルの劣化が進行する前は、ブロック単位で一括消去することが可能となり、消去にかかる時間を短縮することができる。

【0044】

(第3実施形態)

図9は、第3実施形態に係る不揮発性半導体記憶装置のp個の分割ブロックの1回目の消去動作および消去ベリファイ動作を示すタイミングチャートである。

図5の方法では、消去動作から消去ベリファイ動作に移行する時と、分割ブロックD1~Dp間で消去ベリファイ動作の移行を行う時に、ビット線BLj-1、BLj、BLj+1の電位を0Vに設定したが、図9の方法では、ビット線BLj-1、BLj、BLj+1の電位がフローティングにされる。

【0045】

ここで、ビット線BLj-1、BLj、BLj+1の電位をフローティングにすることにより、消去動作から消去ベリファイ動作に移行する時と、分割ブロックD1~Dp間で消去ベリファイ動作の移行を行う時に、ビット線BLj-1、BLj、BLj+1の電位を0Vから上昇させることが可能となる。このため、消去動作から消去ベリファイ動作に移行する時と、分割ブロックD1~Dp間で消去ベリファイ動作の移行を行う時に、ビット線BLj-1、BLj、BLj+1を放電させたり、再充電させたりする時間を短くすることができる、分割ベリファイ動作を高速化することができる。

【0046】

また、図5の方法では、消去ベリファイ動作時にソース線SCEおよびウェルWELの電圧を0Vに設定したが、図9の方法では、ソース線SCEおよびウェルWELの電圧が判定電圧VWLevよりも増大される。これにより、擬似的に閾値負側に対して読み出すことが可能となり、負側の閾値に対してマージンを確保することができる。

【0047】

(第4実施形態)

図10は、第4実施形態に係る不揮発性半導体記憶装置のp個の分割ブロックの1回目の消去動作および消去ベリファイ動作を示すタイミングチャートである。

図5の方法では、消去ベリファイ動作において、ビット線BLjにプリチャージ電圧Vpを印加し、ビット線BLjに充電された電荷がNANDセルユニットNuを介して放電されるかどうかを判別することにより、各分割ブロックD1~Dpが消去状態になっているかを判定した。これに対して、図10の方法では、消去ベリファイ動作において、ソース線SCEに電源電圧VDDを印加し、NANDセルユニットNuを介してビット線BLjに電荷が充電されるかどうかを判別することにより、各分割ブロックD1~Dpが消去状態になっているかが判定される。

【0048】

これにより、ビット線BLjを充電することで得られるバックバイアス効果を利用して擬似的に閾値負側に対して読み出すことが可能となる。

【0049】

図11は、図10の不揮発性半導体記憶装置の消去ベリファイ動作を示す1セルユニットユニット分の回路図である。

図11において、分割ブロックDxのセルトランジスタMTk-1~MTk+2の消去動作を行った結果、セルトランジスタMTk-1~MTk+2のしきい値電圧が判定電圧VWLev以下になると、消去ベリファイ動作時にセル電流Iceが流れ、寄生容量CBjが充電される。この時、ビット線BLjの電位は、最も消去の浅いセルトランジスタMTk-1~MTk+2のしきい値電圧に依存する。そして、この時のビット線BLjの電

10

20

30

40

50

位を消去ベリファイ電圧と比較し、ビット線  $BL_j$  の電位が消去ベリファイ電圧以上の場合は、セルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  の消去が完全に行われたと判断され、ビット線  $BL_j$  の電位が消去ベリファイ電圧  $V_f$  未満の場合は、セルトランジスタ  $MT_{k-1} \sim MT_{k+2}$  の消去が不完全であると判断される。

【0050】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

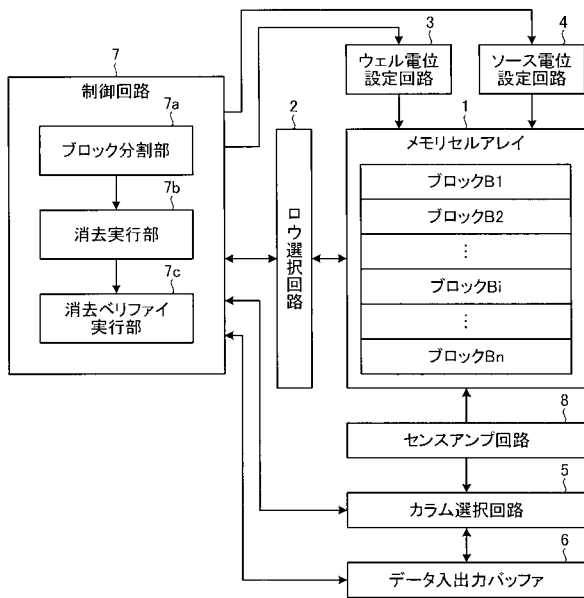
【符号の説明】

【0051】

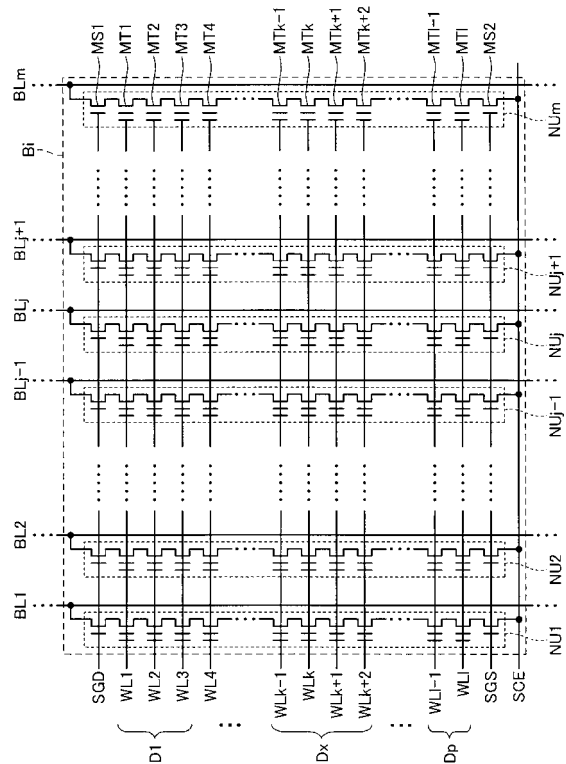
1 メモリセルアレイ、 $B_1 \sim B_n$  ブロック、2 ロウ選択回路、3 ウェル電位設定回路、4 ソース電位設定回路、5 カラム選択回路、6 データ入出力バッファ、7 制御回路、7a ブロック分割部、7b 消去実行部、7c 消去ベリファイ実行部、8 センスアンプ回路、 $MS_1, MS_2$  セレクトトランジスタ、 $MT_1 \sim MT_l$  セルトランジスタ、 $WL_1 \sim WL_l$  ワード線、 $SGD, SGS$  セレクトゲート線、 $SCE$  ソース線、 $BL_1 \sim BL_m$  ビット線、 $NU_1 \sim NU_m$  NANDセルユニット、 $WE_L$  ウェル、12~14 不純物拡散層、15 フローティングゲート電極、16 制御ゲート電極、17、18 接続導体、19、20 セレクトゲート電極

20

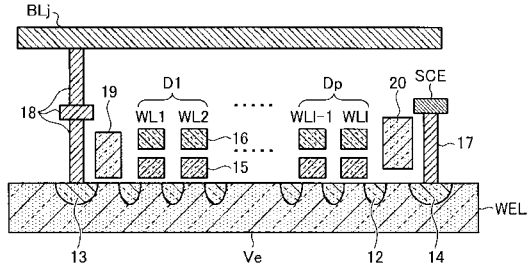
【図1】



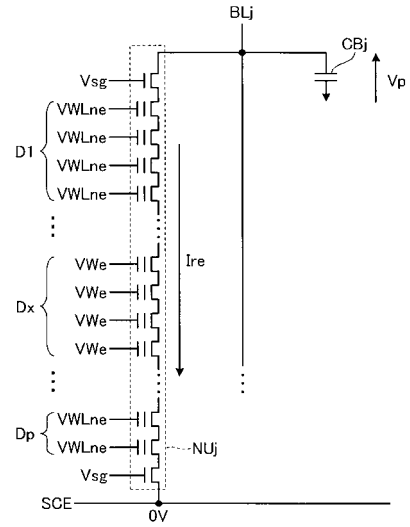
【図2】



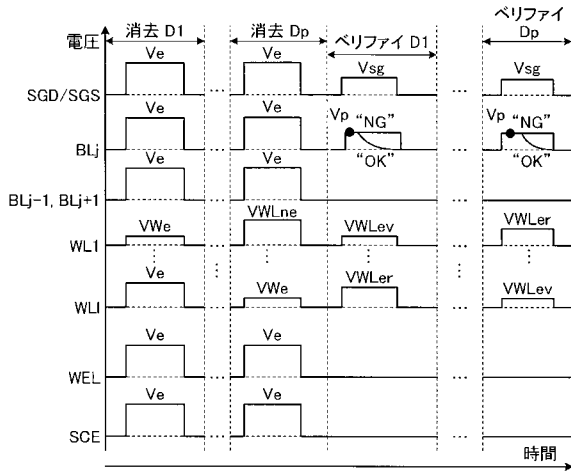
【 図 3 】



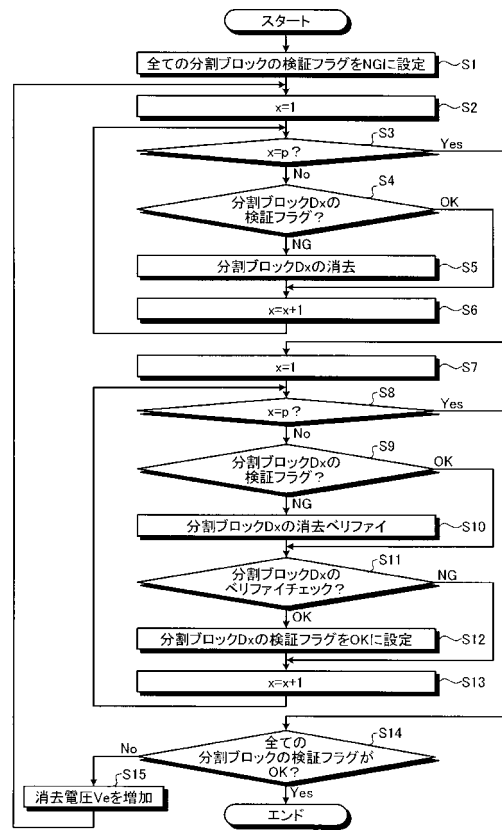
【 図 4 】



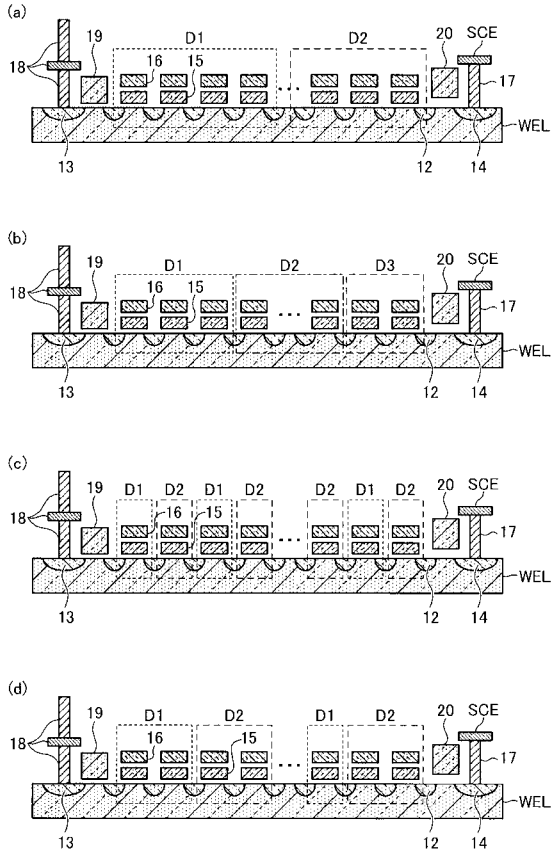
【 図 5 】



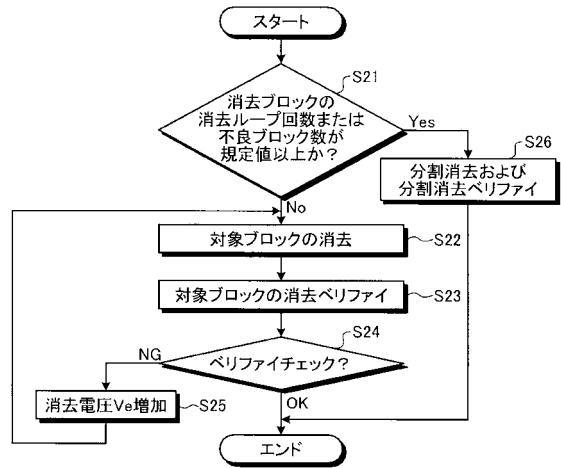
【 図 6 】



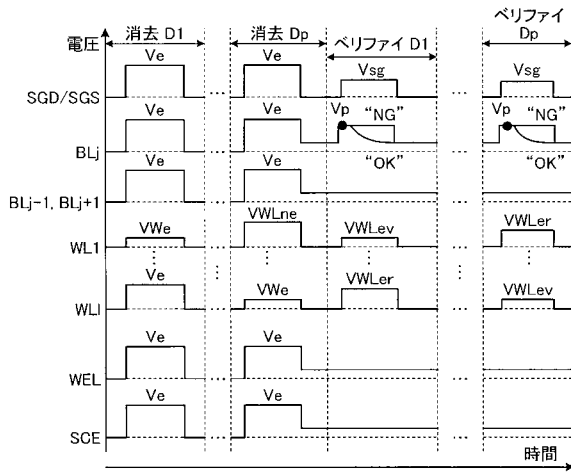
【 図 7 】



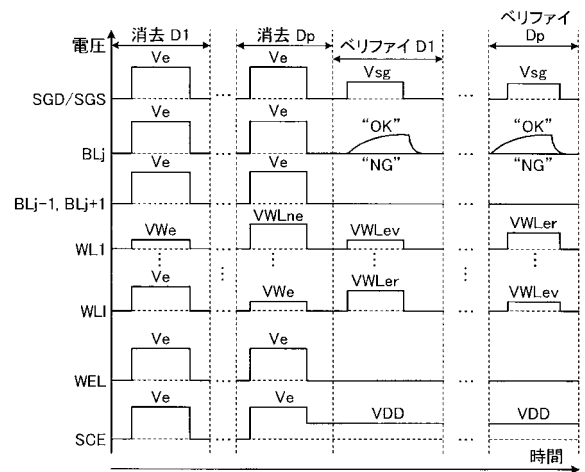
【 図 8 】



【 図 9 】



【 図 10 】



【 図 1 1 】

