

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

substrate via a bump, and a spacer is interposed between the peripheral region and the mounting substrate.

(57) 要約: 面発光素子の実装基板への実装時に該面発光素子に変形してしまうことを抑制できる面発光装置を提供すること。本技術に係る面発光装置は、素子領域と、該素子領域の周辺の周辺領域とを含む面発光素子と、前記面発光素子の実装される実装基板と、を備え、前記素子領域は、前記実装基板側に電極が設けられた発光素子部を有し、前記電極がバンプを介して前記実装基板と接合され、前記周辺領域と前記実装基板との間にスペーサが介在している、面発光装置である。

明 細 書

発明の名称：面発光装置及び面発光装置の製造方法

技術分野

[0001] 本開示に係る技術（以下「本技術」とも呼ぶ）は、面発光装置及び面発光装置の製造方法に関する。

背景技術

[0002] 従来、半導体素子と、該半導体素子が実装（例えばフリップチップ実装）される実装基板とを備える半導体装置が知られている（例えば特許文献 1、2 参照）。

先行技術文献

特許文献

[0003] 特許文献 1：特開平 8－2 8 8 3 3 6 号公報
特許文献 2：特開 2 0 0 1－3 5 8 7 2 号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献 1、2 には、半導体素子の実装基板への実装時に該半導体素子の変形してしまうことについて何ら言及されていない。

[0005] そこで、本技術は、面発光素子の実装基板への実装時に該面発光素子の変形してしまうことを抑制できる面発光装置を提供することを主目的とする。

課題を解決するための手段

[0006] 本技術は、素子領域と、該素子領域の周辺の周辺領域とを含む面発光素子と、

前記面発光素子の実装される実装基板と、

を備え、

前記素子領域は、前記実装基板側に電極が設けられた発光素子部を有し、

前記電極がバンプを介して前記実装基板と接合され、

前記周辺領域と前記実装基板との間にスペーサが介在している、面発光装

置を提供する。

前記周辺領域の最外周部と前記実装基板との間に前記スペーサが介在していてもよい。 前記周辺領域が、ダミー素子部を有していてもよい。

前記ダミー素子部が前記最外周部を含んでいてもよい。

前記最外周部が、前記素子領域の外周の少なくとも一部に沿って延在し、前記スペーサが、前記最外周部の延在方向の少なくとも一部に沿って設けられていてもよい。

前記最外周部が、前記素子領域の外周の全周に沿って延在していてもよい。

前記スペーサが、前記延在方向に並ぶ複数の部分を有していてもよい。

前記スペーサが、ダミーバンプを含んでいてもよい。

前記面発光素子の前記実装基板側とは反対側の面である出射面は、平坦面であってもよい。

前記面発光素子の側面に改質層が存在していてもよい。

面内方向に直交する方向に関して、前記周辺領域の最外周部の前記実装基板側の面よりも前記電極の前記実装基板側の面の方が前記実装基板に近い位置に位置し、前記スペーサの厚さが前記バンプの厚さよりも厚くてもよい。

前記周辺領域が有するダミー素子部の前記実装基板側及び／又は前記素子領域が有するダミー素子部の前記実装基板側に別の電極が設けられ、前記別の電極が、別のバンプを介して前記実装基板と接合されていてもよい。

前記素子領域が、面内方向に離間する複数の前記発光素子部を有し、前記別の電極は、前記複数の発光素子部に共通に設けられた共通電極であってもよい。

前記バンプ及び前記ダミーバンプの各々は、加圧により潰れにくくなる材料を含んでいてもよい。

前記バンプ及び前記ダミーバンプが、同一の導電性材料からなってもよい。

前記周辺領域が、ダミー素子部を含み、前記発光素子部及び前記ダミー素

子部の各々は、互いに積層された第1及び第2半導体構造と、前記第1及び第2半導体構造の間に配置された発光層と、を有していてもよい。

本技術は、発光素子部を有する素子領域と該素子領域の周辺領域とを含む面発光素子を形成する工程と、

前記周辺領域と実装基板との間にスペーサを介在させるとともに、前記発光素子部の前記実装基板側に設けられた電極と前記実装基板とをバンプを介して接合する工程と、

を含む、面発光装置の製造方法も提供する。

前記スペーサは、ダミーバンプを含んでいてもよい。

前記接合する工程は、前記面発光素子の前記実装基板側とは反対側の面である出射面を前記実装基板側に押圧することにより行われてもよい。

前記形成する工程では、複数の前記面発光素子が、前記周辺領域同士が隣接するように一括して形成され、前記形成する工程の後、且つ、前記接合する工程の前に、前記複数の面発光素子を隣接する前記周辺領域同士の境界に沿ってステルスダイシングを行って個片化する工程と、を含んでいてもよい。

図面の簡単な説明

[0007] [図1]本技術の一実施形態の実施例1に係る面発光装置の断面図（その1）である。

[図2]本技術の一実施形態の実施例1に係る面発光装置の断面図（その2）である。

[図3]本技術の一実施形態の実施例1に係る面発光装置の実装基板を省略した状態の下面図である。

[図4]本技術の一実施形態の実施例1に係る面発光装置の製造方法の一例を説明するためのフローチャートである。

[図5]本技術の一実施形態の実施例1に係る面発光装置の製造方法の一例の工程断面図である。

[図6]本技術の一実施形態の実施例1に係る面発光装置の製造方法の一例の工

程断面図である。

[図7]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図8]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図9]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図10]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図11]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図12]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程斜視図である。

[図13]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図14]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図15]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図16]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図17]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程断面図である。

[図18]本技術の一実施形態の実施例 1 に係る面発光装置の製造方法の一例の工程斜視図である。

[図19]図 1 9 A は、比較例に係る面発光装置のバンプ接合時の不具合を説明するための図である。図 1 9 B は、本技術に係る面発光装置のバンプ接合時の作用を説明するための図である。

[図20]本技術の一実施形態の実施例 2 に係る面発光装置の断面図である。

[図21]本技術の一実施形態の実施例 3 に係る面発光装置の断面図である。

[図22]本技術の一実施形態の実施例 3 に係る面発光装置の実装基板を省略した状態の下面図である。

[図23]本技術の一実施形態の実施例 4 に係る面発光装置の断面図である。

[図24]本技術の一実施形態の実施例 4 に係る面発光装置の実装基板を省略した状態の下面図である。

[図25]本技術の一実施形態の実施例 5 に係る面発光装置の断面図である。

[図26]本技術の一実施形態の実施例 6 に係る面発光装置の断面図である。

[図27]本技術の一実施形態の実施例 7 に係る面発光装置の断面図である。

[図28]本技術の一実施形態の実施例 8 に係る面発光装置の断面図である。

[図29]本技術の一実施形態の実施例 9 に係る面発光装置の実装基板を省略した状態の下面図である。

[図30]本技術の一実施形態の実施例 10 に係る面発光装置の実装基板を省略した状態の下面図である。

[図31]本技術の一実施形態の実施例 11 に係る面発光装置の実装基板を省略した状態の下面図である。

[図32]本技術の一実施形態の実施例 12 に係る面発光装置の実装基板を省略した状態の下面図である。

[図33]本技術の一実施形態の実施例 13 に係る面発光装置の断面図である。

[図34]本技術の一実施形態の実施例 14 に係る面発光装置の断面図である。

[図35]本技術の一実施形態の実施例 1 に係る面発光装置の説明に用いる比較参照図である。

[図36]変形例の発光素子部を示す断面図である。

[図37]本技術の一実施形態の実施例 1 に係る面発光レーザ装置の距離測定装置への適用例を示す図である。

[図38]車両制御システムの概略的な構成の一例を示すブロック図である。

[図39]距離測定装置の設置位置の一例を示す説明図である。

発明を実施するための形態

[0008] 以下に添付図面を参照しながら、本技術の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。以下に説明する実施形態は、本技術の代表的な実施形態を示したものであり、これにより本技術の範囲が狭く解釈されることはない。本明細書において、本技術に係る面発光装置及び面発光装置の製造方法の各々が複数の効果を奏することが記載される場合でも、本技術に係る面発光装置及び面発光装置の製造方法の各々は、少なくとも1つの効果を奏すればよい。本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0009] また、以下の順序で説明を行う。

0. 導入

1. 本技術の一実施形態の実施例1に係る面発光装置
2. 本技術の一実施形態の実施例2に係る面発光装置
3. 本技術の一実施形態の実施例3に係る面発光装置
4. 本技術の一実施形態の実施例4に係る面発光装置
5. 本技術の一実施形態の実施例5に係る面発光装置
6. 本技術の一実施形態の実施例6に係る面発光装置
7. 本技術の一実施形態の実施例7に係る面発光装置
8. 本技術の一実施形態の実施例8に係る面発光装置
9. 本技術の一実施形態の実施例9に係る面発光装置
10. 本技術の一実施形態の実施例10に係る面発光装置
11. 本技術の一実施形態の実施例11に係る面発光装置
12. 本技術の一実施形態の実施例12に係る面発光装置
13. 本技術の一実施形態の実施例13に係る面発光装置
14. 本技術の一実施形態の実施例14に係る面発光装置
15. 本技術の変形例

16. 電子機器への応用例

17. 面発光装置を距離測定装置に適用した例

18. 距離測定装置を移動体に搭載した例

[0010] <0. 導入>

[0011] 従来、素子領域及びその周辺領域を含む半導体素子（半導体チップ）と、該半導体素子がフリップチップ実装される実装基板（例えば駆動基板、配線基板等）とを備える半導体装置（例えば特許文献1、2参照）が知られている。

[0012] 一般に、半導体装置は、複数の半導体装置が1枚のウェハ上に一括して形成された後、ダイシングにより半導体装置毎に個片化される。

[0013] 従来の半導体装置では、素子領域が有する構造物としての素子部と実装基板とがバンプを介して接合されるのに対し、周辺領域と実装基板との間にはスペーサとなる構造物が介在していなかった。

[0014] 発明者は、従来の半導体装置は、フリップチップ実装時（バンプ接合時）に半導体素子の全体が実装基板側に押し付けられると、実装基板との間に構造物が介在しない周辺領域が実装基板側に押し込まれ、素子（チップ）が変形して（撓んで）しまう問題を見出した。すなわち、発明者は、半導体素子の素子領域の周辺領域と実装基板との間隙が存在することにより半導体素子の変形（弾性変形）してしまう問題を見出した。バンプ接合時に半導体素子の変形すると、バンプ接合後に該半導体素子に引っ張り応力がかかり、素子破損や信頼性低下につながる。

[0015] そこで、発明者は、鋭意検討の末、面発光素子の実装基板への実装時（バンプ接合時）に該面発光素子の変形（弾性変形）してしまうことを抑制できる面発光装置として、本技術に係る面発光装置を開発した。

[0016] 具体的には、発明者は、面発光素子の素子領域の周辺領域と実装基板との間にスペーサとなる構造物を介在させることにより、面発光素子の実装基板への実装時における変形（弾性変形）を抑制することに成功した。

[0017] 上記問題は、周辺領域の最外周部であるダイシング領域の面積が大きいほ

ど、深刻化する。例えばステルスダイシングによりダイシングを行う場合、ダイシング領域としてのレーザ照射エリアの面積をある程度確保する必要がある。そこで、当該問題に対処するために、ステルスダイシング前にレーザ照射エリアに予め何らかの構造物を設けることが考えられるが、その場合にはステルスダイシング時に当該構造物によりレーザ光が散乱、吸収等されるため、ステルスダイシングを精確に行うことが困難となる。

[0018] そこで、発明者は、例えば、ステルスダイシングでダイシングを行うときには、ステルスダイシング後にレーザ照射エリアにスペーサとなる構造物を形成することにより、ステルスダイシングを精確に行うとともに、面発光素子の実装基板への実装時（バンプ接合時）における変形を抑制することに成功した。

[0019] 以下、本技術に係る面発光素子の一実施形態の幾つかの実施例について図面を用いて詳細に説明する。以下、図1等の断面図において、適宜、上側を「上」、下側を「下」として説明する。

[0020] <1. 本技術の一実施形態の実施例1に係る面発光装置>

図1は、本技術の一実施形態の実施例1に係る面発光装置10の断面図（その1）である。図2は、本技術の一実施形態の実施例1に係る面発光装置10の断面図（その2）である。図3は、本技術の一実施形態の実施例1に係る面発光装置10の実装基板を省略した状態の下面図である。図1は、図3の1-1線断面図である。図2は、図3の2-2線断面図である。

[0021] <<面発光装置の構成>>

（面発光装置の全体構成）

[0022] 本技術に係る面発光装置10は、一例として、図1及び図2に示すように、面発光素子100と、該面発光素子100が実装される実装基板200と、を備える。

[0023] 面発光素子100は、一例として、チップ状であり、「面発光チップ」とも呼ばれる。面発光素子100は、一例として、実装基板200にフリップチップ実装されている。フリップチップ実装は、「ジャンクションダウン実

装」、「フェイスダウン実装」とも呼ばれる。面発光素子100は、一例として、ドライバ（駆動回路）により駆動される。実装基板200は、一例として、ドライバ（駆動回路）を有する駆動基板又はドライバ（駆動回路）に接続される配線基板である。

[0024] 面発光素子100は、図1～図3に示すように、素子領域EAと該素子領域EAの周辺領域PAとを含む。素子領域EA及び周辺領域PAは、一例として、面内方向に離間している。

[0025] 素子領域EAは、一例として、図3に示すように、面内方向に離間して配置された複数（例えば64個）の発光素子部LEを含む。複数の発光素子部LEは、一例として、面内方向に二次元アレイ状（例えばマトリクス状）に配置され、発光素子部アレイを構成する。

[0026] 周辺領域PAは、一例として、ダミー素子部DEを有する。ダミー素子部DEは、一例として、下面視（平面視、以下同様）において素子領域EAを図3の1-1線方向に挟む2つの第1領域R1、R1と、素子領域EA及び2つの第1領域R1、R1を含む領域を囲む下面視周回状（例えば下面視矩形枠状）の第2領域R2（周辺領域PAの最外周部）とを有する。

[0027] 各発光素子部LEは、一例として、裏面出射型の面発光レーザ（VCSEL: Vertical Cavity Surface Emitting Laser）である。各発光素子部LEは、実装基板200側とは反対側（後述する基板101の裏面側（上面側））へ光を出射する。

[0028] 各発光素子部LE及びダミー素子部DEは、図1及び図2に示すように、いずれも、基板101と、基板101上に互いに積層された第1及び第2半導体構造SS1、SS2と、第1及び第2半導体構造SS1、SS2の間に配置された発光層106と、を有する。すなわち、各発光素子部LE及びダミー素子部DEは、実質的に同一の積層構造を有する。

[0029] 第1及び第2半導体構造SS1、SS2は、導電型が異なる。各発光素子部LEは、発光層106が導電型の異なる第1及び第2半導体構造SS1、SS2で積層方向（上下方向、面内方向と直交する方向）に挟まれたダブル

ヘテロ構造を有し、発光層 106 で正孔と電子とを発光再結合（輻射再結合）させることができる。

[0030] 第 1 半導体構造 S S 1 は、一例として、基板 101 上に配置された第 1 コンタクト層 102 と、第 1 コンタクト層 102 上に配置された第 1 半導体多層膜反射鏡 103 と、第 1 半導体多層膜反射鏡 103 上に配置された第 1 クラッド層 105 とを有する。一例として、第 1 半導体多層膜反射鏡 103 内に酸化狭窄層 104 が配置されている。一例として、基板 101 及び第 1 コンタクト層 102 の一部（下部）は、各発光素子部 L E 及びダミー素子部 D E で共有されている。

[0031] 第 2 半導体構造 S S 2 は、一例として、発光層 106 上に配置された第 2 クラッド層 107 と、第 2 クラッド層 107 上に配置された第 2 半導体多層膜反射鏡 108 と、第 2 半導体多層膜反射鏡 108 上に配置された第 2 コンタクト層 109 とを有する。

[0032] すなわち、面発光素子 100 では、一例として、基板 101 上に第 1 コンタクト層 102 と、酸化狭窄層 104 が内部に配置された第 1 半導体多層膜反射鏡 103 と、第 1 クラッド層 105 と、発光層 106 と、第 2 クラッド層 107 と、第 2 半導体多層膜反射鏡 108 と、第 2 コンタクト層 109 とがこの順に積層されている。

[0033] 各発光素子部 L E では、発光層 106 と、該発光層 106 を積層方向（上下方向）に挟む第 1 及び第 2 半導体多層膜反射鏡 103、108 とを含んで、共振器が構成されている。該共振器の共振器長は、一例として、該共振器内に生じる定在波の半波長（ $\lambda/2$ ）の整数倍となっている。但し、 λ は、発光素子部 L E の発光波長である。

[0034] 各発光素子部 L E 及びダミー素子部 D E は、一例として、いずれもメサを含む。以下、発光素子部 L E のメサを発光メサ L M、ダミー素子部 D E のメサをダミーメサ D M と呼ぶ。ダミーメサは「台座部」とも呼ばれる。

[0035] 各発光メサ L M 及びダミーメサ D M は、一例として、いずれも、第 1 コンタクト層 102 の一部（上部）、酸化狭窄層 104 を内部に有する第 1 半導

体多層膜反射鏡 103、第1クラッド層 105、発光層 106、第2クラッド層 107、第2半導体多層膜反射鏡 108 及び第2コンタクト層 109 を含んで構成されている。

[0036] 各発光メサLM及びダミーメサDMは、一例として、いずれも、数 μm ～十数 μm （例えば3～10 μm 程度）の高さを有する。各発光メサLM及びダミーメサDMは、高さの差が極力小さいことが好ましい。発光メサLMの平面視形状は、ここでは円形とされている（図3参照）が、例えば楕円形や、正方形、長方形、六角形、八角形等の多角形であってもよい。ダミーメサDMの平面視形状（下面視形状）は、ここでは矩形枠状とされている（図3参照）が、例えば円環状、楕円環状、矩形枠状以外の多角形枠状等であってもよい。

[0037] 各発光素子部LEには、一例として、実装基板200側にカソード電極115（電極）が設けられている。各カソード電極115は、一例として、対応する発光素子部LEの第2コンタクト層109上にベタ状に設けられている。各カソード電極115は、一例として、第1バンプB1（バンプ）を介して実装基板200と接合されている。各カソード電極115は、例えばAu/Ni/AuGe等からなる。

[0038] 図1に示すように、ダミー素子部DEの第1領域R1には、一例として、実装基板200側にアノード電極112（別の電極）が設けられている。アノード電極112は、一例として、ダミー素子部DEの第1領域R1の第2コンタクト層109上にベタ状に設けられている。アノード電極112は、一例として、複数の第2バンプB2（別のバンプ）を介して実装基板200と接合されている。アノード電極112は、複数の発光素子部LEに共通に設けられた共通電極である。アノード電極112は、例えばAu/Pt/Ti等からなる。

[0039] 一例として、第1コンタクト層102の、素子領域EAと周辺領域PAとの間の領域と、隣接する発光素子部LE同士の間の領域とが中間電極113で覆われている。中間電極113は、例えばAu/Pt/Ti等からなる。

[0040] 一例として、ダミー素子部DEの第1領域R1の側面及び下面（ダミーメサDMの頂部）と、素子領域EAの各発光素子部LEの側面とが絶縁膜111で覆われている。絶縁膜111は、例えばSiO₂、SiN、SiON等の誘電体からなる。

[0041] 一例として、中間電極113と、ダミー素子部DEの第1領域R1の側面及び下面に設けられた絶縁膜111とが配線114で覆われている。配線114の、第1領域R1の下面に設けられた部分の端部がアノード電極112と接している。すなわち、アノード電極112は、配線114を介して中間電極113と接続されている。配線114は、例えば、導電メッキからなる。該導電メッキは、例えばAu、Ag、Cu等からなる。

[0042] 以上の説明から明らかなように、面発光装置10では、面発光素子100が実装基板200に対してアノード共通、カソード独立の電極レイアウトを有しており、ドライバにより各発光素子部LEを独立駆動可能である。

[0043] (基板)

基板101は、一例として、GaAs（例えばSi（半絶縁性）-GaAs）からなる。

[0044] (第1コンタクト層)

第1コンタクト層102は、キャリア伝導性が高い低抵抗の半導体層であり、一例としてp型不純物が高濃度でドーピングされたp-GaAs層からなる。該p型不純物（ドーパント）としては、例えばZn、Mg、Be、C等が挙げられる。コンタクト層は、「電流注入層」とも呼ばれる。発光素子部LEの第1コンタクト層102内には、横方向の電流パスが形成される。

(第1半導体多層膜反射鏡)

第1半導体多層膜反射鏡103は、一例として、p型不純物がドーピングされた半導体多層膜反射鏡であり、光吸収が少なく、高反射率と導電性とを有する。該半導体多層膜反射鏡は、屈折率が互いに異なる複数種類（例えば2種類）の半導体層（例えばp-AlGaAs層）が発光波長λの1/4波長の光学厚さで交互に積層された構造を有する。該p型不純物（ドーパント）と

しては、例えばZn、Mg、Be、C等が挙げられる。

[0045] (酸化狭窄層)

酸化狭窄層104は、非酸化領域104aと、該非酸化領域104aを取り囲む酸化領域104bとを有する。非酸化領域104aは、化合物半導体（例えばAlGaAs、AlAs等）からなる。酸化領域104bは、絶縁体（例えばAlxOy等の酸化物）からなる。酸化領域104bが非酸化領域104aよりも高抵抗且つ低屈折率であることにより、非酸化領域104aが電流・光通過領域として機能し、且つ、酸化領域104bが電流・光狭窄領域として機能する。酸化狭窄層104は、共振器内に生じる定在波の節の位置又はその近傍に配置されることが好ましい。

(第1クラッド層)

第1クラッド層105は、一例として、p-AlGaAsからなる。クラッド層は「スペーサ層」とも呼ばれる。

(発光層)

発光層106は、一例として、第1及び第2半導体構造SS1、SS2よりもバンドギャップエネルギーが小さい化合物半導体からなる。発光層106は、一例として、GaAs系化合物半導体（例えばGaAs、AlGaAs、GaInAs、GaInAsN等）からなる。発光層106は、量子井戸構造を有していてもよいし、多重量子井戸構造を有していてもよいし、量子ドット構造を有していてもよい。発光層106は、「活性層」とも呼ばれる。発光層106は、該発光層106における電流が注入される領域（電流注入領域）であって発光する領域である発光領域を有する。該発光領域は、酸化狭窄層104の酸化領域104bにより設定される。発光層106は、共振器内に生じる定在波の腹の位置又はその近傍に配置されることが好ましい。

(第2クラッド層)

第2クラッド層107は、一例として、n-AlGaAsからなる。クラッド層は「スペーサ層」とも呼ばれる。

[0046] (第2半導体多層膜反射鏡)

第2半導体多層膜反射鏡108は、一例として、n型不純物がドーピングされた半導体多層膜反射鏡であり、光吸収が少なく、高反射率と導電性とを有する。該半導体多層膜反射鏡は、屈折率が互いに異なる複数種類（例えば2種類）の半導体層（例えばn-AlGaAs層）が発光波長 λ の $1/4$ 波長の光学厚さで交互に積層された構造を有する。該n型不純物（ドーパント）としては、例えばSi、Se、Ge等が挙げられる。第2半導体多層膜反射鏡108は、第1半導体多層膜反射鏡103よりも反射率が僅かに高く設定されている。

[0047] (第2コンタクト層)

第2コンタクト層109は、キャリア伝導性が高い低抵抗の半導体層であり、一例としてn型不純物が高濃度でドーピングされたn-GaAs層からなる。該n型不純物（ドーパント）としては、例えばSi、Se、Ge等が挙げられる。コンタクト層は、「電流注入層」とも呼ばれる。

[0048] (ダミー素子部、スペーサ)

[0049] 面発光装置10では、周辺領域PAと実装基板200との間にスペーサSPを介在させている。詳述すると、一例として、周辺領域PAの最外周部と実装基板200との間に、スペーサSPが有するダミーバンプDBが介在している。ここでは、スペーサSPは、複数のダミーバンプDBを含んで構成されている。より詳細には、一例として、周辺領域PAの最外周部である、ダミー素子部DEの第2領域R2と実装基板200との間にダミーバンプDBが介在している。

[0050] ダミーバンプDBは、第2領域R2と実装基板200とを接合していてもよいし、接合していなくてもよい。すなわち、ダミーバンプDBが第2領域R2と実装基板200とで挟持されていてもよいし、第2領域R2及び実装基板200の一方と、ダミーバンプDBとの間に空隙が存在していてもよい。換言すると、第2領域R2及び実装基板200の一方と、スペーサSPとの間に遊びがあってもよい。ダミー素子部DEの第2領域R2は、後述する

、面発光装置 10 の製造方法において実施されるステルスダイシングの、ステルスダイシング領域 SDA（レーザ照射エリア）でもある。

[0051] ところで、近年、チップ状の面発光素子（面発光チップ）のチップサイズの小型化が進み、複数の面発光素子が一括して形成されたウェハのダイシング方法として、チッピングやクラックが無く、加工くずが生じず、切りしろも生じない、ステルスダイシングが用いられるようになってきた。ステルスダイシングは、例えば図 35 の比較参照図に示すような、ウェハ W 上で隣接する面発光素子 SLE 同士が共有するステルスダイシング領域 SDA としてのレーザ照射エリア内にレーザ光を集光し、熱衝撃でウェハ内部にクラックを生じさせるダイシング方法である。このため、ステルスダイシング領域 SDA には、レーザ光を遮るメタル等の遮蔽物、レーザ光の焦点の光密度を低下させるようなレーザ光を吸収する層、レーザ光の光路を乱す凹凸等を設けることができなかった。すなわち、ステルスダイシング領域 SDA は、レーザ光に影響を及ぼす構造物のない平坦エリアとする必要があった。

[0052] 図 35 の例では、ウェハ W 上で隣接する 2 つの面発光素子 SLE の各々のバンプ接合エリア（素子領域 EA 及びダミー素子部 DE）より外側の外周部にステルスダイシング用の、構造物のない平坦エリア（ステルスダイシング領域 SDA、レーザ照射エリア）が設けられている。ステルスダイシングに必要な、平坦エリア同士が隣接する 2 つの面発光素子 SLE の平坦エリアの幅の合計は、ウェハ W の厚さの約 0.4 倍であり、例えばウェハ W の厚さが $100\ \mu\text{m}$ の場合には $40\ \mu\text{m}$ となる。よって、面発光素子 SLE 1 つ分の外周部に必要となる平坦エリアの幅は、上記合計の半分、すなわちウェハ W の厚さの約 0.2 倍となる。ウェハ W の厚さが変わらなければ、必要となる平坦エリアの幅も変わらないため、チップサイズの小型化が進むにつれ、面発光チップ（チップ状の面発光素子）に占める平坦エリアの割合が大きくなる。チップサイズの小型化が進むほど、構造物が設けられないチップ外周部の平坦エリアの割合が増え、面発光チップを実装基板に押圧接合する際に、構造物のないチップ外周部が強く押し込まれ、面発光チップが撓み易くなる

(図19A参照)。押圧接合時に面発光チップが撓むと、接合後に、撓んだ面発光チップが戻る力(反力)が働き、チップ外周部付近の発光素子部LEや電極に強い引っ張り応力がかかり、面発光チップが破損したり、信頼性が低下することが懸念される。

[0053] そこで、面発光装置10では、ステルスダイシング後にステルスダイシング領域SDA(平坦エリア)に容易に形成可能な複数のダミーバンプDB(構造物)によりスペーサSPを構成している。ダミーバンプDBは、面発光素子100を実装基板200にバンプ接合する際に、第1及び第2バンプB1、B2と同時並行的に形成することが可能である。

[0054] ダミー素子部DEの第2領域R2は、一例として、素子領域EAの外周の少なくとも一部(例えば全周)に沿って延在している(図3参照)。

[0055] スペーサSPは、第2領域R2の延在方向(周方向)の少なくとも一部(例えば全体)に沿って設けられている。詳述すると、スペーサSPが、第2領域R2の延在方向(周方向)に並ぶ複数のダミーバンプ群を有する。各ダミーバンプ群は、当該延在方向と交差(例えば直交)する方向に並ぶ複数(例えば3つ)のダミーバンプDBを含む。

[0056] 面発光素子100の実装基板200側とは反対側の面(基板101の裏面(上面))である出射面は、平坦面である。ダミー素子部DEの実装基板200側の面(下面)は、平坦面である。該平坦面にステルスダイシングに用いられるレーザ光の波長に対して透明な絶縁膜や透明導電膜が設けられてもよい。これらの平坦面の存在は、面発光素子100がステルスダイシングにより個片化されたことの証となりうる。

[0057] 周辺領域PAの最外周部(ダミー素子部DEの第2領域R2)の基板101の側面に少なくとも1つの改質層(例えば第1及び第2改質層SD1、SD2)が存在しうる。該改質層の存在は、面発光素子100がステルスダイシングにより個片化されたことの証となりうる。また、一例として、周辺領域PAの最外周部(ダミー素子部DEの第2領域R2)の酸化狭窄層104の側面には酸化領域が設けられていない。

[0058] 面内方向に直交する方向（積層方向）に関して、ダミー素子部D Eの第2領域R 2の実装基板2 0 0側の面（前者）及びカソード電極1 1 5の実装基板2 0 0側の面（後者）は、同一の位置にある。これは、面発光素子1 0 0の実装基板2 0 0へのフリップチップ実装時（バンプ実装時）に面発光素子1 0 0に均等に荷重をかけることができ（基板1 0 1と実装基板2 0 0との間隔を面内で均一にすることができ）、接合不良や局所的な応力による素子破損を抑制できることを意味する。但し、厳密に言うと、前者及び後者の積層方向の位置には微差がある。

[0059] 具体的には、一例として、面内方向に直交する方向に関して、ダミー素子部D Eの第2領域R 2の実装基板2 0 0側の面（下面）よりもカソード電極1 1 5の実装基板2 0 0側の面（下面）の方が実装基板2 0 0に例えば所定距離（微小距離）だけ近い位置に位置する。スペーサS Pの厚さ（各ダミーバンプD Bの厚さ）が、第1バンプB 1の厚さよりも例えば当該所定距離だけ厚く、且つ、第2バンプB 2の厚さよりも例えばアノード電極1 1 2の厚さの分だけ厚い。これにより、基板1 0 1と実装基板2 0 0との間隔を面内でより均一にすることが可能となる。なお、例えば、面内方向に直交する方向に関する当該2つの面の位置関係が逆の場合には、スペーサS Pの厚さを第1バンプB 1の厚さよりも薄く、且つ、第2バンプB 2の厚さよりも厚くすることが好ましい。

[0060] （バンプ）

図3に示すように、一例として、複数の第1バンプB 1が複数の発光素子部L Eに対応するようにマトリクス状（行列状）に配置されている。一例として、複数の第2バンプB 2がダミー素子部D Eの第1領域R 1に対応するようにマトリクス状に配置されている。一例として、複数のダミーバンプD Bがダミー素子部D Eの第2領域R 2の各辺に対応するようにマトリクス状に配置されている。

[0061] 一例として、第1バンプB 1、第2バンプB 2及びダミーバンプD Bの各々が、加圧により潰れにくくなる材料を含む。さらに、一例として、第1バ

ンプB 1、第2バンプB 2及びダミーバンプDBは、同一の導電性材料からなる。なお、ダミーバンプDBは、例えば導電性樹脂、半絶縁性樹脂、絶縁性樹脂等からなってもよい。

[0062] 第1バンプB 1、第2バンプB 2及びダミーバンプDBを構成する導電性材料は、バンプ接合時に軟化状態（相対的に軟らかい状態）から硬化状態（相対的に硬い状態）へ移行させることが可能な導電性材料であることが好ましい。具体的には、当該導電性材料は、加圧により潰れにくくなる材料を含む。

[0063] より詳細には、当該導電性材料は、例えば金属粒子ペーストであってもよい。当該金属粒子ペーストは、加圧により軟化状態から硬化状態に徐々に移行させることができる。さらに、当該金属ペーストは、焼結させることにより固化させることができる。当該金属粒子ペーストとしては、例えばAu粒子ペースト、Ag粒子ペースト、Cu粒子ペースト等が挙げられる。

[0064] 当該金属粒子ペーストは、金属ナノ粒子を含む金属ナノペーストであることが好ましい。当該金属ナノペーストは、粒径が1 μ m未満の金属ナノ粒子を含む金属粒子が樹脂バイнда中に分散されたものである。当該金属ナノペーストとしては、例えばAuナノペースト、Agナノペースト、Cuナノペースト等が挙げられる。

[0065] 当該導電性材料は、例えば合金ペーストであってもよい。当該合金ペーストは、例えば溶ダーペースト（クリーム半田）であってもよい。溶ダーペーストは、攪拌されると粘度が下がり（軟化状態になり）、放置されると粘度が元の状態（硬化状態）に戻る性質（チクソトロピー）を有する。溶ダーペーストの具体例としては、例えばSn-Ag系、Sn-Au系、Sn-Cu系等が挙げられる。

[0066] 一例として、第1バンプB 1、第2バンプB 2及びダミーバンプDBの面内における配置密度（面密度）の差は、極力小さいこと（理想的には0）であることが好ましい。これにより、面発光素子100の実装基板200への実装時（バンプ接合時）における面発光素子100にかかる荷重を面内でよ

り均一にでき、ひいては面発光素子 100 の変形をより抑制できる。

[0067] (実装基板)

実装基板 200 は、基板部としての半導体基板 201 と、各カソード電極 115 と第 1 バンプ B1 を介して接合される第 1 電極 202 (陰極) と、アノード電極 112 と第 2 バンプ B2 を介して接合される第 2 電極 203 (陽極) とを有する。

[0068] 実装基板 200 としての駆動基板が有するドライバ又は実装基板 200 としての配線基板に接続されるドライバは、一例として電源と、該電源から面発光素子 100 への通電のオンオフを制御するトランジスタ (例えば n-MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、p-MOSFET 等) とを含んで構成される。

[0069] ≪面発光装置の動作≫

以下、面発光装置 10 の動作について説明する。面発光素子 100 にドライバの電源電圧が印加されると、ドライバの陽極側からの電流が第 2 電極 203、第 2 バンプ B2、アノード電極 112、配線 114 及び中間電極 113 を介して第 1 コンタクト層 102 に注入される。第 1 コンタクト層 102 を介した電流は、各発光素子部 LE の第 1 半導体多層膜反射鏡 103 に流入し酸化狭窄層 104 で狭窄され第 1 クラッド層 105 を介して発光層 106 の発光領域に注入される。このとき、該発光領域が発光し、その光が第 1 及び第 2 半導体多層膜反射鏡 103、108 の間を酸化狭窄層 104 で狭窄され且つ発光層 106 で増幅されつつ往復し、発振条件を満たしたとき、基板 101 の裏面側 (上面側) へレーザ光として出射される。該発光領域に注入された電流は、第 2 クラッド層 107、第 2 半導体多層膜反射鏡 108、第 2 コンタクト層 109、カソード電極 115、第 1 バンプ B1 及び第 1 電極 202 をこの順に介してドライバの陰極側へ流出される。

[0070] ≪面発光装置の製造方法≫

以下、面発光装置 10 の製造方法の一例について、図 8 のフローチャート

、面発光装置 10 の製造方法の工程図（図 5 ～図 18）を参照して説明する。全体の流れとしては、先ず、半導体製造装置を用いた半導体製造方法により、基板 101 の基材である 1 枚のウェハ（以下では、便宜上「基板 101」と呼ぶ）上に面発光素子 100 を複数同時に生成する。次いで、一連一体の複数の面発光素子 100 をダイシングにより互いに分離して、チップ状の面発光素子 100（面発光チップ）を得る。チップ状の面発光素子 100 を実装基板 200 へ実装する。

[0071] 最初のステップ S1 では、積層体を生成する（図 5 参照）。具体的には、例えば MOCVD（Metal Organic Chemical Vapor Deposition：有機金属気相成長）法などのエピタキシャル結晶成長法により、成長基板としての基板 101 上に第 1 コンタクト層 102、被酸化層 104S（例えば AlGaAs 層、AlAs 層等）が内部に配置された第 1 半導体多層膜反射鏡 103、第 1 クラッド層 105、発光層 106、第 2 クラッド層 107、第 2 半導体多層膜反射鏡 108 及び第 2 コンタクト層 109 をこの順に積層して積層体を生成する。この際、化合物半導体の原料としては、例えば、トリメチルアルミニウム（TMAI）、トリメチルガリウム（TMGa）、トリメチルインジウム（TMIn）などのメチル系有機金属ガスと、アルシン（AsH₃）ガスを用い、ドナー不純物の原料としては、例えばジシラン（Si₂H₆）を用い、アクセプタ不純物の原料としては、例えば四臭化炭素（CBr₄）を用いる。

[0072] 次のステップ S2 では、発光メサ LM となる第 1 メサ M1 及び一体化された 2 つのダミーメサ DM（隣接する 2 つのダミーメサ DM）となる第 2 メサ M2 を形成する（図 6 参照）。具体的には、フォトリソグラフィにより、積層体上に第 1 及び第 2 メサ M1、M2 が形成されることとなる箇所を覆うレジストパターンを形成し、該レジストパターンをマスクとして積層体をドライエッチング又はウェットエッチングによりエッチングする。このときのエッチングは、例えばエッチング底面が第 1 コンタクト層 102 内に到達するまでとする。結果として、第 1 及び第 2 メサ M1、M2 が形成される。その

後、レジストパターンを除去する。なお、第1コンタクト層102と第1半導体多層膜反射鏡103との間にエッチングストップ層（例えばInGaP層）を配置しておいてもよい。

[0073] 次のステップS3では、酸化狭窄層104を形成する（図7参照）。具体的には、第1及び第2メサM1、M2（図6参照）を高温の水蒸気雰囲気中に曝し、被酸化層104Sを側面から所定距離だけ選択的に酸化する。この結果、第1メサM1に非酸化領域104aが酸化領域104bで取り囲まれた酸化狭窄層104が形成され、発光メサLMが生成される。第2メサM2にも非酸化領域が酸化領域で取り囲まれた層が形成され、一体化された2つのダミーメサDMが生成される。

[0074] 次のステップS4では、アノード電極112、中間電極113及びカソード電極115を形成する（図8参照）。具体的には、例えばリフトオフ法により、発光メサLMの頂部上にカソード電極115をベタ状に形成し、且つ、ダミーメサDMの頂部上にアノード電極112をベタ状に形成し、且つ、第1コンタクト層102の上面のメサ間の領域を覆う中間電極113を形成する。このとき、電極材料の成膜に例えば蒸着、スパッタ等を用いる。

[0075] 次のステップS5では、絶縁膜111を形成する。具体的には、先ず、絶縁膜111を全面に成膜する（図9参照）。次いで、フォトリソグラフィ及びエッチングにより、絶縁膜111の一部を除去して、アノード電極112、中間電極113、カソード電極115及び一体化された2つのダミーメサDMのステルスダイシング領域SDAを露出させる（図10参照）。

[0076] 次のステップS6では、配線114を形成する（図11、図12参照）。具体的には、例えばメッキ法により、配線114を、該配線114が、中間電極113と、一体化された2つのダミーメサDMの側面及び上面の外周部に形成された絶縁膜111と、アノード電極112の外周部を覆うように形成する。なお、メッキ法に先立って、メッキされる箇所に予めシード層を形成しておくことが好ましい。

[0077] 次のステップS7では、ステルスダイシングを行う（図13、図14参照

）。ステルスダイシングに先立って、基板101の裏面をバックグライダーやCMP（Chemical Mechanical Polisher）装置により研磨して基板101を例えば100 μ m程度まで薄肉化することが好ましい。ステルスダイシングは、一例として、基板101の裏面（下面）にダイシングテープを貼り付けてテープマウントした状態で基板101の表面（上面）側からステルスダイシング領域SDA（平坦エリア）に対してレーザ光をフォーカス制御しながら隣接するダミー素子部DE同士の境界に沿って第2領域R2の延在方向（周方向）に走査することにより行う。

[0078] ここでのフォーカス制御は、各走査位置において、レーザ光の焦点を基板101内の第1深さ位置（基板101の裏面から近い位置）に位置させた後、基板101内の第2深さ位置（第1深さ位置よりも基板101の裏面から遠い位置）に位置させる制御である。レーザ光の焦点が第1深さ位置にあるときに高い光密度で多光子吸収が生じ、急激に発熱し、その熱衝撃で基板101内に第1改質層SD1と、該第1改質層SD1を起点として基板101の裏面まで延伸するクラックとが生じる（図13参照）。レーザ光の焦点が第2深さ位置にあるときに高い光密度で多光子吸収が生じ、急激に発熱し、その熱衝撃で基板101内に第2改質層SD2と、該第2改質層SD2を起点として基板101の裏面側に延伸するクラックであって第1改質層SD1まで延伸するクラックが生じる（図14参照）。

[0079] その後、テープマウントされている基板101をテープ延伸機にかけることで、複数の面発光素子100がチップ状に分割され、ダイシング完了となる（図15参照）。

[0080] 最後のステップS8では、面発光素子100を実装基板200へ実装（フリップチップ実装）する（図16～図18参照、図18は実装基板200を透視した状態を示す模式図である）。具体的には、まず、実装基板200の各第1電極202上に軟化状態にある第1 bumps B1を付着させ、且つ、第2電極203に軟化状態にある第2 bumps B2を付着させ、且つ、ダミー素子部DEの第2領域R2に対応する箇所に軟化状態にあるダミー bumps DB

を付着させる（図 16 参照）。ここで、各バンプの配置密度（面密度）及びサイズは、基板 101 と実装基板 200 との間隔が面内で概ね一定となるように、該バンプに所定の圧力がかかったときの該バンプの潰れ量の差が小さくなるように設定してもよい。ここでは、各バンプは、加圧により潰れにくくなる導電性材料を含む。例えば、各バンプが溶剤ペーストである場合には、予め硬化状態で攪拌して軟化状態にしておく。

[0081] 次いで、チップ状の面発光素子 100 を、例えば図 19B に示すような、真空吸引穴 VSH が貫通する、コレット C（緩衝材）付きボンディングヘッド BH により基板 101 の裏面を真空吸引してピックアップし、カソード電極 115 と第 1 バンプ B1 とが対向し、且つ、アノード電極 112 と第 2 バンプ B2 とが対向し、且つ、第 2 領域 R2 とダミーバンプ DB とが対向するように実装基板 200 に対して位置合わせする（図 16 参照）。その後、高温環境下で加圧接合する。この際、面発光素子 100 の全体が実装基板 200 に対して所定の圧力で均一に加圧され、カソード電極 115 と第 1 電極 202 とが第 1 バンプ B1 を介して接合され、且つ、アノード電極 112 と第 2 電極 203 とが第 2 バンプ B2 を介して接合される（図 17、図 18 参照）。このとき、第 2 領域 R2 と実装基板 200 との間隙に複数のダミーバンプ DB がスペーサとして介在するため、面発光素子 100 の撓みが抑制される（図 19B 参照）。さらに、各バンプが押し潰されていく過程で軟化状態から徐々に硬化状態へ移行するため、接合初期から接合中期に面発光素子 100 にかかる応力が分散され、素子破損が抑制される。接合中期から接合終期には、各バンプが相対的に硬くなるため十分な接合強度（接合剛性）を得ることができる。一方、例えば図 19A に示す比較例のように、バンプ接合時に面発光素子 100C の最外周部と実装基板 200C との間にスペーサが介在しない場合には面発光素子 100C が撓み、接合後に面発光素子 100C に引っ張り応力がかかるため、素子破損や信頼性低下の懸念がある。

[0082] 次いで、各バンプを固化させる。具体的には、例えば、各バンプが金属粒子ペーストである場合には、加圧しながら加熱して焼結させて固化させても

よいし、加熱炉内で焼結させて（リフローにより）固化させてもよい。例えば、各バンプが溶ダーペーストである場合には、攪拌終了時から所定時間放置することにより固化させる。

[0083] なお、ダミーバンプDBは、メタル間で挟持されないので、剥がれやすく、バンプ接合後に脱落することも想定されるが、特に差し支えない。ダミーバンプDBがスペーサとして機能することは、面発光素子100の全体が実装基板200に対して押圧されるバンプ接合時に重要であり、バンプ接合後においてはさほど重要でないからである。

[0084] バンプ接合後に、接合部を異物等から保護するため、且つ、接合強度を向上させるために面発光素子100と実装基板200との間隙にアンダーフィルを注入（好ましくは充填）してもよい。

[0085] 上記フォーカス制御では、レーザ光の焦点を2つの深さ位置で制御したが、例えばウェハがより薄い場合は1つの深さ位置に位置させてもよいし、ウェハがより厚い場合には3つ以上の深さ位置で制御してもよい。

[0086] 《面発光装置及び該面発光装置の製造方法の効果》

以下、面発光装置10及び該面発光装置10の製造方法の効果について説明する。

面発光装置10は、素子領域EAと該素子領域EAの周辺領域PAとを含む面発光素子100と、該面発光素子100が実装される実装基板200と、を備える。素子領域EAは、実装基板200側にカソード電極115が設けられた発光素子部LEを有し、カソード電極115が第1バンプB1を介して実装基板200と接合され、周辺領域PAと実装基板200との間にスペーサSPが介在している。

[0087] 面発光装置10では、面発光素子100の実装基板200への実装時（バンプ接合時）に周辺領域PAと実装基板200との間にスペーサSPを介在させつつ、発光素子部LEに設けられたカソード電極115と実装基板200とを第1バンプB1を介して接合することができる。

[0088] 結果として、面発光装置10によれば、面発光素子100の実装基板200

0への実装時に面発光素子100が変形（弾性変形）してしまう（撓んでしまう）ことを抑制できる面発光装置を提供することができる。

[0089] 一方、特許文献1に記載の半導体装置では、対向するチップの複数の電極間の隙間を一定にするため、一部の電極に高さ調整パッドを設けて、機械的に隙間を一定にしている。しかし、この構成を面発光装置に適用すると、接合時の押圧により面発光チップが凹上に撓み、特に調整パッド近傍の発光素子部に強い応力がかかるため、面発光チップが破損したり、信頼性が低下することが懸念される。

[0090] 特許文献2に記載の半導体素子の実装構造は、半導体素子の四隅の接続バンプを高密度にして、素子駆動時の発熱による接続部熱ストレスによるバンプクラックを低減させている。しかし、この構成を面発光装置に適用すると、バンプ接合時の押圧により面発光素子が凹上に撓み、特に四隅の接続バンプ近傍の発光素子部に強い応力がかかるため、面発光素子が破損したり、信頼性が低下することが懸念される。

[0091] 周辺領域PAの最外周部と実装基板200との間にスペーサSPが介在している。これにより、バンプ接合時の面発光素子100の変形をより効果的に抑制することができる。

[0092] 周辺領域PAが、最外周部を含むダミー素子部を有する。これにより、スペーサSPの厚さを薄くすることができる。

[0093] 周辺領域PAの最外周部が、素子領域EAの外周の少なくとも一部（例えば全周）に沿って延在し、スペーサSPが、周辺領域PAの最外周部の延在方向の少なくとも一部（例えば全周）に沿って設けられている。これにより、バンプ接合時に面発光素子100の変形を抑制できる範囲を該最外周部の周方向に延ばすことができる。

[0094] 周辺領域PAの最外周部が、素子領域EAの外周の全周に沿って延在している。これにより、スペーサSPを周辺領域PAの最外周部の全周に沿って設けることが可能となる。この場合には、バンプ接合時に面発光素子100の全周において変形を抑制することができる。

- [0095] スペーサSPが、周辺領域PAの最外周部の延在方向に並ぶ複数の部分を有する。これにより、スペーサSPを複数の構造物で構成できる。
- [0096] スペーサSPが、ダミーバンプDBを含む。これにより、スペーサSPをバンプ接合時に形成することができる。例えば、面発光素子100をステルスダイシングによりダイシングする前にスペーサSPとなる構造物を形成する必要がないので、ステルスダイシングを精確に行うことができ、面発光素子100にチップングやクラックが生じにくい。面発光素子100をステルスダイシングによりダイシングした後にスペーサSPとなる構造物（複数のダミーバンプDB）を形成することができるので、バンプ接合時の面発光素子100の撓みを抑制できるためチップ割れ、チップ欠け等の破損が抑制され、撓みに起因する最外周部付近の発光素子部や電極にかかる強い引っ張り応力による素子破損や信頼性の低下も抑制できる。よって、高品質且つ高信頼性の面発光素子を提供することができる。
- [0097] ダミーバンプDBがダミー素子部DE上に設けられ、ダミー素子部DEの実装基板200側の面とアノード電極112の実装基板200側の面とが同一平面上に位置することが好ましい。これにより、ダミーバンプDBの厚さと第1バンプB1の厚さとを同一にすることができる。
- [0098] ダミーバンプDBを第1バンプB1と同時並行的に形成することができるので、バンプ形状ばらつきを抑制でき、製造工数の増加を抑制でき、品質向上やコストダウンも実現できる。
- [0099] 面発光素子100の実装基板200側とは反対側の面である出射面は、平坦面であることが好ましい。これにより、出射面の高品質化を図ることができる。
- [0100] 面発光素子100の側面に第1及び第2改質層SD1、SD2が存在する。これにより、面発光素子100がステルスダイシングでダイシングされたものであることが推定され、例えばブレードダイシング等の機械的なダイシング手法によりダイシングされた面発光素子に比べて、素子破損や信頼性低下が十分に抑制されることの保証となりうる。

- [0101] 面内方向に直交する方向に関して、周辺領域 P A の最外周部の実装基板 200 側の面よりもカソード電極 115 の実装基板 200 側の面の方が実装基板 200 に近い位置に位置し、スペーサ S P の厚さが第 1 バンプ B 1 の厚さよりも厚くてもよい。
- [0102] 周辺領域 P A が有するダミー素子部 D E の実装基板 200 側にアノード電極 112 が設けられ、アノード電極 112 が、第 2 バンプ B 2 を介して実装基板 200 と接合されている。これにより、カソード電極 115 及びアノード電極 112 を実装基板 200 に同時にバンプ接合することが可能となり、ひいては製造工数削減を図ることができる。
- [0103] 素子領域 E A が、面内方向に離間する複数の発光素子部 L E を有し、アノード電極 112 は、複数の発光素子部 L E に共通に設けられた共通電極である。これにより、電極数を削減しつつ、複数の発光素子部 L E を独立駆動することができる。
- [0104] 第 1 バンプ B 1 及びダミーバンプ D B の各々は、加圧により潰れにくくなる材料を含むことが好ましい。これにより、バンプ接合時の素子破損を抑制し、且つ、接合強度（接合剛性）を向上することができる。
- [0105] 第 1 バンプ B 1 及びダミーバンプ D B が、同一の導電性材料からなる。これにより、バンプ材料の種類を限定する（少なくする）ことによるバンプ接合工程の容易化及び低コスト化を図ることができる。
- [0106] 周辺領域 P A が、ダミー素子部 D E を含み、発光素子部 L E 及びダミー素子部 D E の各々は、互いに積層された第 1 及び第 2 半導体構造 S S 1、S S 2 と、第 1 及び第 2 半導体構造 S S 1、S S 2 の間に配置された発光層 106 と、を有する。これにより、半導体製造工程により面発光素子 100 を容易に形成することができる。
- [0107] 面発光装置 10 の製造方法は、発光素子部 L E を有する素子領域 E A と該素子領域 E A の周辺領域 P A とを含む面発光素子 100 を形成する工程と、周辺領域 P A と実装基板 200 との間にスペーサ S P を介在させるとともに、発光素子部 L E 上に設けられたカソード電極 115 と実装基板 200 とを

第1バンプB1を介して接合する工程と、を含む。

[0108] 面発光装置10の製造方法によれば、面発光素子100の実装基板200への実装時に面発光素子100が変形して（撓んで）しまうことを抑制しつつ面発光装置10を製造することができる。

[0109] 面発光装置10の製造方法において、スペーサSPは、ダミーバンプDBを含む。これにより、スペーサSPをバンプ接合時に形成することができる。

[0110] 上記接合する工程は、面発光素子100の実装基板200側とは反対側の面である出射面を実装基板200側に押圧することにより行われる。これにより、面発光素子100を該面発光素子100の変形を抑制しつつ実装基板200に加圧接合することができる。この際、緩衝材を介して出射面を実装基板200側に押圧することにより、出射面の損傷を抑制することができる。

[0111] 上記形成する工程では、複数の面発光素子100が、周辺領域PA同士が隣接するように一括して形成され、該形成する工程の後、且つ、上記接合する工程の前に、複数の面発光素子100をステルスダイシングにより個片化する工程と、を含む。これにより、出射面が高品質な平坦面であり、且つ、素子破損や信頼性低下が抑制された複数のチップ状の面発光素子100を得ることができる。

[0112] <2. 本技術の一実施形態の実施例2に係る面発光装置>

図20は、本技術の一実施形態の実施例2に係る面発光装置20の断面図である。

[0113] 面発光装置20は、図20に示すように、絶縁膜111が、ダミー素子部DEの第1領域R1の第2コンタクト層109とアノード電極112との間にも配置されている点を除いて、実施例1に係る面発光装置20と同様の構成を有する。すなわち、共通電極としてのアノード電極112は、実施例1に係る面発光装置10のように第2コンタクト層109上に配置されてもよいし、面発光装置20のように絶縁膜111上に配置されてもよい。共通電

極の配置は、面発光素子 100 の駆動時のインダクタンス、コンダクタンス、インピーダンス設計に応じて設定されることが好ましい。

[0114] <3. 本技術の一実施形態の実施例 3 に係る面発光装置>

図 21 は、本技術の一実施形態の実施例 3 に係る面発光装置 30 の断面図である。図 22 は、本技術の一実施形態の実施例 3 に係る面発光装置 30 の実装基板 200 を省略した状態の下面図である。図 21 は、図 22 の 21-21 線断面図である。

[0115] 面発光装置 30 は、図 21 及び図 22 に示すように、周辺領域 PA が第 1 ダミー素子部 DE1 を有し、且つ、素子領域 EA が少なくとも 1 つ（例えば 2 つ）の第 2 ダミー素子部 DE2 を有する点を除いて、実施例 1 に係る面発光装置 10 と概ね同様の構成を有する。

[0116] 面発光装置 30 では、第 1 ダミー素子部 DE1 が周辺領域 PA の最外周部を含み、実装基板 200 側に第 1 ダミーメサ DM1 を有する。第 1 ダミーメサ DM1 と実装基板 200 との間にスペーサを構成する複数のダミーバンプ DB が介在している。

[0117] 面発光装置 30 では、一例として、発光素子部アレイが、複数（例えば 24 個）の発光素子部 LE を各々が含む複数（例えば 3 つ）の発光素子部群であって面内の一方向（例えば図 22 の 21-21 線方向）に並ぶ複数（例えば 3 つ）の発光素子部群を有する。該発光素子部群と第 2 ダミー素子部 DE2 とが上記一方向に交互に並んでいる。

[0118] <4. 本技術の一実施形態の実施例 4 に係る面発光装置>

図 23 は、本技術の一実施形態の実施例 4 に係る面発光装置 40 の断面図である。図 24 は、本技術の一実施形態の実施例 4 に係る面発光装置 40 の実装基板 200 を省略した状態の下面図である。図 23 は、図 24 の 23-23 線断面図である。

[0119] 面発光装置 40 は、図 23 及び図 24 に示すように、面発光素子 100 がメサレス構造を有している点及び酸化狭窄層 104 に代えてイオン注入領域 11A が設けられている点を除いて、実施例 1 に係る面発光装置 10 と概ね

同様の構成を有する。

[0120] 面発光装置40では、各発光素子部LE及びダミー素子部DEが、基板101、第1コンタクト層102、第1半導体多層膜反射鏡103、第1クラッド層105、発光層106、第2クラッド層107、第2半導体多層膜反射鏡108、第2コンタクト層109を含んで構成されている。

[0121] 発光素子部LEの、カソード電極115の直上の領域を取り囲むように高抵抗領域又は絶縁領域としてのイオン注入領域IIAが設けられている。ここでは、イオン注入領域IIAは、発光素子部LEの積層方向（上下方向）の第1コンタクト層102を除く領域に設けられている。ここでも、発光素子部LEの第1コンタクト層102内に横方向の電流パスが形成される。

[0122] イオン注入領域IIAに用いられるイオン種としては、例えばH⁺、B⁺等が挙げられる。

[0123] 素子領域EAとダミー素子部DEとの間にトレンチTが設けられている。トレンチTの底面は、第1コンタクト層102の下面に一致している。トレンチTの底面上に中間電極113が設けられている。トレンチTの相対する一側面及び他側面の一方が素子領域EAの側面であり、他方がダミー素子部DEの側面である。トレンチTの相対する一側面側及び他側面側には、イオン注入領域IIAが設けられている。トレンチは、狭義には「溝」を意味するが、広義には「穴」、「凹部」、「凹み」等を含むものとする。

[0124] 配線114は、素子領域EAの下面のトレンチTの周辺部、トレンチTの素子領域EA側の側面、ダミー素子部DE側の側面、中間電極113、ダミー素子部DEの下面のトレンチTの周辺部を覆うように設けられている。配線114のダミー素子部DEの下面を覆う部分の端部がアノード電極112に接している。以上のように構成される配線114により、第1コンタクト層102に接する中間電極113とアノード電極112との良好な導通性が確保されている。

<5. 本技術の一実施形態の実施例5に係る面発光装置>

図25は、本技術の一実施形態の実施例5に係る面発光装置50の断面図

である。

[0125] 面発光装置50は、アノード電極112が基板101の裏面側（上面側）に設けられ、且つ、ダミー素子部DEが第1領域R1に相当する領域を有していない点を除いて、実施例1に係る面発光装置10と概ね同様の構成を有する。ここでは、基板101は、例えばp-GaAsからなる。

[0126] 面発光装置50では、アノード電極112が基板101の裏面に平面視において発光層106の発光領域を囲むように設けられている。アノード電極112は、ボンディングワイヤBWを介して実装基板200の第2電極203に接続されている。

＜6. 本技術の一実施形態の実施例6に係る面発光装置＞

図26は、本技術の一実施形態の実施例6に係る面発光装置60の断面図である。

[0127] 面発光装置60は、ダミー素子部DEが周辺領域PAの最外周部を有しておらず、該最外周部と実装基板200とがダミーバンプDBを介して接合されている点を除いて、実施例1に係る面発光装置10と概ね同様の構成を有する。

＜7. 本技術の一実施形態の実施例7に係る面発光装置＞

図27は、本技術の一実施形態の実施例7に係る面発光装置70の断面図である。

[0128] 面発光装置70は、図27に示すように、面発光素子100の各発光素子部LEが裏面出射型の発光ダイオード（LED）である点を除いて、実施例1に係る面発光装置10と概ね同様の構成を有する。

[0129] 面発光装置70では、一例として、第1半導体多層膜反射鏡103が設けられておらず、第1クラッド層105内に酸化狭窄層104が設けられている。

[0130] 面発光装置70では、発光素子部LEの発光層106から上側（基板101の裏面側）に発せられた光と、該発光層106から下側（基板101の表面側）に発せられ第2半導体多層膜反射鏡108で反射された光との合成光

が基板 101 の裏面側へ出射される。

[0131] 面発光装置 70 によれば、実施例 1 に係る面発光装置 10 と同様の効果を奏する、高効率且つ高出力の発光ダイオードを備える面発光装置を実現できる。

<8. 本技術の一実施形態の実施例 8 に係る面発光装置>

図 28 は、本技術の一実施形態の実施例 8 に係る面発光装置 80 の断面図である。

[0132] 面発光装置 80 は、図 28 に示すように、面発光素子 100 の各発光素子部 LE が裏面出射型の発光ダイオード (LED) である点を除いて、実施例 1 に係る面発光装置 10 と概ね同様の構成を有する。

[0133] 面発光装置 80 では、一例として、第 1 及び第 2 半導体多層膜反射鏡 103、108 が設けられておらず、第 1 クラッド層 105 内に酸化狭窄層 104 が設けられている。

[0134] 面発光装置 80 では、発光素子部 LE の発光層 106 から上側 (基板 101 の裏面側) に発せられた光と、該発光層 106 から下側 (基板 101 の表面側) に発せられカソード電極 115 で反射された光との合成光が基板 101 の裏面側へ出射される。

[0135] 面発光装置 80 によれば、実施例 1 に係る面発光装置 10 と同様の効果を奏する、高効率の発光ダイオードを備える面発光装置を実現できる。

[0136] <9. 本技術の一実施形態の実施例 9 に係る面発光装置>

図 29 は、本技術の一実施形態の実施例 9 に係る面発光装置 90 の実装基板 200 を省略した状態を示す下面図である。

[0137] 面発光装置 90 は、第 1 バンプ B1、第 2 バンプ B2 及びダミーバンプ DB の各々が、千鳥配置されている点を除いて、実施例 1 に係る面発光装置 10 と同様の構成を有する。なお、千鳥配置に代えて、例えばランダム配置としてもよい。

[0138] 面発光装置 90 によれば、各バンプを密に配置することができるため、より多チャンネルの、素子破損や信頼性低下が抑制された面発光素子 100 を

備える面発光装置 90 を実現することができる。

[0139] < 10. 本技術の一実施形態の実施例 10 に係る面発光装置 >

図 30 は、本技術の一実施形態の実施例 10 に係る面発光装置 110 の実装基板 200 を省略した状態を示す下面図である。

[0140] 面発光装置 110 は、図 30 に示すように、ダミー素子部 DE の第 1 領域 R1 が素子領域 EA の外周の全周に沿って延在する周回状（例えば矩形枠状）であり、第 2 バンプ B2 が第 2 領域 R2 の全周に沿って設けられている点を除いて、実施例 9 に係る面発光装置 90 と同様の構成を有する。

[0141] < 11. 本技術の一実施形態の実施例 11 に係る面発光装置 >

図 31 は、本技術の一実施形態の実施例 11 に係る面発光装置 120 の実装基板 200 を省略した状態を示す下面図である。

[0142] 面発光装置 120 は、図 31 に示すように、ダミー素子部 DE の第 2 領域 R2 の周方向の一部に沿ってダミーバンプ DB が設けられている点を除いて、実施例 1 に係る面発光装置 10 と同様の構成を有する。

[0143] 面発光装置 120 では、第 2 領域 R2 の 4 隅、短辺の中央部及び長辺の中央部の各々に沿って複数のダミーバンプ DB が設けられている。

[0144] 面発光装置 120 によれば、第 2 領域 R2 の一部に沿ってダミーバンプ DB が設けられていないが、図 31 の例のように第 2 領域 R2 に対してダミーバンプ DB がバランス良く配置されることにより、バンプ接合時の面発光素子の変形を抑制することが可能である。

[0145] < 12. 本技術の一実施形態の実施例 12 に係る面発光装置 >

図 32 は、本技術の一実施形態の実施例 12 に係る面発光装置 130 の実装基板 200 を省略した状態を示す下面図である。

[0146] 面発光装置 130 は、図 32 に示すように、ダミー素子部 DE の第 2 領域 R2 の周方向の一部に沿ってダミーバンプ DB が設けられている点を除いて、実施例 1 に係る面発光装置 10 と同様の構成を有する。

[0147] 面発光装置 130 では、第 2 領域 R2 の周方向の 4 隅の箇所を含む、等間隔で離間する複数の箇所の各々に沿って複数のダミーバンプ DB が設けられ

ている。

[0148] 面発光装置 130 によれば、第 2 領域 R2 の一部に沿ってダミーバンプ DB が設けられていないが、図 32 の例のように第 2 領域 R2 に対してダミーバンプ DB がバランス良く配置されることにより、バンプ接合時の面発光素子の変形を抑制することが可能である。

[0149] < 13. 本技術の一実施形態の実施例 13 に係る面発光装置 >

図 33 は、本技術の一実施形態の実施例 13 に係る面発光装置 140 の断面図である。

[0150] 面発光装置 140 は、ダミー素子部 DE を有していない点を除いて、実施例 5 に係る面発光装置 50 と概ね同様の構成を有する。

[0151] 面発光装置 140 では、面発光素子 100 の周辺領域 PA の、構造物（例えばダミーメサ DM）が設けられていない最外周部と、実装基板 200 との間に複数のダミーバンプ DB がスペーサとして介在している。

[0152] < 14. 本技術の一実施形態の実施例 14 に係る面発光装置 >

図 34 は、本技術の一実施形態の実施例 14 に係る面発光装置 150 の断面図である。

[0153] 面発光装置 150 は、第 1 ダミー素子部 DE1 を有していない点を除いて、実施例 3 に係る面発光装置 30 と概ね同様の構成を有する。

[0154] 面発光装置 150 では、面発光素子 100 の周辺領域 PA の、構造物（例えばダミーメサ DM）が設けられていない最外周部と、実装基板 200 との間に複数のダミーバンプ DB がスペーサとして介在している。

[0155] < 15. 本技術の変形例 >

本技術は、上記一実施形態の各実施例に限らず、適宜変更可能である。

[0156] 例えば、上記各実施例に係る面発光装置の発光素子部として、図 36 に示す、変形例の発光素子部 LE を用いてもよい。本変形例の発光素子部 LE は、マルチジャンクション VCSEL である。本変形例では、発光素子部 LE が、互いに積層された複数（例えば 3 つ）の発光層 106 と、各発光層 106 の p 側（上側）に配置された酸化狭窄層 104 と、隣り合う 2 つの発光層

106の間に配置されたトンネルジャンクション層116とを含む。各発光層106は、直上の第1クラッド層105と直下の第2クラッド層107とで挟まれている。各酸化狭窄層104は、直上の第1クラッド層105と直下の第1クラッド層105とで挟まれている。各トンネルジャンクション層116は、直上の第2クラッド層107と直下の第1クラッド層105とで挟まれている。上記各実施例に係る面発光装置の発光素子部として、本変形例の発光素子部LEを用いることにより、高出力化を図ることができる。よって、当該面発光装置は、特に、後述する移動体（例えば車両）に搭載される距離測定装置（LiDAR）の光源に適している。なお、本変形例において、発光層106、酸化狭窄層104及びトンネルジャンクション層116の数は、適宜変更可能である。

[0157] 例えば、スペーサSPは、単一の構造物で構成されてもよい。

[0158] 例えば、スペーサSPは、バンプ以外の少なくとも1つの構造物で構成されてもよい。

[0159] 上記各実施例において、面発光素子は、第1及び第2コンタクト層102、109の少なくとも一方を有していなくてもよい。

[0160] 酸化狭窄層104が、第1半導体多層膜反射鏡103内に代えて又は加えて、第1コンタクト層102内、第1コンタクト層102と第1半導体多層膜反射鏡103との間、第1半導体多層膜反射鏡103と第1クラッド層105との間、第1クラッド層105内、第1クラッド層105と発光層106との間、発光層106と第2クラッド層107との間、第2クラッド層107内、第2クラッド層107と第2半導体多層膜反射鏡108との間、第2半導体多層膜反射鏡108内、第2半導体多層膜反射鏡108と第2コンタクト層109との間、第2コンタクト層109内の少なくとも1つに設けられてもよい。

[0161] 上記各実施例において、面発光素子の発光素子部アレイは、発光素子部LEが2次元配置されたものであるが、例えば、発光素子部LEが1次元配置されたものであってもよい。

[0162] 例えば、面発光素子における電流狭窄は、酸化狭窄層 104 やイオン注入領域 11A によるものに限らない。例えば Ga 空孔拡散によりアパーチャの内外でバンドギャップエネルギー差を設けてキャリアを閉じ込める QW1、トンネルジャンクション、埋め込みトンネルジャンクション等により電流狭窄を行ってもよい。複数の電流狭窄構造を併用してもよい。例えば、酸化狭窄層 104 の非酸化領域 104a をイオン注入領域 11A で取り囲むようにしてもよい。

[0163] 例えば、基板 101 は、Si 基板、Ge 基板、GaN 基板、InP 基板等であってもよい。いずれの場合も、基板 101 上に積層される半導体層は、基板 101 の材料に格子整合するものを適宜選択することが好ましい。面発光素子には、波長帯 200~2000 nm に含まれるいずれの発光波長となる材料も用いることが可能である。

[0164] 面発光素子は、半導体多層膜反射鏡に限らず、要は、半導体、誘電体及び金属から選択される一種又は 2 種以上の組み合わせで構成される反射鏡を有していてもよい。

[0165] 上記各実施例の面発光装置において、第 1 及び第 2 半導体構造の導電型（p 型及び n 型）を逆にしてもよい。この場合、アノード電極及びカソード電極の位置関係も逆にする必要がある。

[0166] 上記各実施例の面発光装置の構成の一部を相互に矛盾しない範囲内で組み合わせてもよい。

[0167] 上記各実施例において、面発光装置を構成する面発光素子及び実装基板の各構成要素の材料、厚さ、幅、形状、大きさ等は、面発光装置として機能する範囲内で適宜変更可能である。

[0168] <16. 電子機器への応用例>

本開示に係る技術（本技術）は、様々な製品（電子機器）へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体や、低消費電力機器（例

例えばスマートフォン、スマートウォッチ、タブレット、マウス等）に搭載される装置として実現されてもよい。

[0169] 本技術に係る面発光装置は、例えば、光により画像を形成又は表示する機器（例えばプリンタ、複写機、プロジェクタ、ヘッドマウントディスプレイ、ヘッドアップディスプレイ等）の光源としても応用可能である。

[0170] < 17. 面発光装置を距離測定装置に適用した例 >

以下に、実施例 1 に係る面発光装置 10 の適用例について説明する。

[0171] 図 37 は、本技術に係る電子機器の一例としての、面発光装置 10 を備えた距離測定装置 1000（測距装置）の概略構成の一例を表したものである。距離測定装置 1000 は、TOF（Time of Flight）方式により被検体 S までの距離を測定するものである。距離測定装置 1000 は、面発光装置 10 を備えている。距離測定装置 1000 は、例えば、面発光装置 10、受光装置 125、レンズ 128、138、信号処理部 145、制御部 155、表示部 165 および記憶部 175 を備えている。

[0172] 受光装置 125 は、面発光装置 10 から出射され被検体 S（物体）で反射された光を受光する。すなわち、受光装置 125 は、被検体 S で反射された光を検出する。レンズ 128 は、面発光装置 10 から出射された光を平行光化するためのレンズであり、例えばコリメートレンズである。レンズ 138 は、被検体 S で反射された光を集光し、受光装置 125 に導くためのレンズであり、例えば集光レンズである。

[0173] 信号処理部 145 は、受光装置 125 から入力された信号と、制御部 155 から入力された参照信号との差分に対応する信号を生成するための回路である。制御部 155 は、例えば、Time to Digital Converter (TDC) を含んで構成されている。参照信号は、制御部 155 から入力される信号であってもよいし、面発光装置 10 の出力を直接検出する検出部の出力信号であってもよい。制御部 155 は、例えば、面発光装置 10、受光装置 125、信号処理部 145、表示部 165 および記憶部 175 を制御するプロセッサである。制御部 155 は、信号処理部 145 で生成された信号に基づいて、被検体

Sまでの距離を計測する回路である。制御部155は、被検体Sまでの距離についての情報を表示するための映像信号を生成し、表示部165に出力する。表示部165は、制御部155から入力された映像信号に基づいて、被検体Sまでの距離についての情報を表示する。制御部155は、被検体Sまでの距離についての情報を記憶部175に格納する。

[0174] 本適用例において、面発光装置10に代えて、面発光装置20、30、40、50、60、70、80、90、110、120、130のいずれかを距離測定装置1000に適用することもできる。

[0175] <18. 距離測定装置を移動体に搭載した例>

図38は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0176] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図38に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0177] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0178] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィ

ンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0179] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、距離測定装置12031が接続される。距離測定装置12031には、上述の距離測定装置1000が含まれる。車外情報検出ユニット12030は、距離測定装置12031に車外の物体（被検体S）との距離を計測させ、それにより得られた距離データを取得する。車外情報検出ユニット12030は、取得した距離データに基づいて、人、車、障害物、標識等の物体検出処理を行ってもよい。

[0180] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0181] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver As

sistance System) の機能実現を目的とした協調制御を行うことができる。

[0182] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0183] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0184] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 38 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0185] 図 39 は、距離測定装置 12031 の設置位置の例を示す図である。

[0186] 図 39 では、車両 12100 は、距離測定装置 12031 として、距離測定装置 12101、12102、12103、12104、12105 を有する。

[0187] 距離測定装置 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる距離測定装置 12101 及び車室内のフロン

トガラスの上部に備えられる距離測定装置 12105 は、主として車両 12100 の前方のデータを取得する。サイドミラーに備えられる距離測定装置 12102, 12103 は、主として車両 12100 の側方のデータを取得する。リアバンパ又はバックドアに備えられる距離測定装置 12104 は、主として車両 12100 の後方のデータを取得する。距離測定装置 12101 及び 12105 で取得される前方のデータは、主として先行車両又は、歩行者、障害物、信号機、交通標識等の検出に用いられる。

[0188] なお、図 39 には、距離測定装置 12101 ないし 12104 の検出範囲の一例が示されている。検出範囲 12111 は、フロントノーズに設けられた距離測定装置 12101 の検出範囲を示し、検出範囲 12112, 12113 は、それぞれサイドミラーに設けられた距離測定装置 12102, 12103 の検出範囲を示し、検出範囲 12114 は、リアバンパ又はバックドアに設けられた距離測定装置 12104 の検出範囲を示す。

[0189] 例えば、マイクロコンピュータ 12051 は、距離測定装置 12101 ないし 12104 から得られた距離データを基に、検出範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0190] 例えば、マイクロコンピュータ 12051 は、距離測定装置 12101 ないし 12104 から得られた距離データを元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコ

ンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0191] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、距離測定装置１２０３１に適用され得る。

[0192] また、本技術は、以下のような構成をとることもできる。

- (１) 素子領域と、該素子領域の周辺の周辺領域とを含む面発光素子と、前記面発光素子の実装される実装基板と、
を備え、
前記素子領域は、前記実装基板側に電極が設けられた発光素子部を有し、
前記電極がバンプを介して前記実装基板と接合され、
前記周辺領域と前記実装基板との間にスペーサが介在している、面発光装置。
- (２) 前記周辺領域の最外周部と前記実装基板との間に前記スペーサが介在している、(１)に記載の面発光装置。
- (３) 前記周辺領域が、ダミー素子部を有する、(１)又は(２)に記載の面発光装置。
- (４) 前記ダミー素子部が前記最外周部を含む、(３)に記載の面発光装置。
- (５) 前記最外周部が、前記素子領域の外周の少なくとも一部に沿って延在し、
前記スペーサが、前記最外周部の延在方向の少なくとも一部に沿って設け

られている、(2)～(4)のいずれか1項に記載の面発光装置。

(6) 前記最外周部が、前記素子領域の外周の全周に沿って延在している、
(5)に記載の面発光装置。

(7) 前記スペーサが、前記延在方向に並ぶ複数の部分を有する、(5)又は(6)に記載の面発光装置。

(8) 前記スペーサが、ダミーバンプを含む、(1)～(7)のいずれか1つに記載の面発光装置。

(9) 前記面発光素子の前記実装基板側とは反対側の面である出射面は、平坦面である、(1)～(8)のいずれか1つに記載の面発光装置。

(10) 前記面発光素子の側面に改質層が存在する、(1)～(9)のいずれか1つに記載の面発光装置。

(11) 面内方向に直交する方向に関して、前記周辺領域の最外周部の前記実装基板側の面よりも前記電極の前記実装基板側の面の方が前記実装基板に近い位置に位置し、

前記スペーサの厚さが前記バンプの厚さよりも厚い、(1)～(10)のいずれか1つに記載の面発光装置。

(12) 前記周辺領域が有するダミー素子部の前記実装基板側及び／又は前記素子領域が有するダミー素子部の前記実装基板側に別の電極が設けられ、

前記別の電極が、別のバンプを介して前記実装基板と接合されている、(1)～(11)のいずれか1つに記載の面発光装置。

(13) 前記素子領域が、面内方向に離間する複数の前記発光素子部を有し、

前記別の電極は、前記複数の発光素子部に共通に設けられた共通電極である、(11)に記載の面発光装置。

(14) 前記バンプ及び前記ダミーバンプの各々は、加圧により潰れにくくなる材料を含む、(8)～(13)のいずれか1つに記載の面発光装置。

(15) 前記バンプ及び前記ダミーバンプが、同一の導電性材料からなる、(8)～(14)のいずれか1つに記載の面発光装置。

(16) 前記周辺領域が、ダミー素子部を含み、
前記発光素子部及び前記ダミー素子部の各々は、
互いに積層された第1及び第2半導体構造と、
前記第1及び第2半導体構造の間に配置された発光層と、
を有する、(1)～(15)のいずれか1つに記載の面発光装置。

(17) 発光素子部を有する素子領域と該素子領域の周辺領域とを含む面発光素子を形成する工程と、

前記周辺領域と実装基板との間にスペーサを介在させるとともに、前記発光素子部の前記実装基板側に設けられた電極と前記実装基板とをバンプを介して接合する工程と、

を含む、面発光装置の製造方法。

(18) 前記スペーサは、ダミーバンプを含む、(17)に記載の面発光装置の製造方法。

(19) 前記接合する工程は、前記面発光素子の前記実装基板側とは反対側の面である出射面を前記実装基板側に押圧することにより行われる、(17)又は(18)に記載の面発光装置の製造方法。

(20) 前記形成する工程では、複数の前記面発光素子が、前記周辺領域同士が隣接するように一括して形成され、

前記形成する工程の後、且つ、前記接合する工程の前に前記複数の面発光素子をステルスダイシングにより個片化する工程と、

を含む、(17)～(19)のいずれか1つに記載の面発光装置の製造方法。

符号の説明

- [0193] 10、20、30、40、50、60、70、80、90、110、120、130：面発光装置
100：面発光素子
106：発光層
115：カソード電極（電極）

1 1 2 : アノード電極（別の電極）

2 0 0 : 実装基板

E A : 素子領域

P A : 周辺領域

L E : 発光素子部

B 1 : 第1バンプ（バンプ）

B 2 : 第2バンプ（別のバンプ）

D E : ダミー素子部

S P : スペーサ

D B : ダミーバンプ

S S 1 : 第1半導体構造

S S 2 : 第2半導体構造

S D 1 : 第1改質層（改質層）

S D 2 : 第2改質層（改質層）

請求の範囲

- [請求項1] 素子領域と、該素子領域の周辺の周辺領域とを含む面発光素子と、
前記面発光素子が実装される実装基板と、
を備え、
前記素子領域は、前記実装基板側に電極が設けられた発光素子部を有し、
前記電極がバンプを介して前記実装基板と接合され、
前記周辺領域と前記実装基板との間にスペーサが介在している、面発光装置。
- [請求項2] 前記周辺領域の最外周部と前記実装基板との間に前記スペーサが介在している、請求項1に記載の面発光装置。
- [請求項3] 前記周辺領域が、ダミー素子部を有する、請求項2に記載の面発光装置。
- [請求項4] 前記ダミー素子部が前記最外周部を含む、請求項3に記載の面発光装置。
- [請求項5] 前記最外周部が、前記素子領域の外周の少なくとも一部に沿って延在し、
前記スペーサが、前記最外周部の延在方向の少なくとも一部に沿って設けられている、請求項2に記載の面発光装置。
- [請求項6] 前記最外周部が、前記素子領域の外周の全周に沿って延在している、請求項5に記載の面発光装置。
- [請求項7] 前記スペーサが、前記延在方向に並ぶ複数の部分を有する、請求項5に記載の面発光装置。
- [請求項8] 前記スペーサが、ダミーバンプを含む、請求項1に記載の面発光装置。
- [請求項9] 前記面発光素子の前記実装基板側とは反対側の面である出射面は、平坦面である、請求項1に記載の面発光装置。
- [請求項10] 前記面発光素子の側面に改質層が存在する、請求項1に記載の面発

光装置。

[請求項11] 面内方向に直交する方向に関して、前記周辺領域の最外周部の前記実装基板側の面よりも前記電極の前記実装基板側の面の方が前記実装基板に近い位置に位置し、

前記スペーサの厚さが前記バンプの厚さよりも厚い、請求項1に記載の面発光装置。

[請求項12] 前記周辺領域が有するダミー素子部の前記実装基板側及び／又は前記素子領域が有するダミー素子部の前記実装基板側に別の電極が設けられ、

前記別の電極が、別のバンプを介して前記実装基板と接合されている、請求項1に記載の面発光装置。

[請求項13] 前記素子領域が、面内方向に離間する複数の前記発光素子部を有し、

前記別の電極は、前記複数の発光素子部に共通に設けられた共通電極である、請求項12に記載の面発光装置。

[請求項14] 前記バンプ及び前記ダミーバンプの各々は、加圧により潰れにくくなる材料を含む、請求項8に記載の面発光装置。

[請求項15] 前記バンプ及び前記ダミーバンプが、同一の導電性材料からなる、請求項8に記載の面発光装置。

[請求項16] 前記周辺領域が、ダミー素子部を含み、
前記発光素子部及び前記ダミー素子部の各々は、
互いに積層された第1及び第2半導体構造と、
前記第1及び第2半導体構造の間に配置された発光層と、
を有する、請求項1に記載の面発光装置。

[請求項17] 発光素子部を有する素子領域と該素子領域の周辺領域とを含む面発光素子を形成する工程と、

前記周辺領域と実装基板との間にスペーサを介在させるとともに、
前記発光素子部の前記実装基板側に設けられた電極と前記実装基板と

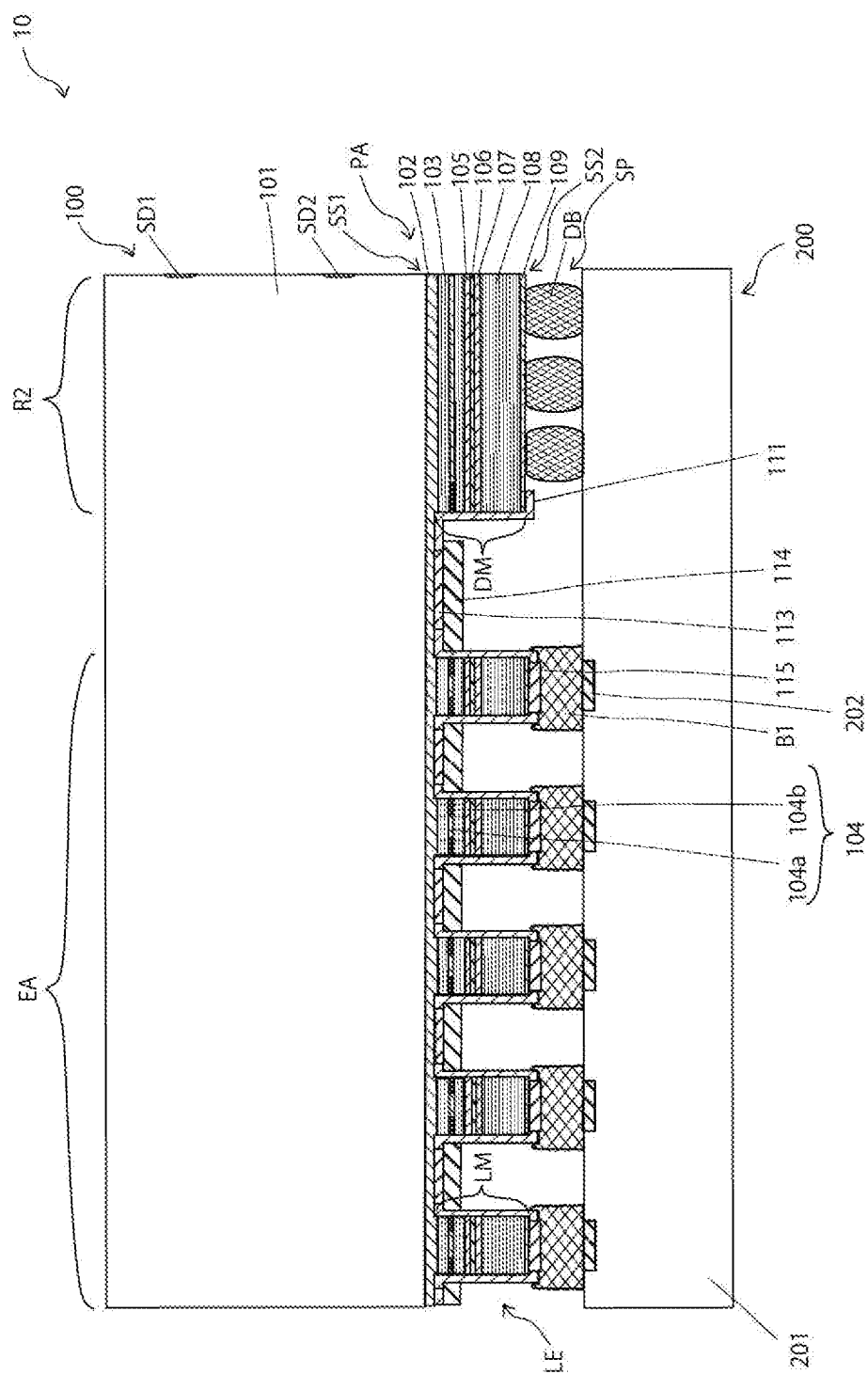
をバンプを介して接合する工程と、
を含む、面発光装置の製造方法。

[請求項18] 前記スペーサは、ダミーバンプを含む、請求項17に記載の面発光装置の製造方法。

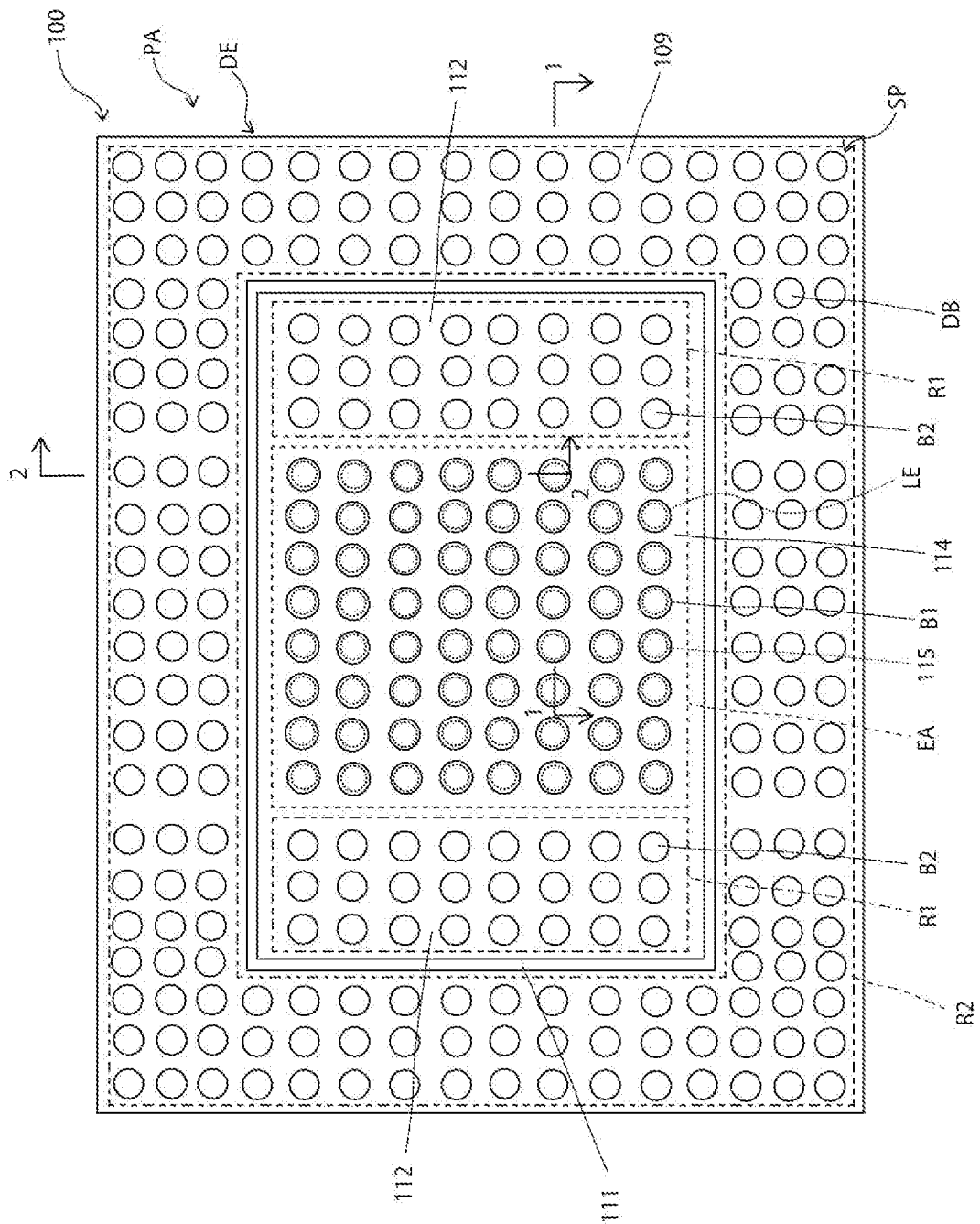
[請求項19] 前記接合する工程は、前記面発光素子の前記実装基板側とは反対側の面である出射面を前記実装基板側に押圧することにより行われる、請求項17に記載の面発光装置の製造方法。

[請求項20] 前記形成する工程では、複数の前記面発光素子が、前記周辺領域同士が隣接するように一括して形成され、
前記形成する工程の後、且つ、前記接合する工程の前に前記複数の面発光素子をステルスダイシングにより個片化する工程と、
を含む、請求項17に記載の面発光装置の製造方法。

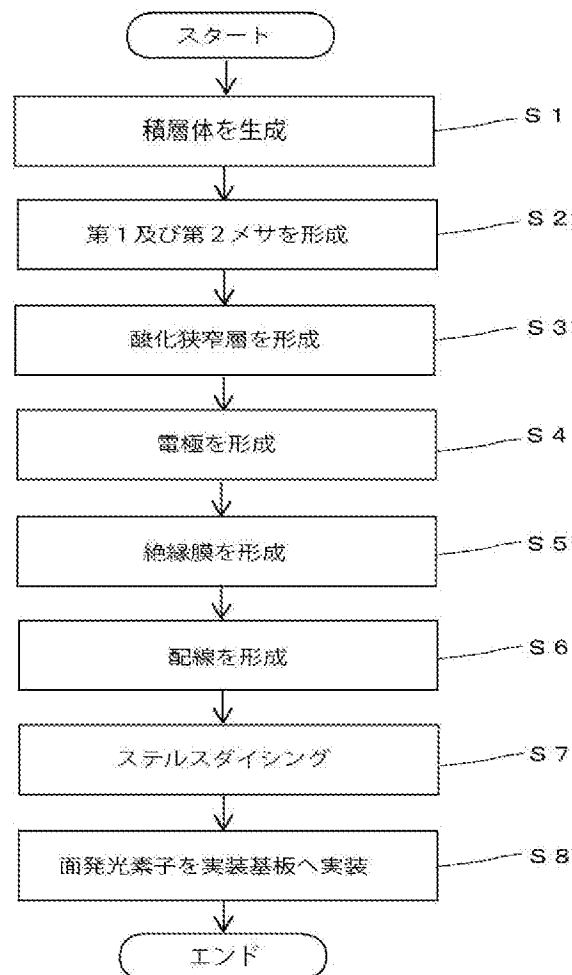
[図2]



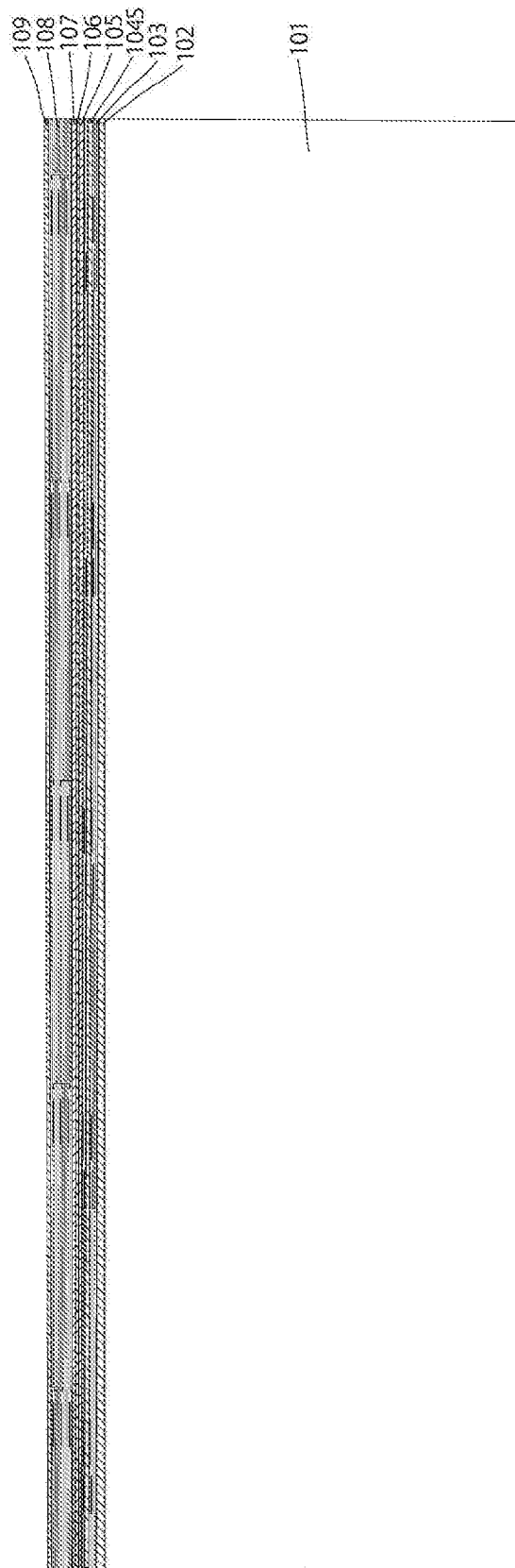
[図3]



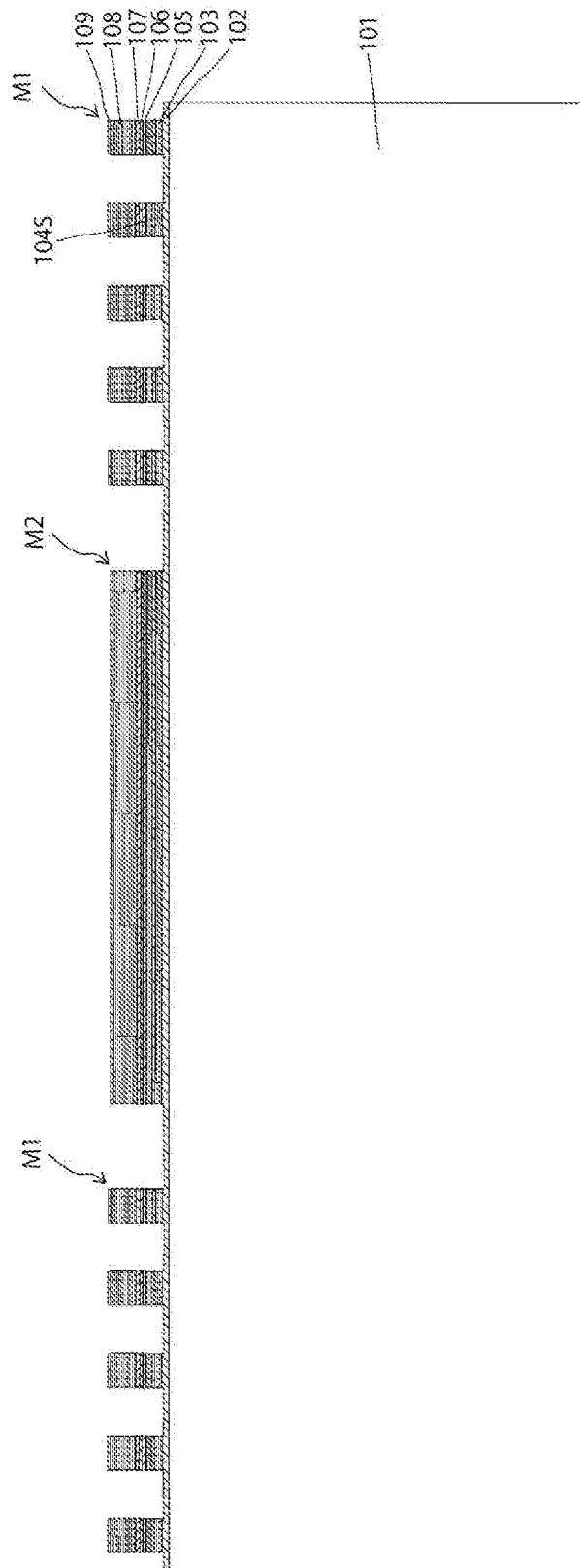
[図4]



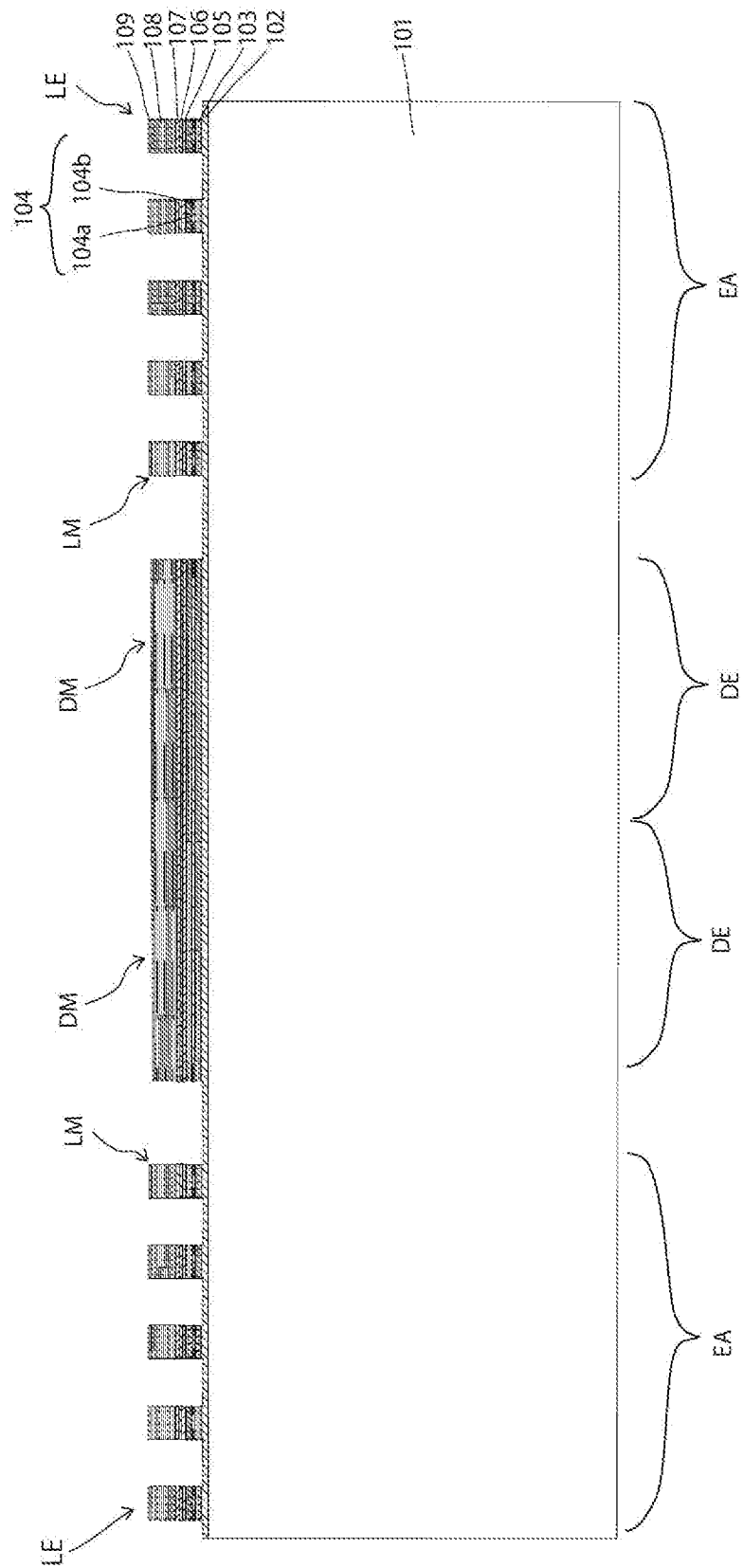
[図5]



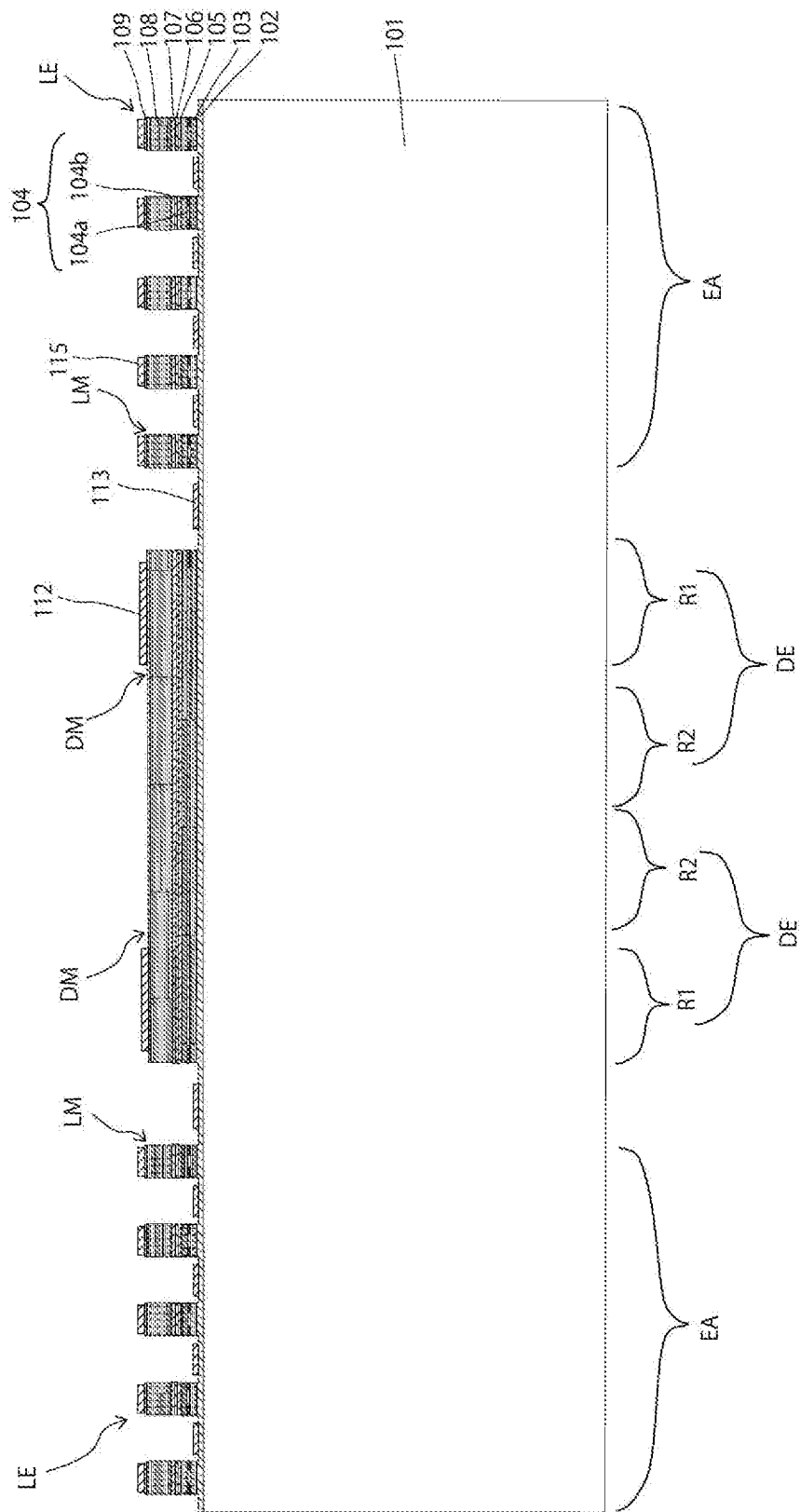
[図6]



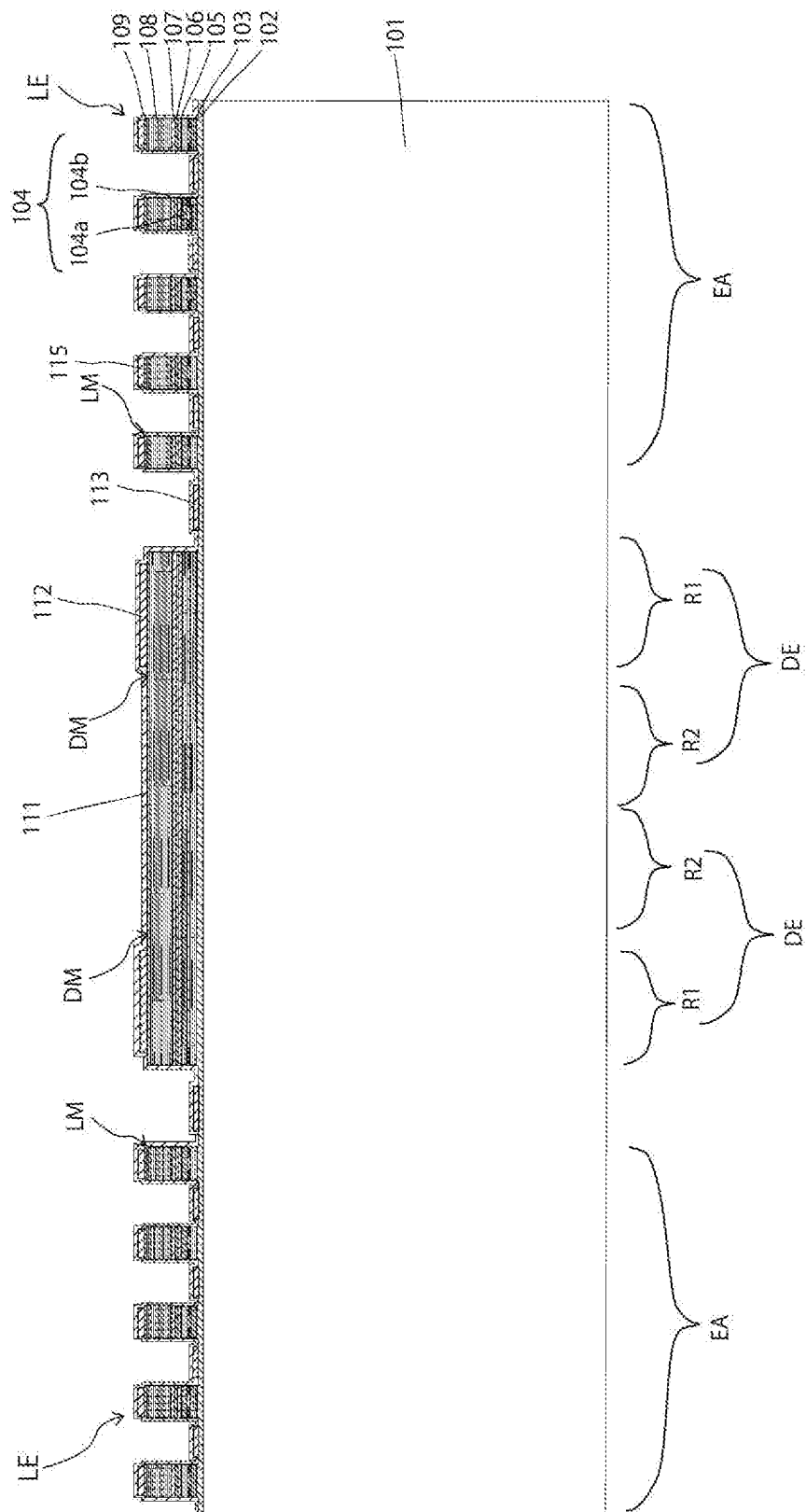
[図7]



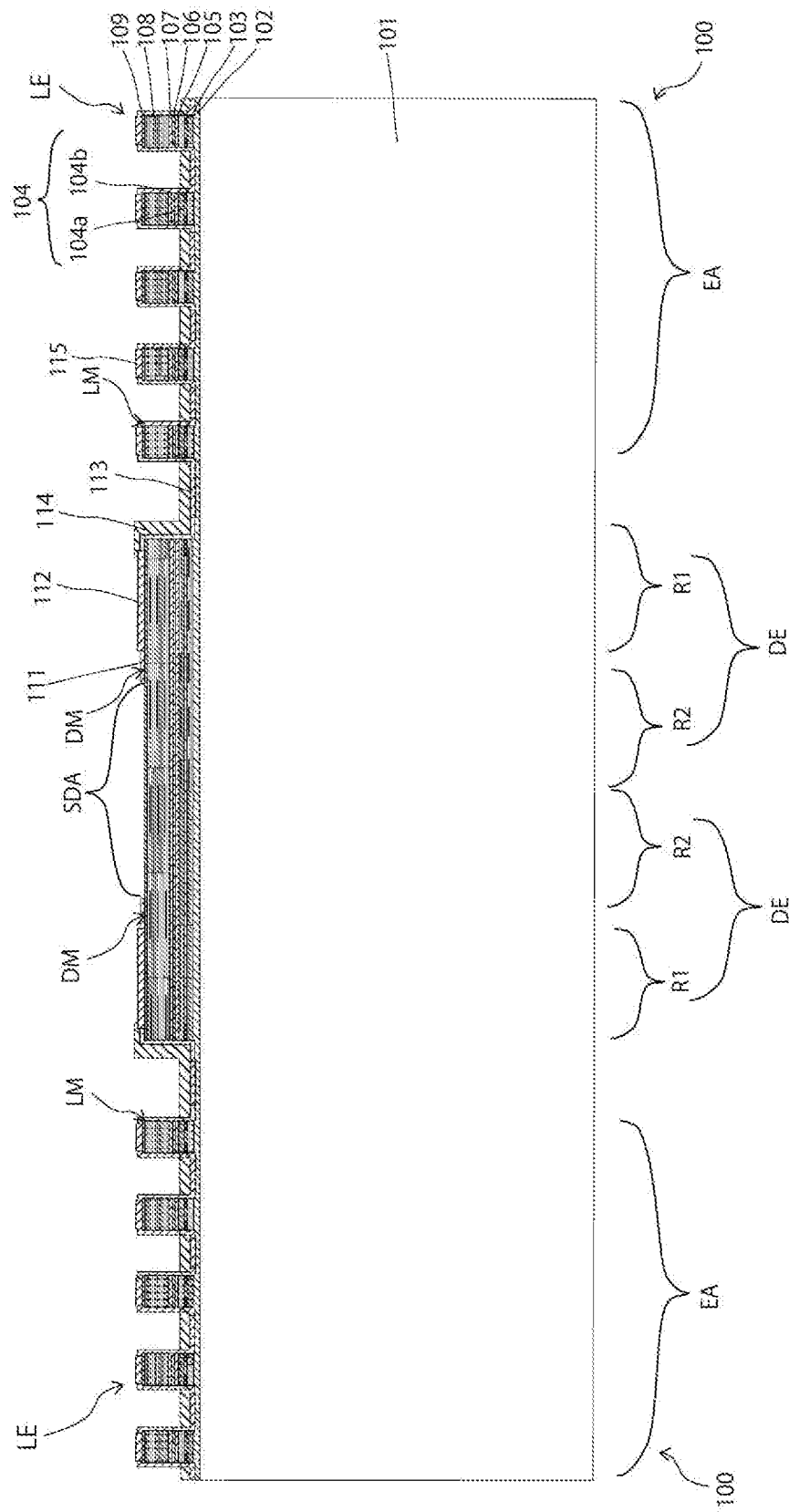
[図8]



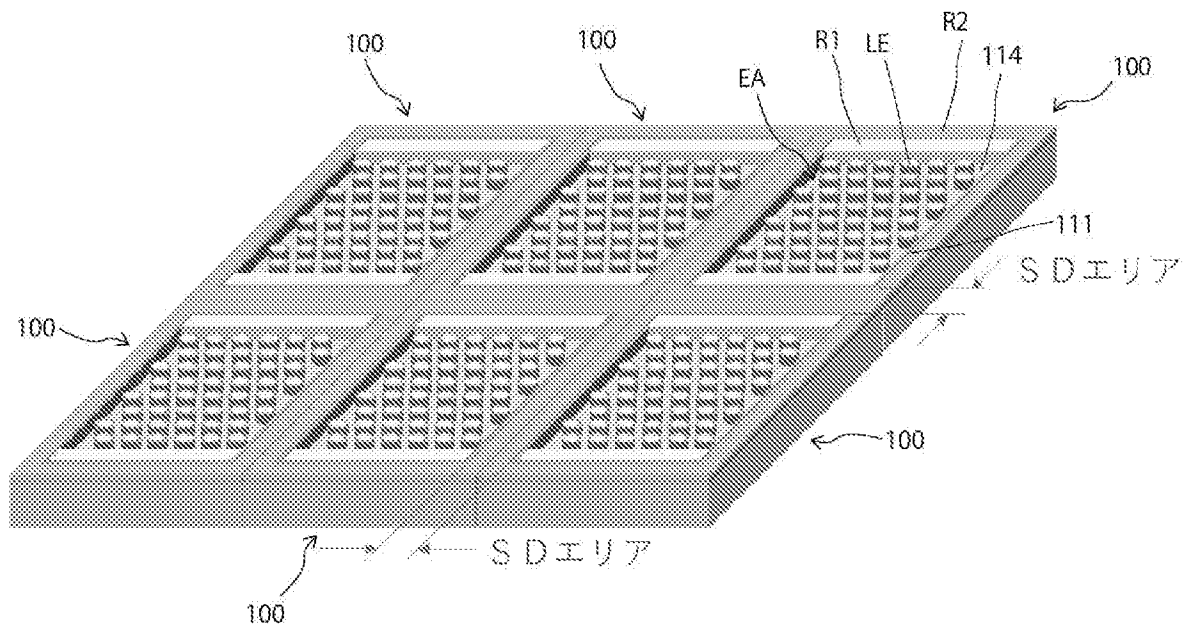
[図9]



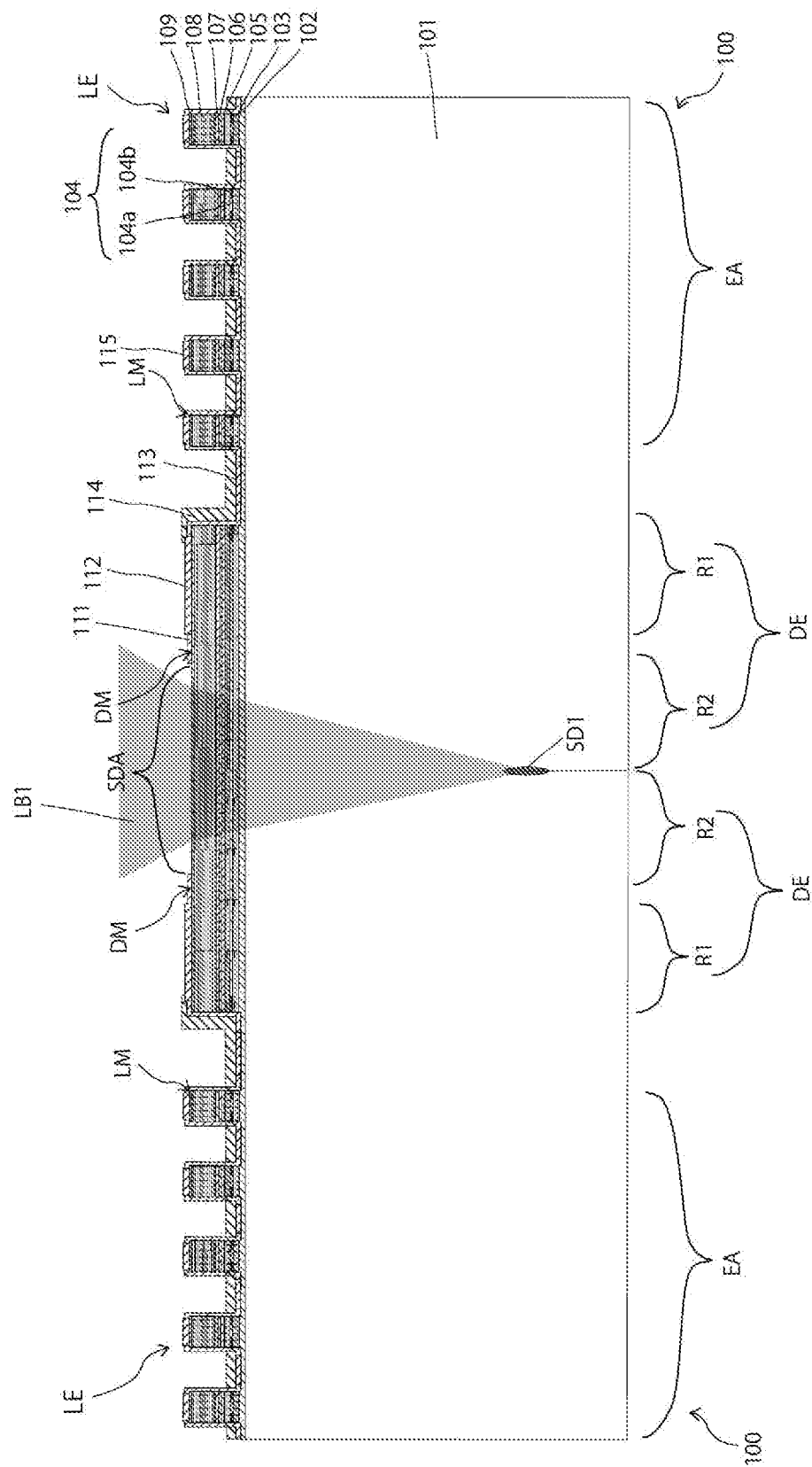
[図11]



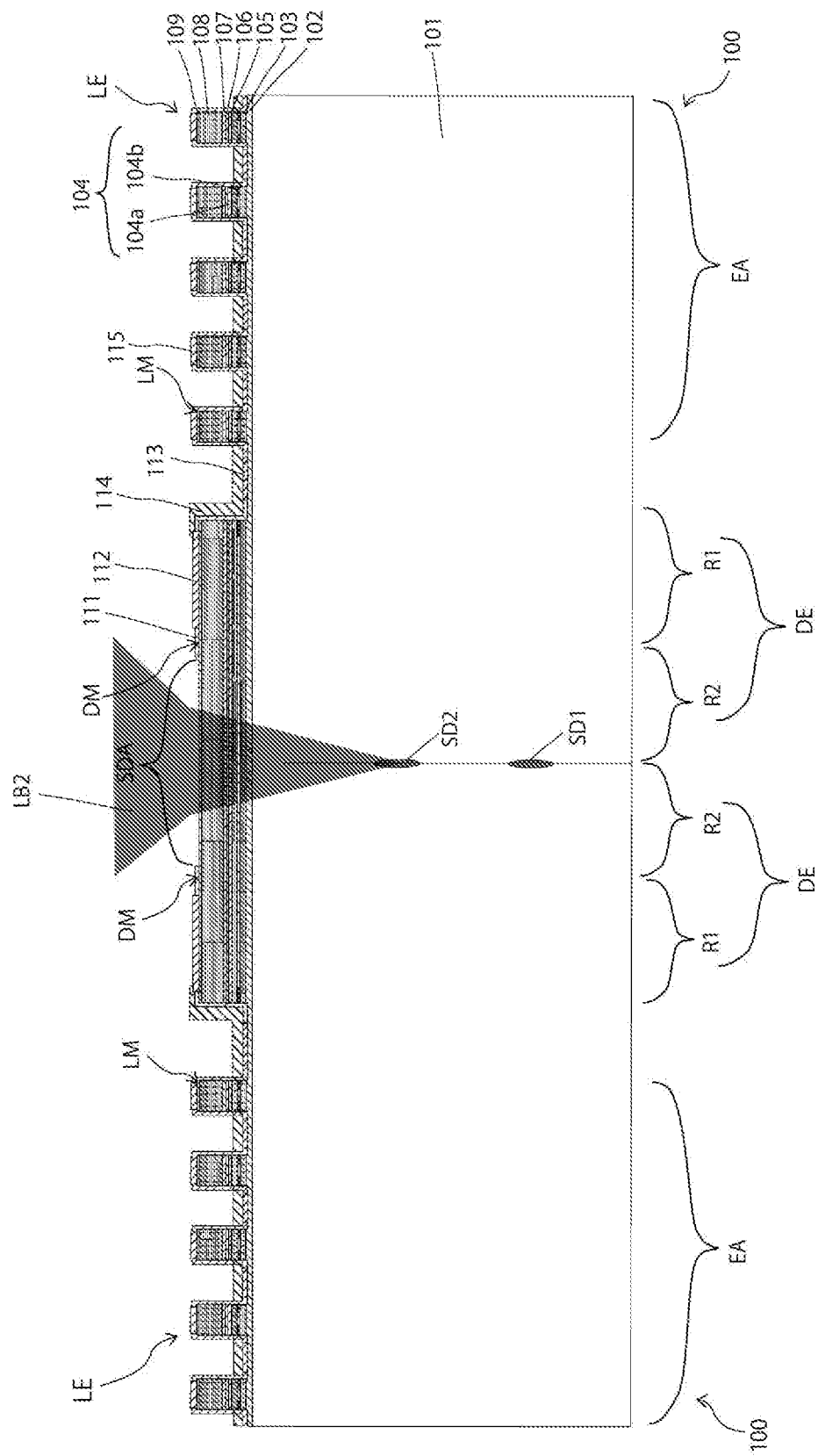
[図12]



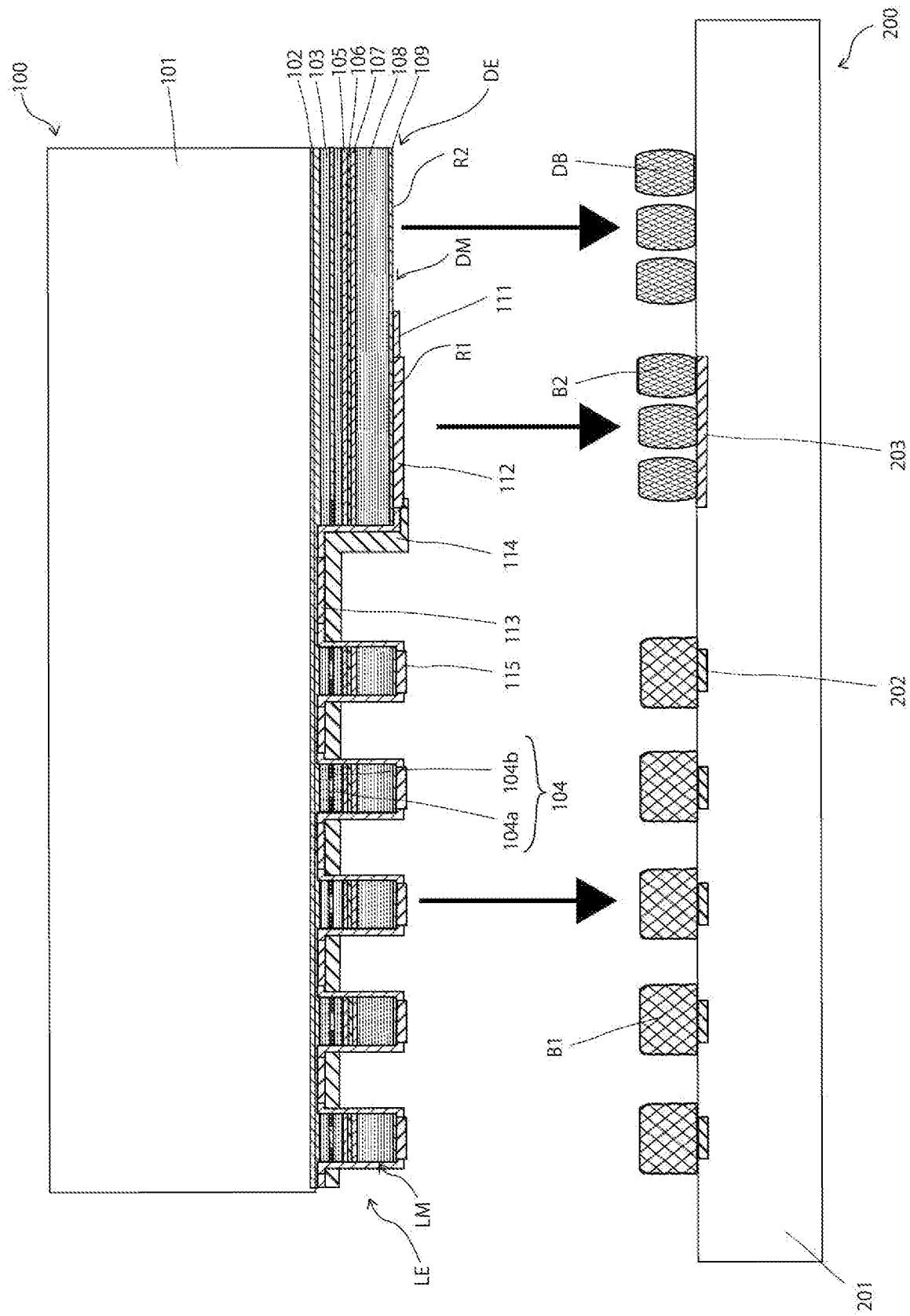
[図13]



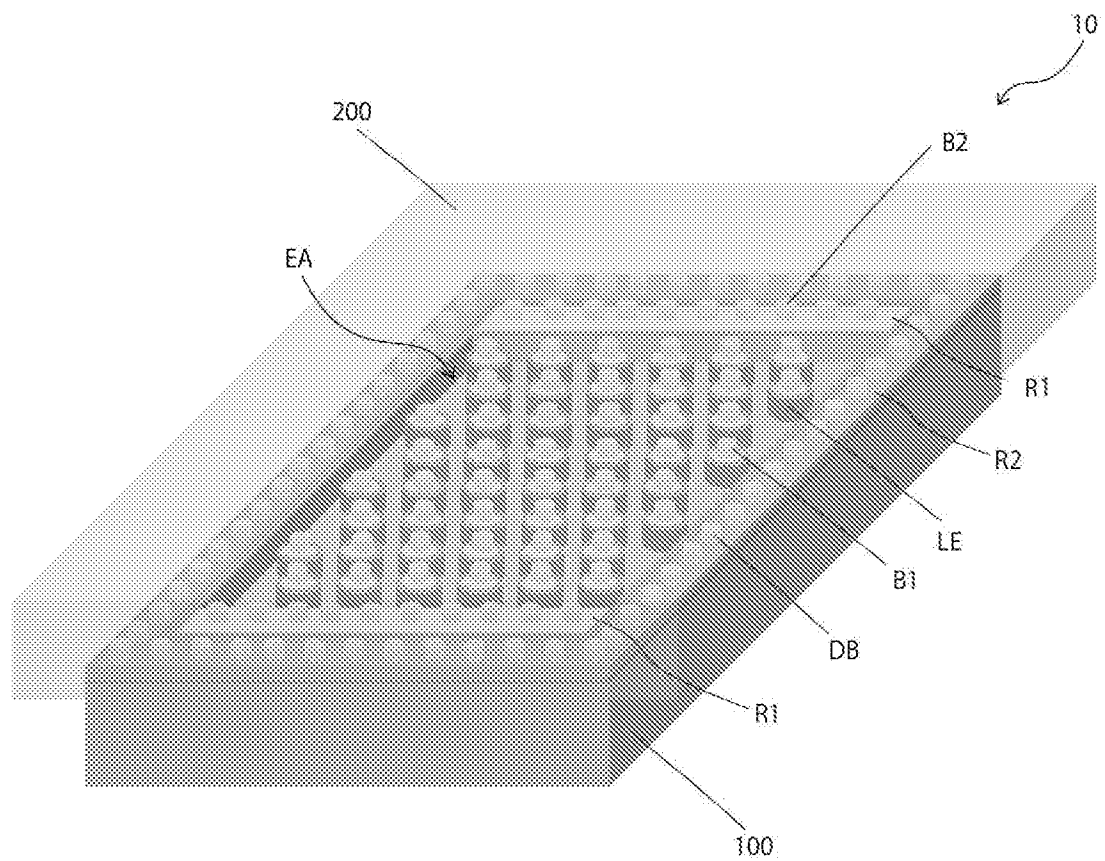
[図14]



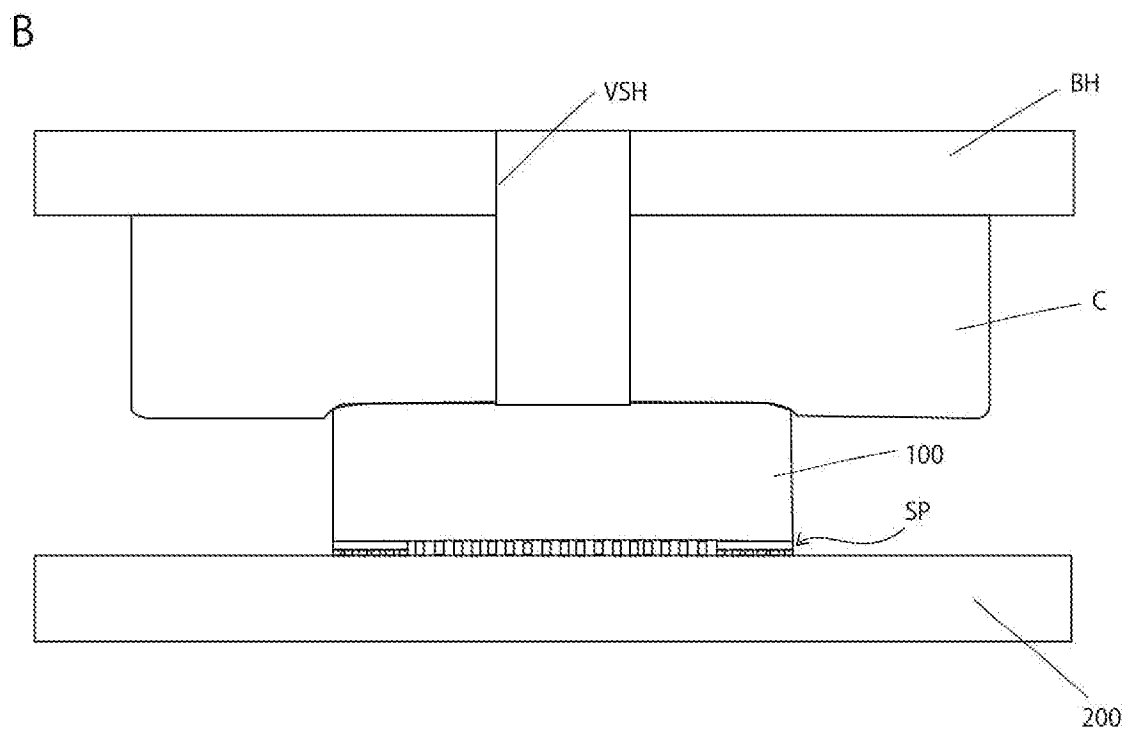
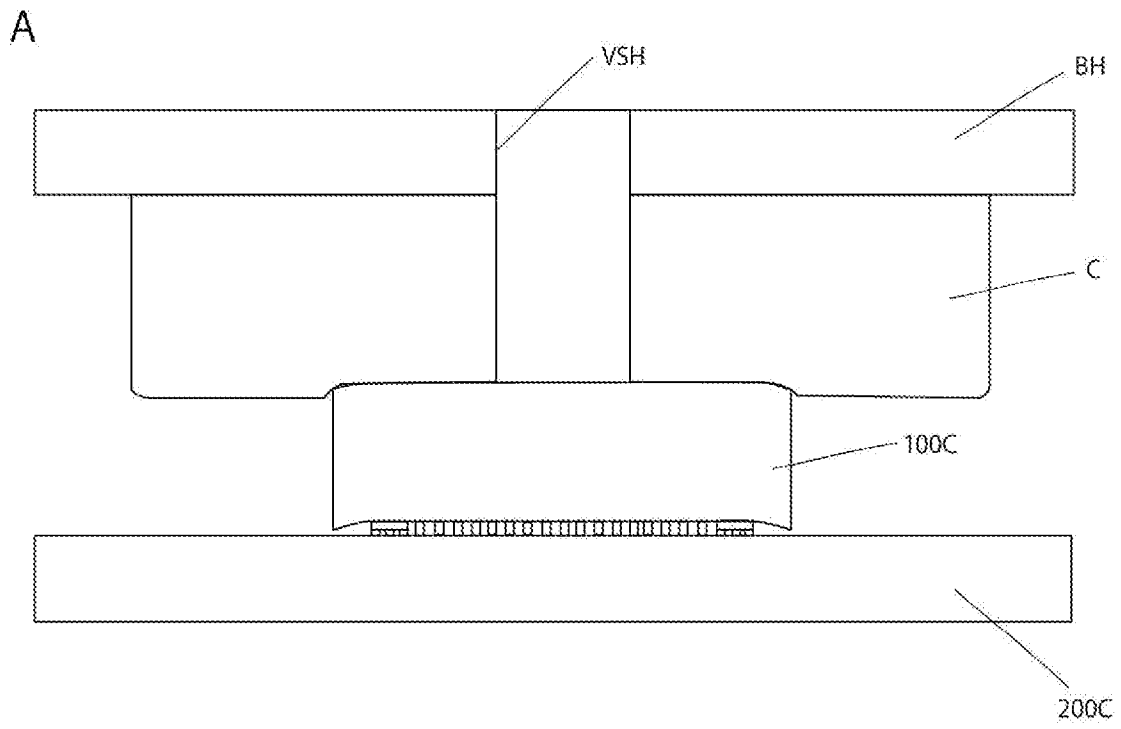
[図16]



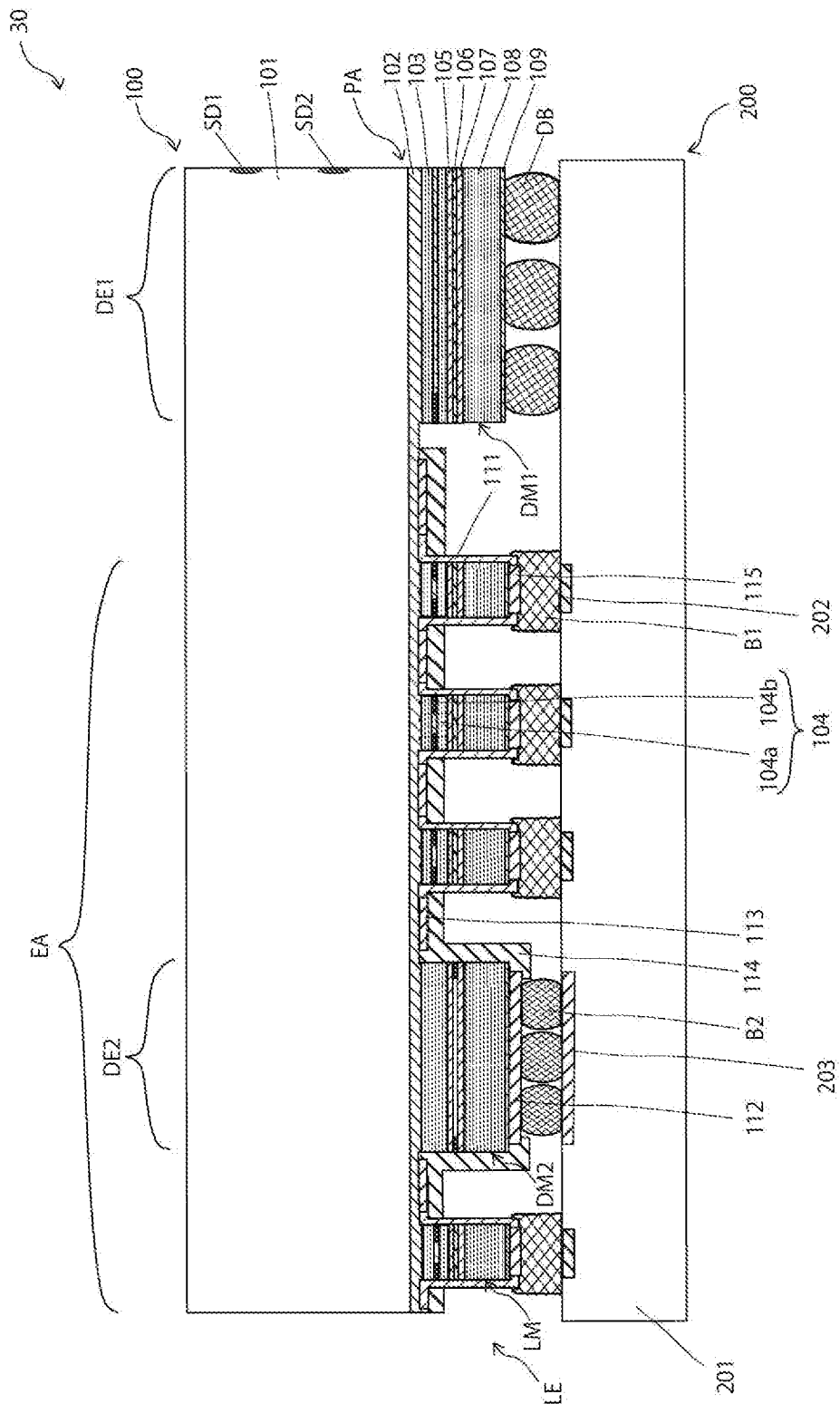
[図18]



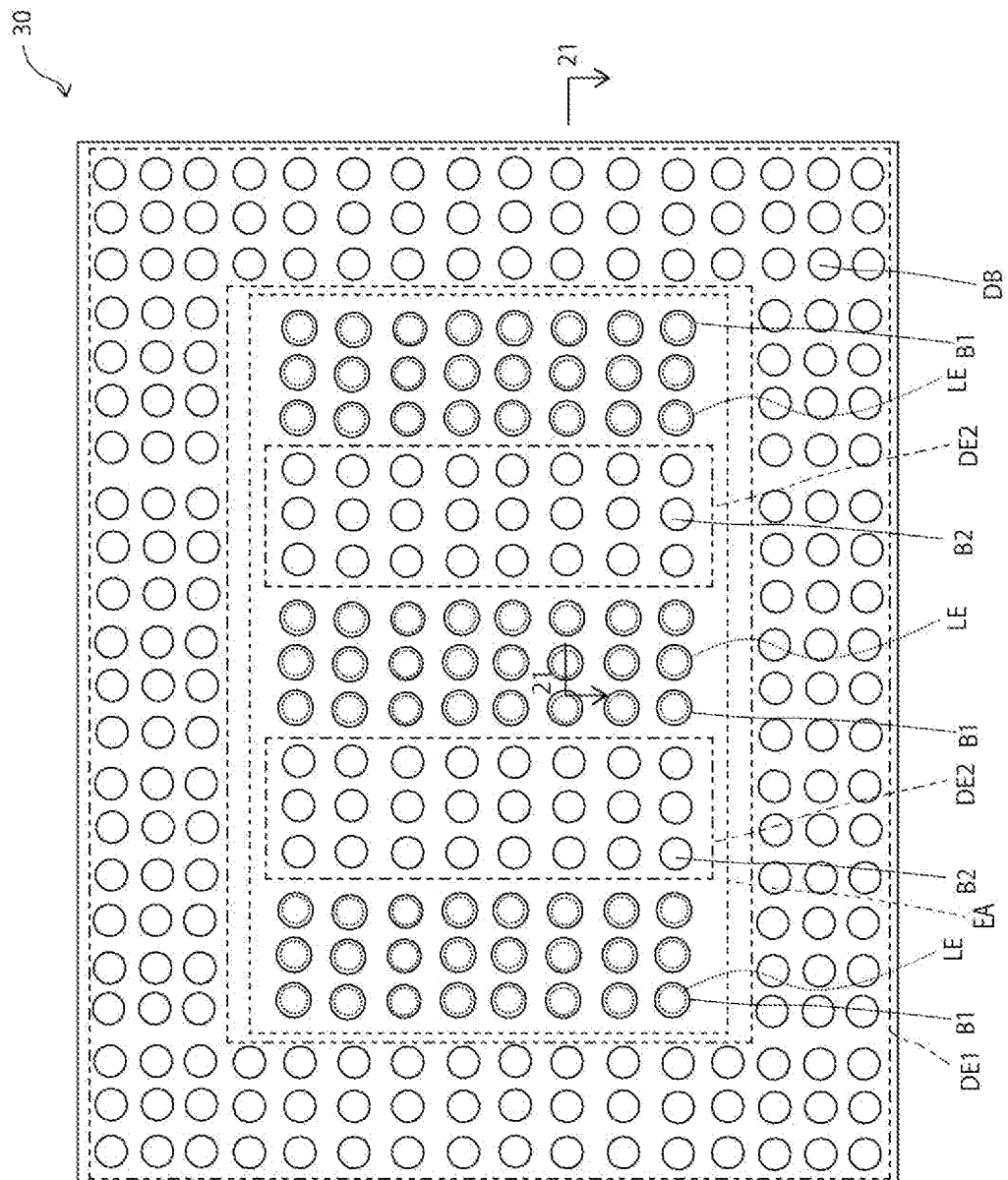
[図19]



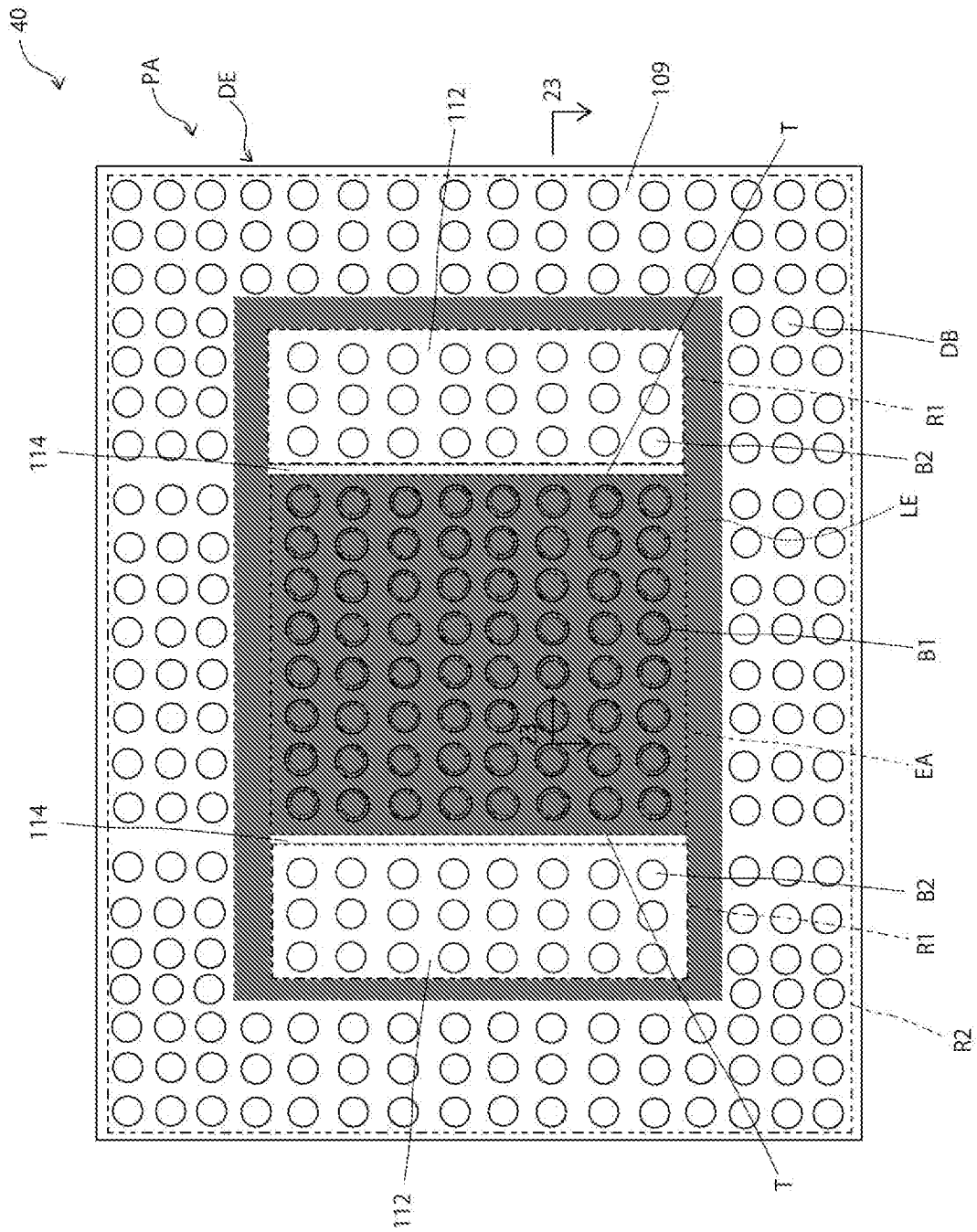
[図21]



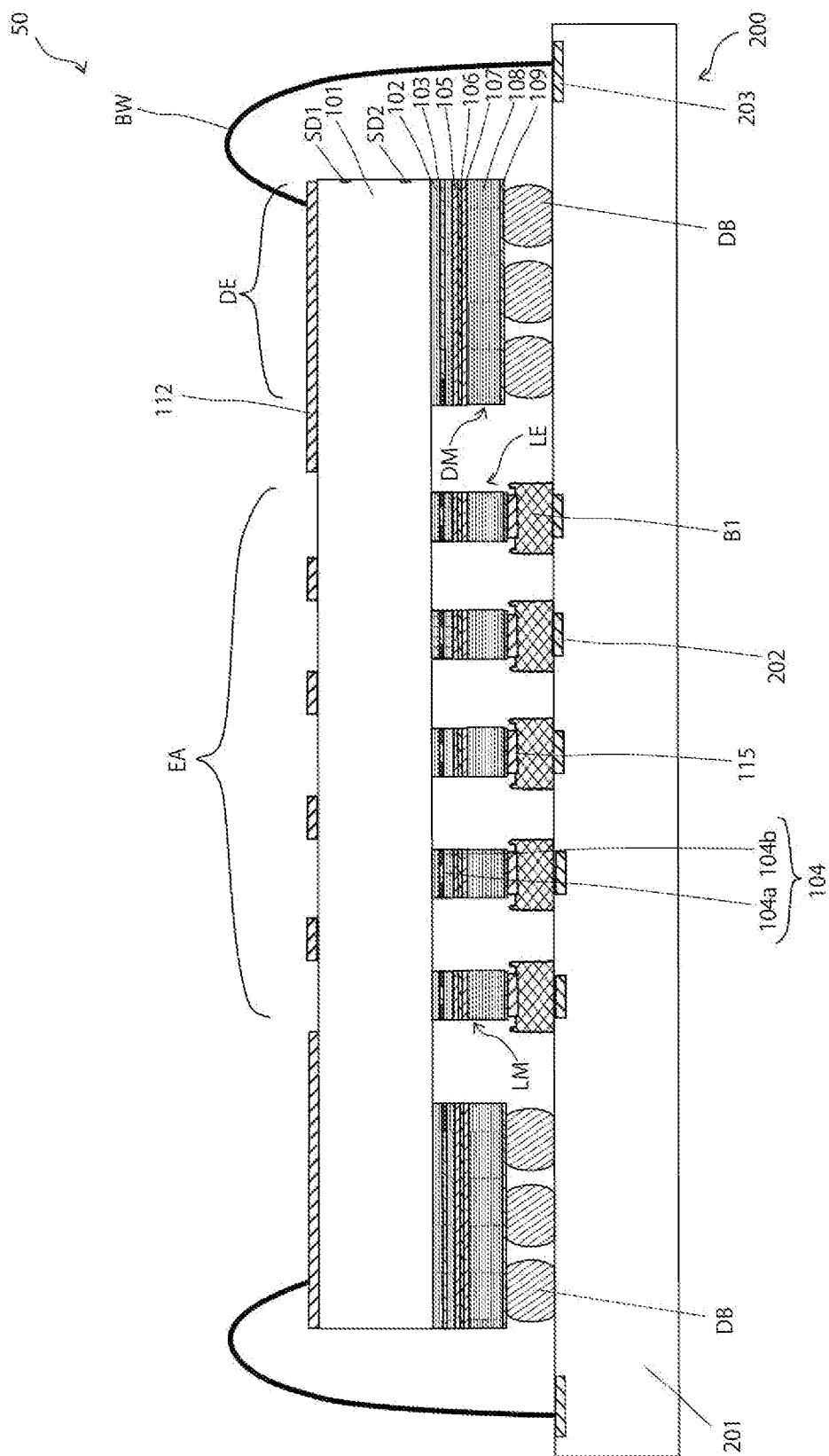
[図22]



[図24]

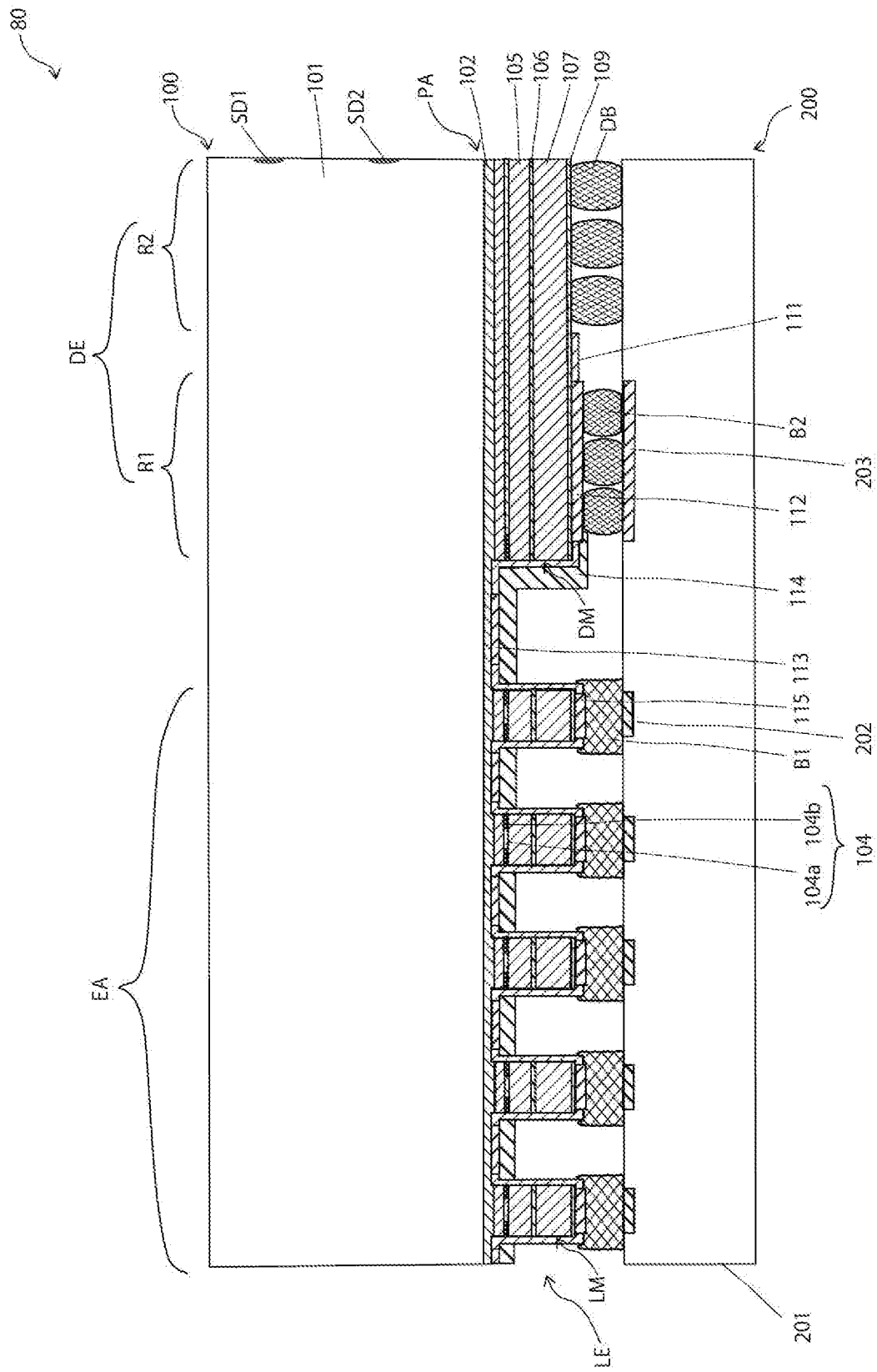


[図25]

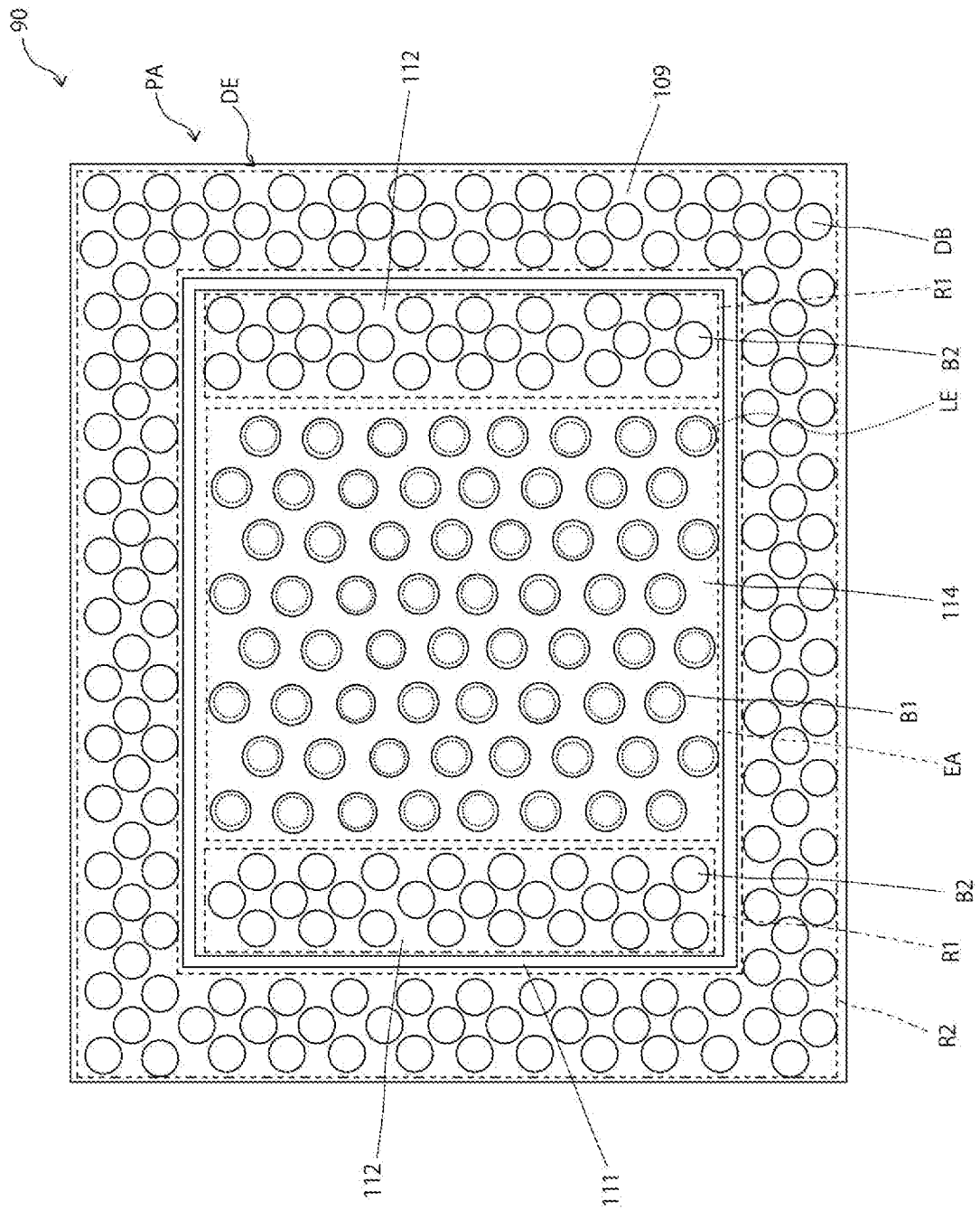


[illegible]

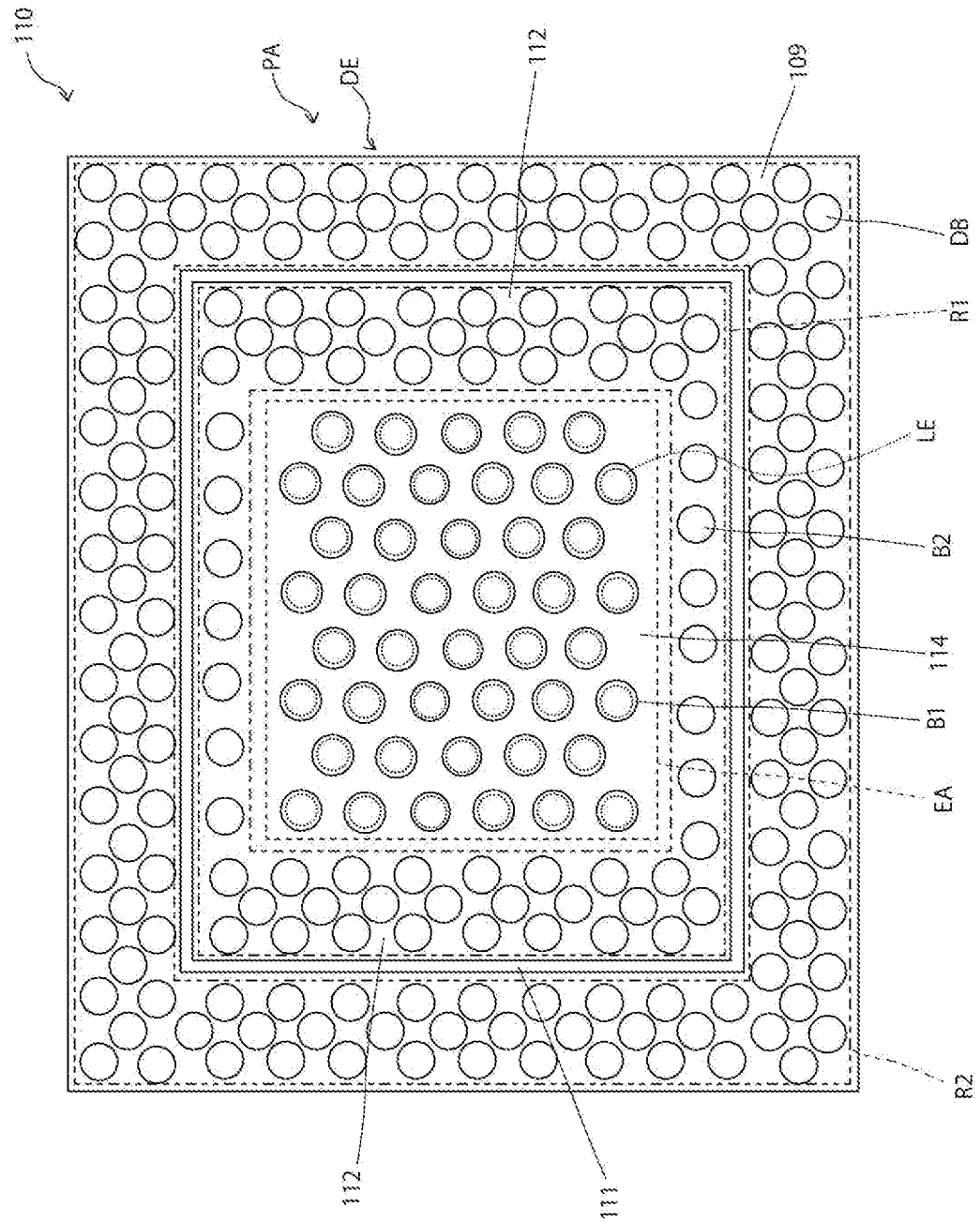
[図28]



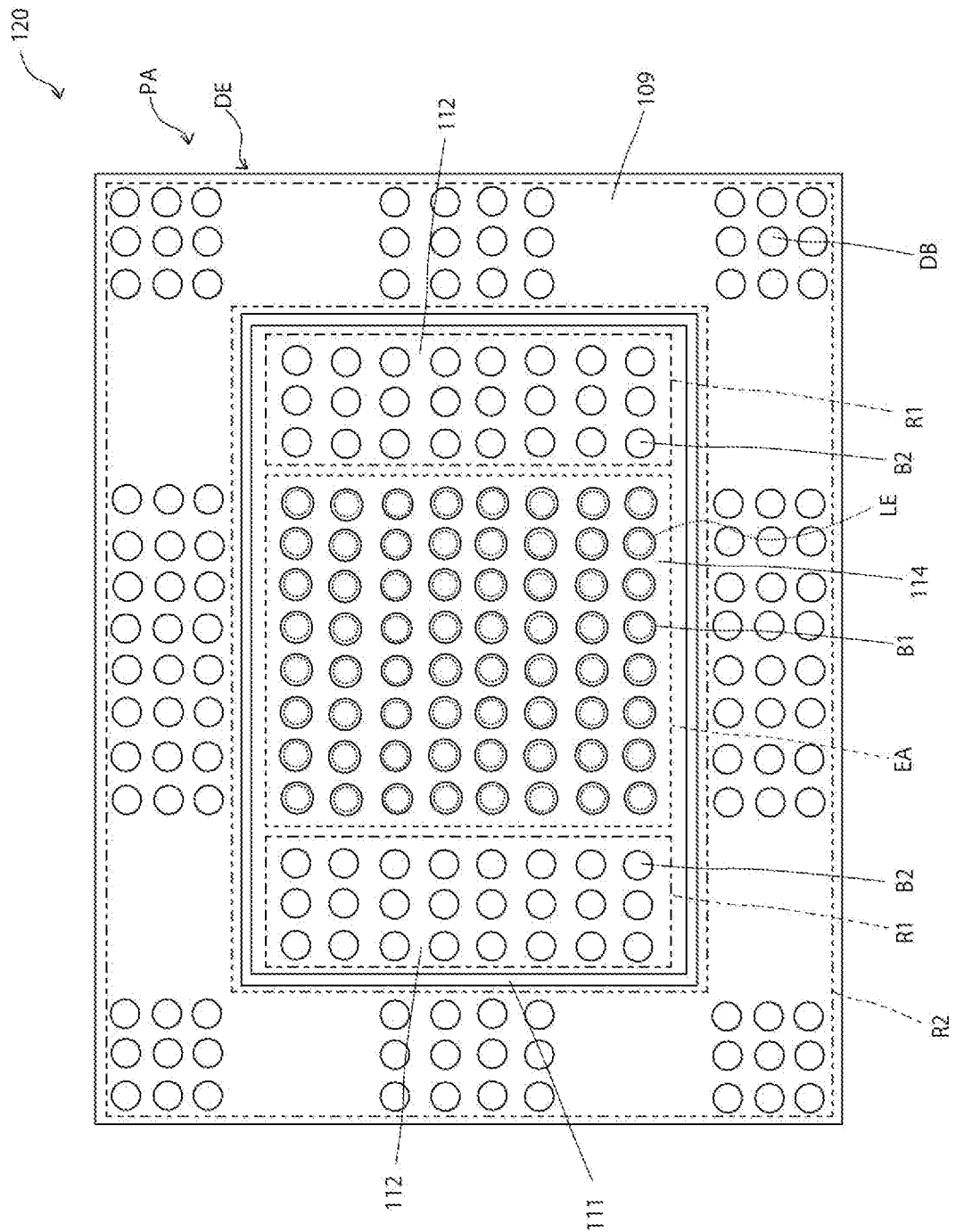
[図29]



[図30]



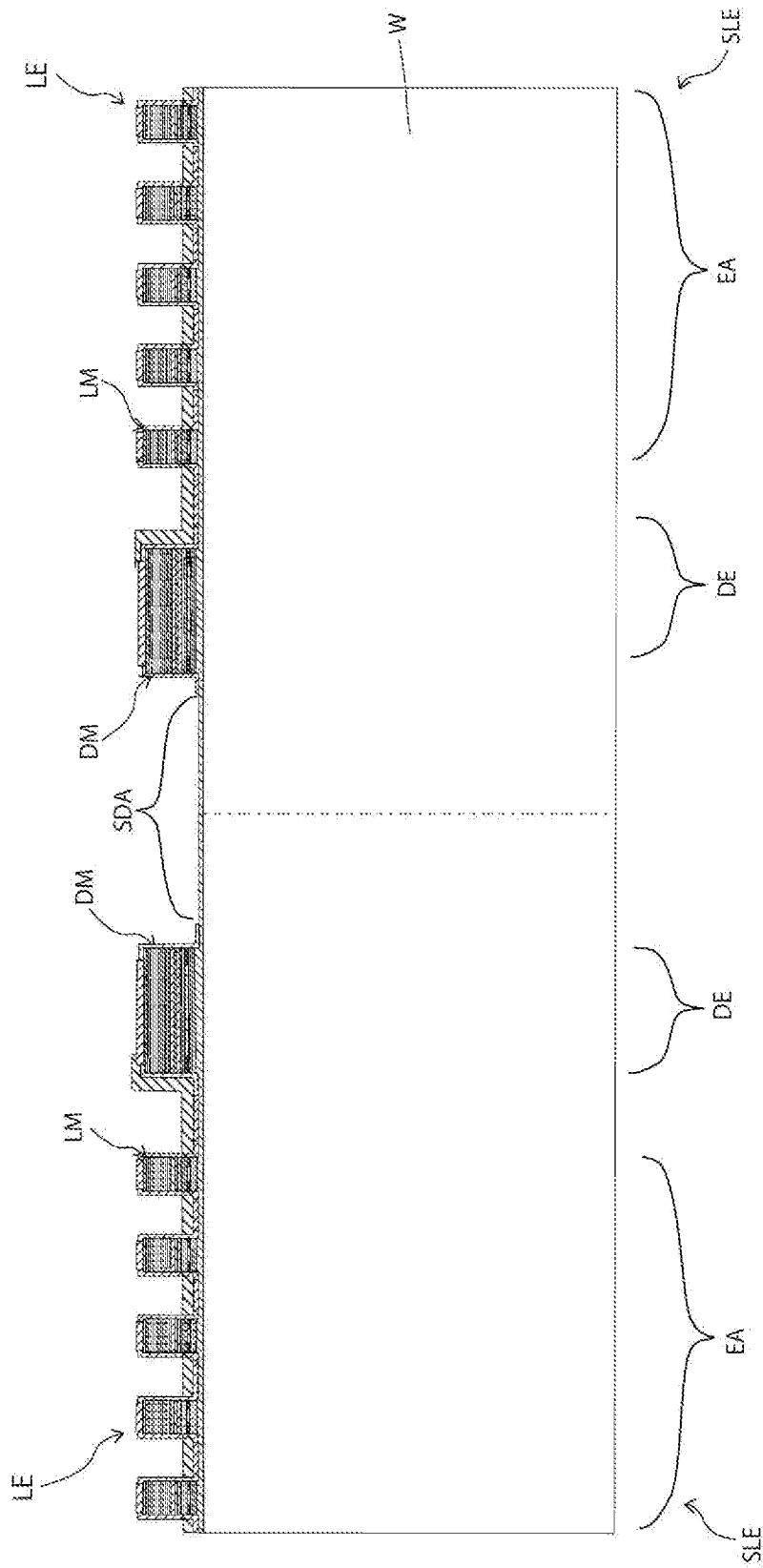
[図31]



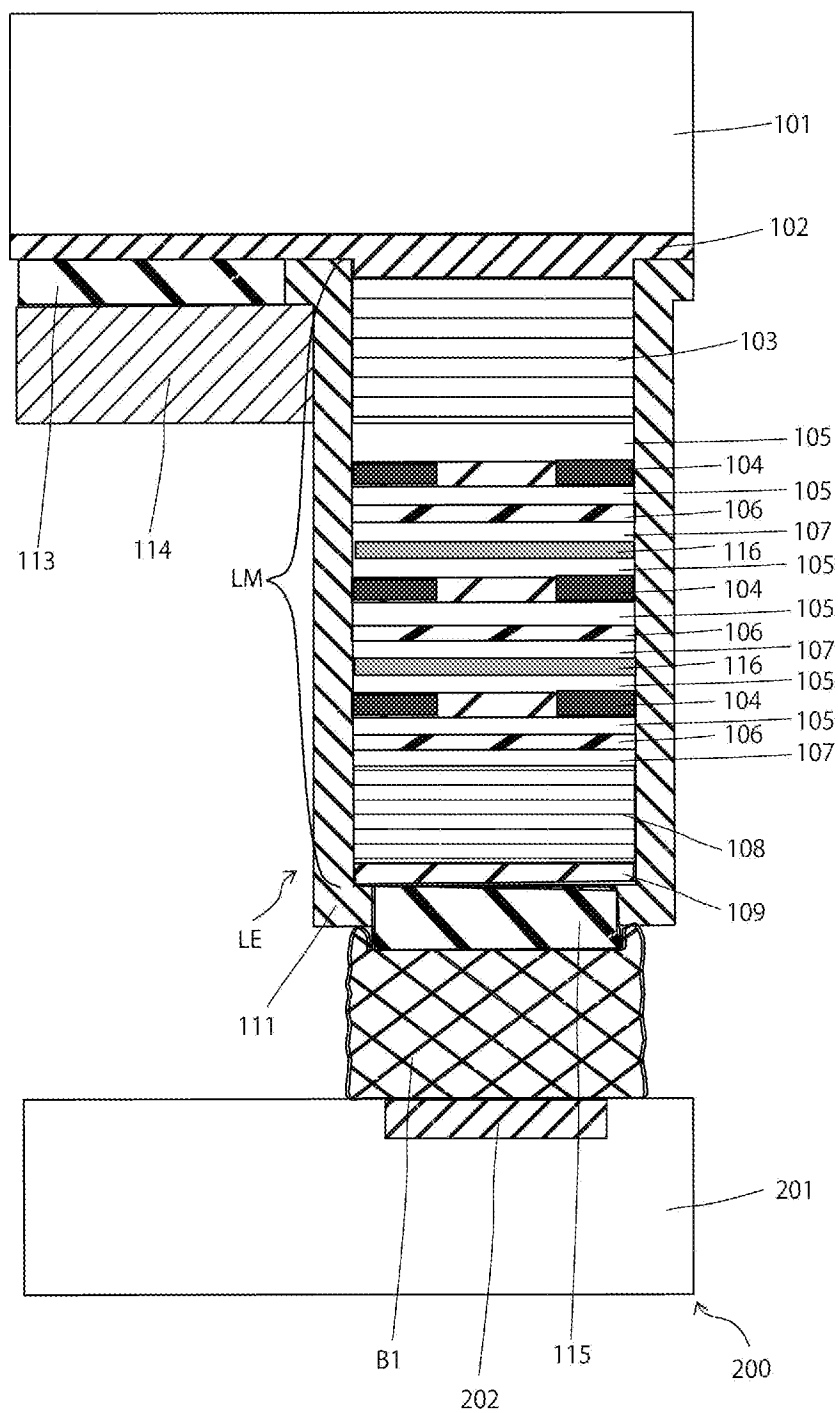
[illegible]

[illegible]

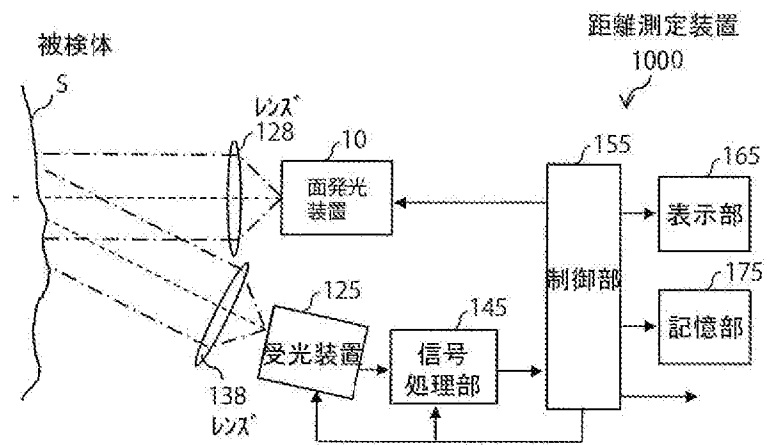
[図35]



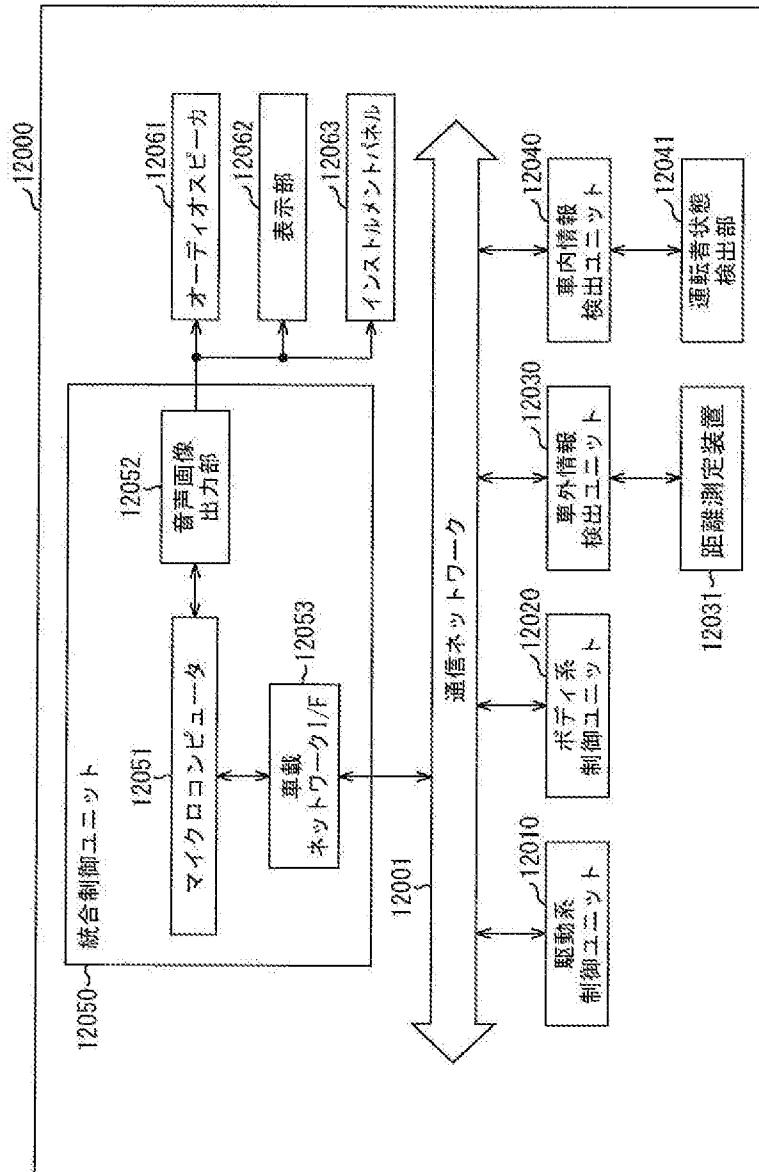
[図36]



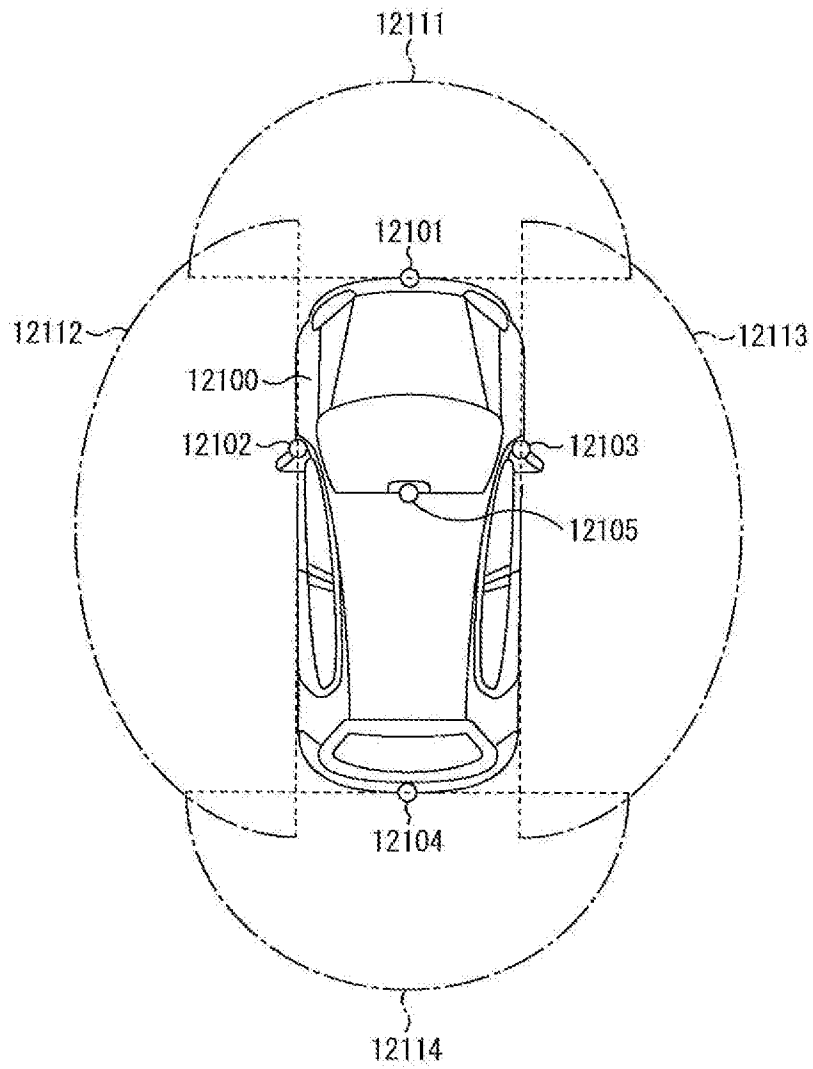
[図37]



[図38]



[図39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/018434

A. CLASSIFICATION OF SUBJECT MATTER**H01S 5/0233**(2021.01)i; **H01L 33/48**(2010.01)i; **H01S 5/183**(2006.01)i

FI: H01S5/0233; H01L33/48; H01S5/183

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/0233; H01L33/48; H01S5/183

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-45535 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22 March 2022 (2022-03-22) paragraphs [0010]-[0040], [0042]-[0073], fig. 21-33	1-9, 12-19
Y		10-11, 20
Y	JP 2004-319915 A (SHARP KABUSHIKI KAISHA) 11 November 2004 (2004-11-11) paragraphs [0076]-[0077]	10, 20
Y	JP 2008-235750 A (SEIKO EPSON CORPORATION) 02 October 2008 (2008-10-02) paragraphs [0051]-[0060]	10, 20
Y	JP 2022-117852 A (KYOCERA CORPORATION) 12 August 2022 (2022-08-12) paragraphs [0029]-[0031], fig. 4	11
A	WO 2020/105411 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 28 May 2020 (2020-05-28) entire text, all drawings	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 June 2024

Date of mailing of the international search report

02 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/018434

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-243836 A (HAMAMATSU PHOTONICS KK) 09 October 2008 (2008-10-09) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/018434

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2022-45535	A	22 March 2022	US	2023/0352906	A1	
				paragraphs [0070]-[0146], [0149]-[0220], fig. 21-33			
JP	2004-319915	A	11 November 2004	US	2004/0208209	A1	
				paragraphs [0115]-[0118]			
				CN	1538582	A	
JP	2008-235750	A	02 October 2008	US	2008/0232419	A1	
				paragraphs [0207]-[0227]			
JP	2022-117852	A	12 August 2022	US	2022/0247157	A1	
				paragraphs [0037]-[0040], fig. 4			
WO	2020/105411	A1	28 May 2020	US	2021/0391689	A1	
				entire text, all drawings			
				EP	3886274	A1	
JP	2008-243836	A	09 October 2008	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC））

H01S 5/0233(2021.01)i; H01L 33/48(2010.01)i; H01S 5/183(2006.01)i
FI: H01S5/0233; H01L33/48; H01S5/183

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01S5/0233; H01L33/48; H01S5/183

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2022-45535 A（ソニーセミコンダクタソリューションズ株式会社）22.03.2022 (2022 - 03 - 22) [0010]-[0040], [0042]-[0073], 図21-33	1-9, 12-19
Y		10-11, 20
Y	JP 2004-319915 A（シャープ株式会社）11.11.2004（2004 - 11 - 11） [0076]-[0077]	10, 20
Y	JP 2008-235750 A（セイコーエプソン株式会社）02.10.2008（2008 - 10 - 02） [0051]-[0060]	10, 20
Y	JP 2022-117852 A（京セラ株式会社）12.08.2022（2022 - 08 - 12） [0029]-[0031], 図4	11
A	WO 2020/105411 A1（ソニーセミコンダクタソリューションズ株式会社）28.05.2020 (2020 - 05 - 28) 全文全図	1-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

20.06.2024

国際調査報告の発送日

02.07.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

皆藤 彰吾 2K 6204

電話番号 03-3581-1101 内線 3255

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-243836 A (浜松ホトニクス株式会社) 09, 10, 2008 (2008 - 10 - 09) 全文全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/018434

引用文献			公表日	パテントファミリー文献	公表日
JP	2022-45535	A	22.03.2022	US 2023/0352906 A1 [0070]-[0146], [0149]- [0220], FIGS. 21-33	
JP	2004-319915	A	11.11.2004	US 2004/0208209 A1 [0115]-[0118] CN 1538582 A	
JP	2008-235750	A	02.10.2008	US 2008/0232419 A1 [0207]-[0227]	
JP	2022-117852	A	12.08.2022	US 2022/0247157 A1 [0037]-[0040], FIG. 4	
WO	2020/105411	A1	28.05.2020	US 2021/0391689 A1 全文全図 EP 3886274 A1	
JP	2008-243836	A	09.10.2008	(ファミリーなし)	